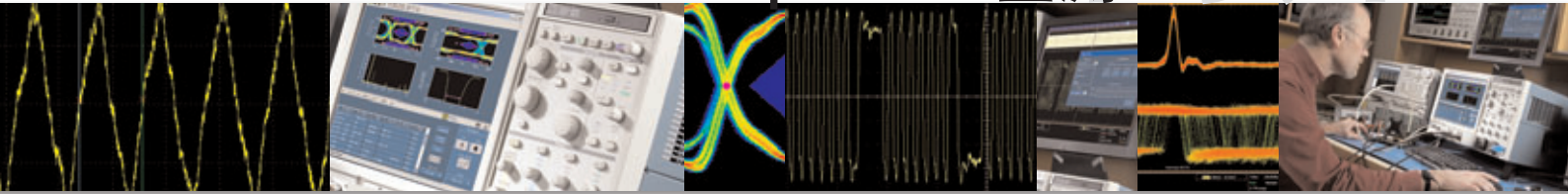


簡介

PCI Express™ 量測



目錄

PCI Express 設計的驗證、除錯及相容性測試	3
架構與規格綜覽	4
實體層的特性	5
實體層相容性測試：數位領域中的類比檢視	8
驗證與相容性量測	8
振幅量測	9
時序量測	9
抖動量測	10
即時眼狀圖及遮罩測試	14
雜訊及其對抖動的影響	14
頻域量測	15
接收器靈敏度與抖動容許誤差量測	16
確保類比量測中的訊號完整性	17
連接至待測序列裝置	18
類比擷取的考量	22
使用 Pinpoint® 觸發與資料解碼工具進行連結除錯	25
找出位元錯誤並進行觸發	25
進行 8b/10b 符號的驗證及觸發	26
數位驗證與除錯	27
能建立正確連結的探測方法	28
擷取訊號：從封包到並列訊號	30
觸發為疑難排除效率的關鍵	30
分析結果	31
PCI Express 量測解決方案綜覽	33
示波器	33
即時 (RT) 示波器	33
等時 (ET) 取樣示波器	34
訊號源	34
邏輯分析儀	35
總結	35

PCI Express 設計的驗證、除錯及相容性測試

隨著第一代 (Gen1) PCI Express 順利打入市場，業界已成功執行元件、系統及插卡等裝置。目前市面上已推出具備 PCI Express 插槽的主機板與筆記型電腦，以及可使用此新型擴充插槽的圖形處理器 (Graphical Processor Unit, GPU) 與網路卡等各種選擇。Gen1 裝置在短短幾年內便成功打入市場，其中部分原因可歸功於在廠商實驗室及 PCI-SIG (PCI Special Interest Group) 資助的插拔等裝置測試投入不少心血。PCI-SIG 已成功執行 PCI Express 板卡電性材料裝置 (CEM) Rev1.0a 版的相容性與互通性測試，同時許多廠商已通過測試並列入 SIG 整合商名單中。在推動 Rev1.0a 版的同時，為確保在不同 PCI-E 設計間能進行更可靠通訊，修改部分規格內容已勢在必行 (主要針對實體層方面)。目前 Base 和 CEM 規格已進行到 Rev1.1 版，而 SIG 也已根據 Rev1.1 版的規格在工廠開始進行測試作業。為符合 Gen2 以及首次佈線 (Cabling) 規格，目前 PCI-SIG 正積極審核 Base 與 CEM 的規格，使匯流排能擴充到周邊設備。Gen2 可將基本訊號頻率升高一倍 (即從 2.5 Gb/s 到 5 Gb/s)，且由於系統設計中加入纜線，亦進一步提高了整體複雜度。如此一來，勢必將為裝置的驗證及相容性測試帶來一些新挑戰。

廠商不僅需符合 PCI-SIG 通過/失敗標準才能列入整合商名單中，同時他們的設計也必須在許多不同條件下進行驗證。例如，您的設計可能在測試治具的電源供應器條件及工廠室溫下通過測試，但是當你改變室溫及電源供應器條件後會發生什麼樣的狀況？試想您的裝置搭配別家廠商系統，而另一家廠商的匯流排串音卻造成裝置故障之後果會是怎樣？

本入門手冊包含各方面 PCI Express 測試的詳細資訊，如驗證、除錯、相容性以及基本原則、量測技術，及可確保設計成功所需的各種工具。無論您是否已成功掌控 Gen1 並展開 Gen2 裝置測試，或剛開始接觸 PCI Express，本入門手冊是專為協助您瞭解 PCI Express 架構、規格及量測解決方案所特別設計。

以下為一些對 PCI Express 開發人員有用的連結

Tektronix PCI Express 首頁：

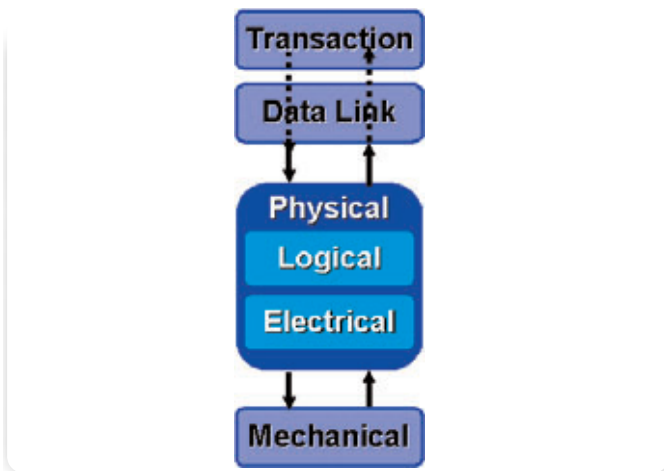
http://www.tek.com/Masurement/applications/serial_data/pci_express.html

PCI-SIG 相容性測試首頁：

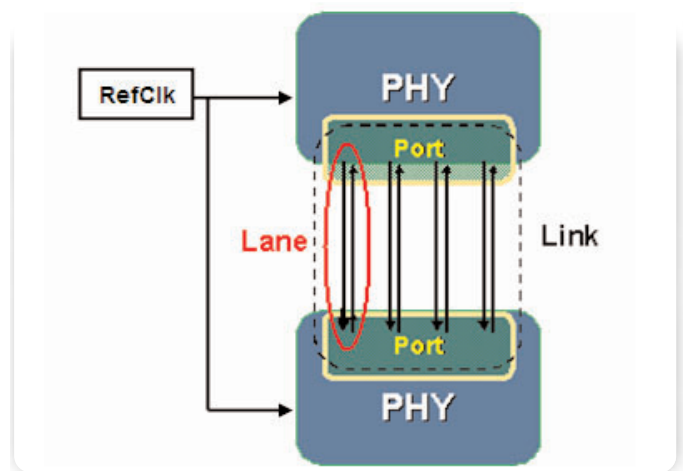
<http://www.pcisig.com/specifications/pciexpress/compliance/>

PCI Express™ 量測簡介

► 入門手冊



► 圖 1. PCI Express 連結層



► 圖 2. PCI Express PHY 執行連結示意圖

各通道寬度的原始位元率 (Gb/s)

訊號速率	X1	X4	X8	X16	X32
Gen1 – 每通道 2.5 Gb/s	2.5	10	20	40	80
Gen2 – 每通道 5 Gb/s	5	20	40	80	160

► 原始位元率

架構與規格綜覽

如圖 1 所示，PCI Express 在任何串列資料標準中皆可視為「許多疊層」。疊層之間彼此進行通訊，同時相互緩衝相鄰層級的運作。

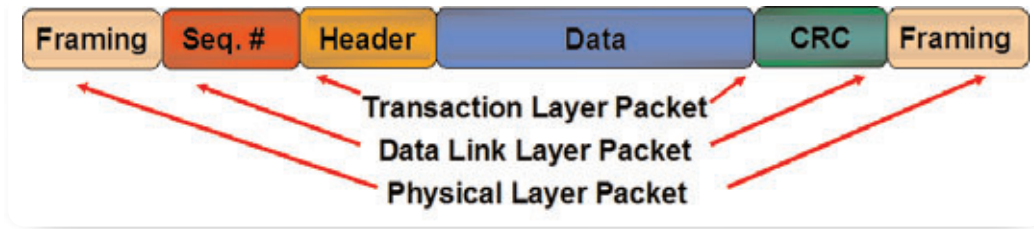
疊層包括實體層（電子訊號通過傳輸媒體）、邏輯層（訊號可解譯為有意義的資料），以及執行層等。每一層皆有其本身的應用標準及相容性程序。

圖 1 說明串列資料連結實體層（PHY）的分割示意圖。PHY 將較高層的通訊協定疊層隔開成下列兩層：邏輯層及電子層。PHY 中的電子層負責處理高速串列封包交換及電源管理機制。

PHY 中的邏輯層則負責處理重設、初始化、編碼及解碼等。此外，電子及邏輯次區塊亦包含特定的標準功能。

這兩種組成 PHY 的區塊皆具有獨特的測試需求，在進行電子介面量測時，您必須先考慮資料眼狀圖的類比波形特性及系統參考時脈，以便在邏輯層中進行數位封包解譯及嵌入時脈分析等等。

圖 2 說明典型 4X PCI Express 連結實體層的網路架構。PCI Express 連結是由雙單工傳輸方式（即通道）集合而成，每個通道各有成對的傳送及接收差動，即每個通道共有四個銅線軌跡。



▶ 圖 3. PCI Express 封包層

每個通道的發射率為 2.5 Gb/s (Gen1) 或 5 Gb/s (Gen2)。本規格支援 1 倍、4 倍、8 倍、16 倍及 32 倍的通道寬度配置，而連結的原始位元率僅為每通道基本位元率的倍數。

若由嵌入的時脈發射資料，傳送和接收電路將共用一個參考時脈 (RefClk)，如此 PLL 電路才可以追蹤展頻式時脈 (Spread Spectrum Clocking, SSC) 使用的時間。SSC 可用來大幅減少電腦主機板所發射的電磁波。在 30-33 kHz 頻率下，參考時脈的調變範圍介於 100 MHz 與 99.5 MHz 之間。

封包化資料

如圖 3 所示，PCI Express 資料是經由許多層封包而成。

- ▶ PHY 的邏輯次區塊會增加訊框來傳送各個封包之開始和結束訊號，其主要負責傳輸和校準符號。
- ▶ 資料連結層可提供錯誤檢查和重試服務，其封包包括 ACK (Acknowledge，認可)、電源管理資訊等等。
- ▶ 執行層負責處理初始化、產生及處理指令，以及流程控管等。

實體層的特性

實體層即上述所說明封包化差動訊號的載波。就功能觀點而言，實體層操作介面 (電路板軌跡、接頭和纜線) 其實就是以二進位訊號格式表示的資料路徑。這些二進位訊號為實體層量測的主要項目，能透過示波器進行除錯、驗證及相容性測試等。

在 PCI Express 中，可定義多種不同的匯流排配置方式，在圖 4、5 和 6 中詳述了三種典型執行操作圖例。

PHY 的所有個別通道皆由成對的傳送及接收差動所組成，該傳輸對及其傳輸媒體通常稱為通道，而訊號在通道內可穿越三種基本的銅線路徑。

PCI Express™ 量測簡介

► 入門手冊

晶片對晶片 (圖 4)

晶片對晶片 (chip-to-chip) 通道一般常駐於蝕刻電路板 (etched circuit board, ECB) 上作為傳輸媒體之用，PCI Express 匯流排就是一個系統主機板上應用的典型例子，它可將大量資料從某一裝置傳輸至另一裝置。

卡對卡 (圖 5)

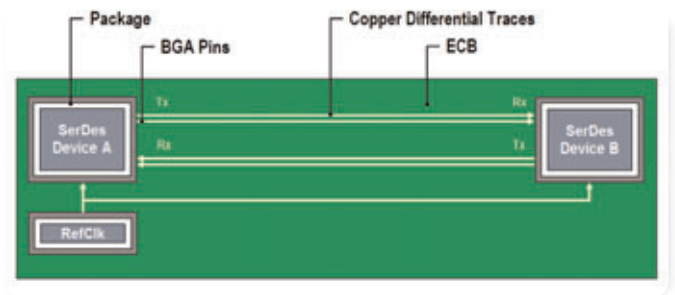
當接頭接上通道時 (如附加卡之應用)，連結傳輸端規格必須為 AC 耦合電容，如此才可消除傳輸和接收裝置間可能產生之共模偏差不相符現象。由於連結成本低廉，FR4 電路板上需使用較長線路，加上便宜的接頭，皆可能增加由於佈線所造成之抖動、串音及潛在不平衡現象。桌上型及伺服器應用的 CEM 規格，以及行動應用如筆記型電腦之個人電腦記憶卡國際協會 (Personal Computer Memory Card International Association, PCMCIA) ExpressCard 文件中都可以查到這種配置的測試點資訊。

卡對纜線 (圖 6)

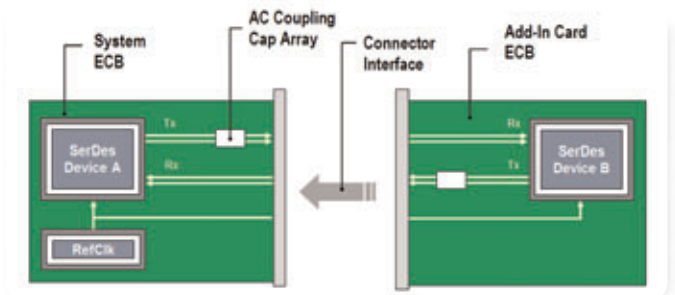
將纜線連結引入通道應用中，反而增加了另一種損失和抖動來源。連接纜線的 PCI Express 尚在初步開發階段。然而，纜線的傳輸及接收端測試點已定義於 PCI Express 纜線規格初版文件中。在此種網路結構中，參考時脈和其他三種側帶 (sideband) 訊號將沿著 16 倍的傳輸和接收對傳送到底部的中心纜線對。

RefClk 參考時脈的重要性

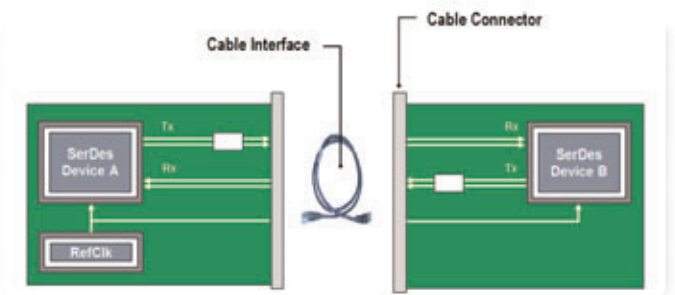
除了高速串列資料訊號路徑外，參考時脈 (RefClk) 訊號完整性的測試亦相當重要。Gen1 的 CEM 規格中的參考時脈參數相關資料現已納入 Gen2 成為主要基本規格之一，而當初會將 Gen1 的 Rev1.0a 規格改版到 Rev1.1 的主要原因是，參考時脈抖動有針對閉合眼狀圖方面的資料作修訂。



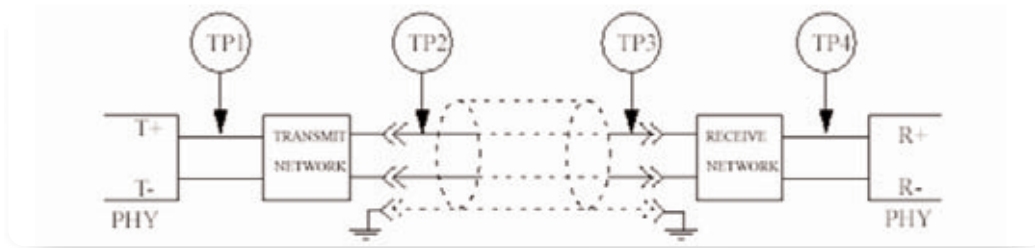
► 圖 4. 晶片對晶片通道



► 圖 5. 通道的接頭部分



► 圖 6. 通道的纜線連接部分



▶ 圖 7. PCI Express 中的測試點

相容性與互通性

相容性與互通性測試為達成任何標準的成功關鍵，尤其對許多細節仍不確定且互通性可能變動之早期標準週期階段而言更加重要。

PCI Express 標準可用於解決重要的傳輸與接收損失預算問題，同時可定義系統層級測試期間必須執行之相容性測試點。實際上，相容性測試點即彼此需進行互通的系統元件（通常來自不同廠商）之測試點。圖 7 摘要說明了由互連元件組成的完整系統中部分典型互通點。在 PCI Express 中，TP1 和 TP4 定義於基本規格，TP2 和 TP3 則定義於 CEM 和佈線規格中（視介面配置而定）。

由於這些互通點在標準中是專門用來探測測試儀器的接點所在，因此皆表示為測試點。若為卡對卡或卡對纜線連接，則瞭解相容性接點是否包含量測的接頭是相當重要的。請注意相容性測試點不能長駐於接頭中間，因為吻合和不吻合接頭的效能差異相當大。此外，任何量測中 ECB 通道長度或纜線損失皆可能影響結果。對 Gen1 而言，PCI Express 規格（和 PCI-SIG 測試程序）一般會忽略（或加入測試邊界）測試治具和儀器纜線的損失資料。對 5Gb Gen2 而言，其規格則必須考量這些問題。PCI Express 的另一發展趨勢為更清楚定義在系統層級上進行接收器靈敏度測試之程序。Gen1 的接收器靈敏度測試定義則主要留給開發人員自行詮釋。

實體層相容性測試：數位領域中的類比檢視

PCI Express 運作於數位領域中，但大多數相容性測試工作卻包含類比量測。為什麼？不是全部都跟數位資料有關嗎？

答案相當「肯定」，因為有重要的例外可尋。數位訊號可能存在於分散的電容、雜訊、電源供應器變化、串音，以及其他不完整特性領域中。上述種種現象會減損所謂「理想」數位訊號，有時甚至影響其載送資料的能力。因此，其規格會針對訊號失真和劣化現象設下限制。待測裝置必須符合這些限制，才能視為「具有相容性」。測試條件和測試點已詳細說明於標準中。PCI-SIG 在其相容性測試首頁上提供了相容性測試的詳細測試程序說明，包括特定儀器之製造及型號等資訊。同時亦提供訊號品質測試 (SigTest) 軟體，SigTest 可針對系統及附加卡相容性接點，強制執行即時示波器擷取的波形資料之訊號完整性量測。

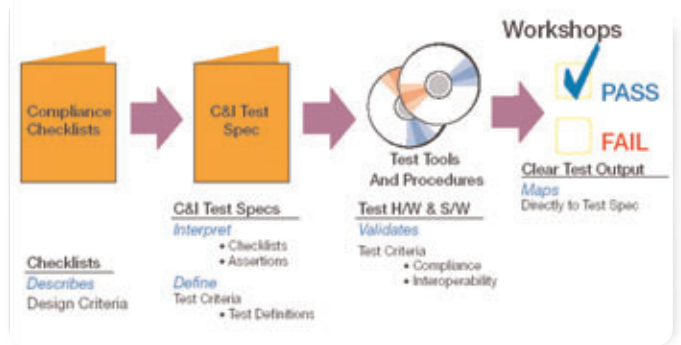
圖 8 摘要說明了典型 PCI Express 相容性測試程序。

該選擇 SigTest 或 RT-Eye® 軟體？

PCI Express 開發人員經常問的問題為：若 SigTest 為免費提供且能告知是否通過或失敗，為何示波器中還需要額外分析工具？這個問題的答案視您對設計邊際有多少信心而定。Tektronix 訊號品質軟體工具，如 RT-Eye、TDSJIT3 和 JNB 皆提供各式各樣功能，可為您進行設計驗證、除錯、及相容性測試等工作，在後續章節中將更清楚加以說明。

適用於相容性測試的測試治具

完成測試點定義後，接著必須開發測試治具才能探測接點所在。PCI-SIG 提供了適用於系統測試的相容性負載板 (Compliance Load Board, CLB) 及適用於附加卡測試之相容性基板 (Compliance Base Board, CBB)。PCMCIA 亦提供系統傳輸端相容卡，可用於進行筆記型電腦系統傳輸端測試。



▶ 圖 8. PCI-SIG 相容性和互通性程序

驗證與相容性量測

PCI Express 基本規格包括傳輸端與接收端的振幅、時序、抖動及眼狀圖等量測，這些量測即一般所謂訊號完整性量測。此外，規格亦指明通道的注入、反射損失，和頻域串音等相關資訊。CEM 和佈線規格提供有關系統層級相容性接點的抖動及眼狀圖邊緣等定義，以及執行插拔測試相關說明。自動量測/分析工具通常用於加速這些測試的選擇與應用，以下摘要列出部分進行插拔 (以驗證相容性與互通性)，以及驗證系統元件 (以確保其符合規格) 所需之重要量測。

- ▶ 振幅量測
- ▶ 時序量測
- ▶ 抖動量測
- ▶ 即時眼狀圖 (RT-Eye Diagram) 和遮罩測試
- ▶ 雜訊與抖動量測
- ▶ 頻域量測
- ▶ 接收器靈敏度與抖動容許誤差量測

振幅量測

想確定訊號是否達到穩定穿透傳輸媒體，並與接收電路適當進行「1」或「0」通訊所需的電壓值和穩定度？下列測試可確保訊號即使在最壞情況條件下，仍有足夠的振幅容許誤差可執行其工作。

差動電壓 – 峰對峰差動電壓規格為保證收發器可傳輸正確的電壓值之基本規格。通常收發器的差動電壓會指定為最小值，以便其在最壞情況媒體條件 (最大損失) 下仍可到達接收端，同時可確保資料適當傳輸。根據 PCI Express 規格，差動峰值電壓的定義如下：

$V_{TX-DIFFp-p} = 2 * |V_{TX-D+} - V_{TX-D-}|$ ；即時脈自資料訊號還原後，從波形資料所得量測。

請注意差動峰對峰電壓並不等於傳統示波器功能表中所見的峰對峰量測，這通常是造成混淆的來源之一。若要進行此種量測，需使用特定的 PCI Express 演算法。

解加強 (De-Emphasis) – 指「轉態位元」振幅與其之後第二個及後續位元振幅的比值，另外也可稱為預加強 (pre-emphasis) 或等化 (equalization)。解加強適用於串列資料傳輸系統，用來補償「損耗式」媒體，如桌上型電腦所使用的低價 FR4 電路板及接頭之頻率特性。藉由使轉態位元的振幅高於後續位元振幅，訊號即可「安然」到達接收器接腳。

共模電壓量測 (AC, DC) – 傳輸端上的共模不平衡及雜訊會對差動訊號產生非預期之影響。通常將差動訊號分離為單端元件即可有效解決此類問題，這種技術同時有助於發現可能耦合為同對，而非不同對差動對之串音和雜訊影響。

眼狀波高 – 眼狀波高為振幅領域中的資料眼狀圖開口，可提供相當有用量測，因為其代表接收器電路之實際取樣點。眼狀波高是在 0.5 個單元間隔 (Unit Interval, UI) 點下所得量測，其中 UI 時序參考由還原時脈所定義。若需更多眼狀圖詳細資訊，請參閱眼狀圖相關章節說明。

時序量測

訊號是否不受時序變動影響，以及其轉態是否快到足以維護欲傳達的重要資料數值？下列測試 (需有堅固效能之量測工具組) 可偵測因分散電容、串音及其他因素所產生的異常和訊號劣化現象。

單元間隔和位元率 – 藉由檢視嵌入式時脈經過許多次連續週期循環後的平均量測結果，可量測出嵌入式時脈頻率中變化。在 PCI Express 中，若平均量測結果與規定值 (不含 SSC) 的差距超過 300 PPM，代表此裝置不符標準。

PCI Express™ 量測簡介

▶ 入門手冊

上升/下降轉態時間 – 進行傳輸端量測時，可量測準確轉態時間的工具相當重要。Gen2 PCI Express 可接受的傳輸端上升時間量測下限為 30 ps (以 20-80% 參考位準進行量測)。若上升時間過快，會導致 EMI 問題，過慢則會造成資料錯誤。

眼狀波寬 – 眼狀波寬的定義為比所量測複合抖動少一個間隔之寬度，其中抖動是在 0V 差動參考位準下量測得出。若需更多眼狀圖詳細資訊，請參閱眼狀圖相關章節說明。

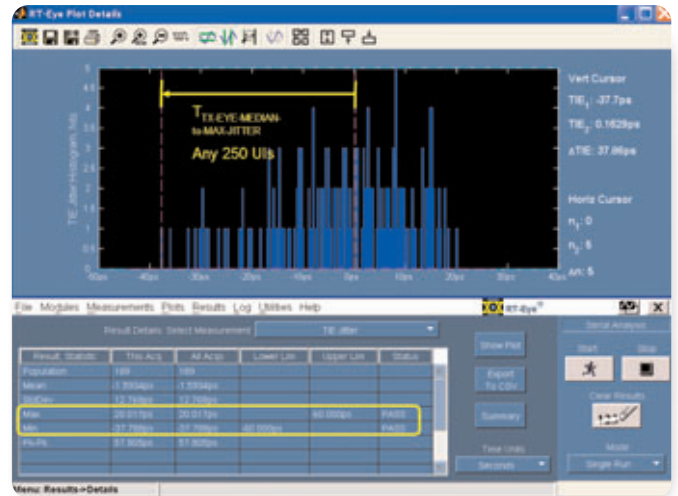
抖動量測

抖動量測方法一直為 PCI Express 開發人員及規格制訂者的探討主題。本節將探討 PCI Express 中的抖動分析隨著其所應用規格量測之演變歷程。

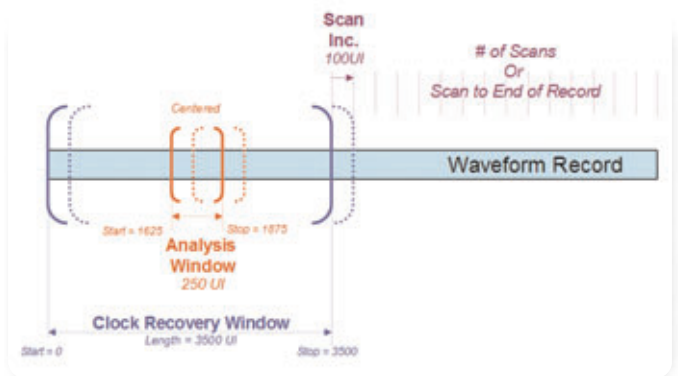
中間值-最大值-抖動 (Median-Max-Jitter) – 原始 Gen1 PCI Express 規格 (Rev1.0a) 指明「中間值-最大值-抖動」是依據 250 個連續位元量測得出。中間值-最大值-抖動為使用中間值為時序參考時，時間間隔誤差 (Time Interval Error, TIE) 的最大正向或負向偏離。圖 9 顯示在 250 個單元間隔下，透過 TIE 長條圖量測中間值-最大值-抖動的過程。量測極限 (圖 9 中醒目提示處) 標示 TIE 的最小與最大值，代表中間值-最大值-抖動規格。

時脈還原方法包括需從 3,500 個連續位元中取出平均值，接著將一個 250 個位元分析視窗疊放於時脈還原視窗中心處等步驟。這種分析方法可為模擬相位內插器/接收器行為提供良好範例。此外 3500:2500 方法能模擬三階抖動過濾函數 (-60 dB/十進位衰減，截頻點 (cutoff frequency) 為 1.5 MHz)，同時可過濾低頻 SSC，因此不論是否已開啟 SSC，皆可將此技術應用於系統上。

Tektronix 已將此種方法加入其 RT-Eye 軟體的 SmartGating 功能中。SmartGating (圖 10) 讓使用者得以指定時脈還原

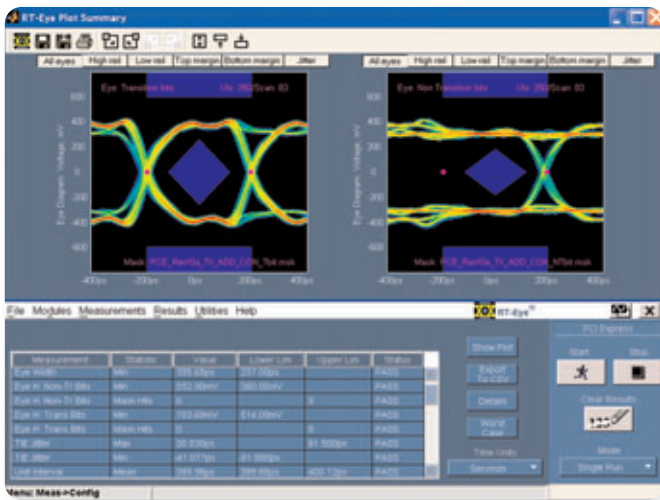


▶ 圖 9. 每 250 個單元間隔的 Rev1.0a 中間值-最大值-離群值抖動

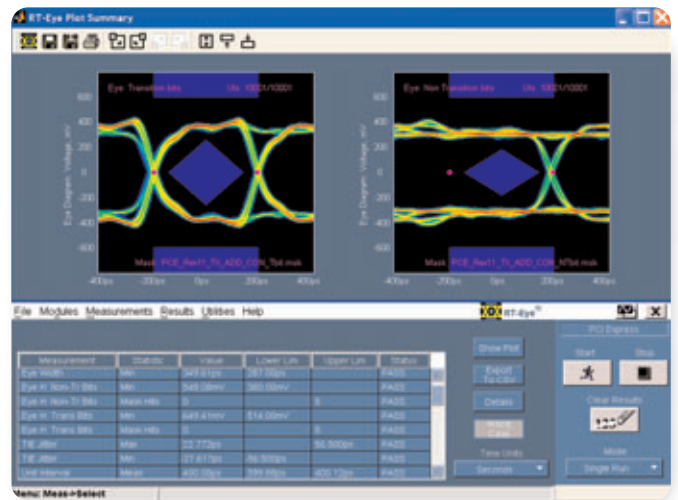


▶ 圖 10. 使用 SmartGating 功能進行 3500:250 視窗化

與分析視窗，以提供時間間隔誤差量測各種不同的有效過濾函數。您亦可根據使用者定義的遞增值設定時脈還原：分析視窗進行波形掃描。若設定 3500:250 視窗每增加 100 UI 時進行一次波形掃描，可將所提供結果與 PCI-SIG 的 SigTest 軟體進行比較關聯。



▶ 圖 11a. 利用 Gen1 (Rev1.0a) 方法測試附加卡

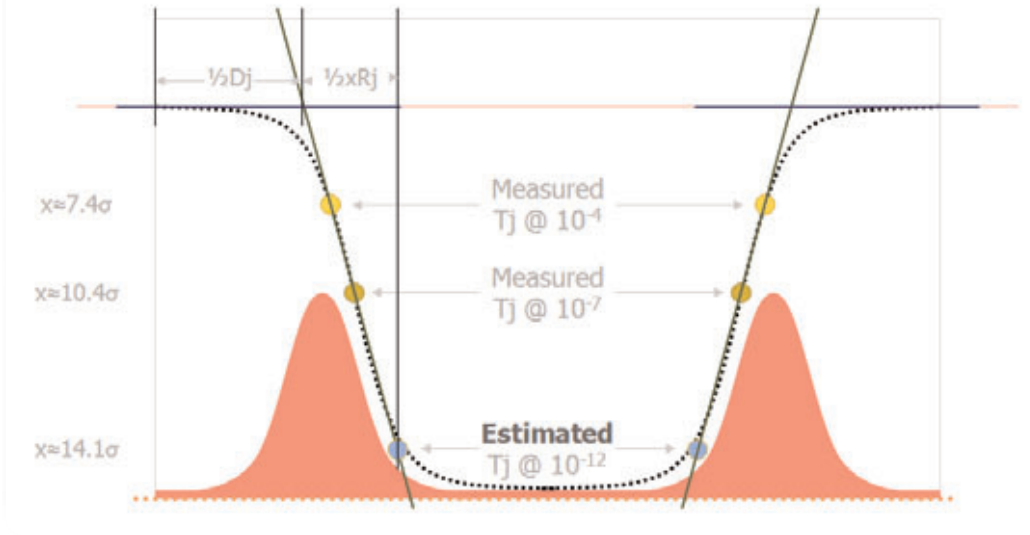


▶ 圖 11b. 利用 Gen1 (Rev1.1) 方法測試附加卡

經過實際裝置測試之後，無疑地必須有更健全的抖動規格，才能確保互通性。新版規格 (Rev1.1) 可獨立量測參考時脈相位抖動中的傳輸端抖動。將一階 (-20 dB/十進位衰減，1.5 MHz 轉角頻率 (corner frequency)) 過濾函數應用於抖動資料，接著利用適用於傳輸端裝置的 RefClk 輸入之「清楚時脈」(clean clock) 進行量測，即可完成時脈還原。Rev1.1 中指定單位間隔總數每達 100 萬個時便進行抖動量測，而 1.0a 規格在這方面則較不明確，只指定每 250 個單元間隔進行抖動量測。若要測試傳輸端元件與附加卡，可使用新版 Rev1.1 傳輸端抖動規格進行相容性測試。若系統的 SSC 已開啟，可透過觀察原始 Rev1.0a 規格之三階函數檢視相容性。

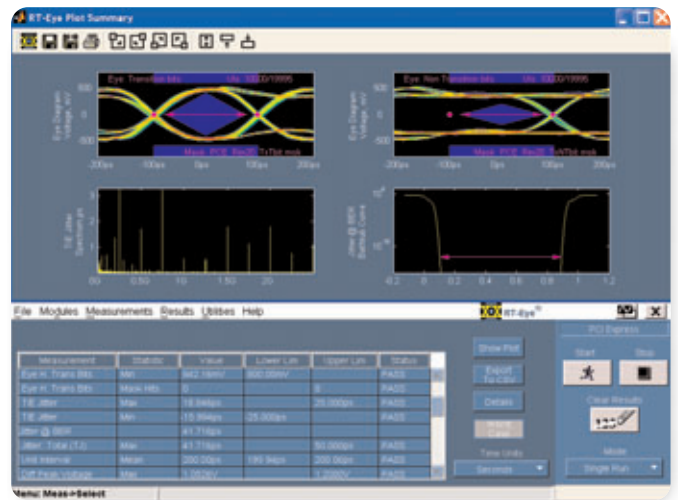
圖 11 為使用上述兩種規格測試附加卡的範例圖。圖 11a 顯示使用 3500:250 方法，在掃描模式啟用下以 Rev1.0a 相容性基板 (CBB) 所進行的測試。圖 11b 則顯示使用一階軟體 PLL，以 Rev1.1 CBB 測試相同的裝置。請注意觀察 Rev1.1 的抖動容許誤差較緊密 (遮罩較寬)，但由於應用於 DUT 之清楚時脈，所量測 TIE 抖動更小了 (中間值-最大值-抖動各為 27.6 ps 與 41.07 ps)。最後的結果為裝置在兩種方法下皆可順利通過測試。

假設為雙峰 (bi-modal) 分佈 (dual-Dirac) ，在兩個 BER Fit 線對點上量測 T_j ， R_j 表示斜率， D_j 表示截距

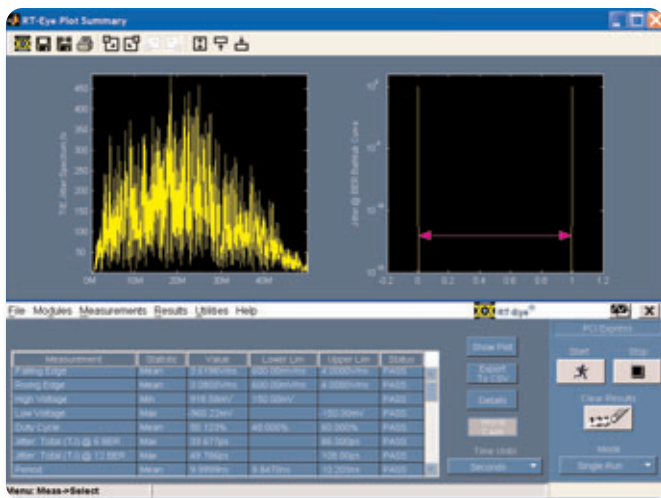


▶ 圖 12a. 抖動預估雙峰模式圖

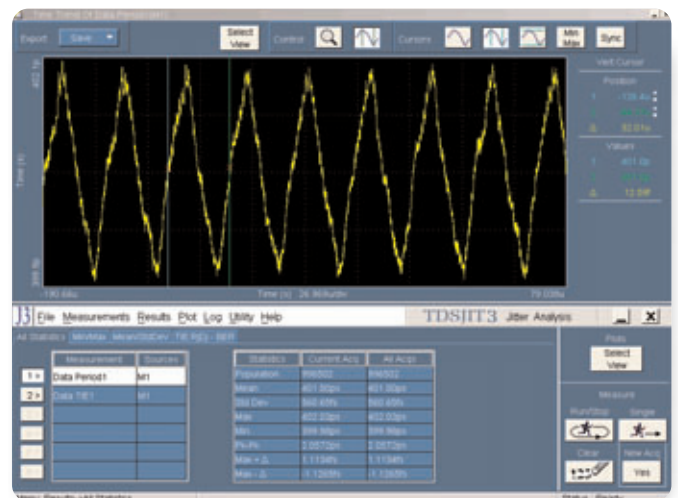
Dual-Dirac 抖動 – 如中間值-最大值抖動測試中所說明，Gen1 PCIExpress 規格是根據 TIE 長條圖的方法進行抖動量測。而 Gen2 規格更進一步使用 Dual-Dirac 模式界定抖動。如圖 12a 所示，這種方法可估算總抖動 (T_j)、隨機抖動 (R_j)，及確定抖動 (D_j)。同時已開發出多種擷取及分析技術以推估 Dual-Dirac 曲線。其中一種主要用於時間間隔分析儀 (Time Interval Analyzer, TIA) 中的方法，為隨增加之時間間隔建立時間間隔誤差 (TIE) 長條圖。其可量測兩個不同 BER 位準上的 T_j ，如圖所示量得 10^{-4} 及 10^{-7} BER。量測出數值後，即可拉出一條直線以估算在 10^{-12} BER 時的 T_j 。接著畫出斜率與截距，便可推估 R_j 和 D_j 值。與使用 TDSJIT3 或 RT-Eye 的即時 (RT) 示波器相比，其透過「頻譜方法量測抖動」以估算出在 10^{-12} BER 時的 T_j 。接著利用相同的方法量測 10^{-9} 上之 T_j 。確定上述兩個位準上的 T_j 後，即可建立相同之直線而估算出 R_j 和 D_j 。利用頻譜量測抖動的方法 (由 Tektronix 所開發) 包含了將隨機和固有元件分離抖動值之專利技術。



▶ 圖 12b. 使用 Gen2 Dual-Dirac 方法測試傳輸端



▶ 圖 13. 差動 RefClk 相容性測試



▶ 圖 14. 利用 TDSJIT3 軟體所畫出的展頻曲線圖

頻譜方法已成功與 BERT 掃描方法建立關聯，可順利進行抖動量測。且由於能透過長條圖式技術在短時間內準確預估抖動，頻譜方法已廣為串列資料開發人員所採用。圖 12b 顯示利用這種技術測試 Gen2 PCI Express 傳輸端的結果。

參考時脈 (RefClk) 抖動 – 如上一節所說明，Rev1.1 規格需獨立量測傳輸端抖動與 RefClk 抖動。由於 PCI Express 傳輸端與接收端個別的 PLL、傳輸延遲差異，加上位於接收器內之 CDR 追蹤頻寬等因素，其所顯示相位抖動追蹤行為將有所不同。因此必須依據抖動數量指定參考時脈，在最差的傳輸端與接收端組合下進行傳輸及過濾。利用 Rev1.1 CEM 和 Gen2 基本規格中指定的抖動遮罩函數即可完成，亦可在 10^{-6} 和 10^{-12} BER 時透過所指定允許抖動進行。

圖 13 為利用 RT-Eye 軟體將所需的 Rev1.1 CEM 規格應用於 RefClk 裝置所得量測結果。除了總抖動之外，這種工具還可量測如迴轉率 (Slew Rate)、高/低電壓，及時脈工作週期等參數。

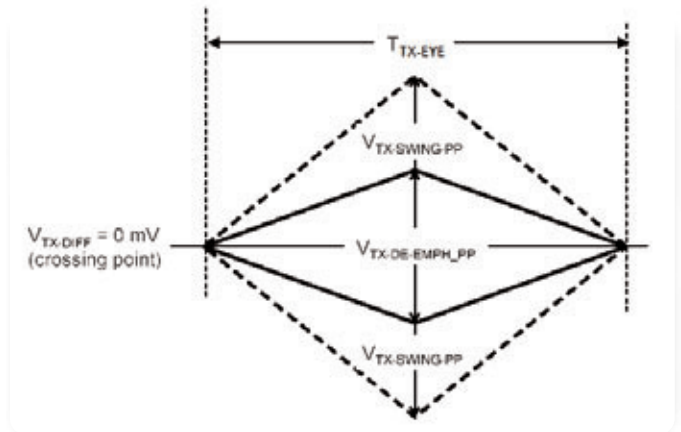
SSC 曲線 – 除了時脈訊號完整性之外，PCI Express 規格亦可指定時脈頻率在 30-33 kHz 調變頻率的基本資料速率下展頻 -0.5%。如此將導致資料週期從 400 ps 擴展至 402 ps。為根據資料訊號完成 SSC 曲線，必須量測並過濾資料週期。TDSJIT3 進階抖動分析軟體可用於分析高效能即時示波器的長記錄。圖 14 顯示應用 5 MHz 低通濾波器進行資料週期量測，以使用相容性負載板 (CLB) 驗證主機板上的 SSC 曲線結果。

即時眼狀圖及遮罩測試

「眼狀圖」(一連串資料波形重疊而成的示波器顯示畫面) 為確立 PCI Express 傳輸端訊號品質之重要工具。若要產生眼狀圖，必須自資料中還原時脈，以同步化載送隨機、虛隨機或相容型位元的資料串。利用軟體還原時脈將即時波形資料重疊的 Tektronix 專利技術，為在 Tektronix 即時示波器上執行之 RT-Eye (即時眼狀) 軟體基礎。如上一節所說明，有多種技術可進行時脈還原，視待測裝置及規格版本而定。除了還原時脈外，還需透過傳輸端和互連測試點將轉態位元及解加強位元分離，並在各個位元類型上執行遮罩測試。圖 15 為規格中所顯示的遮罩構造定義圖，圖 11 和 12 則為利用 RT-Eye 軟體同時顯示所產生眼狀圖。如先前所說明，Gen1 的 T_{TX-EYE} 規格定義為比複合 TIE 抖動少一個單元間隔之「波形眼狀遮罩」。Gen2 利用 Dual-Dirac 模式將 T_{TX-EYE} 界定為「抖動遮罩」，其定義為在 10^{-12} BER 時，比總抖動少一個單元間隔。在上述兩種規格中，振幅量測皆依據示波器擷取的電壓為基礎進行。

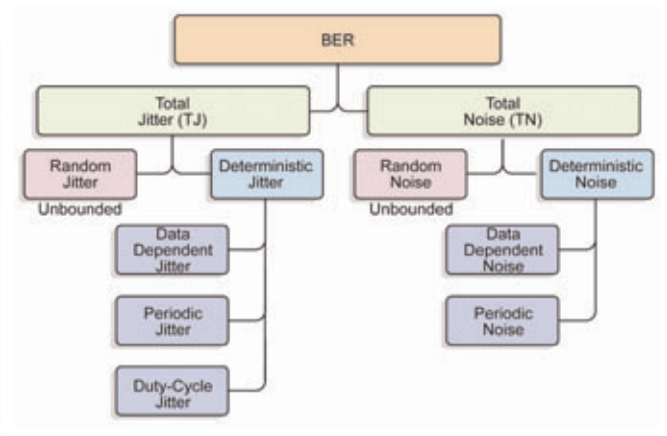
雜訊及其對抖動的影響

目前為止所說明的抖動量測分析技術主要皆透過即時示波器執行。而適用於過濾 RefClk 的傳輸端及相位抖動之 3500:250 方法等過濾技術，則依據即時擷取邊緣資訊進行過濾。即時擷取是確保分辨抖動頻率元件，隨即利用後處理演算法在頻域中加以過濾的唯一方法。然而，即時示波器中的垂直雜訊確實增加了抖動及振幅領域中錯誤。這是因為即時示波器利用前端的類比放大器擷取波形所致。



▶ 圖 15. PCI Express 波形遮罩規格

由於類比放大器的雜訊 x 頻寬乘積為常數，因此頻寬越大，所擷取訊號中之雜訊越多。此外，即時示波器的類比/數位 (A/D) 轉換器解決方案受限於 8 位元設計，可能導致無法避免之量化誤差。系統雜訊加上量化同時會增加量測的誤差。在許多情況下，這些誤差無關緊要且無須理會，但當 PCI Express 開發人員在設計較長的傳輸通道時，即時示波器之解決方案及訊號雜訊比將受到限制。針對這些應用，可使用等時取樣示波器進行更精準量測。此外，已開發出許多新型軟體工具，不僅可分析高速串列資料訊號的抖動，也可進行雜訊分析。

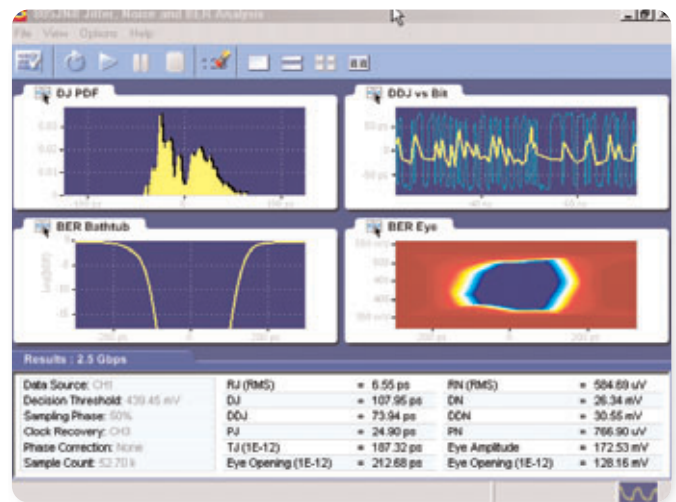


▶ 圖 16a. 抖動及雜訊分解圖

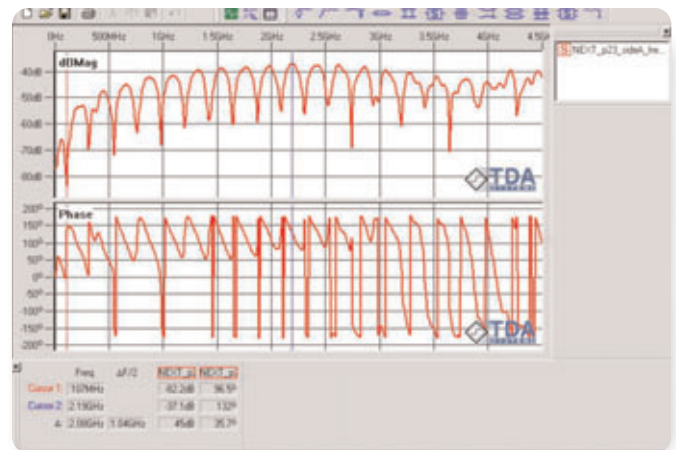
圖 16a 中左側圖示為傳統串列資料抖動的分解圖，右側圖示則顯示取樣示波器所採用新技術，其在振幅領域中分解雜訊的方法就如同在時域中分解抖動一樣。結果產生一個 BER 眼狀圖，呈現 2 維機率密度函數圖 (Probability Density Function, PDF)。圖 16b 顯示使用 Tektronix 取樣示波器上的 TDS8JNB (先進抖動、雜訊和 BER 分析軟體) 在 PCI Express 附加卡上所得分析結果，讓您得以更深入觀察眼狀圖閉合之確切成因。

頻域量測

互連相容性測試對頻域量測需求，如插入、反射損失，及頻域串音等與日俱增。分析接收器輸入特性時便經常需透過反射損失量測。這些頻域量測亦稱為 S 參數，由於差動模式量測與頻寬下降和數位系統中的抖動有直接關聯，因此主要在差動模式中進行量測。部分標準則開始要求進行共模量測或模式轉換等量測。透過具備真實差動功能及適當上升時間的可使用 TDR 示波器即可執行這種量測，其能直接與量測頻寬建立關聯。圖 17 顯示使用 Tektronix 取

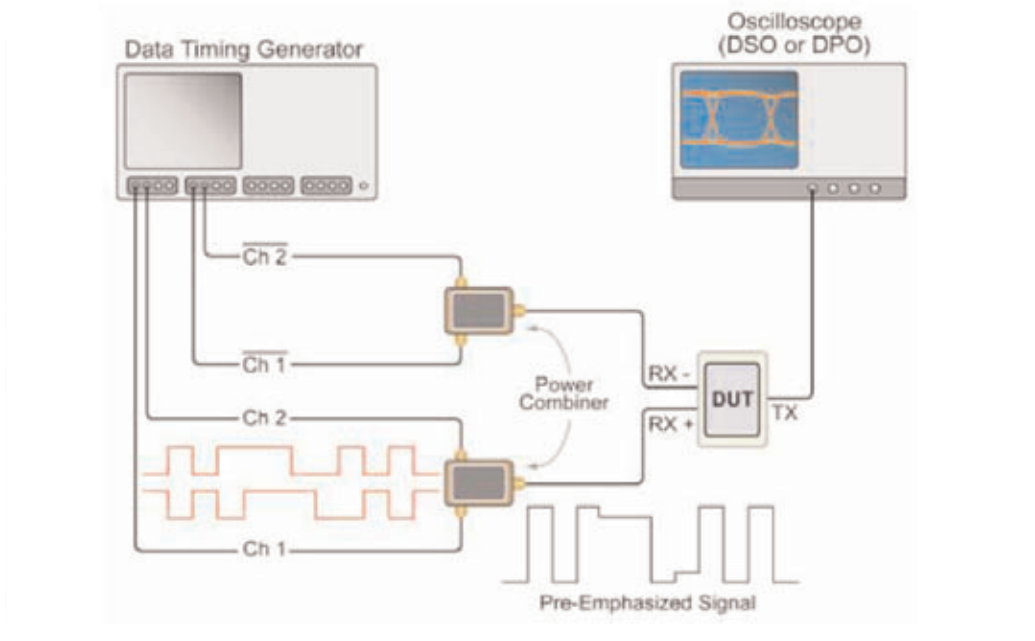


▶ 圖 16b. JNB 軟體的抖動及雜訊 PDF 圖



▶ 圖 17. 頻域串音量測

樣示波器上執行的 80SSPAR IConnect S 參數及 Z-line 軟體進行 PCI Express 互連頻域串音量測之分析圖。



▶ 圖 18. 透過兩個 DTG 通道建立解加強訊號

接收器靈敏度與抖動容許誤差量測

進行 Gen1 接收器測試需要一激勵源，以促使在折返模式 (loop-back mode) 中進行待測裝置 (DUT) 配置。數碼產生器 (亦稱為資料時序產生器) 便是執行配置工作的理想工具，不僅可產生所定義之 2.5 Gb/s 測試樣式，如轉態序列 (TS1 與 TS2) 等，且能將其應用於裝置。當 DUT 的接收器端辨識出轉態序列時，傳輸端隨即傳送類似序列。利用示波器和 (或) 邏輯分析儀即可觀察並分析所傳送的序列。通常轉態序列會經過變更，以便在各種緊迫條件下分析 DUT 效能特性。例如在振幅層級、眼狀交叉 (eye-crossing) 層級、差動偏移等變化，及雜訊與抖動增加的特定壓力下進行。

完整的接收器測試亦需要利用資料時序產生器預加強 (pre-emphasize) 連續轉態位元，以測試串行器/解串行器 (SerDes) 電路。圖 18 示範如何結合兩個數位時序產生器 (Digital Timing Generator, DTG) 通道，以建立解加強訊號。

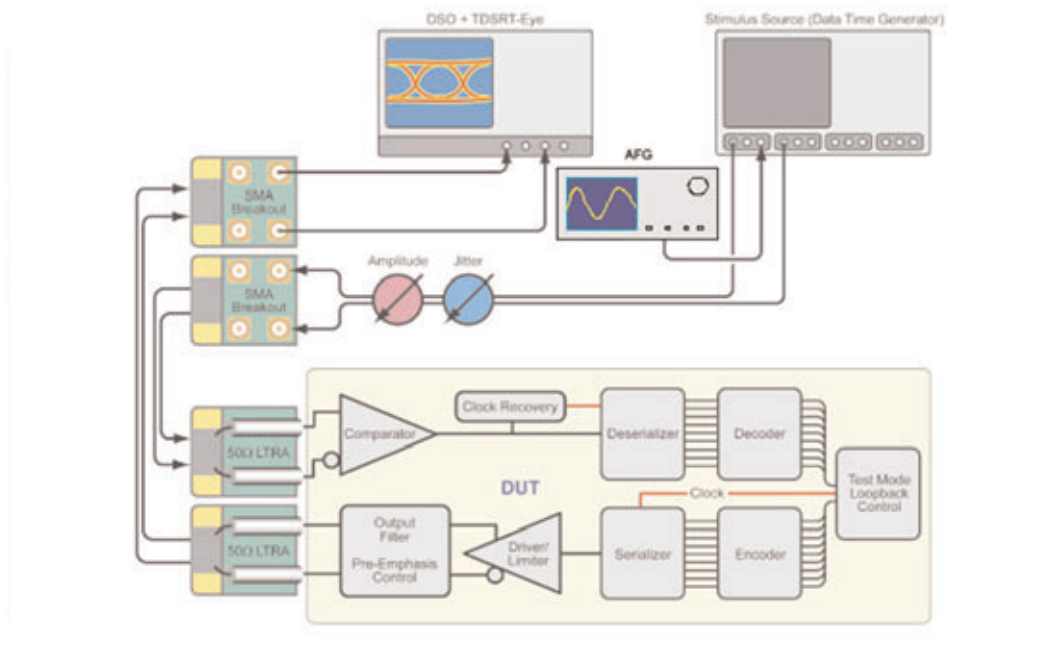
DTG 中不僅可調整振幅層級；還可調整下列項目：

時序容許誤差 (Timing tolerance) – 可改變頻率以搜尋接收器的上下限。

交叉層級容許誤差 (Crossing level tolerance) – 可改變 D+ 及 D- 差動訊號腳 (leg) 之間交互電壓以模擬共模不對稱。

偏移容許誤差 – 可改變 D+ 及 D- 差動訊號腳之間的延遲以模擬差動偏移。

抖動容許誤差 – 可改變抖動頻率調變及振幅以運用裝置於特定需求。



▶ 圖 19. 抖動容許誤差測試的設定圖

接收器抖動容許誤差的定義為出現抖動時，成功還原資料之能力。若符合規格，可保證串行器/解串行器及 PLL 電路即使在已出現某些抖動時，仍能還原時脈。抖動容許誤差測試為用來保證互通性最重要的測試之一。例如在 PCI Express 應用中，嚴謹的抖動測試便格外重要。因此，可為抖動提供特定振幅及頻率調變特性的訊號源為不可或缺條件。

PCI Express 基本規格將抖動指明為與還原傳輸端單元間隔 (UI) 有關的眼狀圖交叉點 (crossing point) 變化。如圖 19 所示，DTG 可依據振幅以及頻率的内容提供抖

動控制。利用這種組合，即可完成完整的 PCI Express 接收器抖動容許誤差測試。

確保類比量測中的訊號完整性

不論是為了進行相容性測試、驗證或除錯等所有 PCI Express 量測，皆包含探測裝置、擷取訊號資料，以及分析擷取資訊等工作。選擇正確的工具並適當加以運用，是確保快速、準確結果的不二法門。本文將於此節中探討連接待測裝置的各種不同技術，以及選擇示波器時有關類比效能之考量。

連接至待測序列裝置

量測通常會先從連接待測裝置開始進行。問題是：待測的機構介面為何？答案通常視建議或設計中存取點所要求的測試定義而定。即有多種不同配置方式，每種皆有其本身獨特特性。

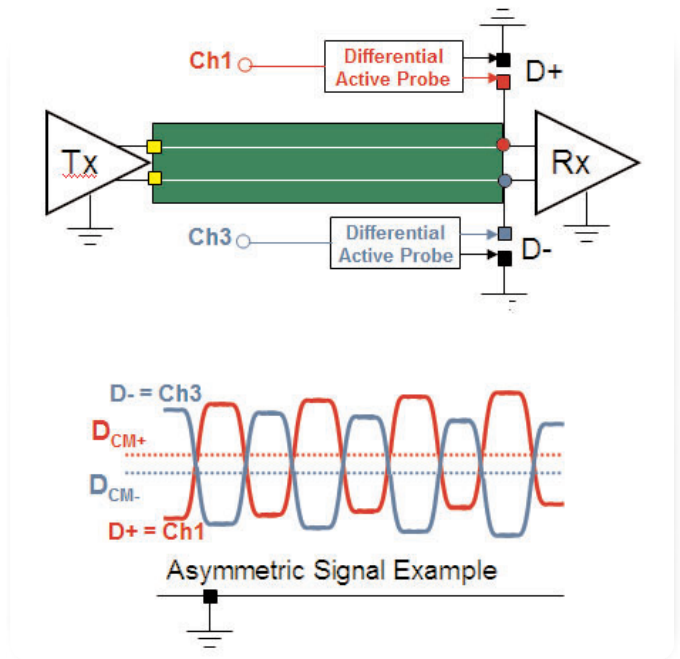
機構介面對探測電子及邏輯測試而言影響重大。若要將高速差動訊號完整傳送至量測儀器，探棒可能需符合所有實體功能小細節。或者，探棒可能需能配合原型治具，例如搭配 SMA 接頭的測試點。

下列四種方法可解決探測難題：

- ▶ 虛擬差動 (Pseudo-Differential) 主動式探測
- ▶ 有效差動 (True-Differential) 主動式探測
- ▶ 虛擬差動 SMA 連接
- ▶ 有效差動 SMA 連接

請記住 PCI Express 訊號為經由差動方式傳輸，因此此處所說明的所有解決方案皆是為進行差動連接所設計。

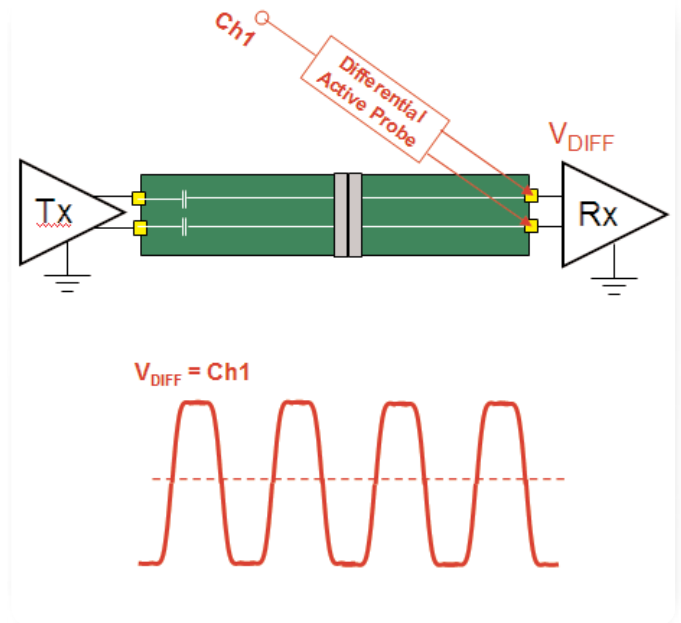
虛擬差動主動式探測 – 可使用兩個差動主動式探棒 (差動訊號兩端上各一個) 進行虛擬差動量測。圖 20 為晶片對晶片應用實例，其中兩個探棒可焊接至與接地線有關的 D+ 及 D- 差動對訊號腳。示波器中的兩個通道可擷取兩種通道資料。探棒則可同時擷取 AC 與 DC 訊號元件，使其成為檢視差動連結上的共模影響之最佳工具。當連結接收器只能看到傳輸端的差動擺幅時，共模電壓改變可能導致改變週期之非預期振幅變化。圖 20 中所量測訊號顯示虛擬差動探測



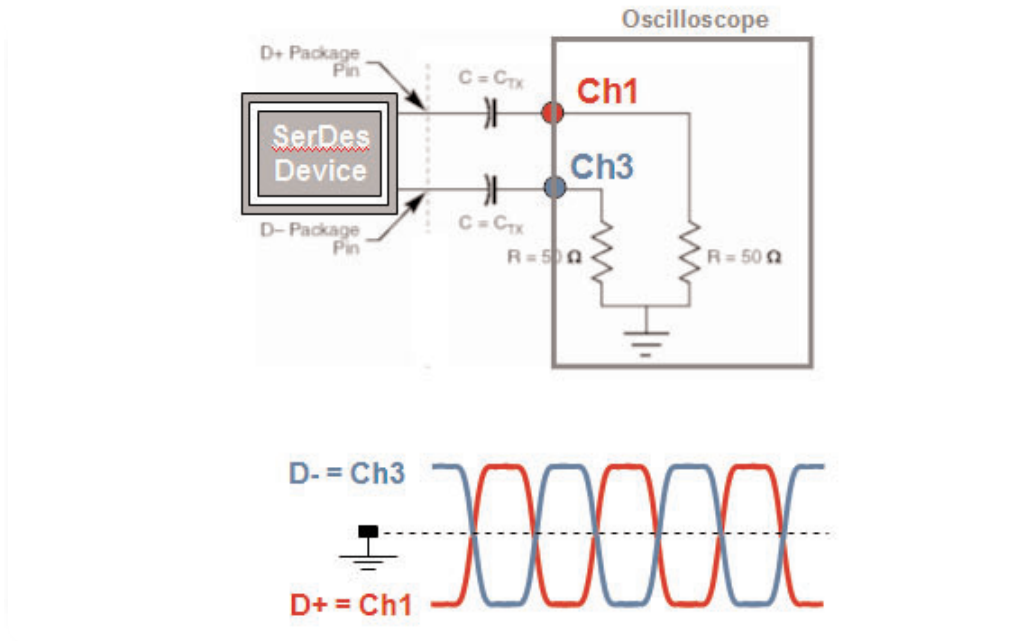
▶ 圖 20. 虛擬差動主動式探測圖

設定擷取到不對稱訊號的範例。PCI Express 基本規格可叫出 (call out) 最大共模 AC 電壓 (V_{CM})，同時可限定可接受的共模 DC 電壓範圍。減去 D+ 及 D- 波形即可得出差動電壓波形 V_{DIFF} ，而眼狀圖、振幅、抖動及時序量測皆可於此數學波形上完成。由於進行虛擬差動探測時，波形兩側會加入兩個獨立示波器輸入頻道，因此進行任何量測時必須先完成輸入的水平偏移校正。

有效差動主動式探測 – 圖 21 為差動探棒擷取以接頭為基礎的卡對卡串列連結接收端之顯示圖。不同於虛擬差動連接，這種探棒只需要一個示波器通道，因此不需進行後續的數學運算步驟。除了具備額外優點之外，還提供使用多個示波器通道以擷取多通道的功能。此外，亦相當適用於進行多個高速測試點的除錯。圖 21 中的差動波形只需一個示波器通道且不需進行偏移校正。在這種情況下，只可進行差動模式量測。千萬要注意任何探棒皆將增加待測裝置 (DUT) 之負載。所有探棒皆有各自的電路模式，其阻抗會隨著頻率增加而改變。這可能會影響所觀察電路的行為及量測，因此評估結果時必須考量這些因素。設計「晶片對晶片」介面時，將測試點加入面板設計中，以及考量欲使用探棒的機械需求相當重要。此外，應盡量將探測點置於最靠近接收器終端電阻器位置，以避免因反射造成訊號失真。



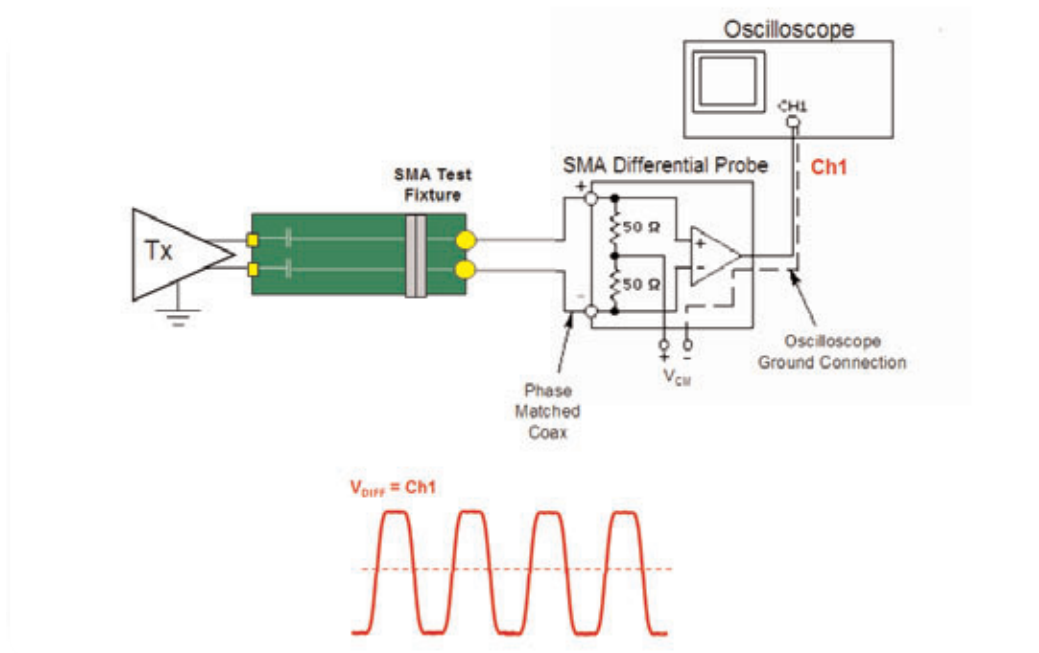
▶ 圖 21. 有效差動主動式探測圖



▶ 圖 22. 虛擬差動 SMA 連接圖

虛擬差動 SMA 連接 – 許多相容性測試治具和原型電路皆預期其輸出上會出現特性負載 (characteristic load)。若治具/原型電路搭配 SMA 高頻接頭，則可利用 SMA 虛擬差動方法存取訊號。圖 22 中顯示的傳輸端相容性測試便是最佳實例。此處 DUT 輸出直接連接至兩個示波器輸入端，每一端各有 50 Ω 的輸入阻抗。高效能示波器一般皆有 SMA 輸入功能，因此不需加購差動探棒進行量測。如圖 22 所

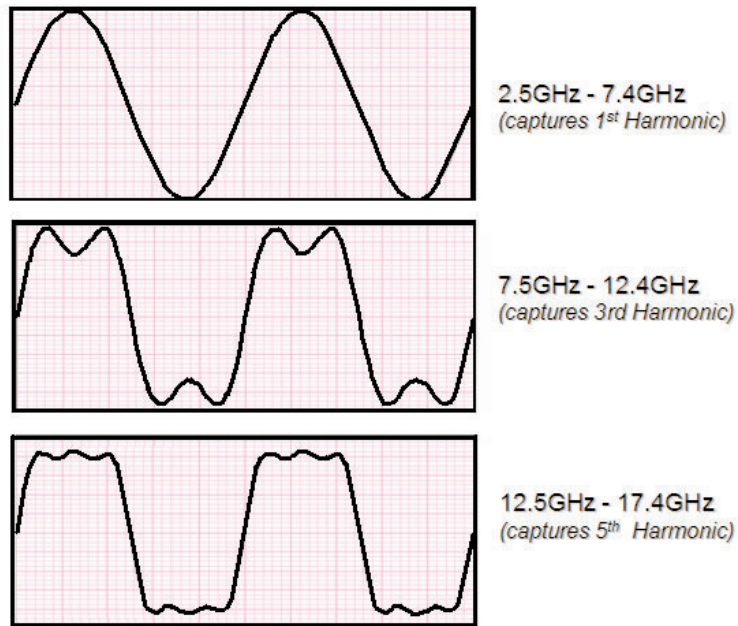
示，差動對訊號腳上任一端皆可進行共模 AC 量測。由於示波器終端接地，因此訊號必須進行交流耦合。如同上述主動探測案例，將其中一個共模訊號自其他訊號中減去，即可建立差動模式波形。使用這種技術時，必須注意通道需經過偏移校正，且量測時需考量任何與示波器輸入端連接的 DUT 纜線有關之損失。



▶ 圖 23. 有效差動 SMA 探測圖

有效差動 SMA 連接 – 圖 23 顯示利用新型示波器探棒設計執行傳輸端路徑的相容性量測。SMA 輸入差動探棒相當適用於相容性測試，其互通作業點 (interoperability point) 界定於「卡對卡」或「卡對纜線」介面上。100 Ω 相符的終端網路適當終止了一對差動訊號腳至任何共模電壓。共模電壓可由使用者或某些情況下直接由示波器提供。圖 23

說明有效差動 SMA 探棒使用差動放大器將單端訊號轉換成差動訊號的過程，經過轉換後便不需要再進行通道偏移校正。以 Tektronix P7380SMA (搭配 SMA 輸入的差動訊號擷取系統) 為例，製造探棒時已將所搭配 SMA 纜線有關損耗予以校準排除，與虛擬差動 SMA 方法 (纜線損耗需經過校準或視為邊際) 相比，可提供更準確量測結果。



▶ 圖 24. 理想的低通濾波器脈衝響應

類比擷取的考量

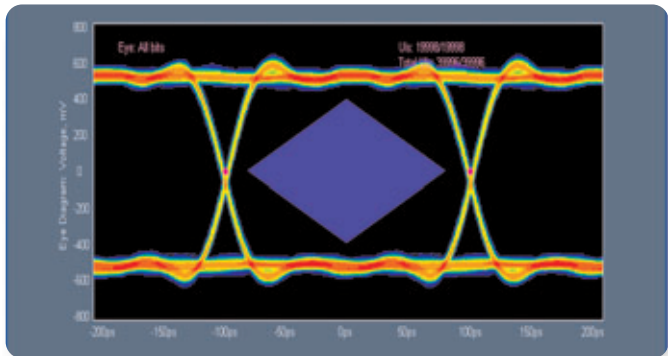
系統效能造就量測準確性

選擇適用於重要高速量測的解決方案時，必須將示波器與其探棒之配對視為整個系統加以考量。儀器效能已成為量測密不可分的一部分。系統的類比擷取特性以及其數位化規格，在提供有意義之量測結果時皆扮演舉足輕重角色。瞭解效能規格更是為手邊工作選擇正確儀器時所不可或缺的要件。

評估擷取系統的效能

頻寬 – 「頻寬」一詞係指示波器的輸入電路 (垂直放大器) 在一定容許度內所能接受之頻寬範圍。儀器的取樣率通常

會經過最佳化以應付相同範圍頻寬。確認系統頻寬是否適用於執行量測相當重要，那究竟多少頻寬才算夠呢？這個問題的答案需視待測訊號頻率內容而定。想像一下示波器的輸入端為理想「磚牆」(brick wall) 濾波器，而 5 Gb/s PCI Express 訊號 (傳輸 101010 重複碼型) 為完美 2.5 GHz 方形波，則示波器畫面上所顯示訊號將如圖 24 中所示圖形。這三種圖形顯示理想的頻寬濾波器在頻寬中變化之情形。請注意若示波器僅通過第 3 個諧波，將導致較高的振幅與轉態時間誤差 (與通過第 5 個諧波之示波器相比)。若要達到最佳訊號完整性，毫無疑問地至少需通過第 5 個諧波才能將量測誤差降至最低。



▶ 圖 25. 使用 15 GHz 示波器擷取 5 Gb/s 輸出

實際上大多數示波器並非「磚牆」濾波器，其下降 (roll-off) 特性對訊號完整性而言具有重大指標含意。例如，若 15 GHz 示波器經過校準後在 12.5 GHz 時具有平坦頻率響應 (0 dB 損失)；在 15 GHz 時下降 3 dB；而在 17.5 GHz (第 7 個諧波) 時出現某些能量。結果就如圖 25 中量測高速 BERT 產生器的 5 Gb/s 輸出所示，為非常準確之眼狀圖響應。圖中遮罩代表 Gen2 PCI Express 傳輸端的轉態位元遮罩。若使用較低頻寬的儀器，所出現邊際將更少。

上升時間 – 如圖 24 所示，頻寬與上升時間有關。PCI Express 基本規格通常會叫出最小的傳輸端裝置之轉態時間。若為 Gen1，最小的轉態時間為 0.125 UI (50 ps)，Gen2 則為

0.15 UI (30 ps)。千萬別將傳統示波器上升時間規格 (10-90% 位準上所得量測) 與規格 (20-80% 位準上所得量測) 內的轉態時間量測搞混。基於此，大多數示波器廠商都會在其規格表上同時加註 10-90% 及 20-80% 兩種上升時間規格。若系統的上升時間遠低於指定量測上升時間，代表準確度越高。以 15 GHz 即時示波器為例，20-80% 上升時間規格為 19 ps，若在最快速的 Gen2 30 ps 轉態上，將產生約 5% 轉態時間量測誤差。

達到第 5 個諧波準確度為傳輸端相容性測試 (在串行器/解串行器的接腳上) 之最低要求。若要進行更精確特性分析，可使用頻寬高達 70 GHz，而上升時間低達 5 ps (10-90%) 的取樣示波器。

若要在 CEM 及其他互連測試點上進行下傳 (downstream) 量測，通常使用較低頻寬 (較低上升時間) 的示波器便足以應付。原因在於訊號離開傳輸端接腳並繼續沿著傳輸銅線傳送後，訊號將經過進一步過濾，同時減少其第 5 個諧波內容。若訊號的轉態時間減緩至占相當高比例時間間隔時，使用較低頻寬儀器可大幅降低上升時間及振幅之誤差。然後，唯一確認是否已用較低頻寬示波器完成準確量測的方法，為使用具有第 5 個諧波等級效能之儀器進行相同量測，接著比較雙方結果。

取樣率 – 在即時示波器中，準確重建類比訊號所需的取樣率是由 Nyquist 取樣定理所定義。定理中說明必須具備兩倍以上的最高輸入訊號頻寬內容之取樣率，才能擷取足夠資料以準確重建波形。因此，40 GS/s 取樣率足以支援輸入頻寬達 15 GHz 的儀器。在取樣示波器中，取樣率慢了幾級，但其並非主要效能量測項目。

內插法 – 適用於轉態時間較快 (如 PCI Express 中 30-50 ps 轉態時間) 的訊號，利用取樣資料 $\sin(x)/x$ 內插法可讓以振幅為基礎之量測及眼狀圖更加準確。內插因子必須加以設定，才能確保最少可量測發生於邊緣上三個以上取樣點。若在參考位準設為交換臨界值或差動訊號「位準歸零」(zero level) 的情況下量測抖動，通常內插法對結果幾乎沒有影響。部分即時示波器於擷取路徑中即內設有 $\sin(x)/x$ 內插法；其為預設的內插法。因此可提供準確的結果，且不會減慢波形及量測輸出。

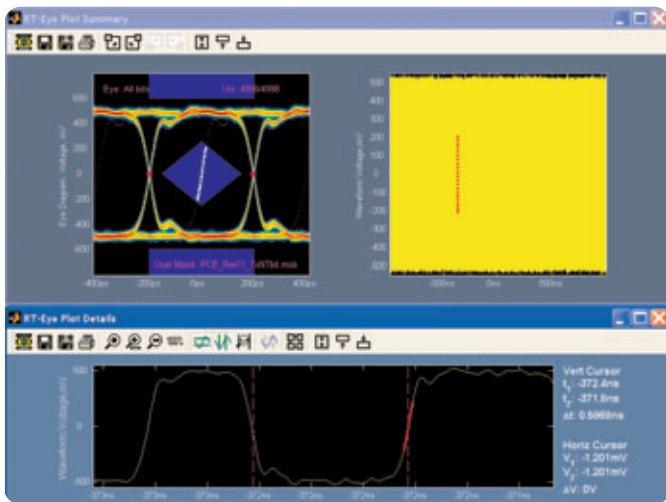
基準雜訊 – 在即時示波器中，可透過移除所有資料依存的抖動，再根據訊號上時間間隔誤差 (TIE) 之隨機元件定義出基準雜訊 (jitter noise floor, JNF)。只要為示波器輸入提供理想的時脈訊號 (101010) 重複碼型，並量測 TIE 之標準差 (RMS)，即可直接量測基準雜訊。最高效能的即時示波器通常可提供不到 400 fs RMS 之隨機抖動基準雜訊。而取樣示波器 (雖然非即時) 在相同的設定下所得量測結果通常小於 200 fs RMS，因為其基準雜訊較低且數位器解析度較高。即時示波器具有 8 位元的數位器解析度 DC，取

樣示波器則可提供 14 位元解析度。如先前所說明，即時示波器的解析度較低，加上其輸入放大器助長雜訊，因此造成相對 JNF 高上 2 倍多。

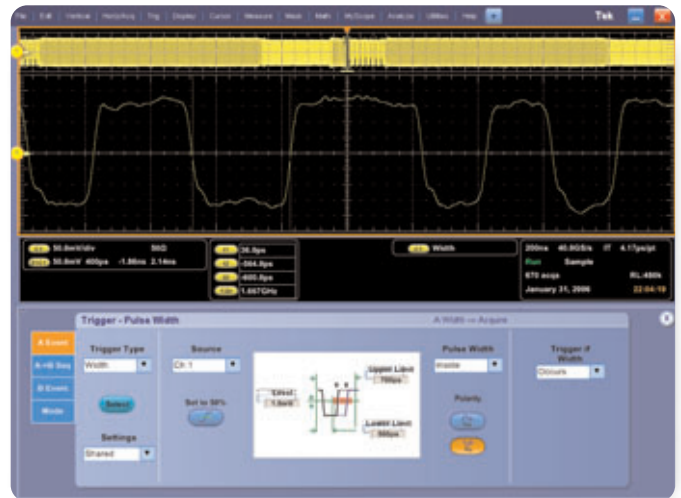
記錄長度 – 在即時示波器中，記錄長度實際上定義出所能擷取的訊號頻率內容。在進行抖動量測時，這一點尤其重要。低頻率的 TIE 頻譜元件 (抖動頻譜) 只有在擷取後才能進行量測，而長記錄長度之示波器可讓您以最高取樣率擷取這些頻率。例如，若擁有 100 M 記錄長度，則可在 50 ps/pt 下擷取 5 毫秒的波形資料。相當於 1,250 萬個 Gen1 PCI Express 流量 UI，或 150 個展頻式時脈週期。

在 PCI Express 中，為顧及低頻抖動，Rev1.1 規格需要 1 百萬個統計上必備的 UI。為了在單次擷取中能擷取到 1 百萬個 UI，示波器最少必須擁有 8 M 記錄長度。若要過濾高頻元件並依據資料訊號解析 30 KHz SSC 曲線，則必須擷取超過 10 個週期 (333 usec) 或 13 M 資料。

觸發 – 在即時示波器中，觸發效能在除錯應用上相當重要。為了擷取可能造成位元錯誤的訊號異常，儀器必須能夠以相同訊號頻寬進行觸發。例如，5 Gb/s 訊號異常可能相當於 100 ps 寬度的突波。就系統層級而言，在特定符號上進行觸發亦相當重要。下一節將說明幾個可使用 Tektronix 獨特的觸發系統進行 PCI Express 設計問題除錯之實例。



▶ 圖 26a. 偵測到的位元錯誤



▶ 圖 26b. 在位元錯誤上進行觸發

使用 Pinpoint® 觸發與資料解碼工具進行連結除錯

找出位元錯誤並進行觸發

通常在進行訊號完整性量測期間，若發生突發行為，代表設計上可能有問題。在這些情況下，除錯便成為迅速找出並解決問題的重要方法。一般會使用分析工具配合儀器的觸發系統，來找出問題所在。圖 26a 為 RT-Eye 軟體偵測到罕見位元錯誤顯示圖。乍看之下，似乎在 2.5 Gb/s 資料中少數時候會發生不定時 200 ps 脈衝。將 RT-Eye 軟體的位元錯誤定位器 (Bit Error Locator) 開啟後，隨即同時顯示

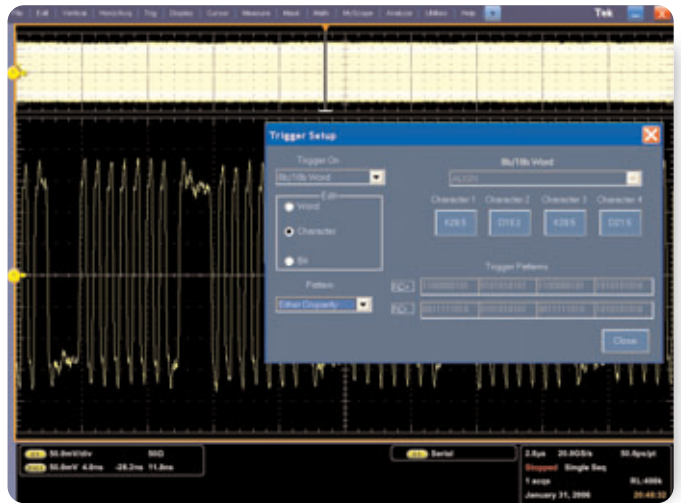
眼狀圖 (圖左上角) 及所擷取波形 (圖右上角) 畫面。發生遮罩異常時，所有違反遮罩的取樣點將以紅點標示於波形圖上。若放大仔細觀察波形圖 (底部)，則可清楚發現異常的實際本質。故障位元實際上有 600 ps 寬！既然已經發現故障位元，該如何才能進行除錯？由於已知脈衝為 600 ps 寬，因此只要將脈衝寬度觸發設定為只有在 600 ps 脈衝發生時才觸發示波器即可。圖 26b 顯示利用觸發設定在資料串中找出 600ps 寬脈衝，可進一步調查問題成因為何。

PCI Express™ 量測簡介

▶ 入門手冊



▶ 圖 27a. 自波形中解碼資料



▶ 圖 27b. 在任四種符號組合上進行觸發

進行 8b/10b 符號的驗證及觸發

除了發生於 PHY 類比部分中的位元錯誤外，在連結上傳輸適當之數位資料亦相當重要。雖然可透過訓練有素的人員檢視類比波形並將其轉換為代表符號 (K28.5, D10.2 等.....)，但過程相當繁瑣且極可能出錯。若使用即時示波器搭配 PTD (協定觸發解碼, Protocol Trigger and Decode)

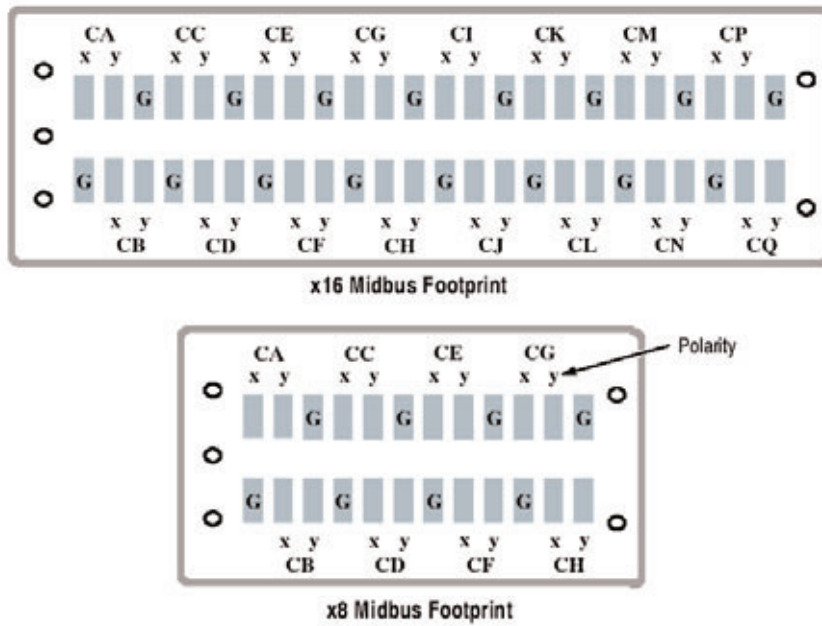
軟體 (圖 27a)，即可自動從所擷取波形 (底部) 解碼資料，並提供符號清單，以進行數位資料驗證。圖 27b 顯示 PTD 軟體的觸發設定功能表，可支援在任四種資料符號 (40 個位元) 上進行觸發。您也可透過以串行器/解串行器為基礎的觸發，在不一致及字元誤差上即時進行觸發。

數位驗證與除錯

實體層相容性測試通常為長時間且困難的產品開發之最後程序。然而，在相容性測試前及測試後尚有許多考量因素。畢竟裝置不僅必須通過脈衝，也需通過有效的二進位資料測試。在目前為止所探討內容中，尚未證明裝置可提供正確的資料及通訊協定層級資訊。除錯、疑難排除和設計驗證與為相容性測試所做的準備一樣，屬於專案之一部分。

這代表此時已可以使用邏輯分析儀進行整體資料擷取及解讀，而不再只是利用個別脈衝功能進行。在邏輯分析儀的數位環境中，利用所擷取資料可建立匯流排活動之時序圖。串列資料將搨出 (fan out) 為並列格式且儲存在儀器的記憶體中。利用適當的解碼工具，甚至可反組此記錄資料，以協助工程師確認較高階之程式設計指令是否正確執行。

雖然本文內容主要是有關類比測試挑戰與解決方案，但若能檢視支援示波器及 PCI Express 量測訊號源的邏輯分析儀，保證您值回票價。



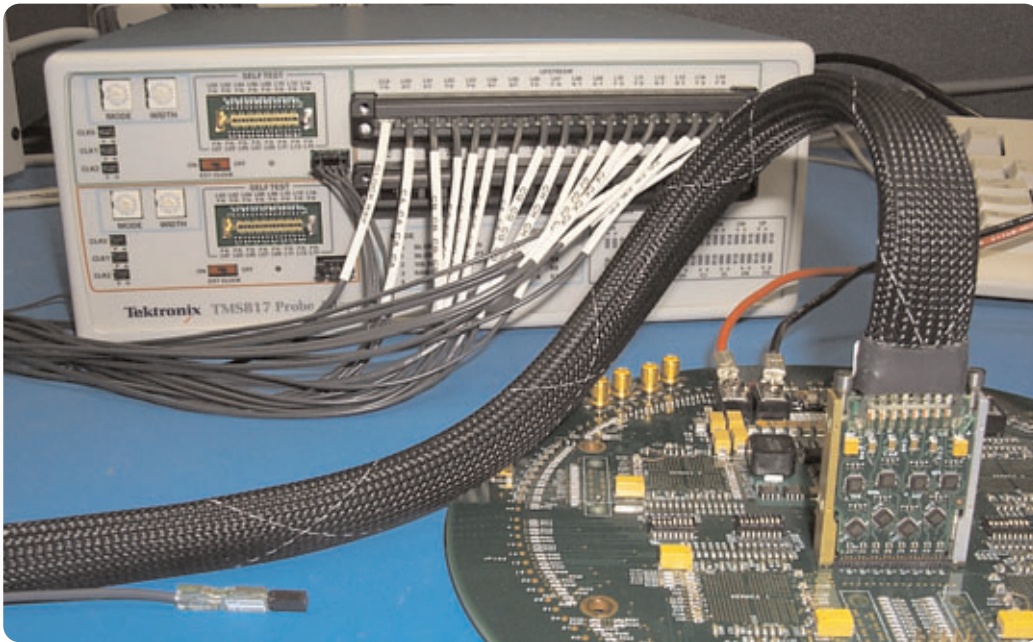
▶ 圖 28. PCI Express 中途匯流排探棒接合焊墊 (landing pad)

能建立正確連結的探測方法

所有量測皆從探測開始，而保持訊號完整性與進行類比擷取一樣，同為此時所考量因素。先前曾探討過利用搭配 SMA 接頭的治具原型裝置，可為示波器提供最大之訊號完整性。同樣重視訊號完整性目標，邏輯分析儀則自有一套解決方法。

在 2.5 Gb/s 及更高頻率上，光夾戴一般邏輯分析儀探棒是不夠的。浮動導線及微型勾爪 (micro-grabber) 將引發接地迴路及其他無法預測的類比影響。即使將訊號傳送至接腳接頭 (pin header) 也將對低電壓、高頻率串列訊號造成影響，因此這些訊號完全無法容忍接頭所造成之電子 stub 或損失。

相反地，在進行電路板佈線時應考慮使用探測方法。如 PCI Express 的標準制式方法為使用中途匯流排探棒介面。圖 28 為中途匯流排探棒機體圖。



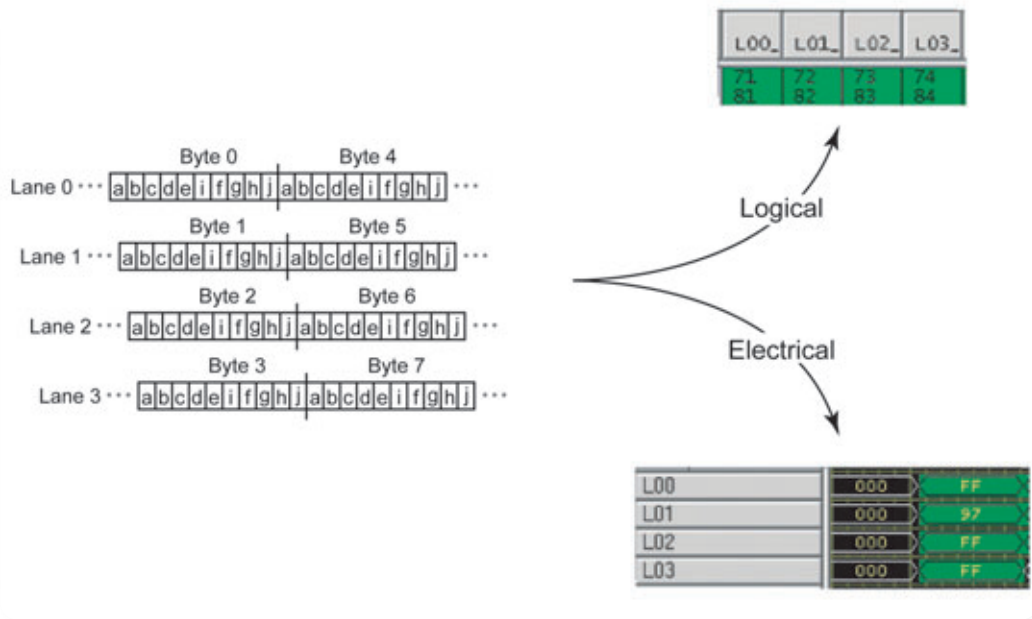
▶ 圖 29. PCI Express 中途匯流排探棒接合焊墊

不同於以接頭為基礎的存取點，接合焊墊在探棒未使用時對訊號幾乎沒有影響。當然，接合焊墊的設計必須配合邏輯分析儀探棒。圖 29 中的探棒便是專門為此而設計。

無疑地，其目的是為將對探棒的負載影響降至最低。但任何探棒皆免不了會增加訊號損失方面的預算。高速訊號對探棒阻抗相當敏感，尤其是其電容負載。隨著訊號頻寬增

加，探棒電容的影響也隨之增高。適用於 PCI Express 擷取的「理想」探棒需具有：

- ▶ 高類比頻寬
- ▶ 高阻抗
- ▶ 低電容
- ▶ 最少 stub



▶ 圖 30. 上圖為透過邏輯檢視對資料進行解密 (descramble)、偏移校正及解碼，並將位元設為正確的極性。結果以十六進位資料串表示。

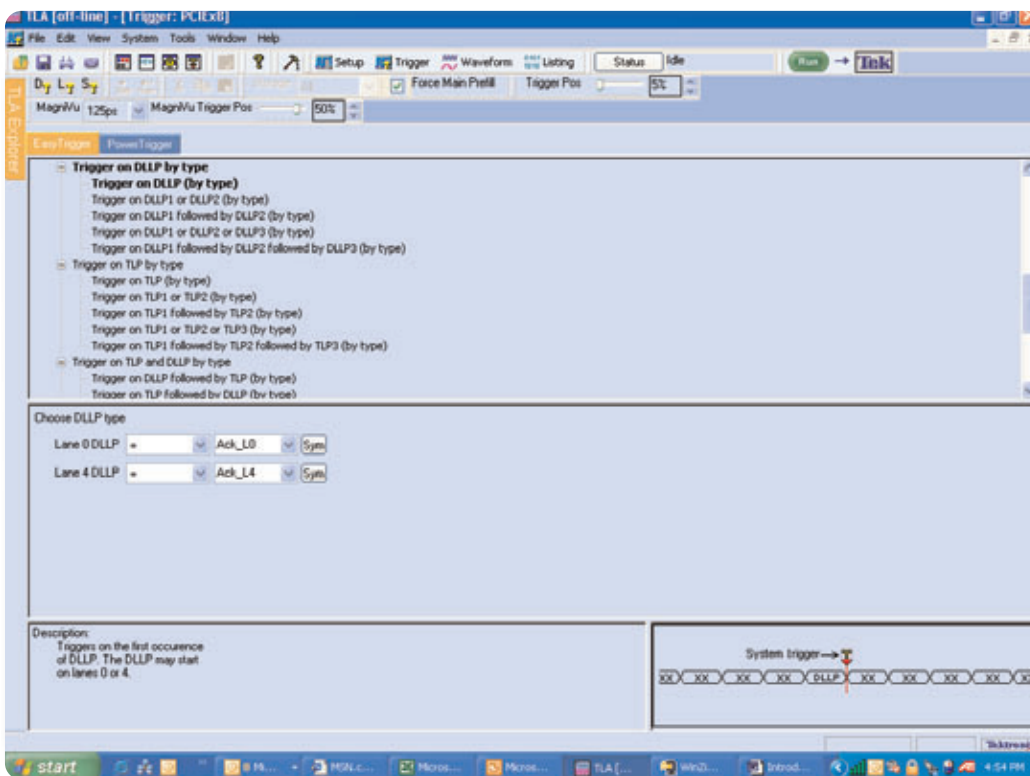
擷取訊號：從封包到並列訊號

串列資料以幾位元寬的深層封包資料進行傳送；並列資料則以僅一個位元深但許多位元寬之「字元」形式顯示。邏輯分析儀原本就為並列架構，並具有許多通道 (位元) 可同時接收資料。但由於特殊的處理器/匯流排支援封包，邏輯分析儀可同時迅速擷取及分析串列與並列資料。最先進的邏輯分析儀特點在於其處理器/匯流排支援封包之廣泛延伸性。

圖 30 為邏輯分析儀顯示分離串列資料並以邏輯和電子次區塊格式表示資料的過程圖。

觸發為疑難排除效率的關鍵

邏輯分析儀的顯著功能之一在於其觸發系統極富彈性。若與專為 PCI Express 等特定串列標準設計的支援封包搭配使用，邏輯分析儀可提供先進觸發功能，能輕鬆找出並擷取特定之交互作用。



▶ 圖 31. 邏輯分析儀觸發範本

當邏輯分析儀得以在交互作用或其他封包元件，如控制符號上（全速）進行觸發時，即可迅速展開除錯工作。如圖 31 所示，某些儀器甚至設有觸發範本。這些範本皆為儀器預設值（由原廠提供或使用自訂），使用者可自行填入「形式」以指定感興趣的事件。同時可針對範本內容進行最佳設定，以滿足各個串列通訊協定的獨特需求。

分析結果

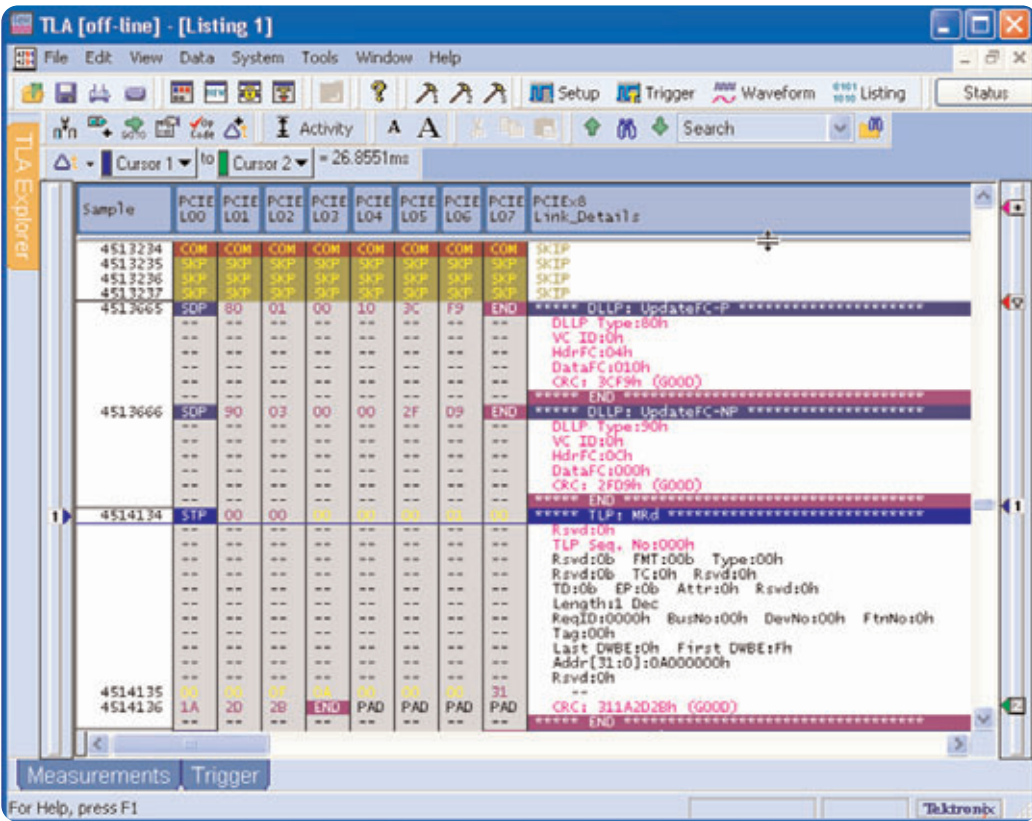
完成資料擷取後，必須將所儲存資料解碼為有意義的結果並適當顯示出來。如圖 32 所示，匯流排支援封包利用其清單視窗功能，加上精密軟體工具反組譯、解碼，並以封包型檢視顯示所擷取資料。圖中所示為自 X8 PCI Express 匯流排進行擷取。

圖 32a 為邏輯分析儀的清單顯示圖。顯示圖包含三個元件：封包/控制符號的摘要、詳細解碼欄位，以及原始資料。由色彩碼可區分出這三種元件中文字，並辨別控制符號與封包/控制符號摘要中的封包。此外，亦可區別要求的交互作用和作業層級，以及詳細解碼欄位中之響應封包。圖 32b 為相同資料的波器檢視圖。

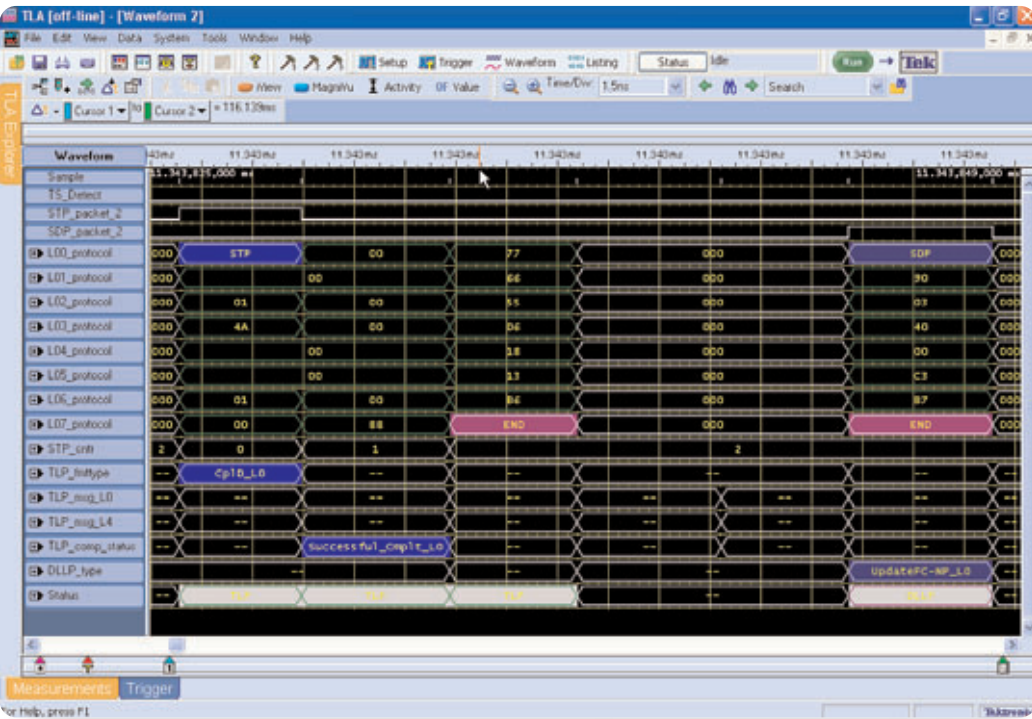
由於邏輯分析儀配有最佳化的支援封包，因此可提供進階反組譯功能，如深層擷取傳輸與接收埠相關主機板上處理器活動，以及同步深入顯示這些連接埠。反組譯程式可提供控制符號解碼及顯示實體層各層領域；封包解碼及顯示實體、傳輸及邏輯通訊協定層等各層領域；以及同步解碼傳輸與接收資料埠等各種功能。

PCI Express™ 量測簡介

▶ 入門手冊



▶ 圖 32a. X8 PCI Express 連結的清單顯示圖



▶ 圖 32b. X8 PCI Express 連結的波形顯示圖

PCI Express 量測解決方案綜覽

到目前為止，我們可清楚看出串列相容性量測確實需仰賴高能量測儀器的資源。最常用於 PCI Express 驗證與相容性測試，以及除錯工作的有下列五種儀器。

示波器

量測主動式 PHY 電子部分的理想選擇工具為高效能示波器，而最先進數位示波器可利用絕佳訊號完整性在 multi-gigabit 範圍中擷取波形。

一旦自串列位元串還原時脈後，示波器即可自波形建立眼狀圖。示波器所建立的眼狀圖可提供絕佳訊號特性檢視。此外，內建廣泛的量測程式庫，可讓您立即為眼狀圖及所擷取波形進行量化評估。

利用專用的工具進行後續處理時，將產生時間間隔誤差 (TIE)。藉由分析 TID 可區分隨機和確定抖動，同時可估算在 10^{-12} 位元錯誤率 (BER) 時的總抖動。

除了集多種儀器功能於一身之外，示波器還擁有下列其他優點：高彈性探測、豐富顯示功能、觸發功能及其他更多優點。

即時 (RT) 示波器

即時示波器可擷取連續、相鄰的資料記錄。若要進行串列連結分析，則示波器至少必須自每個位元中擷取數個樣本。今日最先進的數位儲存示波器 (DSO)、數位螢光示波器 (DPO) 及數位串列分析儀 (DSA) 之樣本對樣本 (sample-to-sample) 取樣間隔高達 25 ps (40 GS/s 取樣率)；若具備高達 15 GHz 頻寬，則可妥善分析高達 8 Gb/s 訊號特性。示波器的連續、即時記錄功能使其具備下列特有優點：

- ▶ 利用數位訊號處理 (DSP) 演算法可自數位化串列資料位元串還原嵌入時脈。這種 (以 sw 為基礎) 時脈還原方法是最彈性的方法之一；此外，也不需使用時脈還原硬體且可防止發生無法避免的抖動。
- ▶ 由於最佳即時示波器中的訊號路徑可執行高達或近乎高達儀器頻寬，因此這些即時示波器中之廣泛硬體觸發功能可用來在感興趣資料或事件上進行觸發 — 往往都能擷取到其他方法幾乎無法發現事件。
- ▶ 透過即時擷取資料即可在最少限制下進行分析；例如若擷取儀器整體頻寬，則所有抖動類型的抖動頻譜資訊皆相當完整而清晰 (unaliasd)；甚至可擷取並儲存/解碼完整的隨機資料。
- ▶ 最後，完整的資料擷取對突發、無法預測行為除錯等應用而言為不可或缺寶貴功能。

等時 (ET) 取樣示波器

等時取樣示波器即以超高速分析訊號完整性的示波器，亦稱為「取樣示波器」及「通訊 (訊號) 分析儀」。其儀器頻寬最大可達 70+ GHz，能分析小至 1 Gb/s 以下，大至 40 Gb/s 及以上的光學和電子訊號。由於取樣示波器並不會嘗試以即時速度進行擷取，所以能執行更準確的訊號擷取：因此取樣示波器可提供較高數位器解析度及卓越雜訊效能 — 這兩種功能皆有助於在今日共用串列連結中擷取低電壓訊號。同樣地，由於只以「等時」序列方式擷取樣本，因此樣本彼此間隔可控制在幾 fs (femtosecond) 之內，而不需顧慮樣本對樣本間隔或插入問題。另一方面，抖動分析將更加複雜且有時會限制所量測訊號，例如限制為重複碼型訊號。

由於取樣示波器具備高頻寬，所以可同時提供 TDR 及 S 參數量測功能，因此不需透過獨立 VNA (向量網路分析儀，Vector Network Analyzer) 在串列資料裝置上執行 S 參數量測。

此外，取樣示波器亦可搭配時脈還原功能；在這種情況下，還原功能是由硬體所提供。

某些即時示波器則利用硬體時脈還原功能，同時提供即時 (RT) 和等時 (ET) 眼狀讀取技術，這兩種技術各有其優點。

訊號源

最佳高速工程設計應用包括在「實際」狀況下實踐設計，而可逼真模擬這些狀況的理想工具為程式設計訊號源。若要以今日的資料率產生測試訊號，需透過高速資料時序產生器 (DTG) 及任意波形產生器 (AWG)。如果缺少這些儀器則根本不可能測試及驗證新興實體層和設計。許多訊號源可重現 (replay) 示波器所擷取的訊號，這些訊號可作為參考訊號，或加以修改以強化待測裝置。

資料時序產生器特別適用於產生多個並列資料通道串 — 在今日最先進的儀器中可產生高達 96 個通道，且這些工具可提供 3.3 Gb/s 資料率。此外，這些先進的儀器還可提供許多訊號操作功能，包括獨立層級 (independent level)、上升/下降及抖動控制等功能。

無可避免的，高速數位訊號一定具有類比屬性。任意波形產生器可利用匯流排通道上的類比內容 (通常為蓄意損壞) 提供激勵訊號。AWG 可產生任何種類或形狀的波形，普遍適用於設計及製造應用。目前 AWG 的取樣率已超過 4 GS/s (2 GHz 頻寬)，相當於 4 Gb/s 資料率。

邏輯分析儀

邏輯分析儀為量測格式化串列資料 (而非個別脈衝特性) 之首選工具。不同於 RT 及 ET 示波器，邏輯分析儀可擷取二進位資料，並以時脈、週期及邊緣轉態等形式表示。邏輯分析儀的用途在於簡化串列傳輸中純數位部分的擷取與分析過程。為執行其串列匯流排除錯任務，邏輯分析儀必須提供符合下列高速匯流排需求的功能：高取樣率、深度記憶體、彈性觸發、同步化及其他更多功能。此外和示波器一樣，邏輯分析儀亦必須提供影響最小的探測工具。

總結

隨著電腦市場對快速資料率的需求不斷攀升，PCI Express 技術之重要性將持續且勢必與日俱增。正當設計及驗證工程師面臨急進的開發時程與快速變遷標準時，他們也將體驗全新而或許陌生學習訓練 (串列相容性量測)。

所幸目前如 PCI-SIG 等業界工作團隊正致力於穩定設計、架構及相容性需求等相關技術與推廣資訊。

同時，從即時到取樣示波器，一直到邏輯分析儀與訊號源等各種量測工具，皆有助於工程師應付 PCI Express 量測挑戰。這些解決方案提供了足以擷取、顯示及分析最複雜的串列訊號之效能。也由於這些創新、自動化的工具，工程師得以迅速執行相容性與驗證測試，並輕鬆加速上市時間。



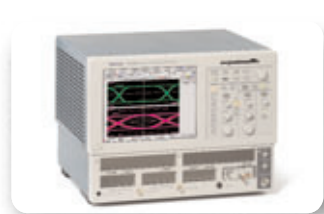
DSA70000 系列

DSA70000 系列為新一代即時 DPO，同時為業界面臨訊號完整性問題挑戰的最佳解決方案。



TDS6000B/C 系列

TDS6000B/C DSO 系列具備專為應付驗證、除錯及相容性挑戰所設計的功能組，為您提供無與倫比效能。加上 Pinpoint 觸發系統可提供 1,400 種以上組合，讓您更快解決問題。



TDS8200 系列

TDS8200 系列為針對需要數十 GHz 頻寬的研究、設計驗證及製造測試等應用需求所特別設計。



TLA7000 系列

TLA7000 系列提供了突破性的數位系統分析工具，可擷取並分析難以捉摸之問題來源。除了能讓您迅速擷取那些捉摸不定的問題來源，還提供大畫面顯示及快速系統資料傳輸率。



DTG5000 系列

DTG5000 系列結合了資料產生器的功率，以及多用途平台外型之脈衝產生器功能。其模組化平台能讓您輕鬆配置符合現有及新興需求的儀器效能，以將設備成本減至最低。

請聯絡 Tektronix：

大韓民國 82 (2) 528-5299

中東、亞洲及北非 +41 52 675 3777

中東歐、烏克蘭及波羅的海諸國 +41 52 675 3777

中華人民共和國 86 (10) 6235 1230

中歐與希臘 +41 52 675 3777

丹麥 +45 80 88 1401

巴西與南美洲 55 (11) 3741-8360

巴爾幹半島、以色列、南非及其他 ISE 國家 +41 52 675 3777

日本 81 (3) 6714-3010

比利時 07 81 60166

印度 (91) 80-22275577

加拿大 1 (800) 661-5625

台灣 886 (2) 2722-9622

西班牙 (+34) 901 988 054

芬蘭 +41 52 675 3777

東南亞國協/大洋洲 (65) 6356 3900

法國與北非 +33 (0) 1 69 86 81 81

波蘭 +41 52 675 3777

英國與愛爾蘭共和國 +44 (0) 1344 392400

俄羅斯及獨立國協 +7 (495) 7484900

南非 +27 11 254 8360

挪威 800 16098

美國 1 (800) 426-2200

香港 (852) 2585-6688

荷蘭 090 02 021797

葡萄牙 80 08 12370

瑞士 +41 52 675 3777

瑞典 020 08 80371

義大利 +39 (02) 25086 1

奧地利 +41 52 675 3777

墨西哥、中美洲與加勒比海諸國 52 (55) 56666-333

德國 +49 (221) 94 77 400

盧森堡 +44 (0) 1344 392400

其他地區請以下列電話連絡 Tektronix 公司：1 (503) 627-7111

2006 年 2 月 28 日修訂

您可造訪我們的網站取得最新的產品資訊，網址為：
www.tektronix.com



Copyright © 2006 Tektronix. 版權所有。Tektronix 產品受美國和外國專利權的保護、聲明與審查。本出版品中的資訊可取代之前任何出版品中的資訊。本公司保留變更規格與價格的權利。TEKTRONIX 和 TEK 為 Tektronix, Inc 的註冊商標。其他商標名稱則是該相關公司的使用標記、商標或註冊商標。

1/06 FLG/BT

4HT-19375-0

Tektronix
Enabling Innovation