

The XYZs

ロジック・アナライザ入門



目次

はじめに	4-5
ロジック・アナライザの誕生	4
デジタル・オシロスコープ	4
ロジック・アナライザ	5
ロジック・アナライザの動作	6-14
被測定システムへの接続	6
プローブ	6
設定	7
クロック・モードの設定	7
トリガの設定	8
アキュイジション	9
ステートおよびタイミングの同時取込	9
リアルタイム・アキュイジション・メモリ	10
統合されたアナログ・デジタル・トラブルシューティング・ツール	11
解析と表示	12
波形表示	12
リスト表示	13
自動測定	14
性能に関する用語と考慮すべき項目	15-16
タイミング・アキュイジション・レート	15
ステート・アキュイジション・レート	15
MagniVu®アキュイジション・レート	15
レコード長	15
チャンネル数とモジュラ構成	16
トリガ	16
プロービング	16
ロジック・アナライザの測定例	16-20
汎用タイミング測定	17
間欠的に発生するグリッチの検出と表示	18
セットアップ／ホールド時間違反の取込み	19
トランジショナル・ストレージ・モードによるレコード長の有効利用	20
ロジック・アナライザのアプリケーション	21-26
FPGA	21
メモリ	23
シグナル・インテグリティ	24
シリアル・データの適合性、検証、デバッグ	25
まとめ	27
用語集	28-31

はじめに

多くの電子測定器と同様、ロジック・アナライザは特定の問題を解決するためのソリューションとなります。ロジック・アナライザは、デジタル・ハードウェアのデバッグ、設計の検証および組み込みソフトウェアのデバッグに役立つ、汎用性の高いツールです。また、デジタル回路の設計エンジニアにとっては、欠くことのできないツールです。

ロジック・アナライザは、入力チャンネルの多いデジタル回路や、トリガ条件のむずかしいデジタル測定に使用されます。

はじめに、デジタル・オシロスコープについて説明し、その結果開発されたロジック・アナライザについて説明します。次に、基本的なロジック・アナライザの構成を示します。その後、特定のアプリケーションに適したツールを選択するときに重要なロジック・アナライザの機能と、その機能が重要な役割を果たす理由について説明します。

ロジック・アナライザの誕生

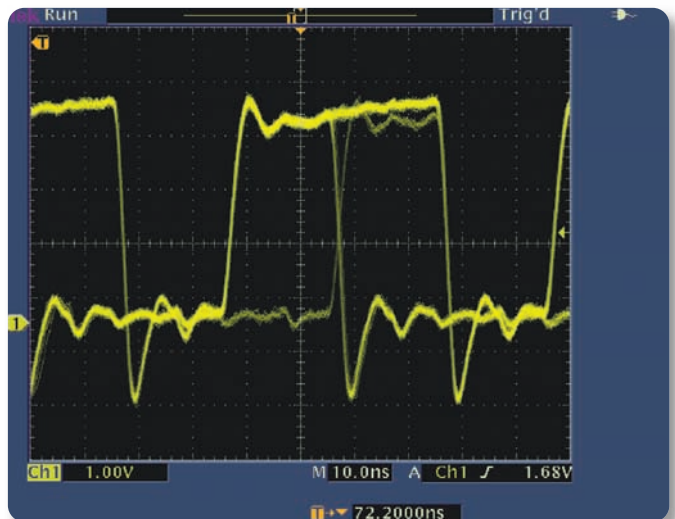
ロジック・アナライザが開発されたのは、最初の商用マイクロプロセッサが市場に投入された時期とほぼ同じです。このプロセッサを使ったシステムを設計したエンジニアは、マイクロプロセッサの設計をデバッグするには、オシロスコープよりも多くの入力チャンネルが必要であることにすぐさま気付きました。

複数の入力を備えたロジック・アナライザが、この問題を解決しました。デジタル技術の迅速な進歩に追いつくように、そのアキュイジション・レートとチャンネル数の両方を徐々に増やしていきました。ロジック・アナライザは、デジタル・システムの開発の鍵を握るツールです。

オシロスコープとロジック・アナライザの間には、類似点もあれば相違点もあります。この2つの装置がどのアプリケーションに適しているかを理解するには、個々の機能を比較して確認することが必要になります。

デジタル・オシロスコープ

デジタル・オシロスコープは、信号表示のための基本的ツールです。高速なサンプル・レートと帯域幅を備えていますので、長い時間範囲で多くのデータ・ポイントを取込むことができ、信号トランジション（エッジ）、過渡的現象、短時間での電圧変化などの測定ができます。



▶ 図1：オシロスコープでは、信号振幅、立ち上がり時間、その他のアナログ特性が測定できます。

オシロスコープでは、確かにロジック・アナライザと同じデジタル信号を確認できますが、ほとんどのオシロスコープ・ユーザーにとって重要なのは、立ち上がりおよび立ち下り時間、ピーク振幅、エッジ間の経過時間などのアナログ測定です。

図1の波形を見ると、オシロスコープの利点がわかります。これはデジタル回路から取込まれた波形ですが、信号のアナログ特性が明らかになっています。これらの特性から、信号の機能が推し量れます。ここでは、リングング、オーバーシュート、立ち上がりエッジのロールオフ、およびアベレーションを取込んでいます。

カーソルや自動測定などのオシロスコープ機能を使用すると、設計に影響を与えるシグナル・インテグリティの問題を簡単に追跡できます。さらに、伝搬遅延、セットアップ、ホールド時間などのタイミング測定も、オシロスコープで測定できます。もちろん、マイク出力やデジタル／アナログ・コンバータ出力など、多くの純粋なアナログ信号は、アナログ成分の詳細が記録できる装置で観測する必要があります。

通常、オシロスコープには最大で4つの入力チャンネルがあります。5つのデジタル信号を同時に測定する場合や、32ビットのデータ・バスと64ビットのアドレス・バスがある場合、どのように測定したらよいでしょうか。このような場合に、多くの入力チャンネルを持つツール、つまりロジック・アナライザが必要になります。

どのようなときにオシロスコープを使用するのでしょうか。

複数の信号の「アナログ特性」を同時に測定する必要がある場合、デジタル・オシロスコープがもっとも有効なソリューションになります。信号の振幅、電力、電流、または位相の値や、立ち上がり時間などのエッジ測定を確認する必要がある場合は、オシロスコープが適しています。

以下の用途ではデジタル・オシロスコープを使用します。

- ▶ アナログ・デバイスおよびデジタル・デバイスを検証するときのシグナル・インテグリティ（立ち上がり時間、オーバershoot、リングングなど）の評価
- ▶ 最大で4つの信号の信号安定性（ジッタやジッタ・スペクトラムなど）の同時評価
- ▶ セットアップ／ホールド時間、伝搬遅延などのタイミング・マージンを評価するための信号エッジおよび電圧の測定
- ▶ グリッチ、ラント・パルス、メタステーブルなどの過渡的な障害の検出
- ▶ 複数の信号の振幅とタイミング・パラメータの同時測定

どのようなときにロジック・アナライザを使用するのでしょうか。

ロジック・アナライザは、デジタル設計の検証とデバッグのための優れたツールです。ロジック・アナライザはデジタル回路が動作していることを検証する装置で、発生した問題のトラブルシューティングに役立ちます。ロジック・アナライザは、多くの信号を一度に取込んで表示し、そのタイミング関係を解析します。断続的に発生する、わかりにくい問題のデバッグ用に、グリッチやセットアップ／ホールド時間違反を検出できるロジック・アナライザもあります。ソフトウェア／ハードウェアの統合時には、ロジック・アナライザが組み込みソフトウェアの実行をトレースし、プログラム実行の有効性を解析します。一部のロジック・アナライザは、ソース・コードを、特定のハードウェア・アクティビティと関連付けます。

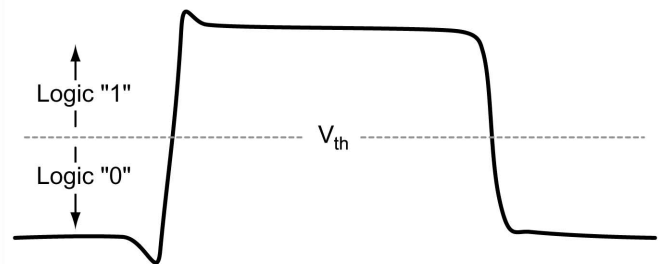
以下の用途ではロジック・アナライザを使用します。

- ▶ デジタル・システム操作のデバッグと検証
- ▶ 複数のデジタル信号の同時トレースおよび関連付け
- ▶ バス上のタイミング違反と過渡的現象の検出と解析
- ▶ 組み込みソフトウェアの実行トレース

ロジック・アナライザ

ロジック・アナライザには、オシロスコープとは異なる機能があります。もっとも明らかな相違点は、チャンネル（入力）数です。通常のデジタル・オシロスコープには、最大で4つの信号入力があります。ロジック・アナライザのチャンネル数は34～136です。各チャンネルは1つのデジタル信号を入力します。一部の複雑なシステム設計には数千もの入力チャンネルが必要です。適切なスケールのロジック・アナライザは、このようなタスクにも使用できます。

ロジック・アナライザは、オシロスコープとは異なる方法で信号を測定し、解析します。ロジック・アナライザは、アナログの詳細は測定せずに、ロジックのしきい値レベルを検出します。ロジック・アナライザをデジタル回路に接続している場合は、信号のロジック・ステートだけが問題になります。図2に示すように、ロジック・アナライザは2つのロジック・レベルだけを検出します。



▶ 図2：ロジック・アナライザでは、しきい値の電圧レベルを基準に論理値を決定します。

ロジック・アナライザ入門

▶ 入門書

入力信号がしきい値電圧 (V_{th}) を超えると、レベルは「ハイ」または「1」と呼ばれ、 V_{th} よりも低いレベルは「ロー」または「0」と呼ばれます。ロジック・アナライザが入力信号をサンプリングすると、電圧しきい値を基準にした信号レベルに基づいて「1」または「0」をストアします。

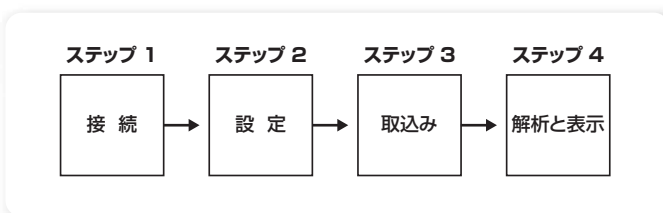
ロジック・アナライザの波形タイミングの表示は、データ・シートで見られる、またはシミュレータによって生成されるタイミング・ダイアグラムと類似しています。すべての信号は時間相関が取れていますので、セットアップおよびホールド時間、パルス幅、大きく外れたデータ、または欠落したデータを表示できます。チャンネル数の多さに加えて、ロジック・アナライザは、デジタル設計の検証とデバッグをサポートする重要な機能を備えています。次のような機能があります。

- ▶ ロジック・アナライザがデータを取込む条件を指定できる高度なトリガ
- ▶ 被測定システム (SUT) への接続を簡略化する高密度プローブとアダプタ
- ▶ 取込んだデータをプロセッサのインストラクション・ニーモニックに変換し、ソース・コードに対応付ける解析機能

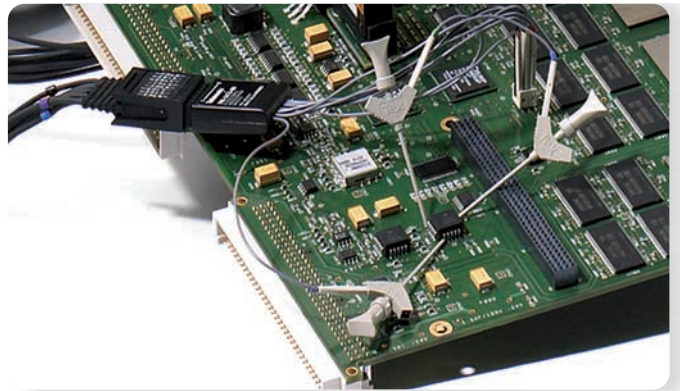
ロジック・アナライザの動作

ロジック・アナライザは、接続されたデジタル信号を取込み、解析します。ロジック・アナライザを使用するには、図3に示すように、次の4つのステップを実行します。

1. 被測定システム (SUT) への接続
2. 設定
3. 取込み
4. 解析と表示



▶ 図3: 簡略化したロジック・アナライザの動作



▶ 図4: 汎用プローブ

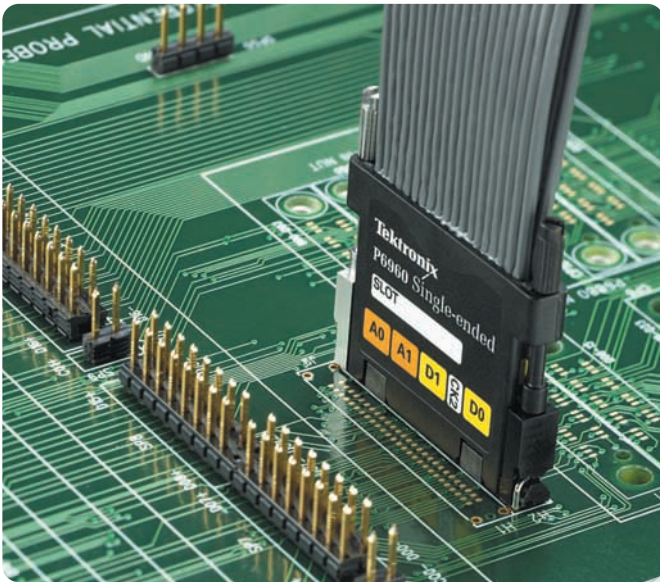


▶ 図5: 高実装密度、多チャンネル・ロジック・アナライザ・プローブ

被測定システムへの接続

プローブ

ロジック・アナライザでは、大量の信号を同時に取込めることが、オシロスコープとの大きな違いです。アキュイジション・プローブをSUTに接続します。プローブの内部コンパレータでは、入力電圧をしきい値電圧 (V_{th}) と比較し、信号のロジック・ステート (1または0) の確認を行います。しきい値は、TTLレベルからCMOS、ECL、およびユーザにより定義できます。



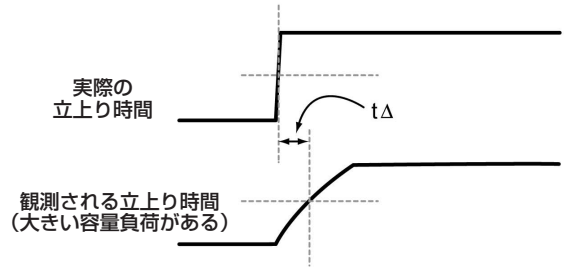
▶ 図6：D-Maxコネクタレス・ロジック・アナライザ・プローブ

ロジック・アナライザのプローブには、さまざまな形状があります。

- ▶ ポイントごとのトラブルシューティング用の「フライング・リード・セット」による汎用プローブ（図4）。
- ▶ 回路基板上に専用のコネクタが必要な、高密度、マルチチャンネル・プローブ。これらのプローブは高密度信号を取込むことができ、SUTに与える影響は最小限です（図5）。
- ▶ コネクタのないプローブ接続を使用する高密度実装プローブ（図6）。このタイプのプローブは、高い実装密度を必要とするアプリケーションや、被測定システムへの迅速かつ信頼性の高い接続のために、コネクタのないプローブ接続メカニズムを必要とするアプリケーションに適しています。

ロジック・アナライザのプローブ・インピーダンス（容量、抵抗、インダクタンス）は、被測定回路の総負荷の一部になります。すべてのプローブには負荷特性があります。ロジック・アナライザのプローブは、SUTへの負荷が最小限で、ロジック・アナライザに正確な信号を伝達するものでなければなりません。

図7に示すように、プローブの容量によって、信号のトランジションに「ロールオフ」が発生する傾向があります。このロールオフによって、図7に「 t_{Δ} 」と表した時間だけエッジ・トランジションに遅延が生じます。なぜこれが重要なのでしょうか。エッジが遅いため、回路のロジックしきい値と交差するタイミングが遅くなるので、SUTでタイミング・エラーが発生します。クロック・レートが上がると、これはさらに重大な問題になります。



▶ 図7：ロジック・アナライザのプローブ・インピーダンスは、信号の立上り時間と測定されるタイミング関係に影響を与えることがあります。

高速システムでは、過度のプローブ容量によってSUTが動作しなくなることもあります。総容量ができる限り小さいプローブを選択することが非常に重要です。

プローブ・クリップとリード・セットによって、接続先の回路の容量負荷が大きくなることにも注意する必要があります。適切に補正されたアダプタをできる限り使用してください。

設定

クロック・モードの設定

クロック・モードの選択

ロジック・アナライザは、マルチピン・デバイスおよびバスからデータを取込むように設計されています。「取込レート」という用語は、入力信号をサンプリングする頻度を指しています。この機能は、オシロスコープの時間軸と同じです。「サンプリング」と「アキュイジション」が、ロジック・アナライザの動作を説明する場合に同じ意味で頻繁に使用されることに注意してください。

データ・アキュイジションまたはクロック・モードには、2つのタイプがあります。

タイミング・アキュイジションでは、信号のタイミング情報を取込みます。このモードでは、ロジック・アナライザの内部クロックを使用してデータをサンプリングします。データのサンプリング速度が上がると、測定の時間分解能も上がります。ターゲット・デバイスと、ロジック・アナライザによって取込まれるデータの間には一定のタイミング関係はありません。このアキュイジション・モードは、SUT信号間のタイミング関係が重要な場合に使用します。

ステート・アキュイジションは、SUTの「ステート」を取込むために使用します。SUTからの信号は、サンプル・ポイント（データを取込む時期と頻度）を定義します。アキュイジションのクロックに使用する信号は、システム・クロック、バスの制御信号、SUTのステートを変化させる信号のいずれでもかまいません。

ロジック・アナライザ入門

▶ 入門書

データはこれらの信号のアクティブ・エッジでサンプリングされ、ロジック信号が安定しているときのSUTの状態を表します。ロジック・アナライザは、選択した信号が有効な場合に限りサンプリングを行います。ここでは、クロック・イベント間に発生したものは重要ではありません。

使用するアクイジションのタイプは、データを表示する方法によって決まります。タイミングの詳細レコードを長期間連続して取込む場合は、タイミング・アクイジション、内部（または非同期）クロックが適切です。

または、SUTの視点から信号を取込むこともあります。この場合は、ステート（同期）アクイジションを選択します。ステート・アクイジションを使用すると、SUTの連続した各ステートがリスト・ウィンドウに順次表示されます。ステート・アクイジションに使用する外部クロック信号は、任意の関連する信号でかまいません。

トリガの設定

トリガは、ロジック・アナライザとオシロスコープを区別するもう1つの機能です。オシロスコープにもトリガはありますが、バイナリ条件に対応する比較的制限された機能だけです。これに対し、ロジック・アナライザでトリガすると、さまざまなロジック条件（Boolean真偽値）を評価できます。トリガの目的は、ロジック・アナライザによって取込むデータを選択することです。ロジック・アナライザはSUTのロジック・ステートを追跡し、ユーザ定義のイベントがSUTで発生したときにトリガします。

ロジック・アナライザについて説明する場合は、「イベント」という用語を理解することが重要です。この用語には複数の意味があります。イベントは、意図的であるかないかを問わず、1つの信号ライン上の単純なトランジションを指す場合があります。グリッチを捜している場合は、これが対象の「イベント」になります。イベントは、増分やイネーブルなどの特定の信号が有効になった瞬間を指す場合もあります。または、イベントが、バス全体の信号トランジションを組み合わせた結果生じた設定済みの論理条件を指す場合もあります。ただし、いずれの場合でも、イベントは、信号が1つのサイクルから次のサイクルに変化したときに発生することに注意してください。

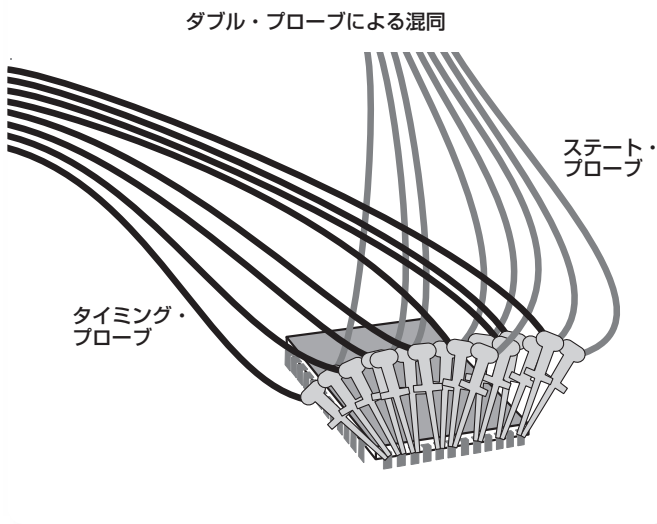
クロック・モード設定時のヒント

データを取込むようにロジック・アナライザを設定する場合の一般的な注意事項を次に示します。

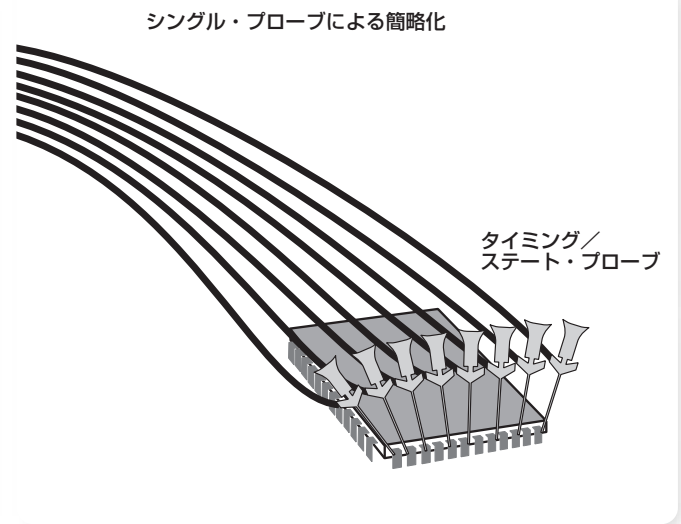
1. **タイミング（非同期）アクイジション**：サンプル・クロック・レートは、アクイジションの時間分解能を決定する上で重要な役割を果たします。測定のタイミング精度は、常に1サンプル間隔に、いくつかの誤差要因（メーカにより異なります）を加えたものになります。たとえば、サンプル・クロック・レートが2nsの場合、新しいデータ・サンプルは2nsごとにアクイジション・メモリにストアされます。そのサンプル・クロックの後に変化したデータは、次のサンプル・クロックまでは取込まれません。この2nsの間でデータが変化した厳密な時刻はわからないので、正味の時間分解能は2nsになります。
2. **ステート・アクイジション**：ステート情報を取込む場合は、ほかの同期デバイスと同様に、ロジック・アナライザにも、正しいデータが取込まれるようにサンプル・クロックの前後にデータが安定した時間がなければなりません。（セットアップ／ホールド時間）

多くの条件をロジック・アナライザのトリガに使用できます。たとえば、ロジック・アナライザは、バスまたはカウンタ出力の特定のバイナリ値を認識できます。その他のトリガ条件として、次のようなものがあります。

- ▶ **ワード**：バイナリ、16進数などで定義された特定のロジック・パターン
- ▶ **範囲**：ロー値とハイ値の間で発生するイベント
- ▶ **カウンタ**：ユーザがプログラムしたイベント数のカウンタ
- ▶ **信号**：システム・リセットなどの外部信号
- ▶ **グリッチ**：アクイジション間で発生するパルス
- ▶ **タイマ**：2つのイベント間の経過時間、または1つのイベントの継続時間
- ▶ **アナログ**：オシロスコープを使用したアナログ特性でのトリガや、オシロスコープを使用したロジック・アナライザへのクロストリガ



▶ 図8：ダブル・プロービングでは、テスト・ポイントごとに2つのプローブが必要になり、測定品質が低下します。



▶ 図9：同時プロービングにより、同じプローブを通じてステートとタイミング・アクイジションが実行でき、単純でクリーンな測定環境が得られます。

これらのすべてのトリガ条件を使用できるので、ステート・エラーの幅広いサーチを使用してシステム・エラーを追跡し、さらにトリガ条件を使用してサーチを絞り込みます。

アクイジション

ステートおよびタイミングの同時取込

ハードウェアとソフトウェアのデバッグ（システムの統合）実行時は、相関付けられたステート情報とタイミング情報があると有効です。問題点は、主にバス上の無効ステートとして検出されません。セットアップおよびホールド・タイミング違反などの問題によって発生することもあります。ロジック・アナライザがタイミングとステートのデータを同時に取込めない場合は、問題の切り離しが困難になり、時間がかかります。

一部のロジック・アナライザでは、個別のタイミング・プローブを接続してタイミング情報を取込む必要があり、個別のアクイジション・ハードウェアを使用しています。この場合、図8に示すように、2種類のプローブをSUTに同時に接続する必要があります。1つのプローブはSUTをタイミング・モジュールに接続し、もう1つのプローブは同じテスト・ポイントをステート・モジュールに接続します。これは「ダブル・プロービング」と呼ばれます。これは、信号のインピーダンス環境を損なうことがある構成です。

2つのプローブを同時に使用すると、信号に負荷がかかり、SUTの立ち上がりおよび立ち下り時間、振幅、およびノイズ性能が低下します。図8は、代表的な接続例を示したものです。実際の測定では、4個、8個、またはそれ以上の複数のケーブルが接続されることがあります。

図9に示すように、同じプローブを使用して同時にタイミングとステート・データを取込むのが最適です。1回の接続、1回の設定、1回のアクイジションでタイミングとステートの両方のデータが得られます。その結果、プローブの機械的な接続が単純化され、問題が軽減されます。

タイミングとステートの同時アクイジションを使用すると、ロジック・アナライザは、タイミング解析とステート解析の両方をサポートするために必要なすべての情報を取得できます。これ以上のステップは必要ありませんので、エラーが発生する可能性が低くなり、ダブル・プロービングで発生することがある機械的な損傷の可能性も低くなります。回路に与えるシングル・プローブの影響は小さいので、より正確な測定が可能になり、回路の動作に与える影響も小さくなります。

時間分解能が向上するほど、設計で確認およびトリガできる詳細情報が増え、問題を検出できる可能性が上がります。

ロジック・アナライザ入門

▶ 入門書

リアルタイム・アキュイジション・メモリ

ロジック・アナライザのプローブ、トリガ、クロック・システムは、リアルタイム・アキュイジション・メモリにデータを伝達するために用意されています。このメモリは測定の中心であり、SUTからサンプリングされたすべてのデータが伝達され、すべての解析および表示のソースとなります。

ロジック・アナライザには、測定のサンプル・レートでデータをストアできるメモリがあります。このメモリは、図10に示す幅とメモリ長を持つマトリックスと考えることができます。

ロジック・アナライザは、トリガ・イベントが発生するまで、またはユーザが停止を命令するまで、すべての信号の振舞いを記録します。その結果アキュイジションが行われ、実質的には、取込んだすべての信号の相関関係を非常に高いタイミング精度で表示できるマルチ・チャンネル波形が表示されます。

チャンネル数とメモリ長が、ロジック・アナライザを選択する上での重要な要素となります。チャンネル数とメモリ長を決定する場合に役立つヒントを以下に示します。

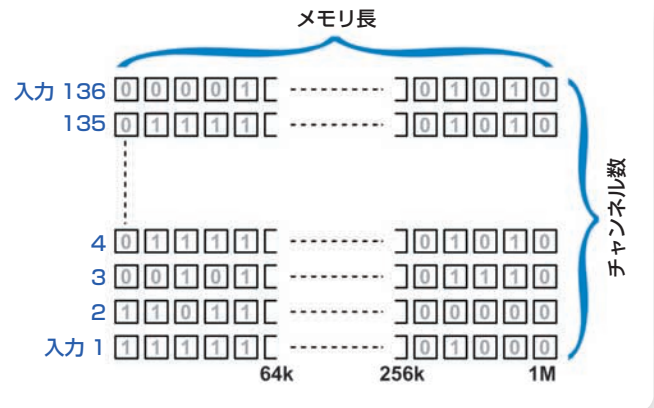
▶ 取込んで解析する必要がある信号の数

ロジック・アナライザのチャンネル数は、取込む信号の数に直接関係します。デジタル・システム・バスにはさまざまな幅のものが多く、多くの場合、フル・バスの監視時に、ほかの信号（クロック、イネーブルなど）を同時にプローブする必要があります。同時に取込む必要があるすべてのバスと信号を必ず考慮する必要があります。

▶ 取込みに必要な「時間」

取込みに必要な時間はロジック・アナライザのメモリ長に関係し、非同期アキュイジションには特に重要です。メモリ長が一定の場合は、サンプル・レートが上がると、総アキュイジション時間は短くなります。たとえば、サンプル・レートが $1\mu\text{s}$ の場合は、1Mのメモリにストアされるデータのアキュイジション時間は1秒間になります。同じ1Mのメモリでも、アキュイジション・クロック周期が10nsの場合は、わずか10msです。

取込むサンプル数（時間）が増えると、エラーと、エラーが原因で発生する障害の両方を取込む可能性が高くなります（次の説明を参照）。



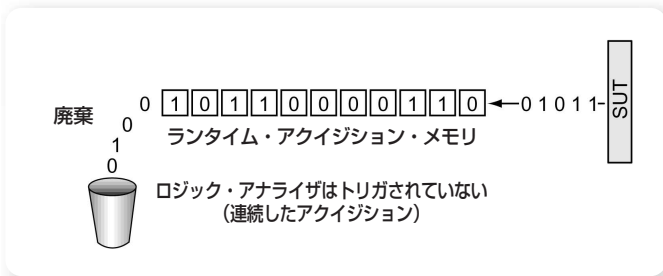
▶ 図10：ロジック・アナライザは、長いレコード・メモリにアキュイジション・データを途切れることなくストアします。

ロジック・アナライザは、図11に示すように継続してデータをサンプリングし、リアルタイム・アキュイジション・メモリにデータを入れ、ファースト・イン／ファースト・アウトでオーバーフローしたデータを廃棄します。したがって、メモリには常にリアルタイムのデータが流れます。トリガ・イベントが発生すると、「停止」プロセスが開始され、メモリ内のデータが保護されます。

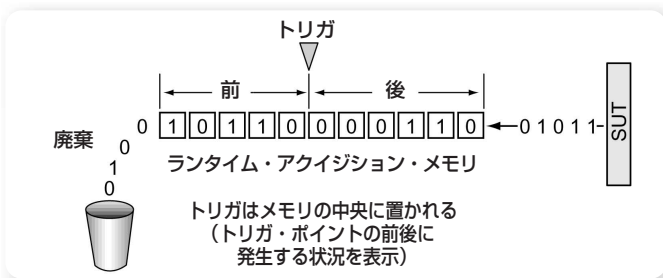
メモリ内のトリガの配置には柔軟性がありますので、トリガ・イベントの前後および周辺のイベントを取込んで確認できます。これが重要なトラブルシューティング機能です。ある現象（通常はある種のエラー）でトリガする場合は、トリガの前のデータ（プリトリガ・データ）をストアし、その現象の原因となった障害を取込むようにロジック・アナライザを設定できます。また、トリガの後のデータ（ポストトリガ・データ）を特定の量だけストアし、エラーの影響を確認することもできます。図12および13に示すように、トリガのその他の配置の組み合わせも可能です。

プローブ、クロック、トリガを設定すると、ロジック・アナライザをただちに実行できます。その結果、リアルタイム・アキュイジション・メモリは、SUTの動作をさまざまな方法で解析する場合に使用できるデータでいっぱいになります。

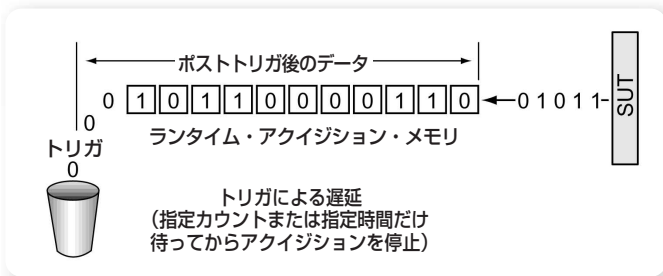
ロジック・アナライザのメイン・アキュイジション・メモリには、長時間の信号をストアすることができます。最新のロジック・アナライザでは、数百チャンネルのデータを数ギガヘルツのレートで取込むもの、さらに信号の変化点だけを取込むものもあり、バスの動きを長時間観測するのに最適なツールとなっています。



▶ 図11：ロジック・アナライザは、トリガ・イベントが発生するまで、ファースト・イン/ファースト・アウトでデータを取込み、廃棄します。



▶ 図12：トリガ前後のデータ取込み：トリガ・ポイントの左側のデータは「プリトリガ」データ、右側のデータは「ポストトリガ」になります。トリガはメモリ長の0~100%の位置に配置できます。



▶ 図13：トリガ後の特定の時間経過後、またはトリガ後の特定のサイクル後のデータの取込み

表示される各信号のトランジションは、アクティブ・クロック・レートによるサンプル間隔内で発生したものと解釈されます。取込まれたエッジは、直前のサンプルのピコセカンド後、あるいは次のサンプルのピコセカンド前、またはその間のどこかで発生していたと思われます。このように、サンプル間隔はロジック・アナライザの分解能を決定します。コンピュータ・バスや通信デバイスがますます高速化するにしたがって、ロジック・アナライザのタイミング分解能もより高性能になっています。



▶ 図14：MagniVu®アキュイジションにより、クロック信号のグリッチを検出

TLAシリーズ・ロジック・アナライザに標準で装備されているMagniVu®アキュイジション技術が、この問題を解決します。MagniVu®アキュイジションは、高速バッファ・メモリによって実現されており、トリガ・ポイント前後を高分解能で取込みます。ここでも、メモリがいっぱいになると、一番古いサンプルは新しく取込まれたサンプルと置き換わります。TLAシリーズ・ロジック・アナライザの全チャンネルは、それぞれこのMagniVu®バッファ・メモリを装備しています。MagniVu®アキュイジションは、メイン・アキュイジション・メモリの分解能では見つけることのできない高分解能のトランジションやイベントをダイナミックに取込むことができます。

MagniVu®はTLAシリーズの主要な機能であり、従来のロジック・アナライザでは捉えることのできない狭いパルス幅のグリッチやセットアップ/ホールド時間違反などのタイミング・エラーを検出することができます。図14で示されるように、この高分解能レコードはメイン・メモリのタイミング波形と完全に同期して表示することができます。

統合されたアナログ・デジタル・トラブルシューティング・ツール

設計者はデジタル・エラーの原因を探るために、アナログ領域からも考慮する必要があります。高速エッジ、高速データ・レートの今日のシステムでは、デジタル信号に含まれるアナログ特性が、システム動作（特に信頼性と再現性）において大きな影響を与えるようになってきました。

ロジック・アナライザ入門

▶ 入門書

信号異常は、インピーダンスの不整合、伝送ライン効果などのアナログ領域の問題によって引き起こされます。同様に、信号異常は、セットアップ/ホールド時間違反などのデジタル問題の副産物でもあります。このように、デジタル信号とアナログ信号には密接な関係があります。

デジタル領域における異常とその影響は、まずロジック・アナライザで検出します。ロジック・アナライザは、数十、数百チャンネルの信号を、同時に、長時間取込むことができるツールであり、まず信号を接続することになります。

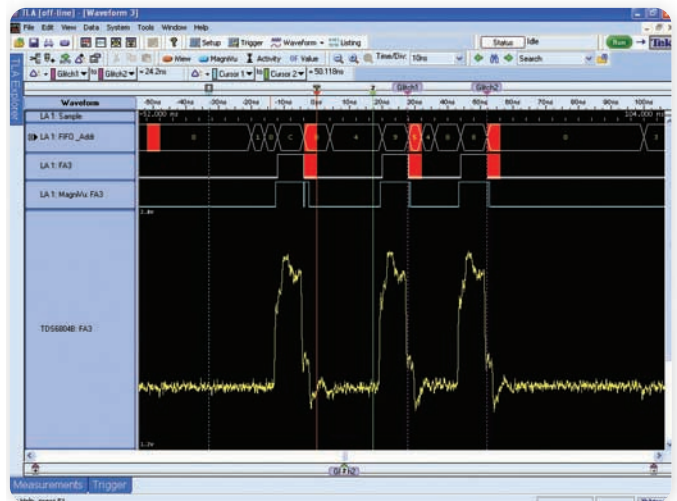
信号異常が発見できたならば、次はリアルタイム・オシロスコープでその特性を調べます。リアルタイム・オシロスコープは、すべてのグリッチやトランジションの正確な振幅、タイミング情報を詳細に取込むことができます。これらのアナログ特性を解析することにより、デジタル問題を短時間で解決することが可能になります。

効率的なトラブルシューティングには、アナログとデジタル両方の領域に対処できるツールや手法が必要になります。2つの領域間の相互関係を取込み、アナログ、デジタルの両方の形式で表示できると、効率的なトラブルシューティングが可能になります。

当社のTLAシリーズ・ロジック・アナライザとTDSシリーズ・オシロスコープには、この2つのプラットフォームを統合する機能が装備されています。当社のiLink®ツールセットは、ロジック・アナライザとオシロスコープを統合し、トリガの共有と時間相関の取れた表示を行うことができます。

iLink®ツールセットには、以下に示すような、問題検出とトラブルシューティングを迅速に実行するための要素が含まれています。

- ▶ **iCapture™**では、ロジック・アナライザの1本のプロービングにより、デジタル信号とアナログ信号を同時に取込みます。
- ▶ **iView**表示機能により、ロジック・アナライザとオシロスコープによる測定を、時間相関をとってロジック・アナライザに表示することができます。
- ▶ **iVerify®**解析機能により、オシロスコープで生成されたアイ・ダイアグラム・データを利用し、マルチ・チャンネル・バス解析と検証を行います。



▶ 図15：時間相関をとった、アナログ・デジタルによる異常信号の観測例

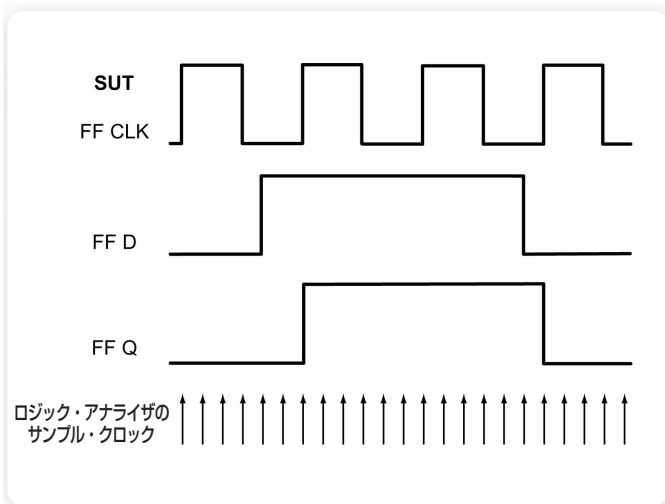
図15は、TLAシリーズ・ロジック・アナライザに表示されたiViewによる観測例です。TDSシリーズ・オシロスコープで取込んだ波形は、TLAシリーズ・ロジック・アナライザによって統合され、時間的な相関関係を保ちながら、アナログ、デジタルの両方の形式で表示されています。

解析と表示

リアルタイム・アキュイジション・メモリにストアされたデータは、さまざまな表示および解析モードで使用できます。情報がシステム内部にストアされると、タイミング波形から、ソース・コードに相関付けられたインストラクション・モニタリングまで、さまざまな形式で表示できます。

波形表示

波形は、複数チャンネルの詳細が、時間相関を持ちながらオシロスコープのように表示されます。図16は、簡略化した波形表示です。この図では、サンプルを取込んだポイントがわかるように、サンプル・クロックのマークが追加されています。



▶ 図16：ロジック・アナライザの波形表示（簡略図）

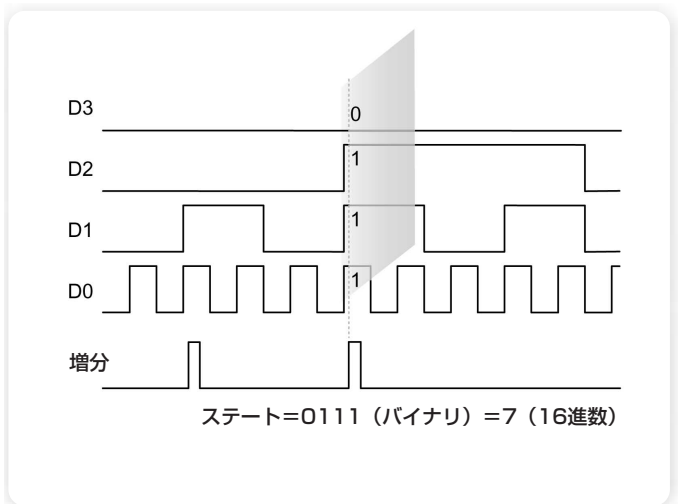
波形表示は、一般にタイミング解析に使用され、次のような場合に適しています。

- ▶ SUTハードウェアのタイミング問題を診断する
- ▶ 記録した結果をシミュレータの出力またはデータ・シートのタイミング図と比較して、ハードウェアの動作を検証する
- ▶ ハードウェアのタイミングに関連する特性を測定する
 - レース・コンディション
 - 伝搬遅延
 - パルスの欠落または存在
- ▶ グリッチの解析

リスト表示

リスト表示では、ユーザが選択可能な英数字形式で状態情報を表示します。リストのデータ値は、バス全体から取込んだサンプルをもとに、16進数形式やほかの形式で表示できます。

図17に示すように、バス上のすべての波形を垂直に「スライス」することを考えます。4ビットのバスを切り取るスライス、リアルタイム・アクイジション・メモリにストアされたサンプルを表します。図17に示すように、影の付いたスライスの数値は、ロジック・アナライザに表示される数値で、通常は16進数となります。



▶ 図17：ステート・アクイジションでは、外部クロック信号がアクイジションを有効にしたときのバス全体のデータの「スライス」を取込みます。

サンプル	カウンタ	カウンタ	タイムスタンプ
0	0111	7	0 ps
1	1111	F	114.000 ns
2	0000	0	228.000 ns
3	1000	8	342.000 ns
4	0100	4	457.000 ns
5	1100	C	570.500 ns
6	0010	2	685.000 ns
7	1010	A	799.000 ns

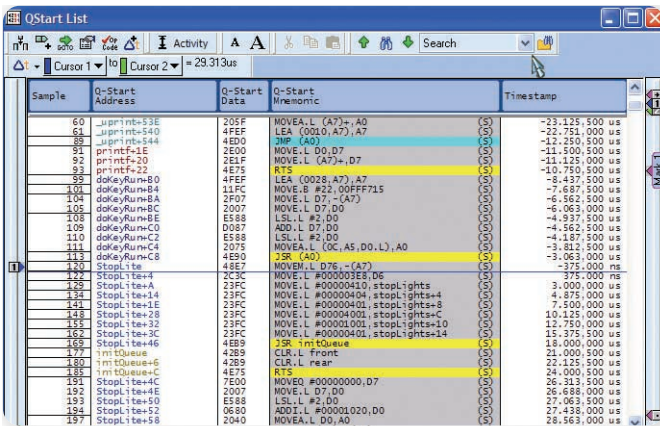
▶ 図18：リスト表示

リスト表示は、SUTの状態を表示することが目的です。図18のリスト表示を使用すると、SUTの視点からの情報の流れ、つまりデータ・ワードの流れを正確に確認できます。

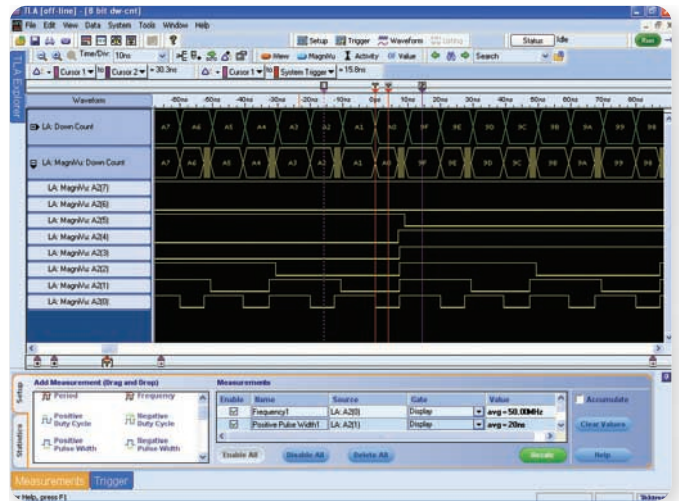
ステート・データはいくつかの形式で表示されます。リアルタイム・インストラクション・トレースでは、すべてのバス・トランザクションを逆アセンブリし、バスで読み込まれたインストラクションを厳密に確認します。適切なインストラクション・ニーモニックが、関連するアドレスとともにロジック・アナライザのディスプレイに表示されます。図19は、リアルタイムのインストラクション・トレースの表示例です。

ロジック・アナライザ入門

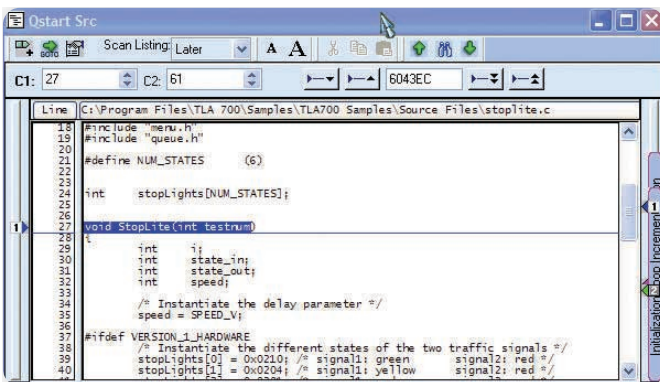
▶ 入門書



▶ 図19: リアルタイム・インストラクション・トレースの表示例



▶ 図21: 自動測定による生産性の向上



▶ 図20: ソース・コード表示例。27行目は、図19のインストラクション・トレース表示のサンプル120と相関付けられています。

もう1つの表示、つまりソース・コード・デバッグ表示を使用すると、ソース・コードをインストラクション・トレース履歴に相関付けることにより、デバッグ効率が上がります。実際に発生している状況と、インストラクションが実行されるタイミングを簡単に表示できます。図20は、図19のリアルタイム・インストラクション・トレースに相関付けられたソース・コードの表示です。

プロセッサ固有のサポート・パッケージを使用した場合に、ステート解析データをニーモニック形式で表示できます。この結果、SUTでソフトウェアの問題を簡単にデバッグできるようになります。これをもとに、下位レベルのステート表示（16進数表示）を行ったり、タイミング表示でエラーの原因を追求したりすることもできます。

ステート解析アプリケーションには、次のようなものがあります。

- ▶ パラメトリックおよびマージン解析（セットアップ/ホールド時間など）
- ▶ セットアップ/ホールド・タイミング違反の検出
- ▶ ハードウェア/ソフトウェアの統合およびデバッグ
- ▶ ステート・マシンのデバッグ
- ▶ システムの最適化
- ▶ 設計全体でのデータ追跡

自動測定

ロジック・アナライザで取込んだデータは、ドラッグ&ドロップによる洗練された自動測定が可能になります。周波数、周期、パルス幅、デューティ・サイクル、エッジ・カウントなど、オシロスコープに似た広範囲な測定が可能です。自動測定により、大量の測定結果サンプルから、高速で詳細な結果が得られます。測定手順は簡単です。タブでグルーピングされた測定関連アイコンから、測定する項目のアイコンをクリックし、メイン・ウィンドウの波形トレースまでドラッグして離します。ロジック・アナライザは測定を設定した上で必要な解析ステップ（パルス幅の計算など）を実行し、図21に示すような結果を表示します。これらのステップはすべて自動で実行されますので、従来のような手作業による測定の必要はありません。

性能に関する用語と考慮すべき項目

ロジック・アナライザには、サンプル・レートに関連した性能の項目がいくつかあります。これは、DSO（デジタル・ストレージ・オシロスコープ）における周波数帯域と似ています。DSOのユーザにとっては、プロービングやトリガに関する用語はなじみのあるものですが、ロジック・アナライザのデジタル領域には特有の性能があります。ロジック・アナライザは、アナログ信号を取込んだ後、再現するようなことはありませんので、チャンネル数や同期（クロック）モードがより重要となり、垂直軸精度などのアナログ・ファクタはその後になります。

以下に説明する、性能に関する用語と考慮すべき項目は、デジタル設計アプリケーションの要求に応える現在の当社TLAシリーズ・ロジック・アナライザに関して説明しています。

タイミング・アクイジション・レート

ロジック・アナライザの最も基本的な仕事は、取込んだデータをもとに、タイミング・ダイアグラムを作成することです。DUTが正しく機能し、アクイジションが正しく設定されていると、ロジック・アナライザの実際のタイミング表示は、デザイン・シミュレータやデータ・ブックのタイミング・ダイアグラムとほぼ同じになります。

しかし、実際にはロジック・アナライザの分解能、つまりサンプル・レートに依存します。タイミング・アクイジションは非同期であり、サンプル・クロックは入力信号に対してフリーランとなります。サンプル・レートが高いほど、トランジションなどのイベントのタイミングを正確に捉えることができます。

例えば、TLAシリーズ・ロジック・アナライザには2GHzのサンプル周波数があり、これは500psの分解能になります。したがって、最悪のケースでも実際のエッジに対して500ps以内でタイミング表示が得られることになります。

ステート・アクイジション・レート

ステート・アクイジションは同期であり、取込みの基準となるのはDUTからの外部トリガに依存します。ステート・アクイジションは、プロセッサやバスのデータ・フロー、プログラム実行をトレースするために設計されています。TLAシリーズなどのロジック・アナライザのステート・アクイジション周波数は450MHzであり、正確なデータ取込みのために、全チャンネルにおいて625psのセットアップ/ホールド時間ウィンドウを装備しています。

ステート・アクイジション周波数は、ロジック・アナライザがモニタするバスやI/Oトランザクションに関連するもので、DUTの内部クロック・レートには関連しません。デバイスの内部レートは数ギガヘルツのレンジですが、バスや他のデバイスとは、ロジック・アナライザのステート・アクイジション周波数と同等になります。

MagniVu®アクイジション・レート

MagniVu®アクイジションは、タイミング・モードまたはアクイジション・モードのどちらでも利用できます。MagniVu®アクイジションは、トリガ・ポイント前後を追加サンプルすることにより、全チャンネルで分解能を上げ、困難な問題であっても容易に検出することが可能になります。さらに、MagniVu®可変サンプル・レート、移動可能なトリガ・ポイント、メイン・トリガとは独立したMagniVu®トリガ・アクションなどがあります。

レコード長

レコード長は、ロジック・アナライザのもう一つの重要な性能です。トリガが発生する現象はその原因のはるか後で発生する場合がありますので、サンプル・データという形式でより長い時間をストアできるロジック・アナライザは実用的です。レコード長が長いと、現象とその原因の両方が捕捉でき、トラブルシューティング・プロセスを簡略化することが可能になります。

TLAシリーズ・ロジック・アナライザは、いろいろなレコード長で構成することができます。また、最大4チャンネルを連結してメモリ長を4倍にすることもできます。これにより、必要に応じてメモリ長を長くしたり、低コストの構成であってもロング・メモリを実現することが可能になります。

ロジック・アナライザ入門

▶ 入門書

チャンネル数とモジュラ構成

ロジック・アナライザのチャンネル数は、システムのバスやテスト・ポイントをサポートするための基本となります。チャンネル数は、ロジック・アナライザのレコード長を再設定する場合にも重要となり、レコード長を2倍、4倍するためには、それぞれ2、4チャンネルが必要になります。

今日の高速度シリアル・バスでは、ますますチャンネル数が重要になっています。例えば、32ビットのシリアル・データ・パケットでは、1チャンネルではなく、32のロジック・アナライザ・チャンネルで伝送されます。言い換えると、パラレルからシリアル・アーキテクチャへの移行は、チャンネル数の要求には影響しませんでした。

スタンドアロン・タイプのTLAシリーズ・ロジック・アナライザでは、広範囲なチャンネル構成が可能です。モジュラ・タイプのTLAシリーズでは、豊富なアキュイジション・モジュールに対応可能であり、互いに接続することにより、より多チャンネルな構成にすることもできます。最終的には、何千ものアキュイジション・チャンネルを構成することも可能です。モジュラ・タイプのTLAシリーズ・アーキテクチャでは、モジュール間、あるいはモジュールが異なったメインフレームにある場合でも、同期や低レイテンシを維持することができます。

トリガ

トリガの柔軟性は、隠れている問題の迅速、効率的な発見において重要な項目です。ロジック・アナライザにおけるトリガは、どのようなときにアキュイジションし、結果を表示するかという条件を設定します。アキュイジションが停止したということは、条件が揃ったことの証明となります（ただし、タイムアウトが設定された場合は除きます）。

最新のトリガ設定では、一般的なトリガ・タイプはドラッグ&ドロップ操作で簡単に実行できます。これにより、毎日のタイミング問題を解決するための複雑なトリガ設定をする必要がなくなります。複雑な問題を解決するためのロジック・アナライザの強力なトリガ設定のアプリケーション例を、後半で説明します。

また、ロジック・アナライザは、グリッチやセットアップ／ホールド・トリガだけでなく、複数のトリガ・ステータス、ワード・リコグナイザ、エッジ／トランジション・リコグナイザ、レンジ・リコグナイザ、タイマ／カウンタ、スナップショット・リコグナイザなども使用することができます。

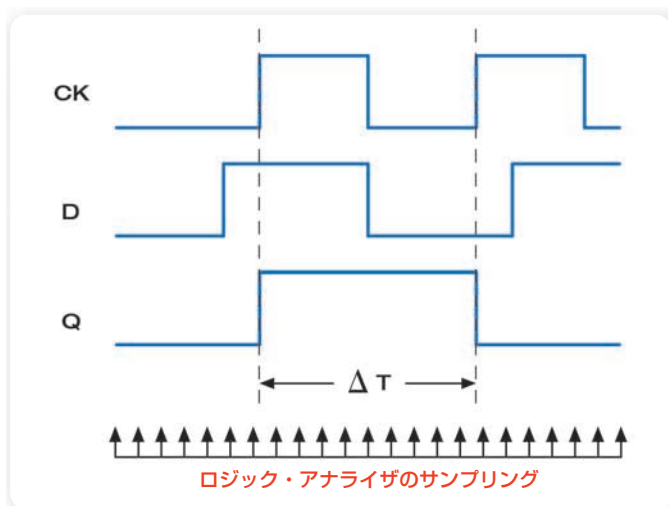
プロービング

新世代の電子部品の出現により、回路はより高密度に、スピードはますます高速化され、これに伴い、プロービング・ソリューションもロジック・アナライザ・ソリューション全体においてますます重要になってきました。プローブは、ターゲット・デバイスに合ったチャンネル密度を持つ一方、確実な接続と信号品質の維持が求められます。

当社のロジック・アナライザ用コネクタレス・プローブで採用されているD-Max技術は、この問題を解決するための革新的なアプローチです。これにより、プローブと回路基板間における耐久性、信頼性に優れた機械的、電気的な接続が可能になります。極めて小さな入力容量により、信号に対するプローブ負荷を抑えることができます。圧接触によるプロービングにより、回路基板のランディング・パッドが簡素化できますので、貴重な回路基板のスペースが節約でき、基板レイアウトが簡単になり、コストを抑えることが可能になります。

ロジック・アナライザの測定例

ここでは、測定上の問題とそのソリューションに関する例を説明します。この説明では、ロジック・アナライザの基本的な取込みテクニックとその結果の表示を中心に説明します。説明を簡単にするため、詳細な設定手順やコンフィグレーションの詳細は省略されています。設定やコンフィグレーションの詳細については、ロジック・アナライザのマニュアル、アプリケーション・ノート、技術情報などを参照してください。



▶ 図22：分解能に関連したDフリップフロップのサンプル・レート例



▶ 図23：分解能に関連したサンプル・レート

汎用タイミング測定

デジタル・システムにおいて、重要な信号間のタイミング関係を確認することは、検証プロセスで不可欠なステップです。伝播遅延、パルス幅、セットアップ／ホールド特性、信号スキューなど、広範囲なタイミング・パラメータを検証する必要があります。

効率的なタイミング測定には、測定する回路に与える負荷を最小に抑え、多チャンネルにおいて高分解能のアクイジションが可能なツールが必要になります。このツールには、わかりやすいトリガ条件が設定でき、問題点をすばやく特定するための柔軟なトリガ性能が必要になります。さらに、ロング・メモリを簡単に調べるための表示機能、解析機能も必要になります。

新しいデジタル設計を検証する場合、まずタイミング測定が必要になります。以下の例では、図22に示すようなDフリップフロップのタイミング測定について説明します。この例では、当社TLAシリーズ・ロジック・アナライザについて説明します。現実には、このような測定では数百あるいは数千の信号を同時に取込むこととなります。しかし、どのようなケースでも原理は同じであり、この例のようにタイミング測定はすばやく、簡単に、正確に実行できます。

▶ トリガとクロックを設定します。この例では、IF Anything, THEN Triggerのトリガ設定と内部（非同期）クロックを使用します。ここでは説明しませんが、信号を特定のロジック・アナライザのチャンネルに名前を付けマッピングするセットアップ・ステップもあります。

▶ Runボタンを押して信号データを取込んだ後、Horizontal Positionコントロールまたはメモリ・スクロール・バーを操作して、スクリーン上のトリガ・インジケータ（Tマーク）が見えるようにします。

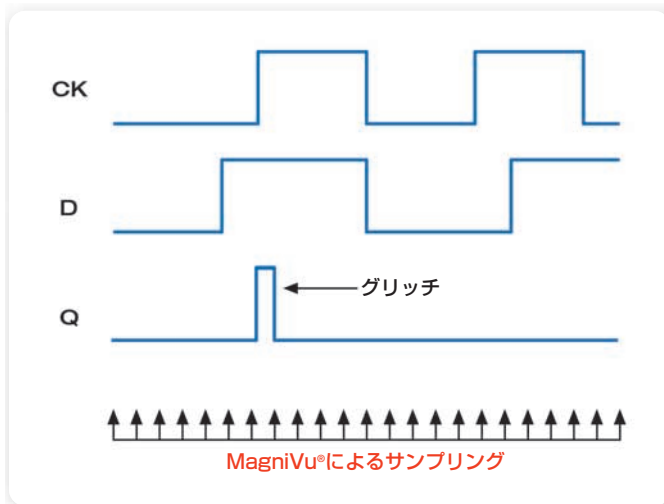
▶ Q信号の立上りエッジにマウス・ポインタを移動し、右クリックします。表示されるメニューから「Move cursor 1 here」を選択すると、第一測定カーソルがこの位置に移動します。ドラッグ&ドロップ操作でカーソルを立上りエッジまで移動すると、カーソルが立上りエッジに「スナップ」し、タイムスパン測定の開始点となります。

▶ Q信号の立下りエッジにマウス・カーソルを移動します。右クリックして表示されるメニューから「Move cursor 2 here」を選択します。再度カーソルを「スナップ」することで、簡単にカーソルをエッジに合わせることができます。この点がタイムスパン測定の終端となります。

▶ Cursor2とCursor1の差分が測定した時間となります。Delta Timeに表示された52nsが測定結果となります。測定分解能は、サンプル・レートによって異なります。図23では、Sampleトラックの目盛から2nsとなります。Delta Timeの測定では、サンプル・レート以上の分解能は得られませんのでご注意ください。

ロジック・アナライザ入門

▶ 入門書



▶ 図24 : MagniVu® アクイジションによる、高分解能のDフリップフロップのサンプル・レート例

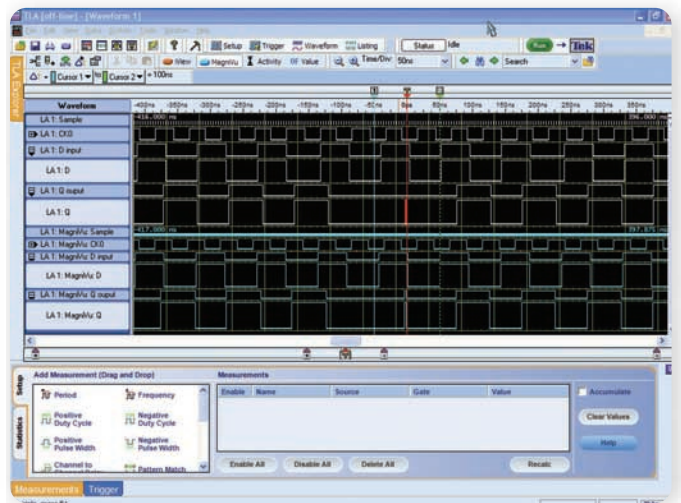
間欠的に発生するグリッチの検出と表示

デジタル・システム的设计者にとって、グリッチは常に厄介な問題です。この不安定なパルスは間欠的に発生し、振幅も時間間隔も一定ではありません。検出や取込みは必然的に難しいのですが、予測できないグリッチはシステムを動かなくしてしまいます。例えば、ロジック・デバイスは、グリッチをクロック・パルスとして容易に誤認してしまいます。この誤認されたパルスによりデータが早まってバスに送られ、システム全体に影響を与えてしまうエラーを引き起こすことになります。

クロストーク、容量結合、レース・コンディション、タイミング違反などによってもグリッチは発生します。グリッチはその発生期間が非常に短いため、従来のロジック・アナライザのタイミング測定では容易に見逃してしまうことがあります。グリッチは容易に発生しやすく、ロジック・アナライザの2回の取込みの間で消えてしまうことがあります。

非常に高いタイミング分解能をもったロジック・アナライザ、つまり、非同期モードで非常に高いクロック周波数をもったロジック・アナライザであれば、このようなイベントを捉えることが可能になります。自動的にグリッチと発生しているチャンネルをハイライト表示してくれるのが、理想的なロジック・アナライザといえます。

ここでは、TLAシリーズ・ロジック・アナライザを使用して、狭いパルス幅のグリッチを取込む例を説明します。DUT（被測定デバイス）は、図24に示したDフリップフロップです。MagniVu®によるタイミング分解能により、非常に正確にグリッチを検出し、表示します。この例では、詳細な手順は説明していません。設定やコンフィギュレーションの詳細については、ロジック・アナライザのマニュアルや技術情報などを参照してください。

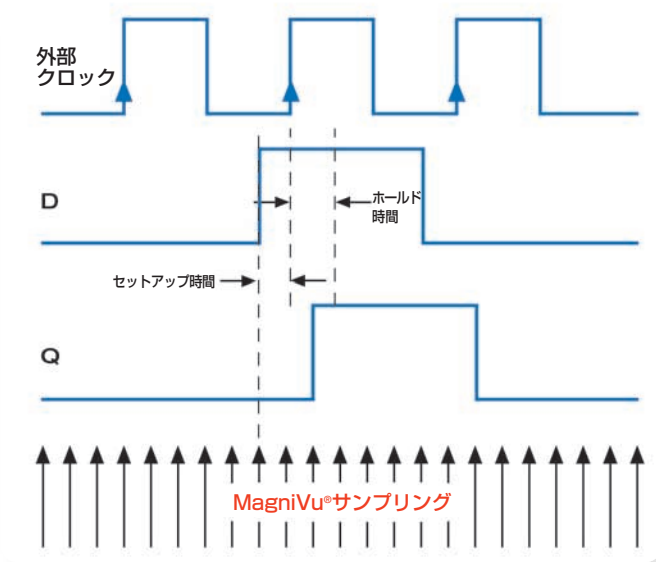


▶ 図25 : MagniVu®によるグリッチ・トリガでは、高分解能取込みが可能です。

- ▶ 以前のトリガ設定において、波形ウィンドウに波形を取込みました。グリッチは、ドラッグ&ドロップ・トリガによって簡単に取込むことができます。
- ▶ スクリーン下部のTriggerタブをクリックします。
- ▶ ハイライトされたウィンドウ左側にあるGlitchトリガ・オプションをクリックし、バス波形までドラッグ&ドロップします。
- ▶ Runボタンをクリックします。バス上のグリッチが取込まれ、波形ウィンドウに表示されます。

取込み例を図25に示します。この例では、もう一度取込む必要がないように別な手順によって複数のチャンネルも追加され、MagniVu®による高時間分解能取込みの様子を示しています。

Q出力波形に注目すると、トリガ・インジケータの左側（トリガ・インジケータより前）に赤いフラグが見えます。これは、赤く表示されたトリガ・サンプル・ポイントと、その直前のデータ・サンプル・ポイント間でグリッチが検出されていることを示します。Q出力のMagniVu®チャンネル（一番下の波形）では、グリッチの発生ポイントが詳細に表示されています。この時点では、グリッチのタイミングが判明しました。さらにロジック・アナライザのズームとカーソル機能を使用すると、パルス幅も測定できます。



▶ 図26：セッアップ時間とホールド時間のタイミング関係

セッアップ／ホールド時間違反の取込み

セッアップ時間とは、入力信号がデバイスに転送される場合、クロック・エッジの前にデータ信号を確定、保持しておかなければならない最小限の時間と定義されます(図26参照)。ホールド時間は、クロック・エッジの後もデータ信号を確定、保持しておかなければならない最小限の時間をいいます。

デジタル・デバイスの製造メーカーはセッアップ／ホールド時間を規定していますので、エンジニアはこの仕様に違反しないように注意が必要です。しかし、高速処理のために、より厳しい許容値と高速な部品を使用することになり、セッアップ／ホールド時間の違反は以前に比べて一般的になってきました。

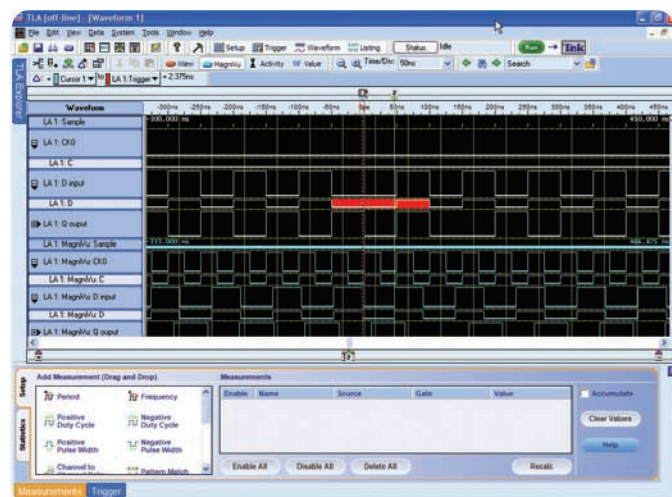
セッアップ／ホールド時間違反により、デバイスの出力は不安定(メタステーブルとして知られています)になり、場合によっては予期しないグリッチなど、エラーの原因となります。設計エンジニアは回路を詳細に調べ、セッアップ／ホールド時間の問題が設計基準の違反によって起きたものか、確認する必要があります。

ここ数年、セッアップ／ホールド時間の要求は、従来の汎用ロジック・アナライザでは検出、取込みが難しいほど小さな値になってきました。これを解決するためには、サブ・ナノ秒のサンプリング分解能をもったロジック・アナライザが必要になります。MagniVu®アキュイジション機能を装備した、当社TLAシリーズ・ロジック・アナライザは、セッアップ／ホールド時間測定に最適な測定ソリューションと言えます。

次の例では、外部クロックによってサンプリングする同期取込みモードを説明します。MagniVu®機能は、同期／非同期モードには関係なく常に有効であり、トリガ・ポイント前後のサンプル・データの分解能を上げることができます。またこの例ではDUTはDフリップフロップの一つの出力のみ観測していますが、数百の出力を持つデバイスに対しても同様に適用できます。



▶ 図27：セッアップ／ホールド・イベント表示



▶ 図28：セッアップ／ホールド・タイミングの表示例

MagniVu®アキュイジションにより、最も高いタイミング分解能でデータを観測することができます。なお、この入門書で使用しているデータ・ウィンドウでは、MagniVu®アキュイジションを使用しています。セッアップ／ホールド時間違反でトリガする場合、MagniVu®を使用することで違反の発生している近辺の最高のタイミング分解能が得られます。

この例では、DUT自身の持つ外部クロックで同期アキュイジションを制御します。ロジック・アナライザでのドラッグ&ドロップ・トリガ機能により、セッアップ／ホールド・トリガを設定します。このモードでは、図27のように、セッアップ／ホールド・タイミング違反のパラメータが簡単に設定できます。設定ウィンドウのサブメニューでは、ロジック条件、立上り／立下りなどの信号定義も行えます。

テストを実行すると、ロジック・アナライザはすべてのクロックの立上りエッジを評価し、セッアップまたはホールド時間に違反がないかチェックします。数百万ものイベントを監視し、セッアップ／ホールド時間設定に違反したイベントのみを取込みます。図28に結果を示します。この例では、セッアップ時間は2.375nsで、制限値である10nsに比べて大幅に小さくなっています。

ロジック・アナライザ入門

▶ 入門書

トランジショナル・ストレージ・モードによるレコード長の有効利用

デバイスの中には、長時間の無信号状態とバースト状の一群のデータを繰り返し出力するものがあります。例えば、ある種のレーダ・システムでは、離れた時間間隔のバースト状のデータにより内部のD/Aコンバータがドライブされます。

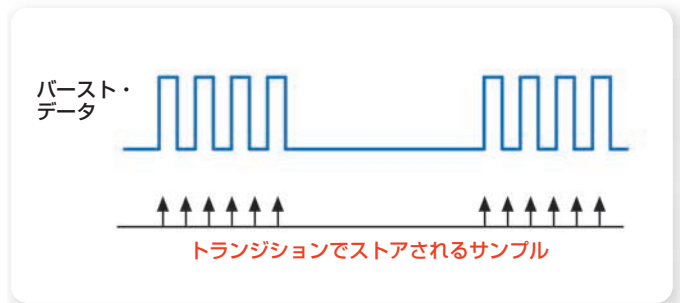
従来のロジック・アナライザによるアキュイジション、ストレージ方法では、このような場合に問題が発生します。従来のロジック・アナライザでは、すべてのサンプル間隔でそれぞれ1つのメモリ・ロケーションを使用します。この方法は、Store Allという名前の機能となっています。この方法では、変化しないデータもアキュイジション・メモリにただちにストアされますので、観測したいデータがこのようなバースト状のアクティブ信号の場合、変化していないデータのためにストアすべき貴重なメモリ容量を無駄に使うことになります。

この問題は、トランジションが発生した場合にのみデータをストアする「トランジショナル・ストア・モード」として知られる手法で解決できます。トランジショナル・ストア・モードの概念を、図29に示します。ロジック・アナライザは、データが変化するときのみサンプルします。バースト信号の発生が、秒、分、時、あるいは日の単位で離れていても、ロジック・アナライザのメイン・サンプル・メモリの最高の分解能で取込むことができます。信号が変化しない間、ロジック・アナライザはただ待ち続けます。また、記録はされませんが、常に監視している点が重要です。

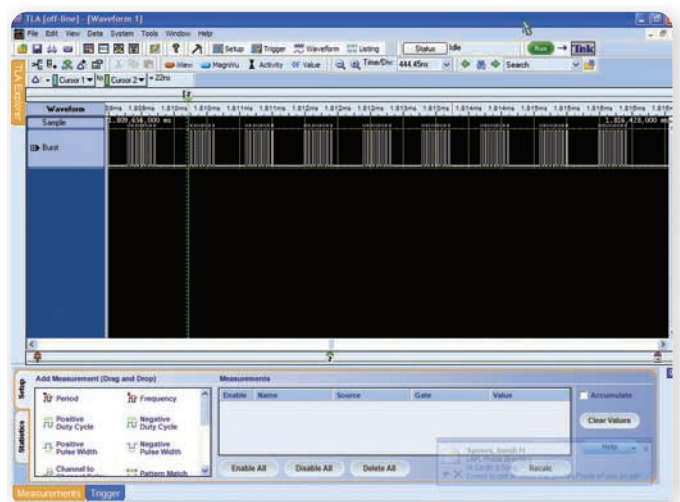
次に、TLAシリーズ・ロジック・アナライザを使用して解決した例を示します。ここでも、多様なIF/THENのトリガ・アルゴリズムを使ったトランジショナル・ストア・モードが適しています。

TLAシリーズのプルダウン・メニュー (Storage) から、イベント: AllではなくTransitionalを選択します。これにより、IF Channel Burst = High THEN Triggerモードが選択できるようになります。

この条件でテストを実行した例を、図30に示します。この例では、パルス幅22nsの8個のパルスが9個のグループとなってバーストを構成し、それぞれのバースト間隔が428ns離れています。トランジショナル・ストア・モードにより、画面から隠れた7グループを含めて、計16個のバースト・グループがわずか256のレコード長で取込まれています。時間ウィンドウは3.8msの取込み時間となり、各バースト・グループは2msごとに繰り返しています。



▶ 図29: トランジショナル・ストア・モードでは、トランジションが発生したときのみデータをストアします。



▶ 図30: トランジショナル・ストア・モードによる表示例

対照的に、Store Allアキュイジション・モードでは、2000倍のメモリ・サイズの512Kを使っても、わずかに1つのバースト・グループしか取込むことができません。このメモリは1 μ sの時間ウィンドウになりますが、メモリのほとんどは変化しないサイクル「ブランク」で占められてしまいます。トランジショナル・ストア・モードでは、一回のアキュイジションごとに、より多くの有効な情報をストアすることができます。

ロジック・アナライザのアプリケーション

次のセクションでは、今日の主要なアプリケーションに必要な測定要件と注意事項に関する概要を説明します。

FPGA

デザイン規模の拡大とさらなる複雑化により、デザイン検証のプロセスが、最新のFPGAシステムの障害となっています。FPGA内部信号へのアクセスは限られる方向にあり、最新のFPGAパッケージ、PCB（回路基板）の電気的ノイズなど、これらはすべてデザイン・サイクルのデバッグと検証を難しいものにしていきます。その結果、デザイン・サイクルの多くの部分を、デバッグ、検証が占めるようになっていきます。デバッグと検証を効率的に実行するためには、FPGAをフルスピードで実行しながらデバッグできる新しいツールが必要になります。

FPGAのデザイン・フェーズでは、どのデバッグ手法を採用するかを決定する必要があります。FPGAを設計する上で手軽に使用、FPGAの動作、システムの動作が詳細に観測でき、障害ポイントをピンポイントで検出し、解析できる手法が理想的です。インサーキットでのFPGAデバッグ手法には、組込み型ロジック・アナライザと外部ロジック・アナライザによる、2種類の方法があります。どちらの手法を採用するかは、デバッグのニーズによって異なります。

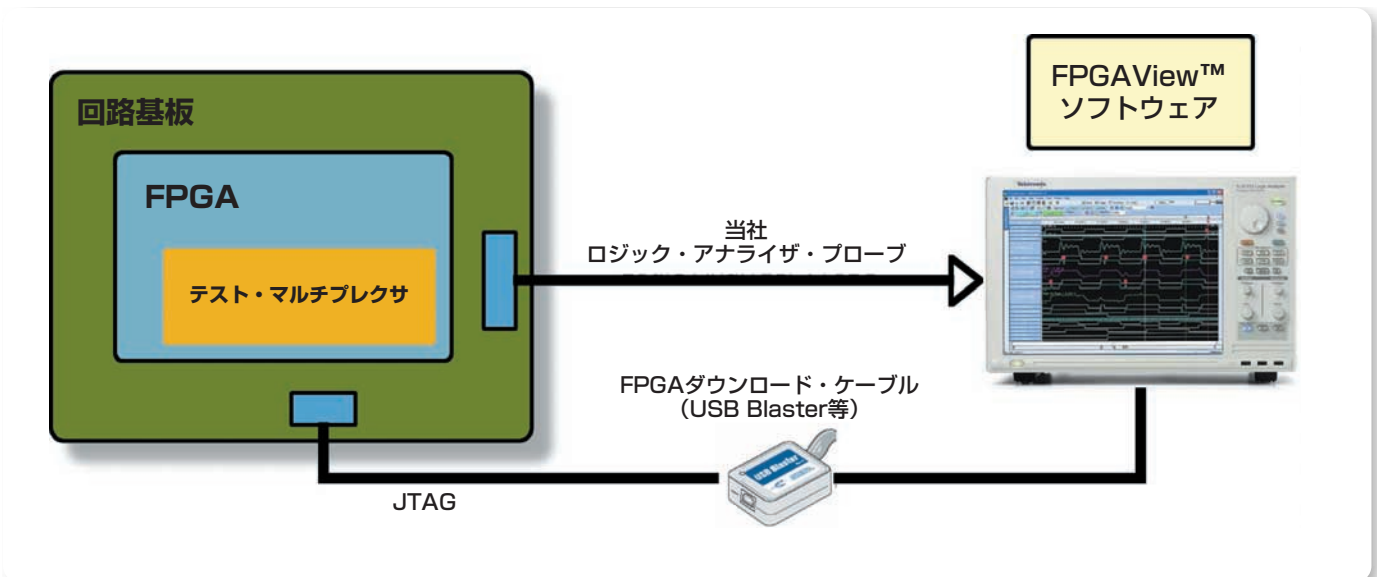
主要なFPGAベンダは、組込み型ロジック・アナライザ・コアを提供しています。これらのIPブロックはFPGAデザインに組み込まれ、トリガおよびストア機能が有効になります。ここで重要なことは、FPGAのロジック・リソースは、トリガ回路をインプリメントするために、またFPGAのメモリ・ブロックはストア機能のために使用されるということです。JTAGは、一般的にコアの動作を設定し、次に取り込んだデータをPCに転送するために使用されます。組込み型ロジック・アナライザはFPGAのリソースを使用するため、コアのオーバーヘッドが吸収できる、大規模FPGAで使用されます。いずれのデバッグ手法も同様なのですが、組込

み型ロジック・アナライザにもトレードオフがあることを考慮してください。

長所	短所
必要なピン数が少ない（JTAGインタフェースのみ）。	コア・サイズの制限から、大型のFPGAが必要になる。
プロービングが簡単（ソフトウェア・プロービングのみ）。	内部メモリを使用する必要はある。
比較的価格が安い（多くの場合、無償）。	ステート・モード解析のみ。
	速度に制限がある。
	FPGAの波形データと他のシステム波形には、相関関係がない。

組込み型ロジック・アナライザによる手法にはいくつかの制限があるため、FPGAの柔軟性と、TLAシリーズ・ロジック・アナライザのような外部ロジック・アナライザを組み合わせるケースが数多くあります。この手法では、測定しようとする内部信号はFPGAのピンにルーティングされ、このピンを通して外部ロジック・アナライザに接続されます。長いメモリ長を装備していますので、症状と実際の原因が時間的に離れているような場合のデバッグに適しています。また、FPGAの内部信号とシステムの他の動作との時間的な相関関係を知ることができます。組込みロジック・アナライザ同様、以下のようなトレードオフがあることにも考慮が必要です。

長所	短所
FPGAのロジック・ソースをほとんど必要としない。	FPGAで必要となるピン数が多い。
FPGAのメモリは必要ない。	プローブ・ポイントを移動すると、再コンパイルが必要になることがある。
ステートとタイミング・モードの両方で動作する。	信号名をロジック・アナライザ上で手作業で更新する必要がある。
FPGA信号と他のシステム信号の相関がとれる。	



▶ 図31：代表的なFPGAViewのインプリメント例

状況によっては、いずれの手法も適しています。難しいのは、どちらの手法が設計に適しているかの判断です。以下の質問に答えてみてください。予測される問題はどのようなものですか？FPGA内部の機能の問題として分離できるものであれば、必要な機能は組み込み型ロジック・アナライザに装備されています。しかし、タイミング・マージンの検証、FPGA内部の動作と基板の他の動作との時間的な相関関係など、より大きな問題が予測される場合、あるいはより強力なトリガ機能が必要な場合は、外部ロジック・アナライザの使用が適しています。

外部ロジック・アナライザによるアプローチをもう少し詳細に見てみましょう。この手法では、測定しようとする内部信号を通常少ない数の外部端子にルーティングし、必要に応じてデバイスを再プログラムすることで、FPGAの外部端子を効率的に使用することができます。これは非常に有効なアプローチですが、制約もあります。異なったセットの内部信号を観測するには、デザインを変更して（RTLレベルか、FPGA編集ツールを使用して）、観測しようとする信号セットをデバッグ用外部端子にルーティングします。これは時間がかかるだけでなく、デザインの再コンパイルが必要になり、デザインのタイミングが変更されることとなりますので、解決しようとしていた問題が見えなくなる可能性があ

ります。通常、数少ないデバッグ・ピンがあり、内部信号とデバッグ・ピンには1：1の関係がありますので、観測できる信号には限度があります。

これらの制約を解決するために、FPGAの新しいデバッグ手法が開発され、制約を解決しながら外部ロジック・アナライザの優れた点を利用することができるようになりました。First Silicon Solutions社のFPGAViewと当社のTLAシリーズ・ロジック・アナライザにより、アルテラ社またはザイリンクス社のFPGAおよび周辺のハードウェアの完全なデバッグ・ソリューションが可能になります。

FPGAViewとTLAシリーズ・ロジック・アナライザを組み合わせることにより、FPGAデザイン内部を観測することができ、内部信号と外部信号の相関をとることができます。時間のかかる再コンパイルの必要がなく、1つの外部端子で複数の内部信号を観測できるため、作業効率が上がります。さらに、FPGAViewでは、1つのデバイスで複数のテスト・コアを扱うことができます。これは、FPGA内の異なったクロック・ドメインの監視に便利です。さらに、JTAGチェーンで複数のFPGAデバイスを扱うこともできます。

Sample	Address	FBDNXV2A Mnemonics	FBDNXV2A DataHi	FBDNXV2A DataLo	FBDNXV2A BChkBits	Timestamp
65530	4E3FC	DESL - IGNORE COMMAND	-----	-----	00	3.750 ns
65531	4E3FC	DESL - IGNORE COMMAND	-----	-----	00	3.875 ns
65532	4E3FC	DESL - IGNORE COMMAND	-----	-----	00	3.625 ns
65533	4E000	PRE - PRECHARGE SELECT BANK	-----	-----	00	3.875 ns
65534	7E000	ACTV - ROW ADDRESS STROBE	-----	-----	00	15.000 ns
65535	7E000	READ - COL ADDR READ	-----	-----	00	15.000 ns
65536	7E000	DESL - IGNORE COMMAND	-----	-----	00	3.750 ns
65537	7E004	READ - COL ADDR READ	-----	-----	00	3.750 ns
65538	7E004	DESL - IGNORE COMMAND	-----	-----	00	3.750 ns
65539	7E008	READ - COL ADDR READ	-----	-----	00	3.750 ns
		READ DATA	55555555	55555555	00	
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65540	7E008	READ DATA	55555555	55555555	00	3.750 ns
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65541	7E00C	READ - COL ADDR READ	-----	-----	00	3.750 ns
		READ DATA	55555555	55555555	00	
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65542	7E00C	READ DATA	55555555	55555555	00	3.750 ns
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65543	7E010	READ - COL ADDR READ	-----	-----	00	3.750 ns

▶ 図32 : Nexus Technology社 NEX-FBD-NEXVuによるDDR2 SDRAMのリスト・ウィンドウ表示。5555,5555,5555,5555 (16進)とAAAA,AAAA,AAAA,AAAA (16進)がREAD DATAとして交互に読み出されています。

このソリューションは、4つの要素で構成されます。1番目はテスト・マルチプレクサです。テスト・マルチプレクサは、例えばアルテラ社の場合、アルテラ社Quartus® IIソフトウェアに含まれ、すべてのQuartus IIユーザが利用できます。2番目はFPGAViewソフトウェア・パッケージで、テスト・マルチプレクサを制御して他の要素と共に強力なツールに統合することができます。3番目はTLAシリーズ・ロジック・アナライザで、データを取り込み、解析します。最後の要素はJTAGプログラミング・ケーブルで、FPGA内のテスト・マルチプレクサを制御します。なお、ザイリンクス社の場合には、テスト・マルチプレクサはザイリンクス社用FPGAViewに含まれるOCIGEN (On-Chip Instrumentation Generator) でユーザ・デザインに埋め込みます。

FPGAViewとTLAシリーズ・ロジック・アナライザを組み合わせることで、FPGAに関する多くのデバッグ作業が簡単になります。このツールセットにより、FPGAデザイン内部が観測でき、外部信号と内部信号の相関をとることができます。時間のかかる再コンパイルの必要がなく、1つの外部端子で複数の内部信号を観測できるため、作業効率が上がります。

メモリ

DRAM (Dynamic Random Access Memory) は、大容量、高速化、低電力化、小型化などの要求により進化してきました。最初のステップはSDRAM (Synchronous Dynamic RAM) であり、クロック・エッジの動作をメモリ・コントローラと同期させるものでした。次に、DDR (Double Data Rate) によってデータ・レートが向上しました。そして、シグナル・インテグリティ問題を解決するために、DDR2 SDRAM、DDR3 SDRAMへと進化しました。

メモリの設計内容はますます複雑になり、開発期間は短くなる一方です。この状況に対応するため、設計現場では、回路をチェックするための計測器を何種類か用意する必要があります。インピーダンスや配線長の測定には、サンプリング・オシロスコープを使用します。電源からクロックまでのシグナル・インテグリティ、ジッタなどの電気信号測定には、デジタル・フォスファ・オシロスコープを使用します。メモリ・システムの動作を検証するためのコマンド、プロトコル、シーケンス測定には、ロジック・アナライザを使用します。

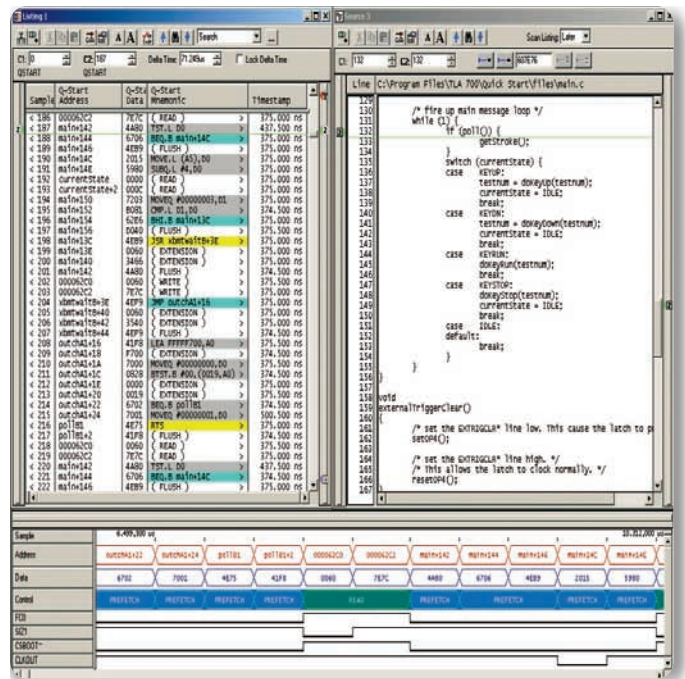
シグナル・インテグリティ

直接信号を観測し、測定することが、シグナル・インテグリティに関連する問題の原因を突き止めるための唯一の方法です。当然のことですが、正しいツールを使えば簡単に検証できます。シグナル・インテグリティの測定は、どの実験室にもある、ごく普通の計測器を用いて行います。このような計測器の中にはロジック・アナライザやオシロスコープがあり、プローブを取り付けてアプリケーション・ソフトウェアを組込むと、基本的なツール・キットが完成します。さらに、開発中のデバイスやシステムのストレス・テストおよび評価を行う際、ひずみのある信号を与えるためにシグナル・ソースを使用することもあります。

シグナル・インテグリティの測定セットアップを行う際は、以下のような点を検討する必要があります。

- プロービング
- 周波数帯域とステップ応答
- 時間分解能
- レコード長
- トリガ機能
- 統合性

デジタル信号のシグナル・インテグリティ問題、特に多数のバス、入力、出力を持った複雑なシステムのトラブルシュートにおいて、ロジック・アナライザは防御の最前線となります。ロジック・アナライザは多チャンネル、ロング・メモリ、拡張トリガを装備し、数多くのテスト・ポイントからデジタル情報を取り込み、論理的な情報として表示します。ロジック・アナライザは完全にデジタル化されているため、モニタする信号のスレッシュホールド電圧に対し、2値化され、ロジックICの論理信号を表示することができます。タイミング波形はクリアにわかりやすく表示され、期待する



▶ 図33：タイミング波形、およびソース・コードに関連付けられたリアルタイムのソフトウェア・トレースを表示する、ロジック・アナライザの画面

データと比較して正しく動作しているかどうかを確認することができます。このタイミング波形は、シグナル・インテグリティの解決に必要な、問題の信号を探す場合のスタート・ポイントとなります。当社のロジック・アナライザには主要なプロセッサやバスに対する逆アセンブラ・サポート・パッケージが用意されており、プロセッサではソフトウェアのリアルタイム・トレース（ソース・コードとの相関）とハードウェアの低レベル動作の相関をとることができます。

ロジック・アナライザの機能	シグナル・インテグリティ解析のための推奨性能
オシロスコープの統合性	ロジック・アナライザ画面上に、時間相関のとれたオシロスコープの波形を表示、複数チャンネルのアイ・ダイアグラム
プロービング	一本のロジック・アナライザ・プローブによる、タイミング、ステート、およびアナログ波形の同時アキュイジション
タイミング測定分解能	125 ps (クロック・レート 8 GHz)
ステート・アキュイジション・レート	最高 800 MHz
アキュイジション・レコード長	最大 256 M
トリガ機能	エッジ、グリッチ、ロジック、セットアップ/ホールドなど
解析機能	プロセッサ・サポート・パッケージおよび逆アセンブラ
表示機能	マルチ・ディスプレイ

▶ 図34：シグナル・インテグリティ解析では最高のロジック・アナライザ性能が要求されます。

しかし、すべてのロジック・アナライザが、急激に高速化するデジタル信号のシグナル・インテグリティ解析に対応しているわけではありません。表2に、高度なシグナル・インテグリティ・トラブルシューティングに使用するロジック・アナライザを選択する際に、考慮すべきいくつかの仕様を示します。ロジック・アナライザのサンプル・レートと記憶容量にばかり注意を向けると、ロジック・アナライザのトリガ機能を見落とすことになりがちです。しかし、問題を特定するための最も早い方法がトリガです。これは、ロジック・アナライザがエラーでトリガした場合、エラーが発生したことの何よりの証拠となるからです。最近のロジック・アナライザでは、グリッチやセットアップ/ホールド違反など、シグナル・インテグリティを損なう特定のイベントを検出できるトリガ機能を備えています。これらのトリガ条件は、何百ものチャンネル全体に対して同時に適用することができます。これは、ロジック・アナライザの優れた特徴です。

シリアル・データの適合性、検証、デバッグ

コンピュータ、通信業界では、システム、サブシステム、コンポーネント・レベルにおける標準化が技術の基礎となっています。標準化の例としては、LVDSからPCI技術と置き換わるものとして規格化されたPCI Expressまで及びます。標準化は、半導体アーキテクチャ、ネットワーク・プロトコル、ソフトウェア・コンポーネントにまで広がっています。そして、どの規格にも新しい製品がその規格に適合するための手段、証明方法があります。

これらをサポートするシリアル・データ・アーキテクチャや規格が、デジタル・デザインにおける次世代の先端技術となります。主要な業界に動きがあるごとに、新しいシリアル規格、あるいは規格の改定が発表されます。必然的に、最新の規格では、オシロスコープ、ロジック・アナライザ、シグナル・ソースなどの電気計測器を含む、適合性のための手順が必要になり、シリアル・コンプライアンス、検証、デバッグを迅速に実行するための効率的で優れたソリューションが求められます。

ロジック・アナライザ入門

▶ 入門書

リアルタイム・オシロスコープ

物理レイヤの電気的な部分の測定には、高性能リアルタイム・オシロスコープを使用します。最新のデジタル・ストレージ・オシロスコープ (DSO) とデジタル・フォスファ・オシロスコープ (DPO) は、マルチギガバイト・レンジの連続した、切れ目のないデータを優れたシグナル・インテグリティで取り込むことができます。リアルタイム・オシロスコープは、シリアル・データの検証、デバッグ、コンプライアンス・テストに理想的な計測器です。

サンプリング・オシロスコープ

非常に高速なアナログ・シグナル・インテグリティを観測できる唯一のオシロスコープが、高速サンプリング・オシロスコープです。最高で70GHz超の周波数帯域があり、40Gbpsあるいはそれ以上の光／電気信号の解析が行えます。豊富な測定ライブラリが内蔵されており、非常に高速なコンポーネント、送受信機、伝送システムの特長評価とコンプライアンス・テストに理想的なツールです。

ロジック・アナライザ

個々のパルス特性を測定するのとは反対に、フォーマット化されたシリアル・データの測定にはロジック・アナライザが最適です。リアルタイム・オシロスコープやサンプリング・オシロスコープとは異なり、ロジック・アナライザはバイナリ・データを取り込み、クロック、サイクル、エッジ・トランジションとして表示します。ロジック・アナライザの目的は、シリアル伝送のデジタル的な問題を取り込み、解析することにあります。シリアル・バスをデバッグするためには、高速サンプル・レート、ロング・メモリ、柔軟性のあるトリガ機能と同期など、高速バスで要求される機能を装備している必要があります。

シグナル・ソース

高速回路設計では、現実の条件でテストすることも重要となります。可能な限り現実に近い条件を作り出すのに最適なツールが、プログラマブル・シグナル・ソースです。今日のデータ・レートでテスト信号を生成するには、データ・タイミング・ジェネレータ (DTG) と任意波形ジェネレータ (AWG) が必要となります。これらのツールなしには、新しい物理レイヤのテストや検証は考えられません。シグナル・ソースの多くは、オシロスコープで取り込んだ信号を再現することができます。基準信号として、あるいは被測定デバイスにストレスを加えるために手を加えることもできます。

まとめ

ロジック・アナライザは、デジタル・トラブルシューティングのすべてのレベルにおいて必要不可欠なツールです。デジタル・デバイスがより高速、複雑になってきましたので、ロジック・アナライザによるソリューションもこれに対応する必要があります。ロジック・アナライザには、高速でありながら一瞬の異常信号を取込み、すべてのチャンネルを高分解能で観測でき、数多くのサイクルの数十、数百、あるいは数千の信号間の関係を解決するための十分なメモリ長が要求されます。

この入門書では、これらの要求に応えることができる当社TLAシリーズ・ロジック・アナライザを使用し、トリガ（およびその使用方法）、高分解能サンプリング、1本のプロービングによるタイミングとステートの同時取込みなど、ロジック・アナライザによる効果的な測定について説明しました。

トリガを使用することで、疑わしい問題を確認し、また、まったく予期しないエラーを発見することができます。最も重要なことは、トリガは、トラブルに関する仮説をテストするための、また、間欠的に発するイベントを特定するための、多様性をもったツールであるということです。ロジック・アナライザの豊富なトリガ・オプションは、その柔軟性の証です。

MagniVu®アキュイジションなどの高分解能サンプリング・アーキテクチャは、観測が困難な信号動作の振る舞いに関する詳細までもあきらかにします。MagniVu®アキュイジションの優れたサンプリング性能により、それが意図的なものであるかないかに関わらず、より詳細なバイナリ・データ信号の変化を取込むことが可能になります。

1本のプロービングによる、ステートと高速タイミング・データの同時取込みのコンセプトが実現されました。これにより、デバイスの膨大なデータを収集し、タイミング・ダイアグラムとハイレベルなステート動作の関係を解析することが可能になります。アナログ波形とデジタル波形の時間相関の取れた表示、リスト表示とプロトコル表示、複数チャンネルのアイ・ダイアグラム、リアルタイム・ソフトウェア・トレース表示、ヒストグラムなどのトラブルシューティングに役立つ表示が可能になります。

アキュイジション・メモリ、表示／解析機能、アナログ・ツールとの統合、さらにモジュラ構造などの優れた性能により、ロジック・アナライザはデジタル問題の迅速に検出する強力なツールとなり、厳しい設計スケジュールにも対応できるようになります。TLAシリーズ・ロジック・アナライザは、今日の難しい問題にも対応し、さらに進化を続けます。

用語集

(この用語集では、本入門書で使われていない用語についても解説しています。)

振幅：信号の量的または強度的な大きさ。電子回路では、振幅といえば通常は電圧または電力となります。

アナログ・デジタル変換器 (ADC)：電気信号を離散的なバイナリ値に変換する、デジタル電子コンポーネント。

アナログ信号：電圧が連続的に変化する信号。

減衰：1つのポイントから他のポイントに伝送される際、信号振幅が低下すること。

非同期：同期でないこと。ロジック・アナライザは、独自のサンプリング・クロックで動作します。クロックは独立していて、被測定デバイスのタイミングには関知しません。タイミング・アキュジション・モードの基本となります。

周波数帯域：周波数の範囲であり、通常は-3dBで制限されます。

ボール・グリッド・アレイ (BGA)：集積回路パッケージ。

ビット：1または0の状態をもつ2進数。

バイト：デジタル情報の単位であり、通常は8ビットで構成されます。

カーソル：波形に沿って表示させることでより正確な測定が可能になる、スクリーン上のマーカ。

デシベル (dB)：2つの電気信号の電力の相対差を表す単位であり、通常は2つのレベルの常用対数の10倍に等しい。

デジタル信号：電圧サンプルが、離散的なバイナリ値で表される信号。

デジタル・オシロスコープ：アナログ・デジタル変換器 (ADC) により、測定電圧をデジタル情報に変換するオシロスコープの種類。デジタル・オシロスコープには、デジタル・ストレージ、デジタル・フォスファ、デジタル・サンプリング・オシロスコープの3種類があります。

デジタル・フォスファ・オシロスコープ (DPO)：従来のデジタル・オシロスコープの特長（波形保存、自動測定など）を持ちながら、表示特性をアナログ・オシロスコープに近づけたデジタル・オシロスコープの種類。DPOでは、並列処理アーキテクチャの採用により、信号をラスタ・タイプの表示部に送ることで、信号特性をリアルタイムに輝度階調表示することが可能になります。DPO表示では、信号を、振幅、時間、および時間に伴った振幅の偏差として三次元に表示することができます。

デジタル・サンプリング・オシロスコープ：等価時間サンプリングにより信号を取込み、表示する、デジタル・オシロスコープの種類。信号の周波数成分が、オシロスコープのサンプル・レートよりも非常に高い場合の正確な信号捕捉に理想的なオシロスコープです。

デジタル・ストレージ・オシロスコープ (DSO)：アナログ・デジタル変換器を使用したデジタル・サンプリングによって信号を取込むオシロスコープの種類。シリアル処理プロセッシング構造により、アキュイジション、ユーザ・インタフェース、ラスタ表示を制御します。

量子化：アナログ・デジタル変換器 (ADC) により、水平システムを時間的に離散的な値にサンプルし、そのときの信号電圧をサンプル・ポイントと呼ばれるデジタル値に変換するプロセス。

DIMM (デュアル・インライン・メモリ・モジュール)：PCプラットフォームでダイナミック・ランダム・アクセス・メモリ・コンポーネントをパッケージングする一般的な手法。

DRAM (ダイナミック・ランダム・アクセス・メモリ)：各ビットのデータを独立したキャパシタに保存するメモリの種類。

DUT (被測定デバイス)：計測器によってテストされるデバイス。

FB-DIMM (フルバッファ・デュアル・インライン・メモリ・モジュール)：次世代のメモリ・アーキテクチャ。

FBGA (ファインピッチ・ボール・グリッド・アレイ)：集積回路パッケージ。

周波数：信号が1秒間に繰り返す回数で、ヘルツ (Hz) で測定されます。周波数は、周期の逆数となります。

ギガビット (Gビット)：10億ビットの情報。

ギガバイト (Gバイト)：10億バイトの情報。

ギガヘルツ (GHz)：10億ヘルツ。

グリッチ：間欠的に回路で発生する、高速なエラー。

ギガトランスファ/秒 (GT/s)：1秒間に10億個のデータを転送すること。

ヘルツ (Hz)：1秒あたり1サイクル。周波数の単位。

入力/出力 (I/O)：信号がデバイスに対して入るか出るかを表す。

集積回路 (IC)：チップ上にエッチングまたはインプリントされたコンポーネントおよび相互接続された集合体。

iCapture™マルチプレクサ：1本のロジック・アナライザ・プローブで、デジタルとアナログを同時に取込む機能。

iLink®ツールセット：迅速な問題発見とトラブルシューティングのために開発されたツールセット。iCapture™マルチプレクサ、iView表示およびiVerify®解析の3要素で構成されています。

iView表示：ロジック・アナライザとオシロスコープの統合された表示を、時間相関をとりながらロジック・アナライザに表示する機能。

iVerify®解析：オシロスコープのアイ・ダイアグラムにより、複数チャンネルのバス解析、検証テストが可能になる機能。

キロヘルツ (kHz)：1000ヘルツ。

負荷効果：プローブやオシロスコープを被測定回路に接続することで、信号を歪ませるような意図しない効果。

ロジック・アナライザ：数多くのデジタル信号を、時間に対するロジック・ステートとして測定する計測器。デジタル・データを解析し、リアルタイムなソフトウェア実行、データ・フロー値、ステート・シーケンスなどとして再現します。

MagniVu®アキュイジション：TLAシリーズ・ロジック・アナライザが装備している、独特な高分解能サンプリング構造。トリガ・ポイント周辺の信号動作を、高分解能で取込むことができます。

メガビット (Mビット) : 百万ビットの情報。

メガバイト (Mバイト) : 百万バイトの情報。

メガヘルツ (MHz) : 百万ヘルツ。

メガサンプル/秒 (MS/s) : 1秒間に百万サンプル取込むサンプル・レート。

マイクロ・セカンド (μ s) : 0.000001秒。

ミリ・セカンド (ms) : 0.001秒。

マザーボード : プロセッサ、メモリ・コントローラ、ハード・ディスク・コントローラ、入出力インタフェース・チップセットなどを含んだ、コンピュータのメイン・システム回路基板。DIMMやビデオ・カードなどの回路基板は、マザーボードにプラグインされます。

メガトランスファ/秒 (MT/s) : 1秒に百万データ転送するレート。

ナノ・セカンド (ns) : 0.000000001秒。

ノイズ : 電子回路で発生する予期しない電圧または電流。

オシロスコープ : 時間に伴って変化する電圧を測定するための計測器。オシロスコープという言葉は、Oscillate (発振) からきていますので、発振電圧を測定することもあります。

周期 : 波形が1サイクルを完了する時間。周期は、周波数の逆数で表されます。

ブリトリガ観測 : トリガ・イベント前に発生する信号を取込む、デジタル計測器の機能。観測できる時間は、トリガ・ポイント前

後の観測時間の長さに影響します。

プローブ : 計測器の入力装置。通常は、回路部品と接触するための金属チップと、回路のグランド基準に接続するためのリード、信号とグランドを計測器に接続するための柔軟性のあるケーブルで構成されています。

パルス : 高速な立上りエッジ、幅、立下りエッジを持った波形形状。

パルス列 : パルスの集合体。

パルス幅 : パルスがローからハイに変化し、さらにハイからローに変化するまでの時間で、通常はフル電圧の50%レベルにおいて測定します。

ランダム・アクセス・メモリ (RAM) : 情報を任意の順序でアクセス可能なメモリ・デバイス。

ランプ : 正弦波において、電圧レベルが一定のレート間で変化するトランジション。

レコード長 : 信号のレコードとして構成するために使用される波形ポイントの数。

立上り時間 : パルスの立上りエッジにおいて、電圧がローからハイに変化するまでの時間。通常は10~90%レベル間で測定します。

サンプリング : 計測器によって保存、処理、表示するために、入力信号を離散的な電気の値に変換すること。

サンプル・ポイント : 波形ポイントの計算のために使用するADCからの生データ。

サンプル・レート：デジタル計測器が信号をサンプルとして取込む頻度であり、一秒あたりのサンプル数 (S/s) で表します。

シグナル・インテグリティ：システムや計測器、さらには信号を取込むプローブの性能による、信号再生の正確さ。

シグナル・ソース：回路入力に信号を挿入するために使用されるテスト装置。回路の出力は、計測器で測定されます。シグナル・ジェネレータとしても知られています。

被測定システム (SUT)：計測器によって測定されるシステム。

同期：外部ソース（通常は、DUT）から受け取るクロック情報をもとにステート・アクイジションを行うため、同期モードと呼ばれています。2つのシステムが同期しますので、ロジック・アナライザはDUTがアクティブのときにのみデータを取込みます。これをステート・アクイジション・モードと呼びます。

トリガ：計測器の水平掃引の基準となる回路。

トリガ・ホールドオフ：有効なトリガ後に、計測器がトリガしないように時間を設定する機能。

トリガ・レベル：トリガ回路が掃引を初期化する前に、トリガ・ソース信号が達しなければならない電圧レベル。

ボルト (V)：電位差の単位。

電圧：ボルトで表した2点間の電位差。

波形：時間に伴って繰り返されるパターンの総称。一般的な波には、正弦波、方形波、矩形波、のこぎり波、三角波、ステップ波、パルス、周期波、非周期波、同期波、非同期波などがあります。

Tektronix お問い合わせ先：

アメリカ 1 (800) 426-2200
イタリア +39 (02) 25086 1
インド (91) 80-22275577
イギリスおよびアイルランド +44 (0) 1344 392400
オーストリア +41 52 675 3777
オランダ 090 02 021797
カナダ 1 (800) 661-5625
スイス +41 52 675 3777
スウェーデン 020 08 80371
スペイン (+34) 901 988 054
大韓民国 82 (2) 528-5299
台湾 886 (2) 2722-9622
中央ヨーロッパおよびギリシャ +41 52 675 3777
中華人民共和国 86 (10) 6235 1230
中東アジア/北アフリカ +41 52 675 3777
中東ヨーロッパ/ウクライナおよびバルト海諸国 +41 52 675 3777
デンマーク +45 80 88 1401
ドイツ +49 (221) 94 77 400
東南アジア諸国/オーストラリア (65) 6356 3900
南アフリカ +27 11 254 8360
日本 81 (3) 6714-3010
ノルウェー 800 16098
バルカン半島/イスラエル/アフリカ南部諸国およびISE諸国
+41 52 675 3777
フィンランド +41 52 675 3777
ブラジルおよび南米 (11) 4066-9400
フランス +33 (0) 1 69 86 81 81
ベルギー 07 81 60166
ポーランド +41 52 675 3777
ポルトガル 80 08 12370
香港 (852) 2585-6688
メキシコ、中米およびカリブ海諸国 52 (55) 5424700
ルクセンブルグ +44 (0) 1344 392400
ロシアおよびCIS諸国 +7 (495) 7484900
その他の地域からのお問い合わせ 1 (503) 627-7111

Updated 15 September 2006

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ(www.tektronix.co.jp)またはwww.tektronix.comをご参照ください。



Copyright © 2006, Tektronix. All rights reserved. Tektronix製品は、米国およびその他の国の取得済みおよび出願中の特許により保護されています。本書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。その他本書に記載されている商品名は、各社のサービスマーク、商標または登録商標です。

09/06 FLG

52Z-14266-3

32 www.tektronix.co.jp/la

Tektronix
Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティ B棟6階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

TEL 03-6714-3010 FAX 0120-046-011

電話受付時間/9:00~12:00・13:00~18:00 月曜~金曜(祝日は除く)

当社ホームページをご覧ください。 www.tektronix.co.jp
お客様コールセンター ccc.jp@tektronix.com