

今日の標準的インタフェースであるPCI Express物理層測定について

— 2.5Gbps、5Gbpsの測定 —



テクトロニクス・イノベーション・フォーラム2012

鈴木克彦

www.tektronix.com/ja

本日の内容

1. 規格レビュー
2. PCI Express物理層コンプライアンス(信号品質テスト)および測定
 - Rev.1.1 (2.5Gbps)
3. PCI Express Rev.2.0 (5Gbps)
4. 補足資料

規格レビュー

PCI Expressの特徴

- 物理層:
 - シリアル化
 - パラレル・レーンでのスキュー問題を解消
 - クロック共有(コモン・クロック) / 非共有(データ・クロック)
 - スケーラブルなデータ・レート
 - Rev 1.x: 2.5 Gbps
 - Rev 2.x: 5 Gbps
 - Rev 3.0: 8 Gbps
 - Rev 4.0: 16 Gbps (プレス・リリース: 2011/11/29)
 - スケーラブルに拡張可能なマルチレーン (1, 2, 4, 8, 12, 16, 32)
 - コネクタ、ケーブルもサポート
 - 今後は電気だけでなく光も?
 - 他の規格への展開 (Rev 3.0: 8 Gbpの物理層採用)
 - SATA Express
 - SAS over PCI Express

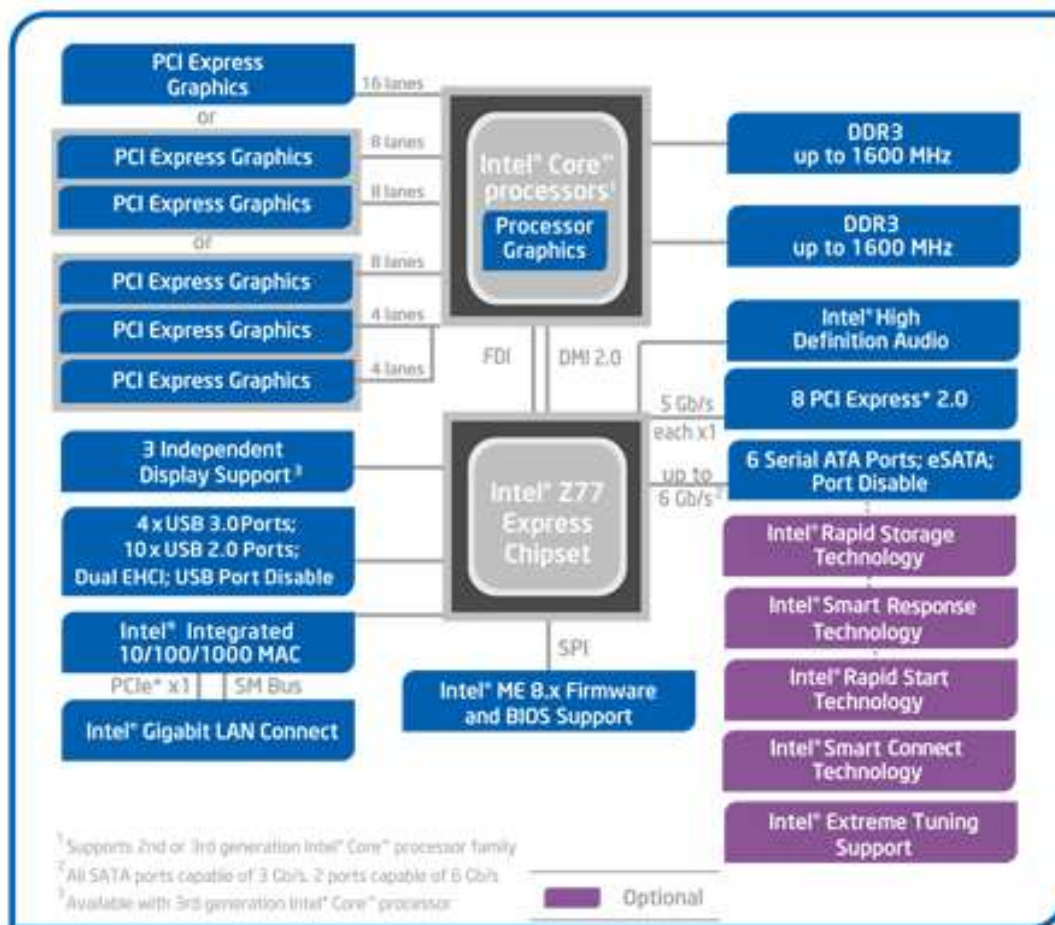
最新第3世代インテルCoreプロセッサ (Ivy Bridge) 用 チップセット・ブロック図 Z77 Express (Panther Pointの最上位)

Ivy Bridge

- PCI Express Rev.3.0をサポート
- MCH (Memory Controller Hub) をCPUに統合
- DDR3-DRAMインタフェースのみが唯一の平行バス

Panther Point (7シリーズ)

- 初のインテル・チップセットによるUSB3.0サポート
 - 4チャンネル
- DisplayPort
 - 3チャンネル (2.7Gbps)



Intel® Z77 Express Chipset Platform Block Diagram

http://www.intel.com/content/dam/www/public/us/en/images/product/Z77-blockdiagram_450x408.jpg

組み込みでの実現方法

- 標準IOとしてハードウェアでPCI Expressを内蔵したFPGAも多く登場し、PCI Expressを手軽に導入できる環境が整う(コモディティ化)

Before

- PCI Expressを実現できる高性能トランシーバを内蔵したFPGAは高価
 - 低コストのソリューションは外付けPHYの使用
 - » MAC層までFPGAで実現
 - » PIPEの配線が複雑
- ソフトウェアIPの購入が必要
 - 試作・少量の場合に障壁

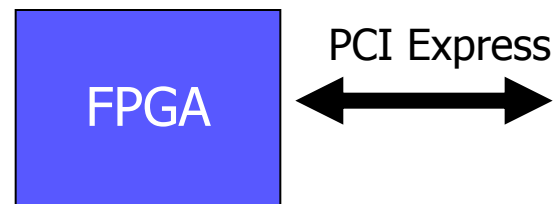
After

- ハードウェア・ブロックを内蔵
 - IP購入が不要に
- 外付けPHYも不要
- 高性能版のみならず低価格版も登場

- PCI Expressを内蔵した組み込み用CPUも登場

- FreeScale Semiconductor社PowerQUICC III
- ルネサスエレクトロニクス株式会社SH-4A (SH7786)

- ASIC



Altera社
Stratix V GT/GX/GS (Rev.3.0) Stratix IV GX/GT、Arria II GZ (Rev.2.0) Arria II GX、Cyclone IV GX (Rev.1.1)
Xilinx社
Virtex-7 (Rev.3.0) Kintex-7、Virtex-6 (Rev.2.0) Artix-7、Virtex-5、Spartan-6 (Rev.1.1)

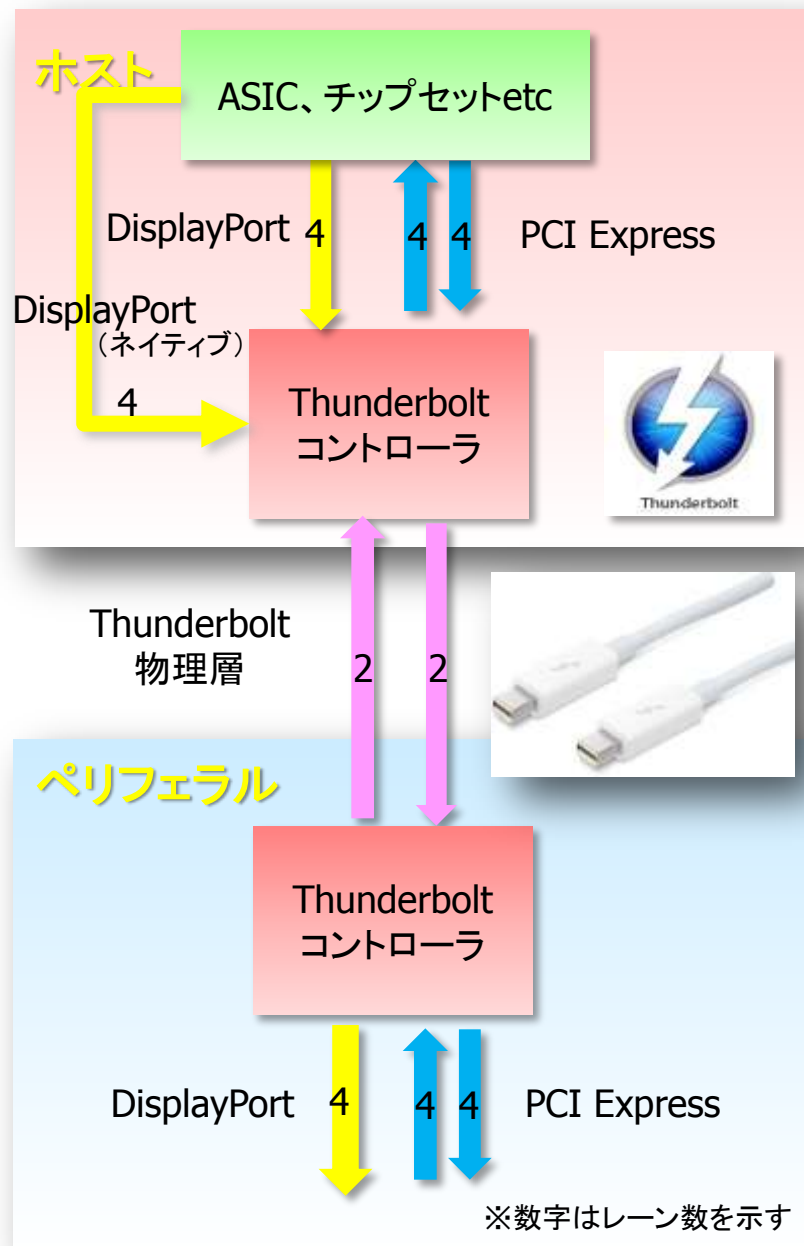
※一部のFPGAはソフトウェアIPで上位のPCI Expressに対応可能

MAC : Media Access Controller

PIPE : PHY Interface for the PCI Express

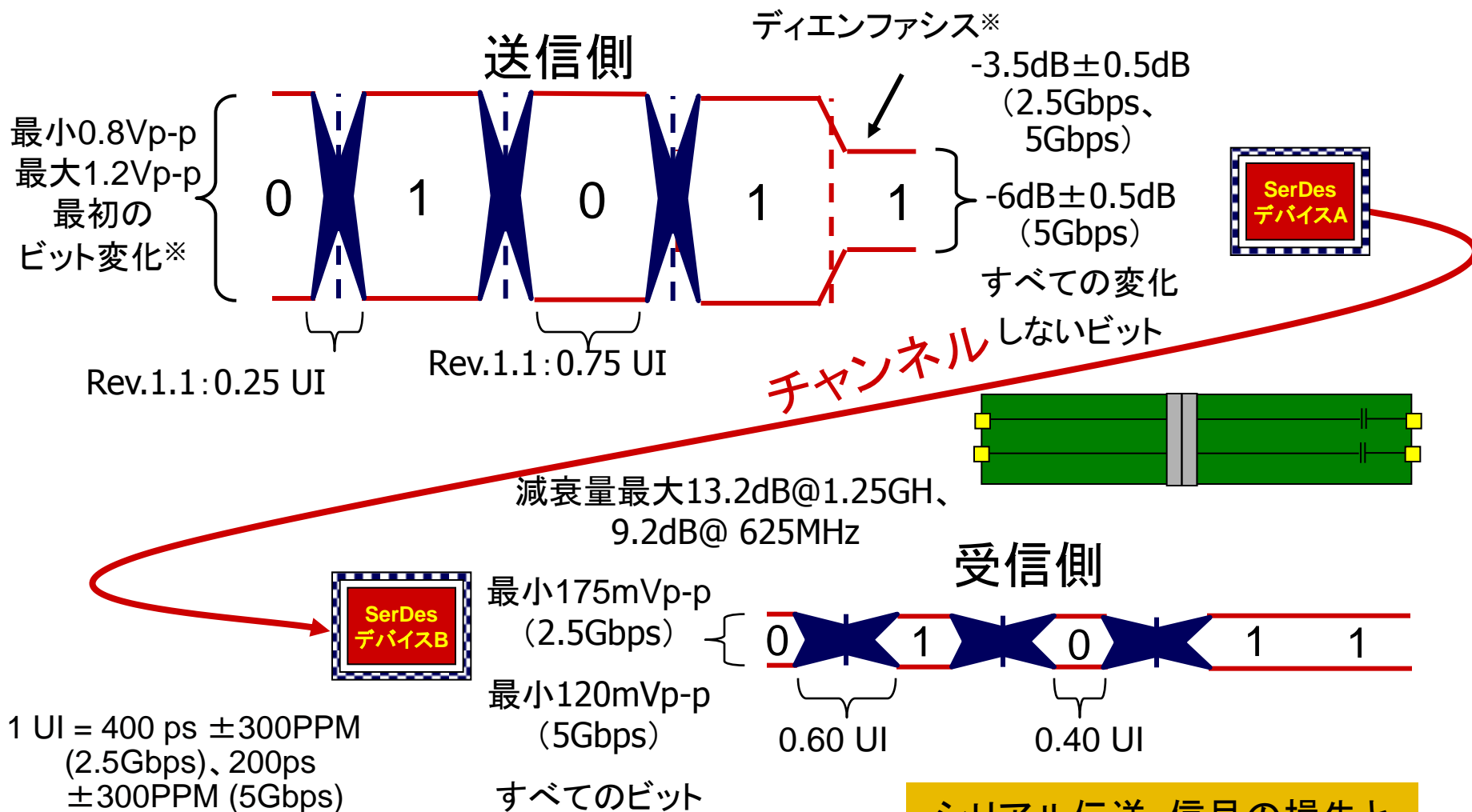
Thunderbolt Technologyにも

- PCとペリフェラル間の接続用インタコネクタ
- 1本のケーブルでデュアル・プロトコルをサポート
 - PCI Express 2.0、DisplayPort 1.1a
 - 低レイテンシ(8ns)
 - ディジ・チェーン・トポロジ
 - 7ホップ
- 上位から見るとPCI Expressのスイッチ
 - Thunderboltの物理層を意識する必要がない
- Mini DPコネクタを使用
 - DisplayPortをネイティブでサポート
- 10.3125Gbps × 2、双対単方向伝送
 - 64B/66B符号
- 伝送距離
 - アクティブ・ケーブルで3m
 - Apple社から市販されているのは2m
 - AOC(Active Optical Cable)にて10m以上
 - サンプル出荷開始
- 10Wまでの電力供給可能



PCI Express: 電氣的仕様

Base Specification

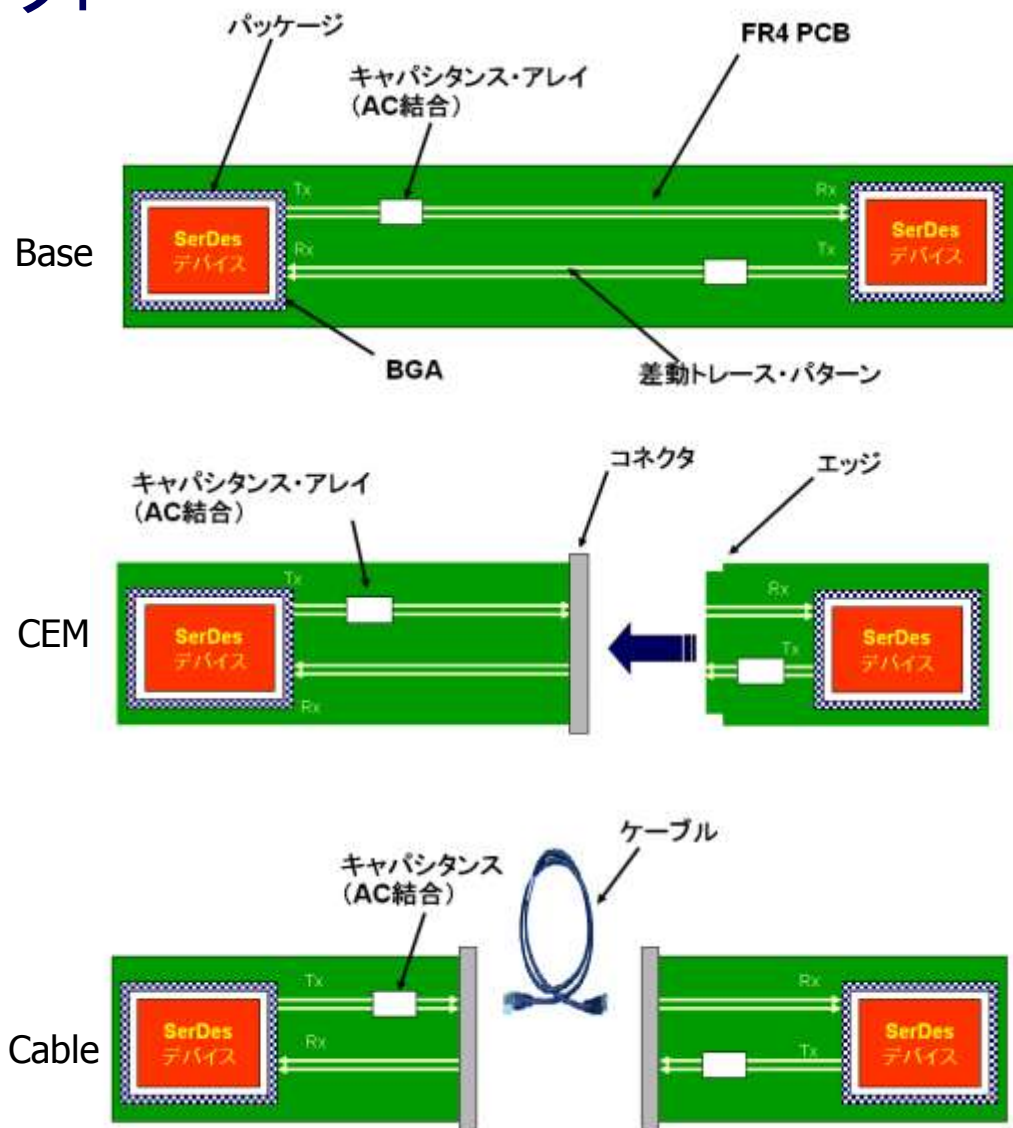


※Rev.2.0から低電力モードが正式に規格化。差動振幅は1.2V~0.4V、ディエンファシスなし

シリアル伝送: 信号の損失とジッタの評価が重要

PCI Expressのインタコネク

- 3種類に分類
 1. コネクタなし - Base
 2. コネクタあり - CEM
 3. ケーブル接続 - Cable



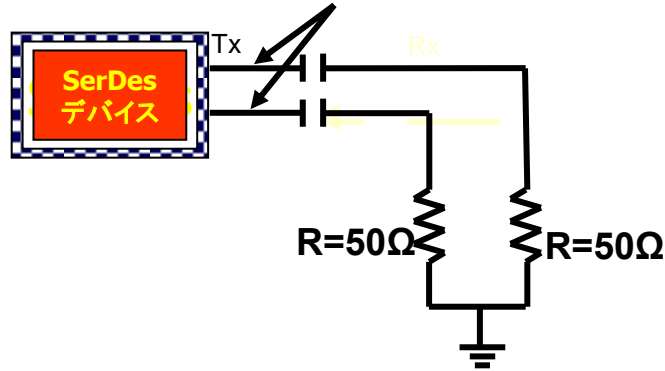
どの測定ポイントの規格を使うかを決定

Base Specification (送信端・受信端)

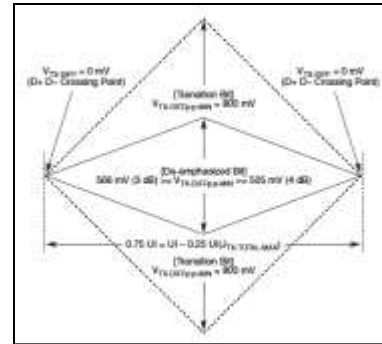
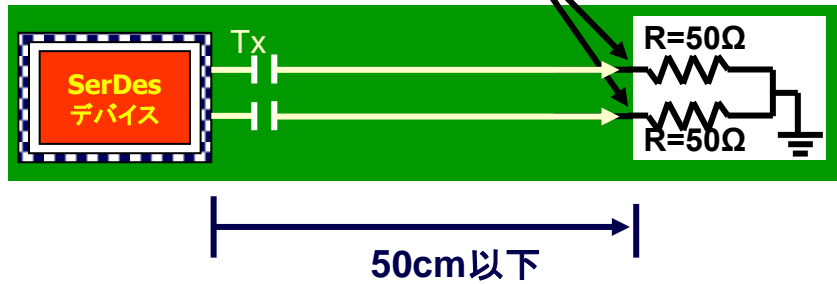
デバイスの仕様

- デバイス・ベンダ
- 基板設計(受信端)

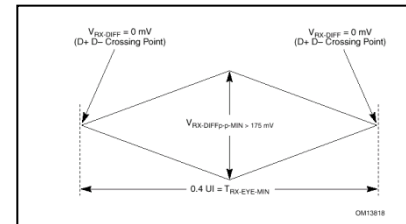
測定基準点: トランスミッタ出力



測定基準点: レシーバ入力



シンボル		規格
$V_{TX-DIFFp-p-MIN}$ (遷移ビット)		800 mV
$V_{TX-DIFFp-p-MIN}$ (非遷移ビット)		505 mV ~ 566 mV
T_{TX-EYE}	Rev.1.0a	280 ps (0.7UI)
	Rev.1.1	BER10 ⁻¹² 300 ps (0.75UI)



シンボル		規格
$V_{RX-DIFFp-p-MIN}$		175 mV
T_{RX-EYE}	Rev.1.0	160 ps (0.4UI)
	Rev.1.1	

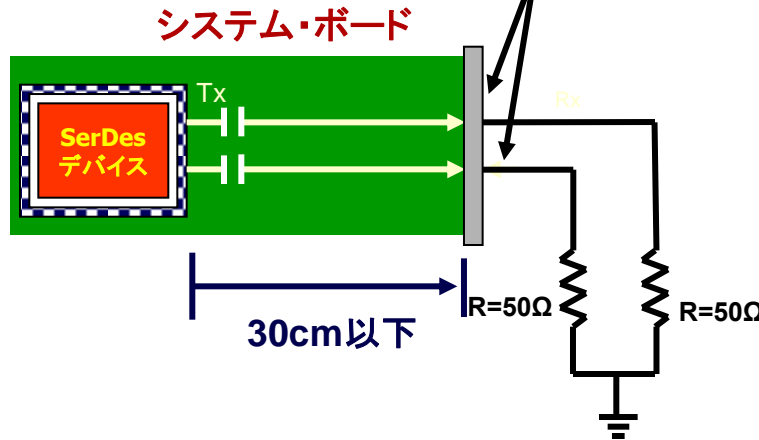
CEM Specification (コネクタ部)

アドイン・カード／システム・ボード仕様

CEM=Card ElectroMechanical

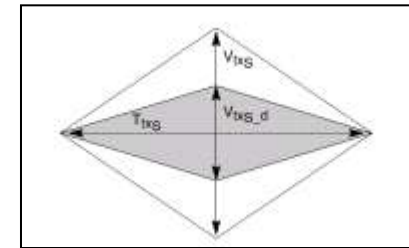
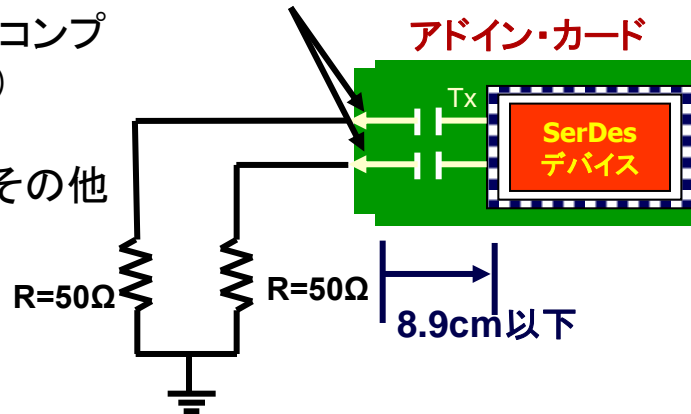
コンプライアンスの測定ポイント

- システム・ボード:アイ 測定基準点:アドイン・カードのエッジ上部
電圧、幅

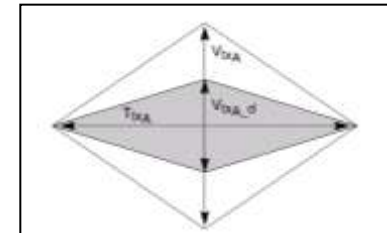


測定基準点:
アドイン・カードのエッジ上部

- デバイス・ベンダ(コンプライアンス・テスト)
- 基板設計
- 同様にMini-Cardその他



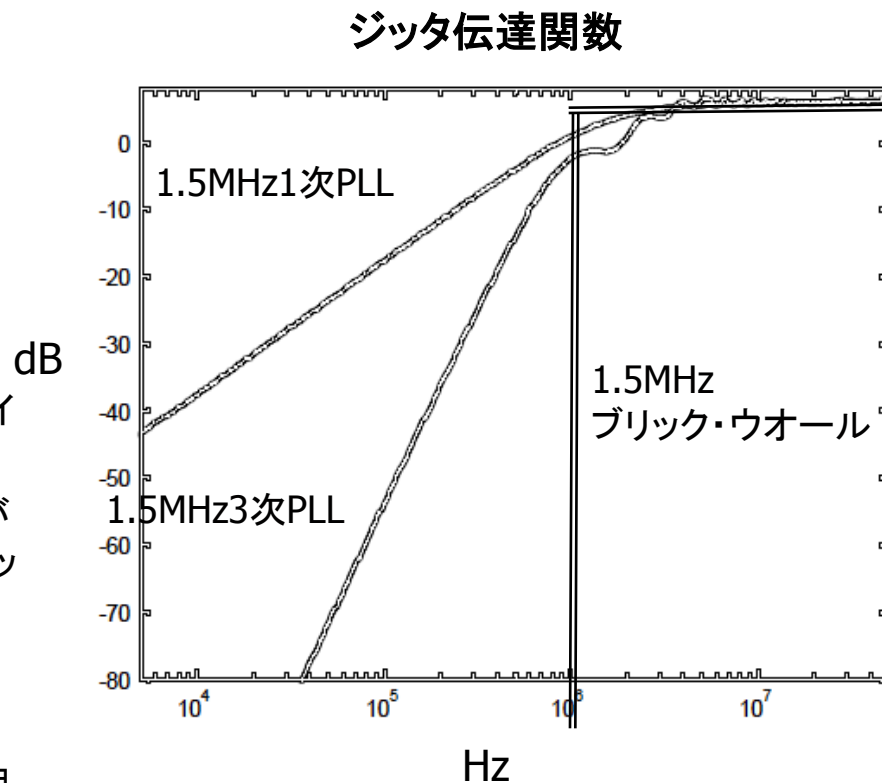
シンボル		規格
VtxS		274 mV
VtxS_d		253 mV
T _{txS}	Rev.1.0a	183 ps
	Rev.1.1	1,000,000 UI
		BER10 ⁻¹²



シンボル		規格
VtxA		514 mV
VtxA_d		360 mV
T _{txA}	Rev.1.0a	237 ps
	Rev.1.1	1,000,000 UI
		BER10 ⁻¹²

PCI Express測定クロック・リカバリ条件

- 1.5MHz1次PLL (20dB/dec.)
 - アドイン・カードのRev.1.1/2.5Gbpsコンプライアンス・テストでCBBとともに使用
 - SSC (30kHz~33kHz)の高調波やリファレンス・クロックの低周波ジッタが影響しないようジッタのない「クリーン・クロック」の使用時のみ
- 1.5MHz3次PLL (60dB/dec.)
 - システム・ボードのRev.1.1/2.5Gbpsコンプライアンス・テストで使用
 - クリーン・クロックの入力・改造が困難、SSCがオフできない、実システムのリファレンス・クロック(ダーティ・クロック)でのテスト用。Rev.1.0aでのクロック・リカバリ
- 1.5MHzブリック・ウォールを使用
 - Rev.2.0/5Gbpsコンプライアンス・テストで使用
 - さらにシステム・ボードではデュアル・ポート測定法を使用

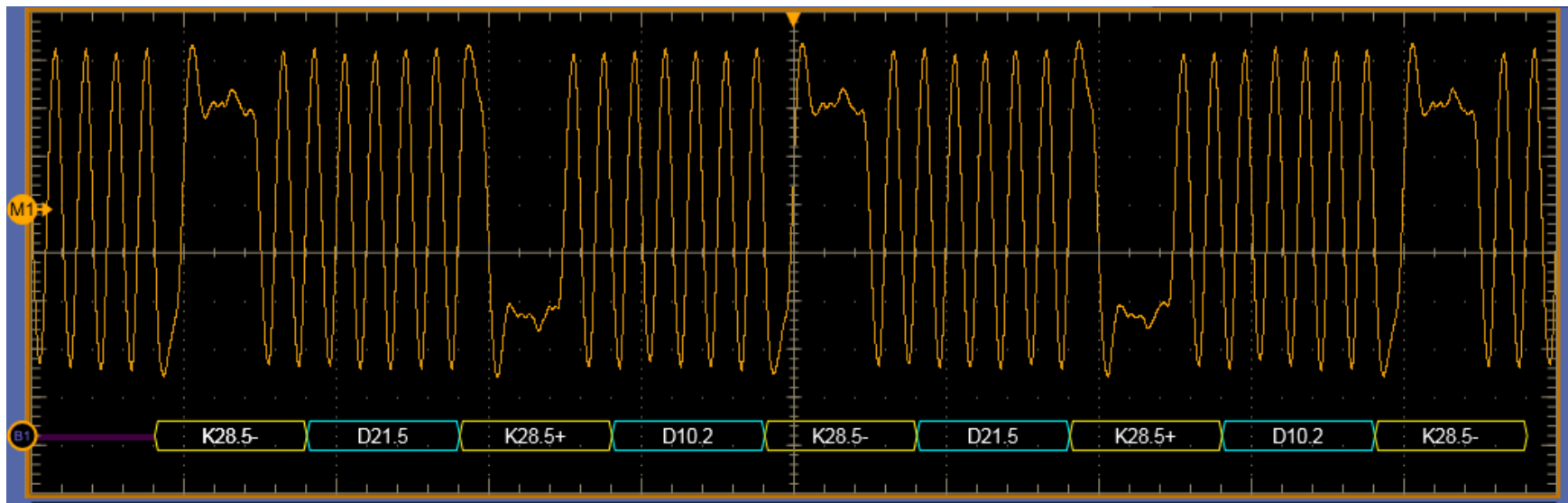


©PCI-SIG

規格はコンプライアンス・パターンで規定・測定

- 規格はすべてコンプライアンス・パターンにて指定の測定点で終端した状態で測定
 - レシーバ検出後、トランスミッタからのトレーニング・シーケンスに応答がない場合、Polling.Complianceへ移行し、コンプライアンス・パターンの出力が規格化されている

シンボル	K28.5-	D21.5	K28.5+	D10.2
現在のディスパリティ	0	1	1	0
パターン	0011111010	1010101010	1100000101	0101010101



PCI Express物理層コンプライアンス(信号品質テスト) および測定について



インターオペラビリティとコンプライアンス・テスト

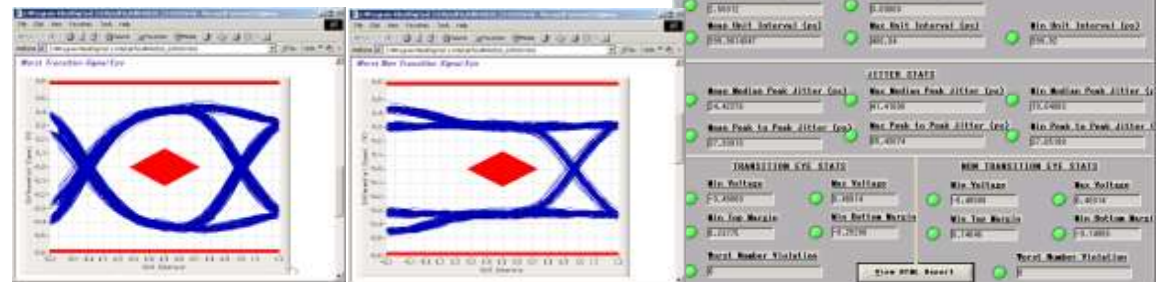
- インターオペラビリティを確保するためには最低限コンプライアンス項目を満たしている必要がある⇒コンプライアンス・テスト(認証試験)の実施
- コンプライアンス・テストに合格すると規格団体としてお墨付きを受けたことになる
 - 証明の仕方は規格団体による
 - ロゴ添付
 - インテグレーターズ・リストへの掲載
- コンプライアンス・テスト(ロゴ認証)を受ける方法
 - 年に数回、規格団体により開催されるプラグ・フェスタに実機を持ち込む
 - PCI Express、SATA、USB2.0/3.0など
 - 規格団体が承認した民間認証会社でのテストを受ける
 - USB2.0/3.0、HDMIなど
 - セルフ・コンプライアンス
 - 社内でテストを実施し、テスト結果を規格団体に提出
 - IEEE1394など
- ほとんどの規格は、ロゴなしで製品出荷・販売可能
 - ログ認証必須なのはThunderbolt、HDMI(事実上)など
- ただし、製品保証の観点から、社内あるいは民間認証会社でコンプライアンスに準ずる測定をしておくことは重要



PCI Expressのコンプライアンス・テストの内容

- PCI-SIG主催。年に数回、米国Milpitas市、台湾で開催
- テスト対象はシステム・ボード(マザーボード)とアドイン・カード
- 内容
 - Physical Layer: オシロスコープなどを使っての信号の電氣的なテスト
 - Configuration Space: メモリ上のコンフィギュレーション空間のフィールドと値の検証
 - Link & Transaction Layer(2種類): プロトコルの境界条件のテスト、およびエラー注入とエラー・ハンドリングの確認
 - Platform Configuration: PCI ExpressデバイスのBIOSハンドリングのチェック
- 80%のインターオペラビリティで合格

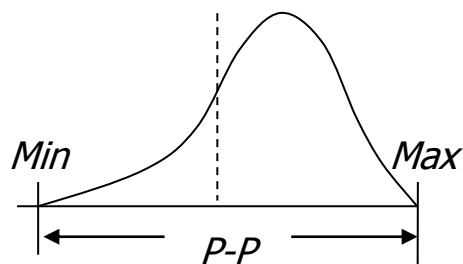
Test	Pass	Fail	Comments
Electrical Tests	✓		
BIOS Tests	✓		
Link Tests	✓		
Transaction Tests	✓		
Overall Evaluation	Pass	Fail	



トランスミッタ測定項目例: PCI Express Rev.1.1 (2.5Gbps、コンプライアンス・テスト)

物理層

- アイ・ダイアグラム: 遷移ビット、非遷移ビット(ディエンファシス)を分離しての評価
 - アイ高さ
 - アイ幅@1M-UI
 - マスク・テスト: マスク・ヒット
- ユニット・インターバル(UI): 周期
- ジッタ
 - Median-to-Maxジッタ

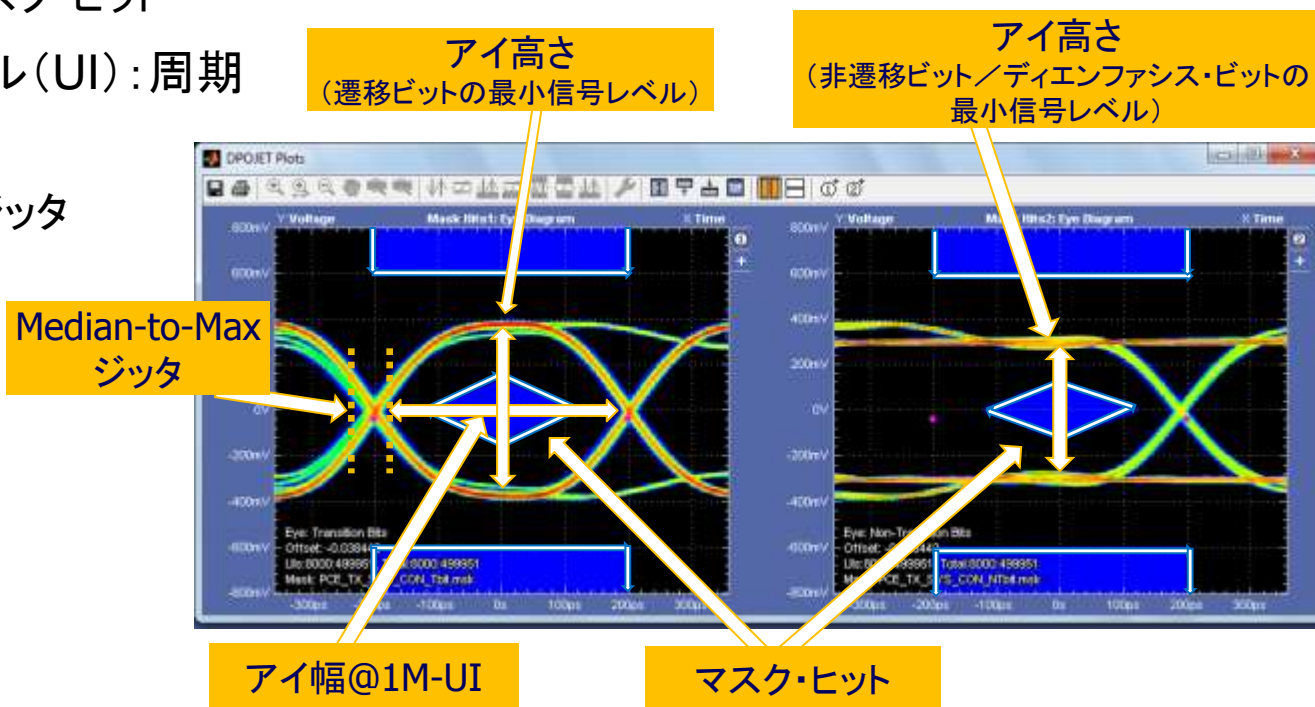


ジッタ分布

$$Median = \frac{Max - Min}{2}$$

リファレンス・クロック(システム・ボード)

- ジッタ



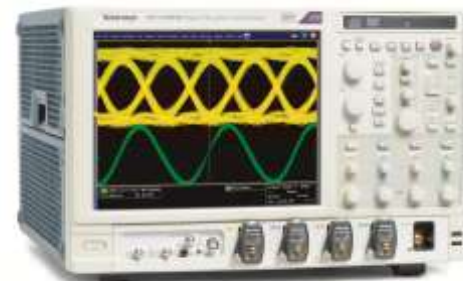
必要な機材 (Rev.1.1:2.5 Gbps)

コンプライアンス・テスト(信号品質)、物理層測定

- デジタル・オシロスコープ: 6GHz帯域、20GS/s以上。下記いずれかの機種
 - DSA70804C型 8GHz25GS/sデジタル・シリアル・アナライザ
 - DSA70604C型 6GHz25GS/sデジタル・シリアル・アナライザ
- SMAケーブル (CLB10/CBB11)
- コンプライアンス・テスト・ソフトウェア
 - SIGTEST
 - Clock Jitter Tool (Rev.1.1システム・ボードのみ)
 - SIGのWebよりダウンロード
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - opt.PCE、あるいはopt.PCE3 PCI Expressモジュール
- プローブ: 必要に応じて下記いずれかの機種
 - P7580型 8GHz差動プローブ
 - P7560型 6GHz差動プローブ
 - P7380SMA型 8GHz SMA入力差動プローブ

※1. DSAシリーズには標準付属

DSA70000Dシリーズ デジタル・シリアル・アナライザ

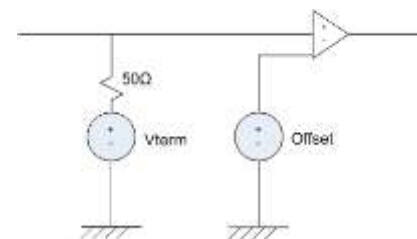


- 「最高の波形特性」と「強力な解析能力」

型名	DSA7334D型	DSA72504D型
最高周波数帯域	33GHz	25GHz
2ch (RT)、4ch (ET、アンダー・サンプリング)		
4ch (RT)	23GHz	
立上り時間 (20%-80%)	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大レコード長	250Mポイント@4チャンネル	
垂直軸ノイズ (フルスケールに対するp-p)	0.58%	0.58%
フラットネス	±0.5dB (最高周波数帯域の半分まで)	
ジッタ・ノイズ・フロア (rms)	250fs	
デルタ時間測定確度 (rms)	347fs	330fs
垂直軸感度	6.25mV/div ~ 120mV/div (62.5mV ~ 1.2Vフルスケール)	
オフセット・レンジ 終端電圧レンジ	+3.4 ~ -3.4V	



IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現



終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能



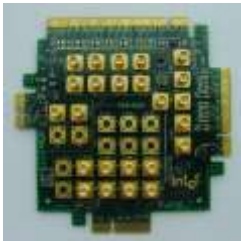
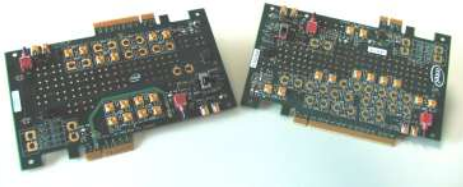


DSA70000Cシリーズ デジタル・シリアル・アナライザ







- 「最高の波形特性」と「強力な解析能力」

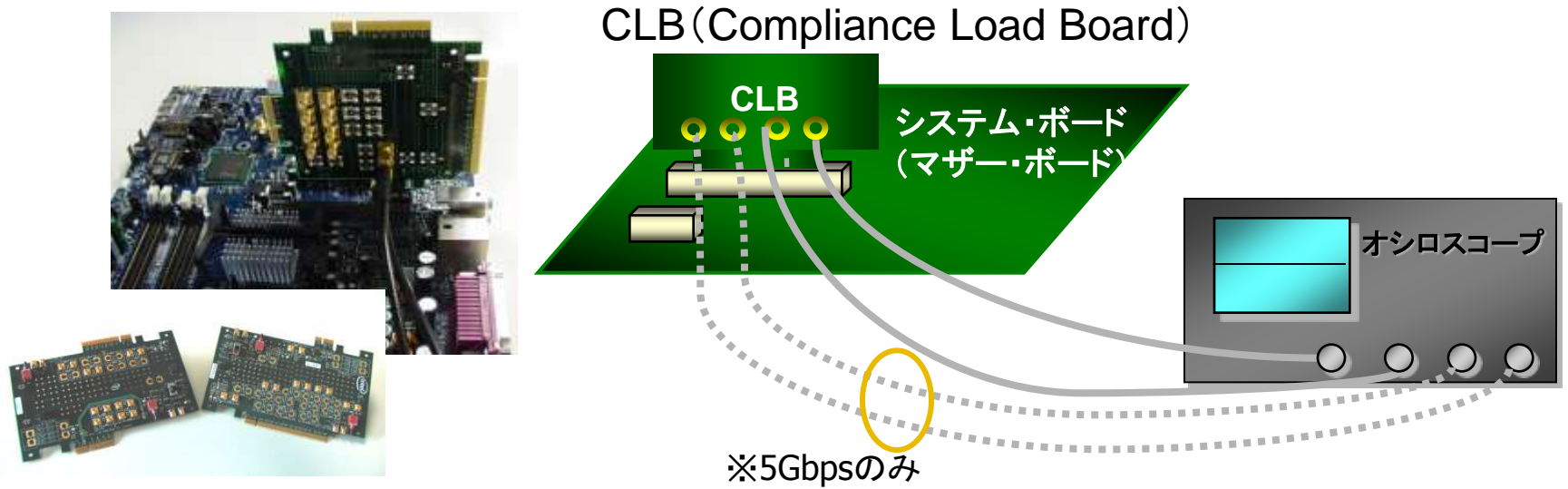
型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ(フルスケールに対するp-p)	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB(最高周波数帯域の半分まで)					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能(標準)	<ul style="list-style-type: none"> サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ/アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/ プロトコル・デコード&サーチ(PCIe rev.1/2/3など) 					
主な機能(オプション)	<ul style="list-style-type: none"> フレーム&ビット・エラー・ディテクタ ビジュアル・トリガ I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 周波数帯域のアップグレード 					
その他	<ul style="list-style-type: none"> 毎秒30万波形取込みレート DSP特性補正、DSP帯域拡張(DSA72004C型) 周波数帯域選択機能、ArbFilter機能 					

テスト・フィクスチャ

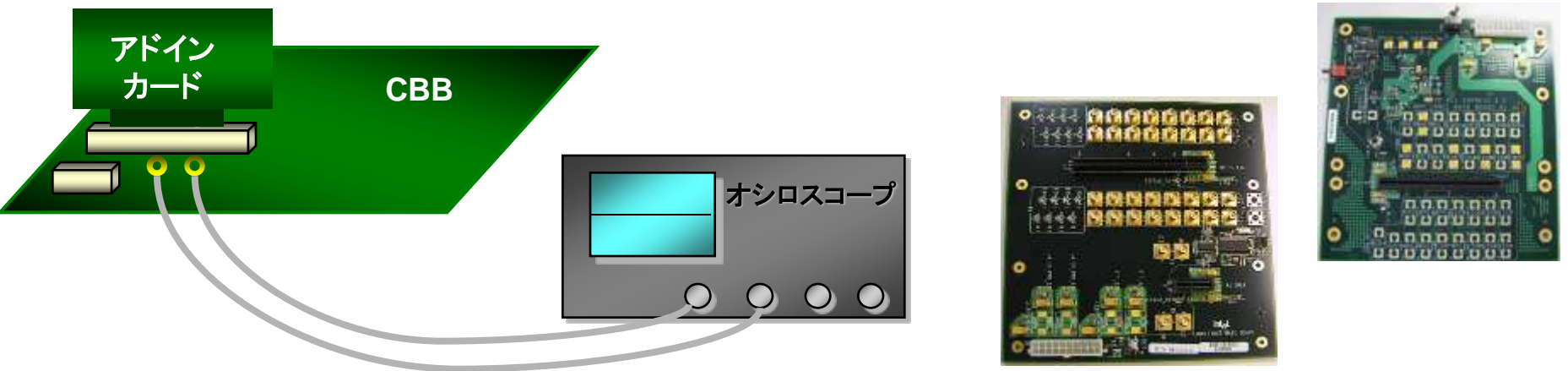
CEM : PCI-SIGより購入		
Compliance Base Board (アドイン・カード)		
CBB1 Rev. 1.1	CBB2	
		
Compliance Load Board (システム・ボード)		
CLB1	x4/x8 CLB2	x1/x16 CLB2
		
Mini Card CEM : Allion社より購入		
アドイン・カード	システム・ボード	
PXM-1A	PMA-2	
		

External Cable : Molex社より購入	
リンク数	Molex社部品番号
x1	73931-2752
X4	73931-2642
X8	73931-2652
X16	73931-2662
	
x1	x8
ExpressCard : PCMCIAより購入	
EC-SI-P	PEC-1X
	

テスト・フィクスチャ使用形態 (CEM Specification)



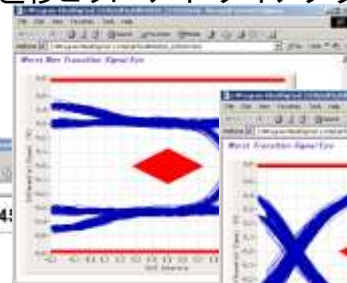
CBB (Compliance Base Board)



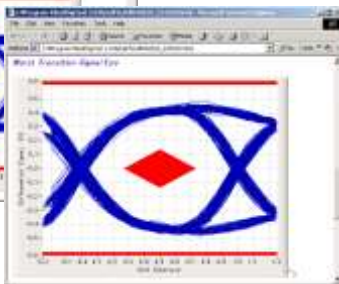
Compliance Workshopでの標準 コンプライアンス・テスト・ソフトウェアSigTest

- PCI-SIGが各社のオシロスコープ用に用意(テクトロニクス、アジレント・テクノロジー、レクロイに対応)
 - PCI-SIGサイトから無料でダウンロード可能
- Microsoft Windows 7/XP/2000上で動作
- テスト手順書(Signal Quality Test Methodology)を用意
- 遷移ビット、非遷移ビットを識別し、各ビット別に測定(電圧)とアイ・ダイアグラムとマスク・テストを実行
- 一連の測定項目を自動的に測定し、規格に対して測定結果のパス/フェイル判定を表示
- 結果をHTML形式で出力
- 波形データをいったんファイルに落とす必要がある
 - 作業性が悪い*

非遷移ビット・アイ・ダイアグラム



テスト結果ヘッダ部



遷移ビット・アイ・ダイアグラム

レポート

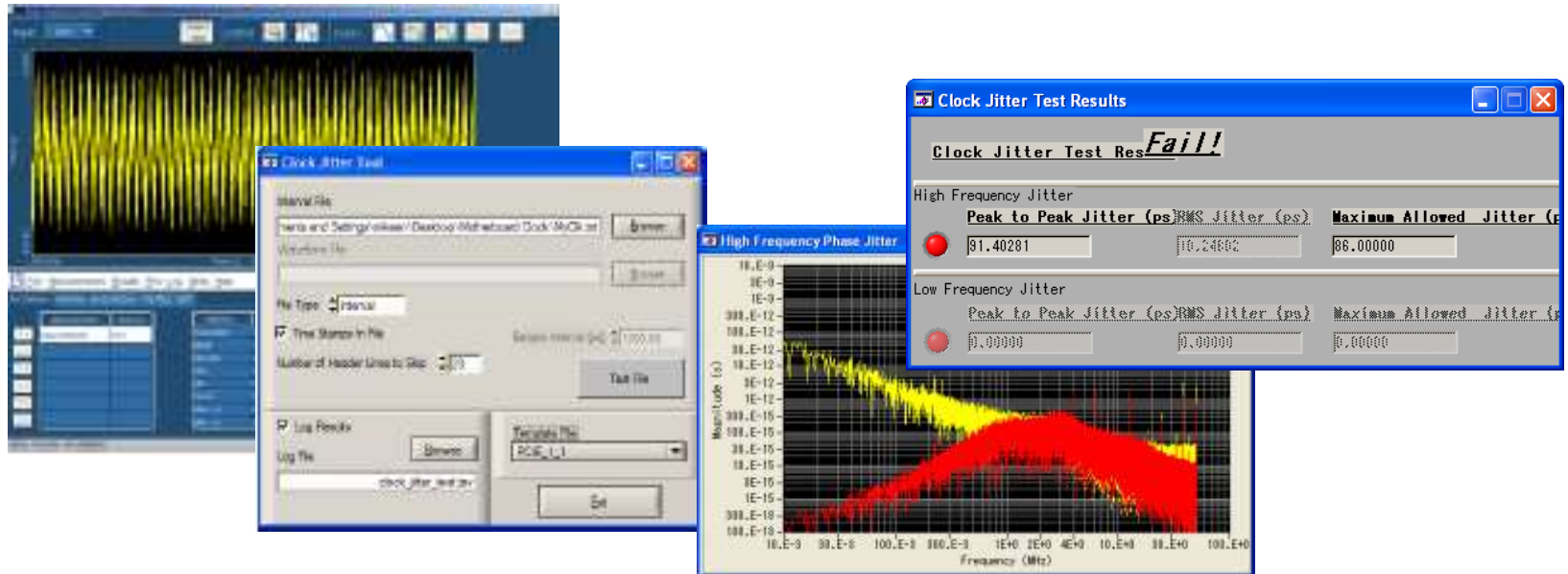


コントロールと測定画面



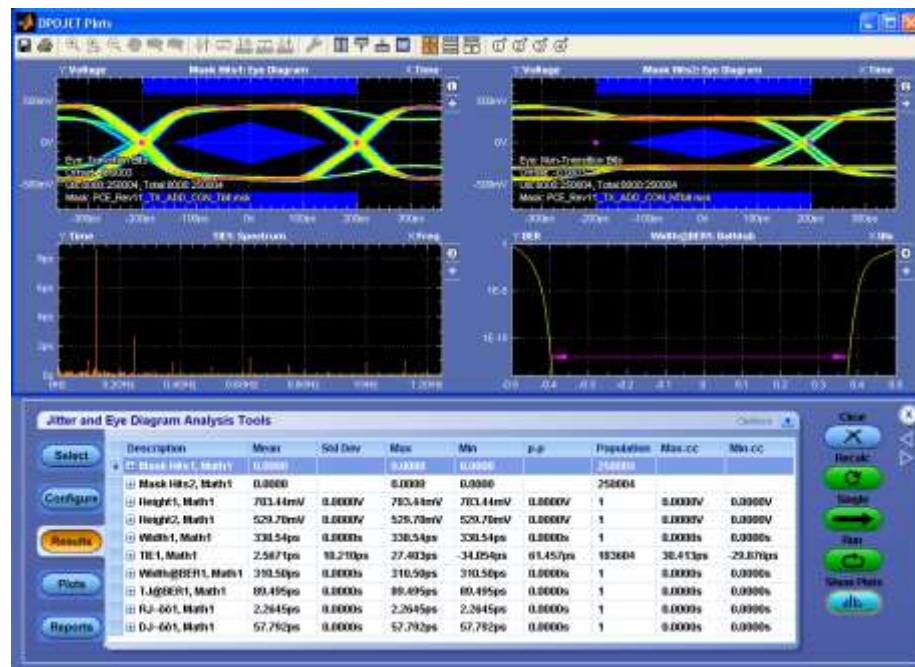
Compliance Workshopでの標準 リファレンス・クロック・テスト・ソフトウェア Clock Jitter Tool

- 規格指定のジッタ伝達関数(フィルタ)を適用し、パス/フェイルを判定
 - 入力ファイル
 - 各社のジッタ解析ソフトウェアからのPeriod、Crossover測定ファイル
 - 波形データ
- PCI-SIGサイトから無料でダウンロード可能
 - 最新版はVer.1.3
- Microsoft Windows XPで動作



DPOJETジッタ&アイ・ダイアグラム解析ソフトウェア

- 汎用(デバッグ、バリデーション) + 特定用途(DDR、PCI Express、USB3.0などのコンプライアンス・テスト)
- 周波数/周期、振幅、タイミングおよびジッタとアイ・ダイアグラム測定
 - データ、クロックおよびクロック-データ間
- ジッタ成分の詳細な解析
 - Rj/Dj測定、特定BERでのアイ開口幅とトータル・ジッタ予測
 - 真のRj/Dj測定と $R_{j(\delta\delta)}/D_{j(\delta\delta)}$ 測定
 - Diの成分をBUJ、Pj、DCDj、DDjに分離測定
- 様々なデータ解析を可能にする複数のプロットを表示可能
 - アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンド
 - ジッタ発生源の特定など
- SigTestとの使い分けは？
 - プリテストはDPOJETで
 - コーナ・ケースをSigTestで評価

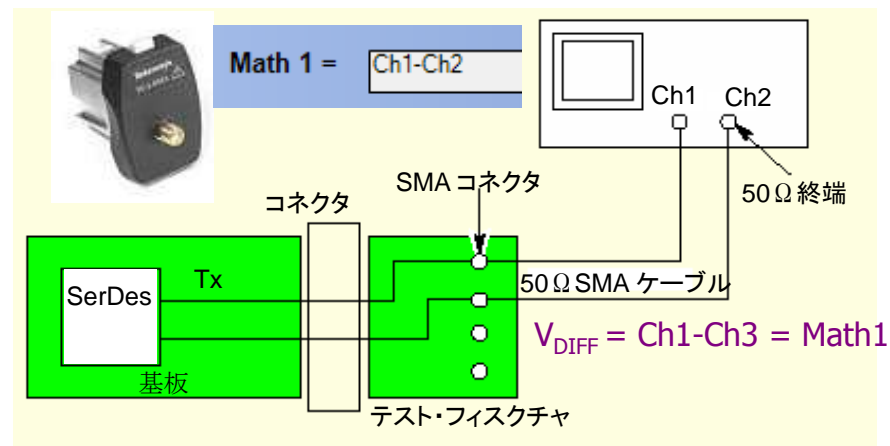


- レポート生成機能
 - MHTML形式(MIME Encapsulation of aggregate HTML)*
 - セットアップ・ファイル、リミット・ファイルの提供で標準規格に対応
 - DisplayPort
 - PCI Express
 - USB3.0
 - MIPI
- *HTML ファイルや画像データを単一のアーカイブにまとめて保存できる形式

プロービング

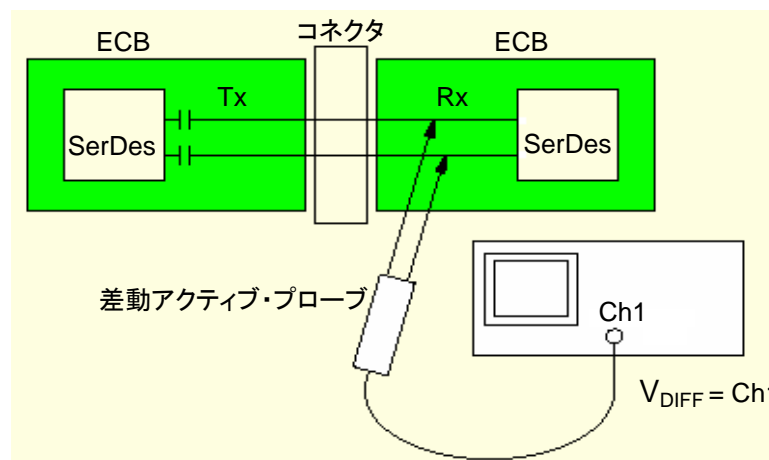
■ 擬似差動接続

- 2チャンネル使い、差動信号の+ (P)と- (N)を直接オシロスコープへ入力
- 内部で波形演算でシングルエンド化: Math = Ch1 - Ch2
- 目的
 - コンプライアンス・テスト
 - デバイス評価



■ プローブ接続

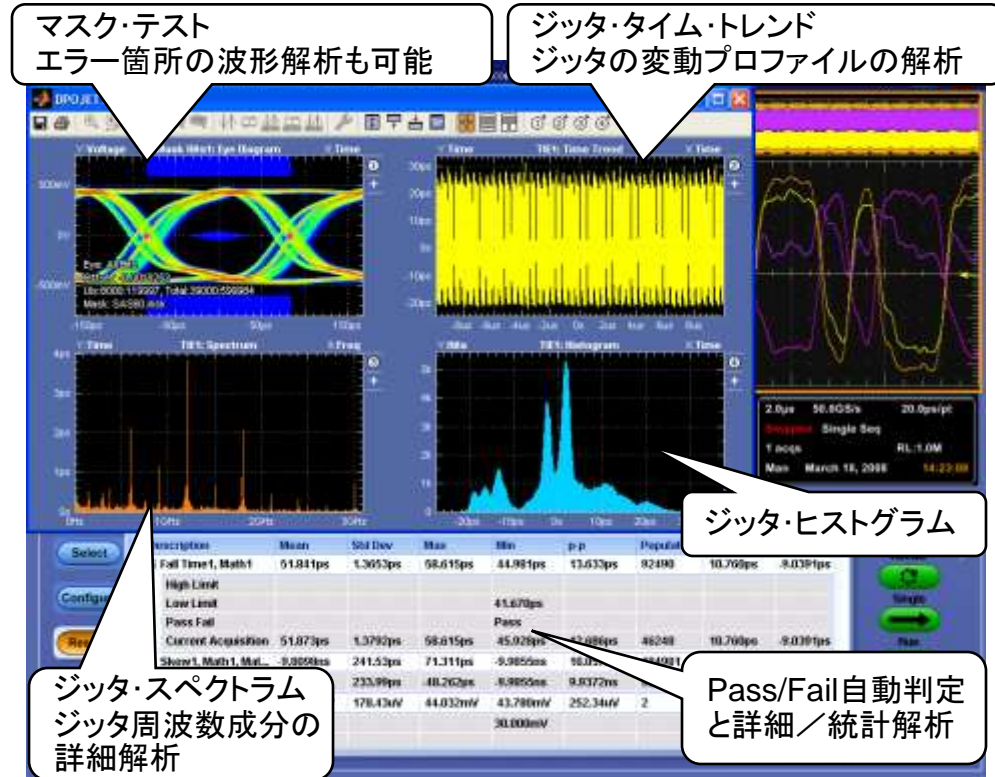
- 差動プローブによる信号ピックアップ
- 目的
 - シグナル・インテグリティ
 - トラブルシューティング、デバッグ



差動プローブによる測定

- DPOJETジッタ&アイ・ダイアグラム解析アプリケーションによる汎用測定と解析
 - Pass/Failテスト
 - 各種検証・評価とデバッグ

- 実インタフェースの測定やデバッグに最適な高性能差動プローブ

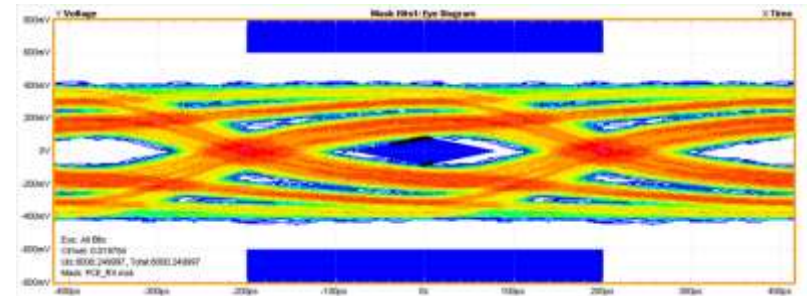
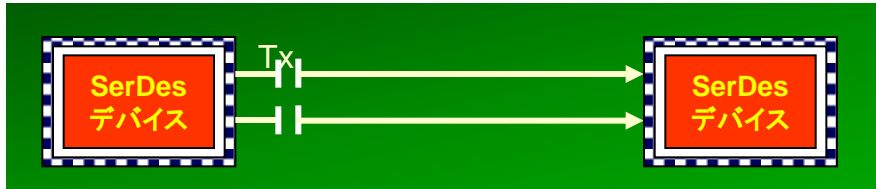


よくある質問

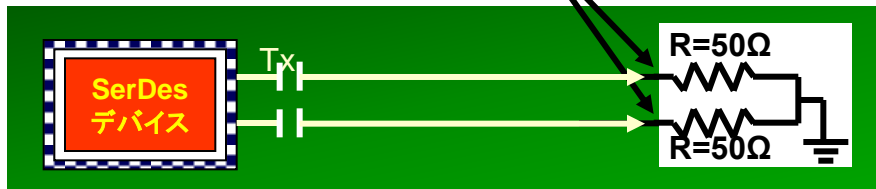
プローブを使っての測定。受信端のアイがエラーとなる。本当にエラーか？

- 規格での仕様はレシーバの代わりに50オーム終端した時でレシーバ接続状態ではない

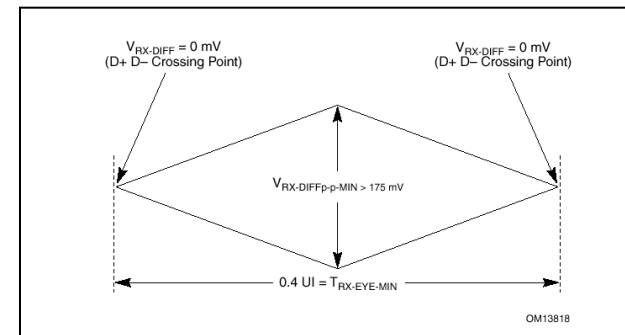
例: PCI Express Base Specification Rev.1.1 (送信端・受信端)



測定基準点: レシーバ端での
50オーム終端

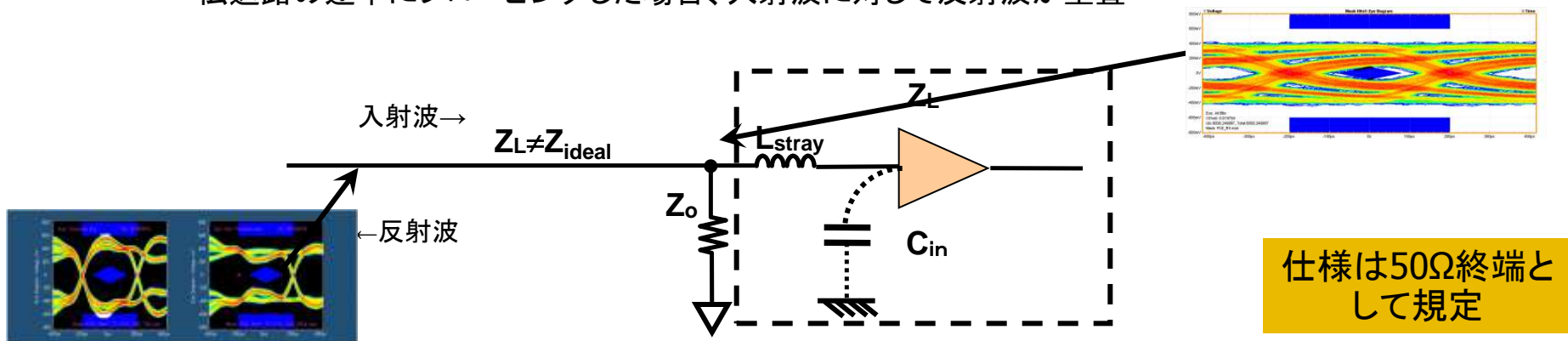


50cm以下



レシーバ端でのプローブ測定はあくまでも参考測定

- マルチギガ・ビット超のシリアル・インタフェースでは高周波に対するインピーダンスが変動
 - デバイスの入力は並列容量成分を持つ
- その結果、
 - 規格は一般的に理想終端での仕様のため信号振幅が変動(一般的に下がる)
 - 伝送路の途中にプロービングした場合、入射波に対して反射波が重畳

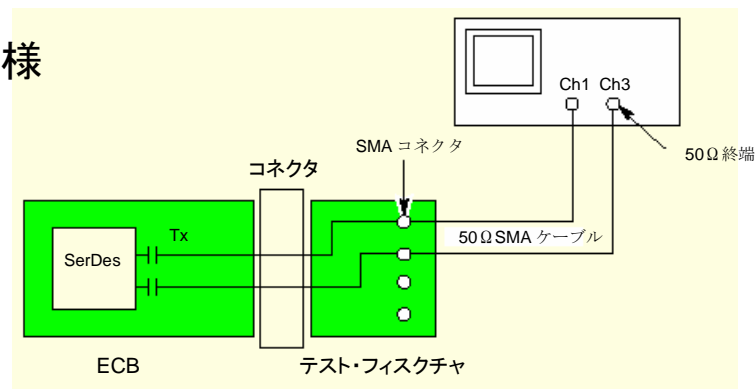


仕様は50Ω終端として規定

- ゆえに規格は実デバイスではなく、理想終端での仕様
 - オシロスコープの50Ω入力で終端
 - テスト・フィクスチャを併用
 - デバッグや参考測定ではプローブを使用



市販テスト・フィクスチャ例 (SATA、DisplayPort、PCI Express)



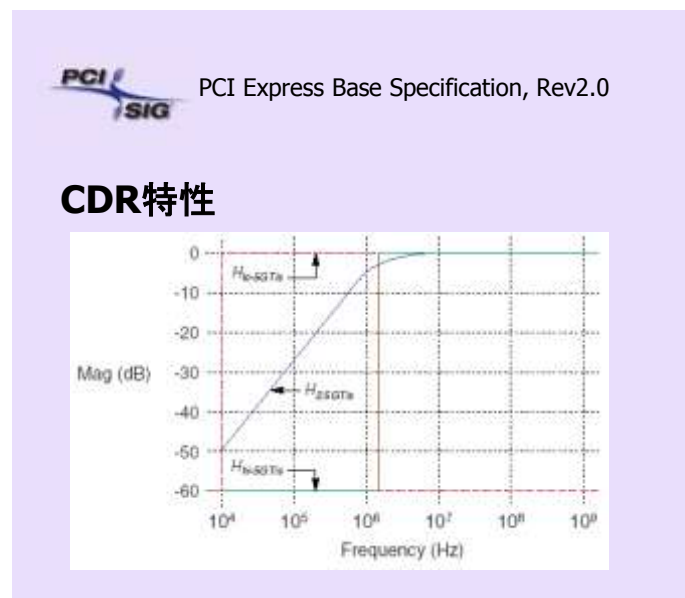
PCI Express Rev.2.0 (5Gbps)



Rev.2.0 (5Gbps) での変更点 (CEM測定上)

*参考テストのみ

- 測定に必要なオシロスコープの周波数帯域を明確に第5次高調波で規定
 - 2.5Gbps: 6.25GHz
 - 5Gbps: 12.5GHz
- 新しいTx測定
 - Rj/Dj (δ - δ) 分離
 - Tj@BER 10^{-12}
 - 新しいCDR関数 (1.5MHzブリックウォール)
 - システム・テストではデュアル・ポート測定
 - リファレンス・クロック・ベースでのデータのアイ・ダイアグラムとジッタ測定
- リファレンス・クロック測定
 - Rev.2.0からはBase Specificationに
 - 指定のジッタ伝達関数適用後にて
- PLLループ帯域幅測定
- TDR*
 - 伝送線路は85 Ω 差動インピーダンスに
 - Tx/Rx終端抵抗は変更なし (100 Ω 差動)
- レシーバ・テスト*
 - ジッタ・ストレス・テストとエラー・カウント



PCI Express Rev.2.0物理層信号測定項目 (コンプライアンス・テスト)

1. アイ・ダイアグラム

- 遷移ビット、非遷移ビット(ディエンファシス)を分離してのアイ・ダイアグラム評価
- アイ高さ
- アイ幅@1M-UI(2.5Gbps)
- アイ幅@BER10⁻¹²(5Gbps)
- マスク・テスト: マスク・ヒット(2.5Gbps)

2. ユニット・インターバル(UI): 周期(SSC)

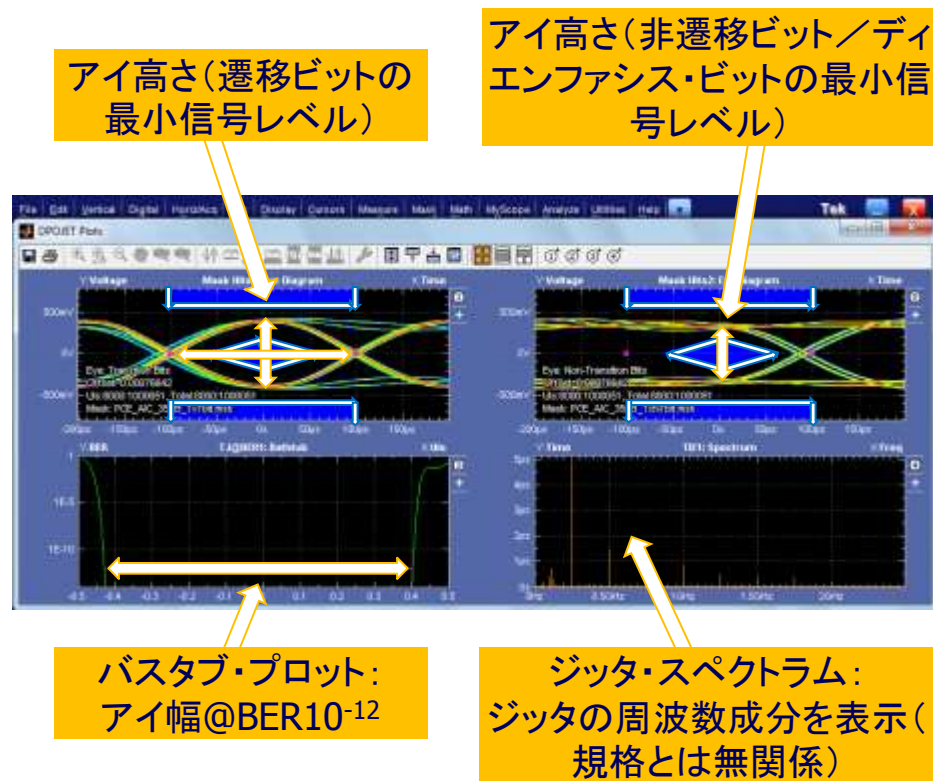
3. ジッタ

- 2.5Gbps: Median-to-Maxジッタ
- 5Gbps: ランダム・ジッタ($R_{j(\delta-\delta)}$)、デターミニステック・ジッタ($D_{j(\delta-\delta)}$)、トータル・ジッタ@BER10⁻¹²測定

※以上1から3は1M-UI捕捉し、ソフトウェアでリカバリされたクロックを基準に測定

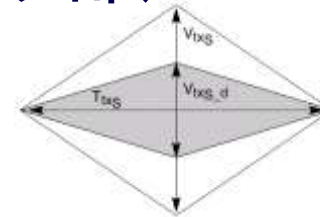
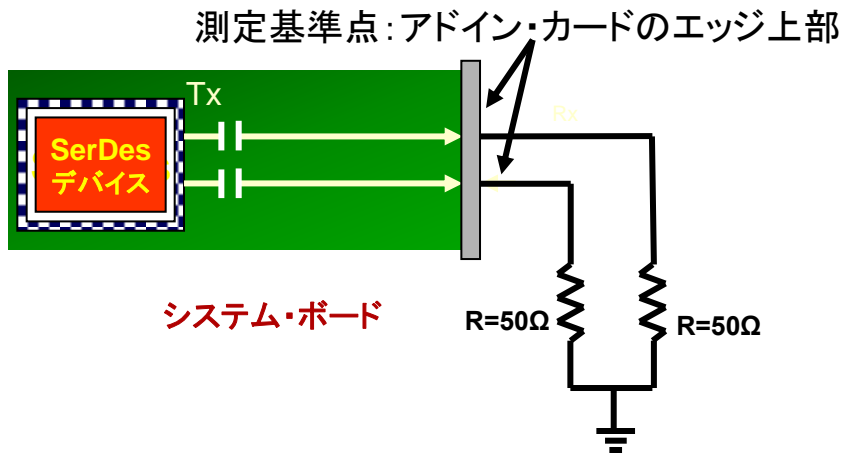
1. リファレンス・クロック・ジッタ(システム・ボード)

2. PLLループ帯域幅、ピーキング測定(ア ドイン・カード)



Rev.2.0 CEM Specification (コネクタ部)

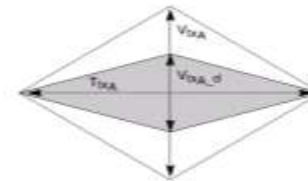
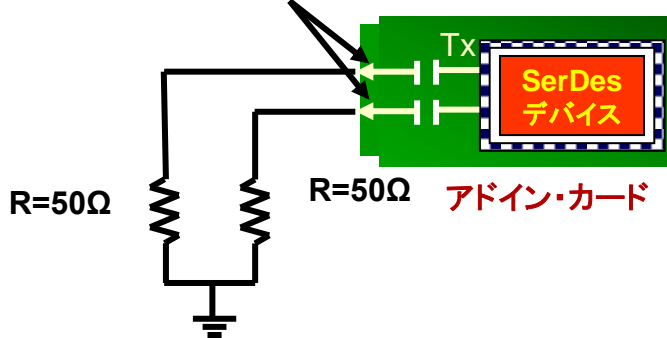
- システム・ボード:アイ電圧、アイ幅



パラメータ			規格
VtxS			300 mV
VtxS_d			300 mV
T _{txS}	BER10 ⁻¹²	クロストーク含む	95ps (Dj:57ps)
		クロストークなし	108ps (Dj:44ps)

- アドイン・カード:アイ電圧、アイ幅

測定基準点: アドイン・カードのエッジ上部



パラメータ			規格
3.5dB	VtxA		380 mV
	VtxA_d		380 mV
	T _{txA}	BER10 ⁻¹²	クロストーク含む
クロストークなし			126ps (Tj:74ps、Dj:54ps)
6dB	VtxA		306 mV
	VtxA_d		260 mV
	T _{txA}	BER10 ⁻¹²	クロストーク含む
クロストークなし			126ps (Tj:74ps、Dj:54ps)

必要な機材 (Rev.2.0:5 Gbps)

コンプライアンス・テスト(信号品質)、物理層測定

- デジタル・オシロスコープ: 12.5GHz帯域、40GS/s以上。下記いずれかの機種
 - DSA72004C型 20GHz50GS/sデジタル・シリアル・アナライザ
 - DSA71604C型 16GHz50GS/sデジタル・シリアル・アナライザ
 - DSA71254C型 12.5GHz50GS/sデジタル・シリアル・アナライザ
- ケーブル (CLB2/CBB2)
 - SMAケーブル
 - SMA-SMP変換アダプタ
 - SMA-SMPケーブル
- コンプライアンス・テスト・ソフトウェア
 - SIGTEST
 - Clock Jitter Tool
 - SIGのWebよりダウンロード
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - opt.PCE、あるいはopt.PCE3 PCI Expressモジュール
- シリアル・データ・リンク解析ソフトウェア※2
 - Opt.SLA SDLAシリアル・データ・リンク解析ソフトウェア

※1. DSAシリーズには標準付属

※2. Base Specificationでのトランスミッタ測定でディエンベッドする場合

Rev.2.0用CLB/CBBテスト・フィクスチャ

変更点

- アドイン・カード(CBB) : Rev1.1と同等
 - オンボード・クリーン・クロックによるテスト
- システム・ボード(CLB)
 - x16/x1カードとx4/x8カードの2構成に
- レセプタクルをSMAからSMPに変更
 - SMP(SMA) : 挿抜回数1000回以上(500回) 40 GHz帯域(18GHz) 占有面積6.5 mm²(12.7mm²)
- 85Ω差動トレース・インピーダンス
- モード・スイッチ(Rxにパルス・バーストを入力)
 - 2.5Gbps 3.5dBディエンファシス
 - 5Gbps 3.5dBディエンファシス
 - 5Gbps 6dBディエンファシス



発注に関する詳細

http://www.pcisig.com/developers/main/boards_waitlist/

テスト・フィクスチャ資料

http://www.pcisig.com/members/downloads/specifications/testprocedures/CLB2.0_Test_Fixture_Users_Document_r1.0.pdf

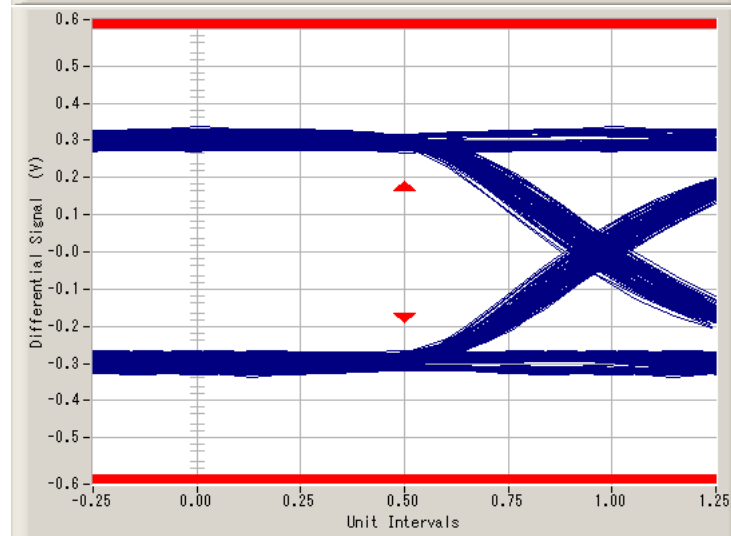
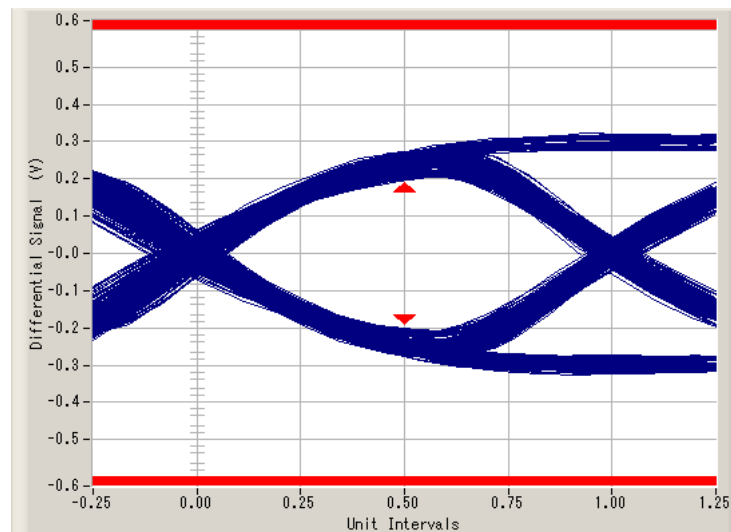
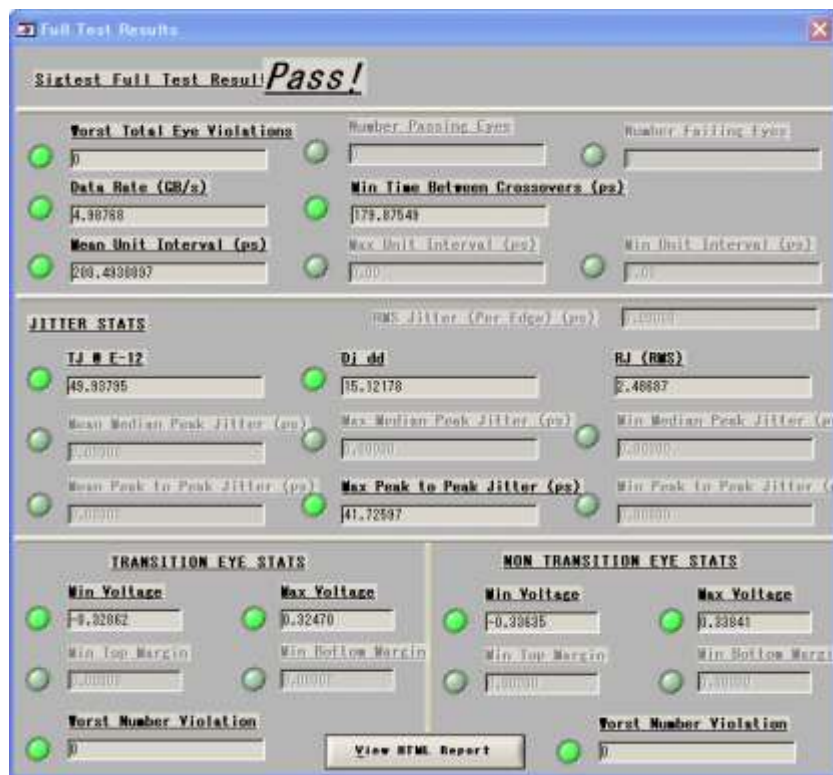
http://www.pcisig.com/members/downloads/specifications/testprocedures/CBB2.0_Test_Fixture_Users_Document-2_rev_1.0.pdf

コンプライアンス・テスト・ソフトウェア

SigTest 3.1.9

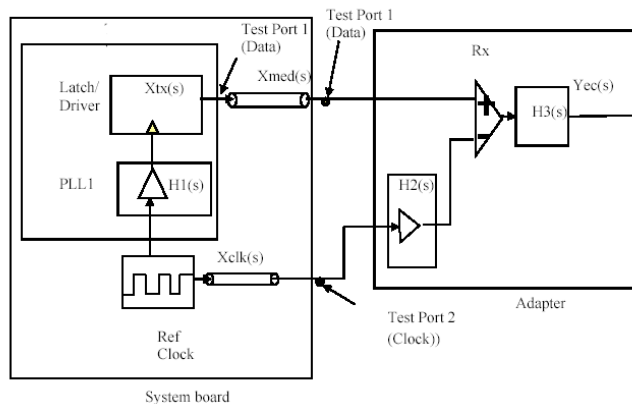
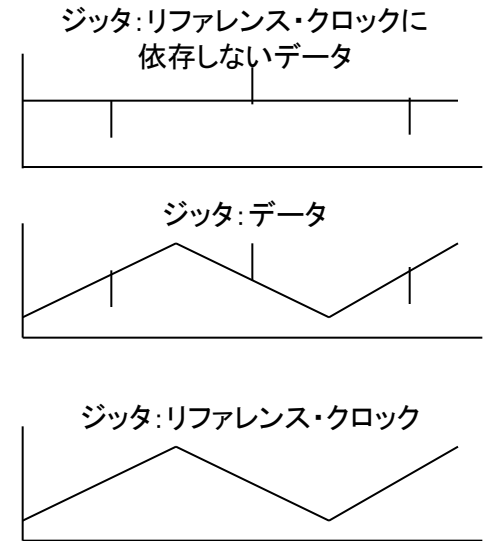
■ 5Gbps用新機能

- Rj、Dj(Dual Dirac)測定
- Tj@BER 10⁻¹²測定
- デュアル・ポート測定



デュアル・ポート測定

- PCI Express CEM Specification Rev.2.0のシステム・ボードでのジッタ測定方法
- データ、クロックを別々に測るのではなく、同時に測定
 - クロック・ジッタの影響を受けて発生するデータ・ジッタを除去
 - SSC
 - システムでは「クリーン・クロック」入力が困難なため
- データ、クロックを40GS/s以上で同時に捕捉する必要あり
 - 擬似差動の場合には4チャンネル必要
- 1M-UI長の単発捕捉
- リファレンス・クロックを50逡倍化し、タイミング・リファレンスとして使用



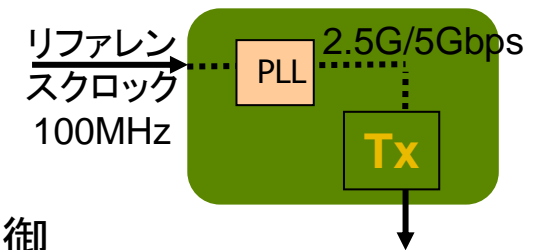
リファレンス・クロック

データ(レーン0)



PLLループ帯域幅、ピーキング測定(アドイン・カード)

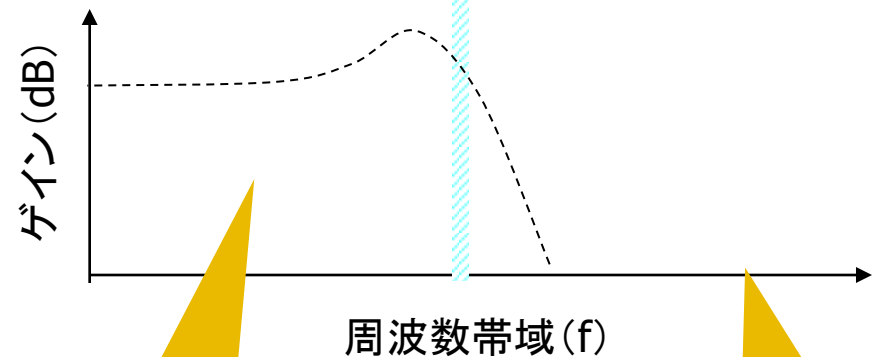
- アドイン・カードのトランスミッタはクリーン・クロックで測定
 - リファレンス・クロックの影響を含めない



- システムのリファレンス・クロックは別途測定し、ジッタを制御

- 残りはトランスミッタのPLLのジッタ伝達特性
 - ジッタを増加させるピーキングが3dB以内であること
 - 2.5Gbps:ループ帯域幅(-3dB)
 - ピーキング3dB以内:1.5-22MHz
 - 5Gbps:ループ帯域幅(-3dB)
 - ピーキング1dB以内:5-16MHz
 - ピーキング3dB以内:8-16MHz
 - 8Gbps:ループ帯域幅(-3dB)
 - ピーキング2dB以内:~4MHz
 - ピーキング1dB以内:~5MHz

ジッタ伝達関数
どこまでジッタを通すか



- Rev.2.0よりコンプライアンス・テスト項目に

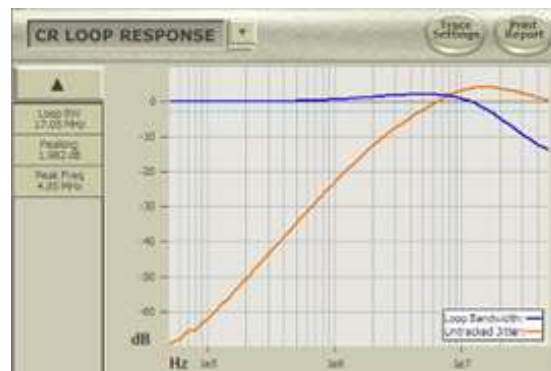
- 現在2種類の方法がSIGで承認
 - スペクトラム・アナライザ測定法
 - クロック・リカバリ法
 - その他、弊社ではAWG任意波形ジェネレータを使用した方法も可能

リファレンス・クロックの低周波ジッタに対してPLLは追従。その結果、リファレンス・クロックの低周波ジッタはそのままTx出力に重畳される形に

リファレンス・クロックの高周波ジッタに対してPLLは追従しない。その結果、リファレンス・クロックの高周波ジッタはTx出力に重畳されない

クロック・リカバリ法: BERTScope CR125A

- Tx PLLループ帯域幅テストが1台(+PC)で可能
 - PCI Express用100MHz変調クロックを発生(オプション)
 - 25MHzまでジッタを重畳



PCIe CLK+

PCIe CLK-

入力信号
100MHzクロック+
Sj

CBB※

Ref_CLK

※外部クロックを入力できるように改造が必要

まとめ

- PCI Expressアプリケーションの拡がり
 - PC / サーバー・インタフェース、組込み機器、ストレージ、新規格(Thunderboltなど)
- 3種類のインタコネク、コンプライアンス・テストはCEMで実施
 - Physical Layer、Configuration Space、Link & Transaction Layer(2種類)、Platform Configuration
 - テスト・フィクスチャ: CLBとCBB
- Rev.1.1 2.5Gbps、Rev.2.0 5Gbpsのコンプライアンス・テスト(物理層)
 - アイ・ダイアグラム、UI、リファレンス・クロック・ジッタ(システム・ボード)など
 - 2.5Gbps: Median-to-Maxジッタの測定
 - 5Gbps: Rj(δ - δ)、Dj(δ - δ)、トータル・ジッタ@BER10-12の測定、デュアル・ポート測定、PLLループ帯域幅測定などが追加
 - DPOJET、SigTest と Clock Jitter Tool
- CEMで測定できないケースは
 - 差動プローブによる測定、デバッグ(非コンプライアンス・テスト)

補足資料



PCI Expressを支援する規格団体と 代表的なフォームファクタ

PCI-SIG

- Add-in Card
- Mini-Card
- Wireless Form Factor
- Express Module (Server I/O Module)
- External Cable

USB-IF (PCMCIAから移管)

- Express Card

PCI-SIG : Peripheral Component Interconnect Special Interest Group

USB-IF : Universal Serial Bus Implementers Forum

PCMCIA : Personal Computer Memory Card International Association

PICMG : PCI Industrial Computer Manufacturers Group

ASI : Advanced Switch Interconnect

VITA : VMEbus International Trade Association

MXM-SIG : Mobile PCI Express Module (Standard Graphics Interface for PCI Express systems) Special Interest Group

ATI-XGP : ATI eXternal Graphics Platform

PICMG

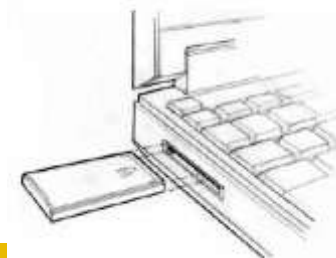
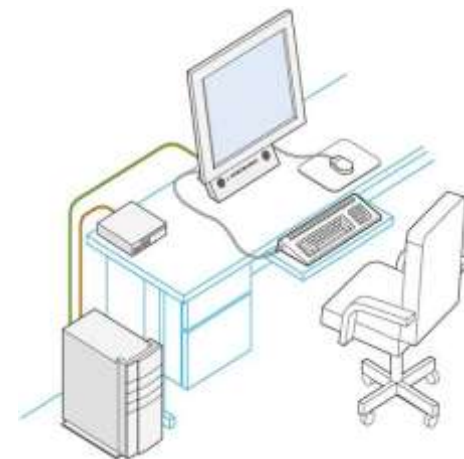
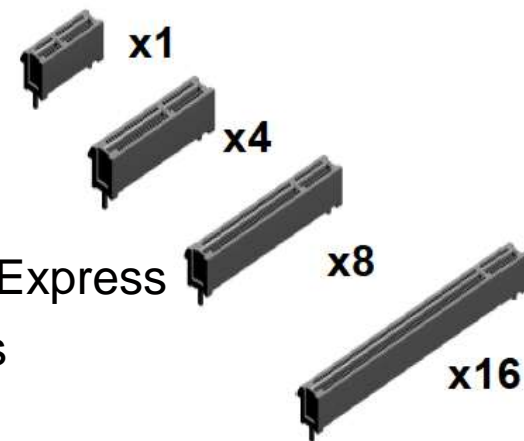
- CompactPCI Express
- COM Express
- ASI

MXM-SIG

- MXM

その他

- ATI-XGP
- VITA



様々な団体が多様なPCI Expressのフォームファクタを規格化し支援

物理層回路と共通基盤技術 (PCI Express、USB3.0...)

- 小振幅・差動伝送

- 送信と受信の双方での終端

- レシーバ検出※

- パルスを定期的に送信し、レシーバの接続を立上り時間の変動で検出

- AC結合※

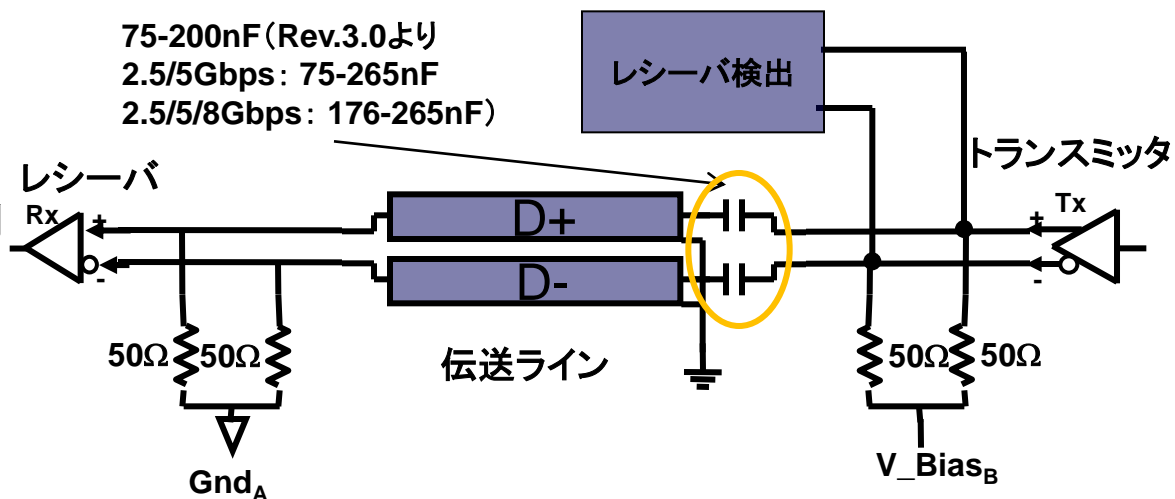
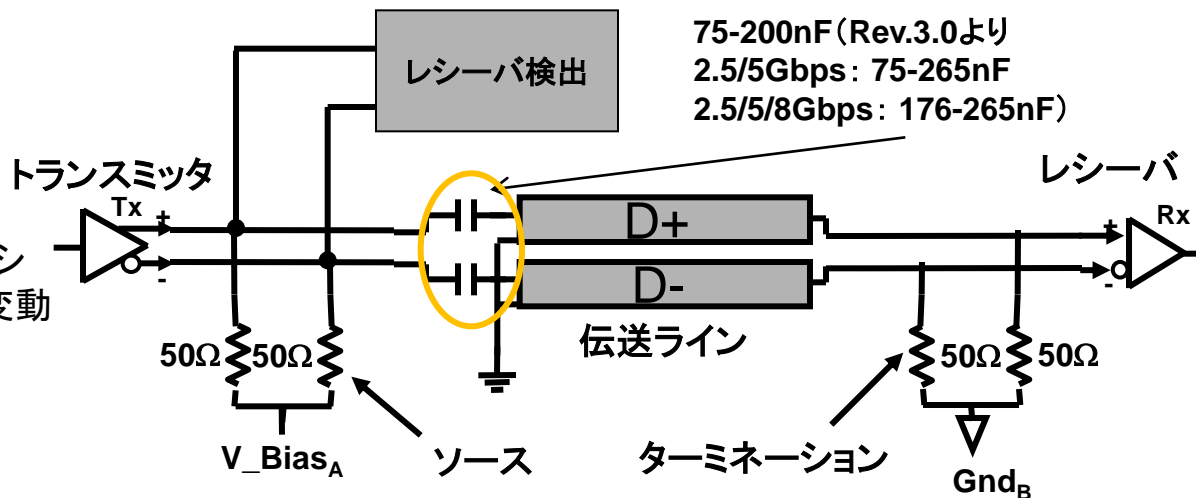
- Vcc、コモン電圧非依存
- テストの容易化 (計測器に直接接続して終端可能)

- ピア・ツー・ピア接続

- 分岐配線による多重反射の抑制

- デュアル・シンプレックス通信 (双対単方向伝送)

- 独立したアップストリームとダウンストリーム
- 最高データ・レートで双方向同時通信が可能

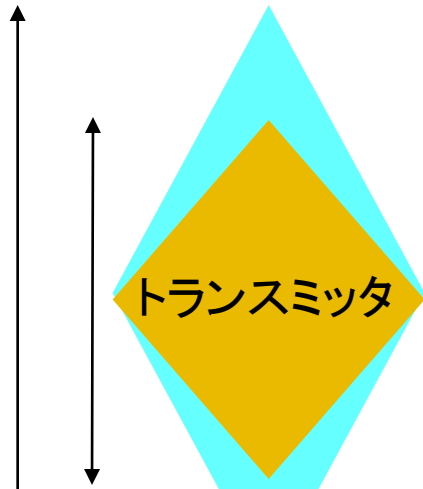


※PCI Express、USB3.0で採用されている技術

Base SpecificationとCEM Specificationの関係

Base Specification (送信)

1.2~0.8Vp-p



0.8~
0.532Vp-p
0.7 UI (Rev.1.0a)
0.75 UI (Rev.1.1)

$J_{ST} \cdot L_{ST}$
 $J_{AT} \cdot L_{AT}$

$J_{AR} \cdot L_{AR}$
 $J_{SR} \cdot L_{SR}$

CEM Specification (コネクタ部)

インタコネクタ・ロス: 13.2dB以下

ジッタ:

0.3 UI (Rev.1.0a)、
0.225 UI (Rev.1.1) 以下

3dB±0.5dB

0.4UI

Base Specification (受信)

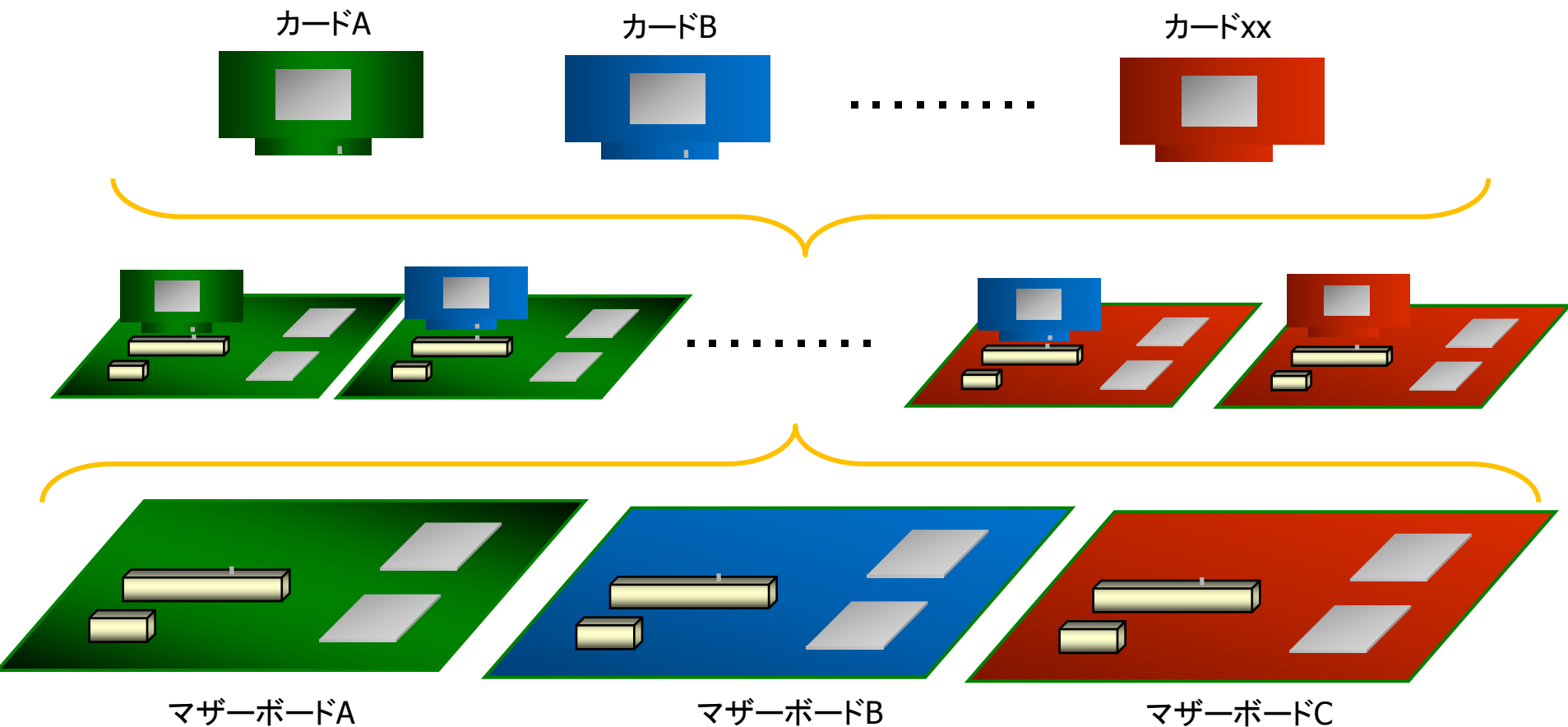
0.175Vp-p



※単純に13.2dB/50cm、
0.35UI/50cmを伝搬距離に応じて比例配分

インターオペラビリティとは

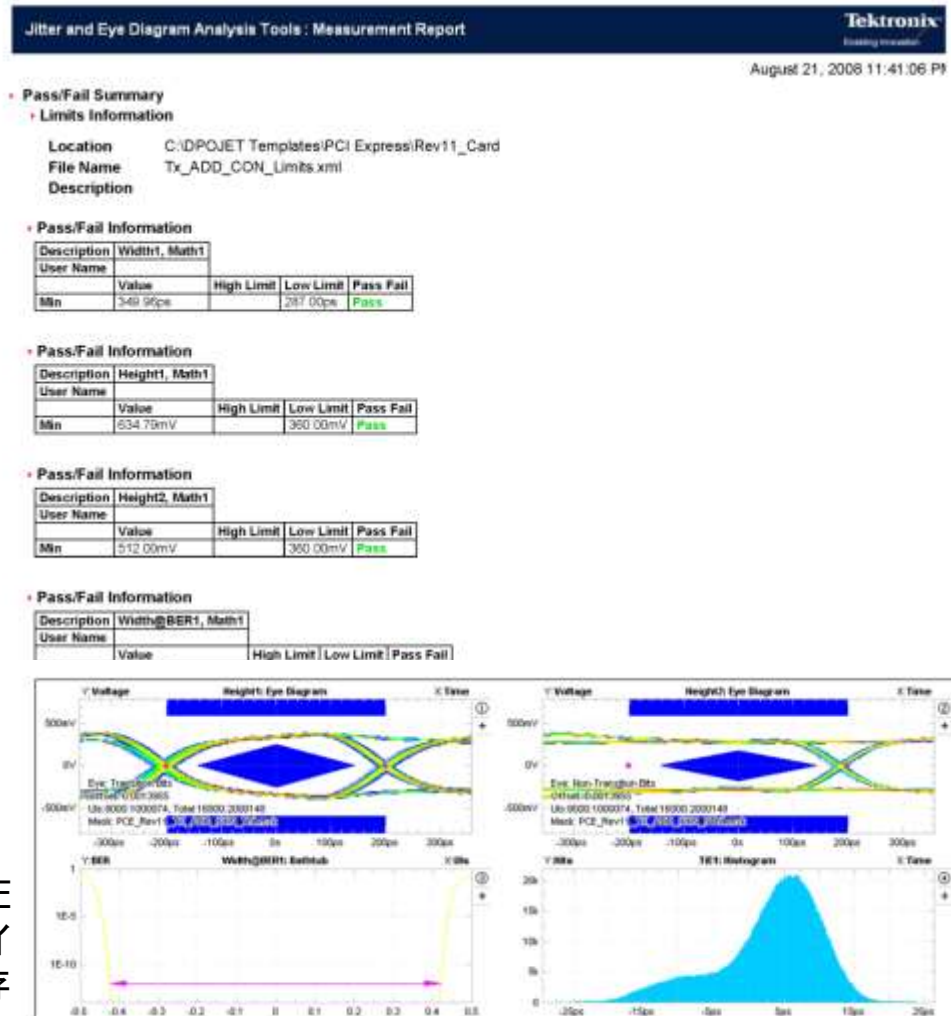
- 様々な機器の組み合わせで動作すること。およびその保証
- 相互運用性、相互接続性と訳される



DPOJET PCI Expressコンプライアンス・セットアップ 複雑な物理層の測定を簡単に実施するツール

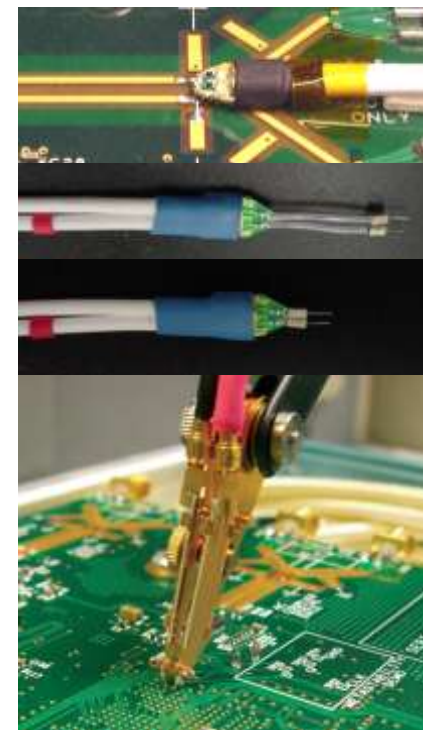
- 遷移ビット・アイ幅、高さ
- 非遷移ビット・アイ幅、高さ
- 立上り時間、立下り時間
- UI
- 差動電圧
- TIEジッタ
- アイ開口@BER10⁻¹²
- トータル・ジッタ@BER10⁻¹²
- $R_{j(\delta-\delta)} / D_{j(\delta-\delta)}$ 測定

DPOJETレポート結果:MHTML形式(MIME Encapsulation of aggregate HTML)。HTML ファイルや画像データを単一のアーカイブにまとめて保存



コンプライアンスはケーブル直結。デバッグ、トラブルシューティングにはプローブが必要 P75xxシリーズTriMode差動プローブ

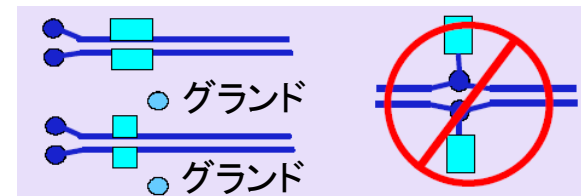
型名	P7520型	P7516型	P7513A型	P7508型	P7506型	P7504型
周波数帯域	20 GHz	16 GHz	13 GHz	8 GHz	6GHz	4GHz
10~90%立上り時間 (代表値)	27ps以下	31ps以下	40 ps以下	55 ps以下	75ps以下	105ps以下
20~80%立上り時間 (代表値)	18ps以下	23ps以下	30 ps以下	35 ps以下	50 ps以下	75ps以下
差動動作入力レンジ	±625mV(5:1)、 ±1.6V(12.5:1)	±625mV(5:1)、±1V(12.5:1)				
オフセット・レンジ	+3.7~-2V	+4~-3V				
ケーブル長	1m		1.3m			



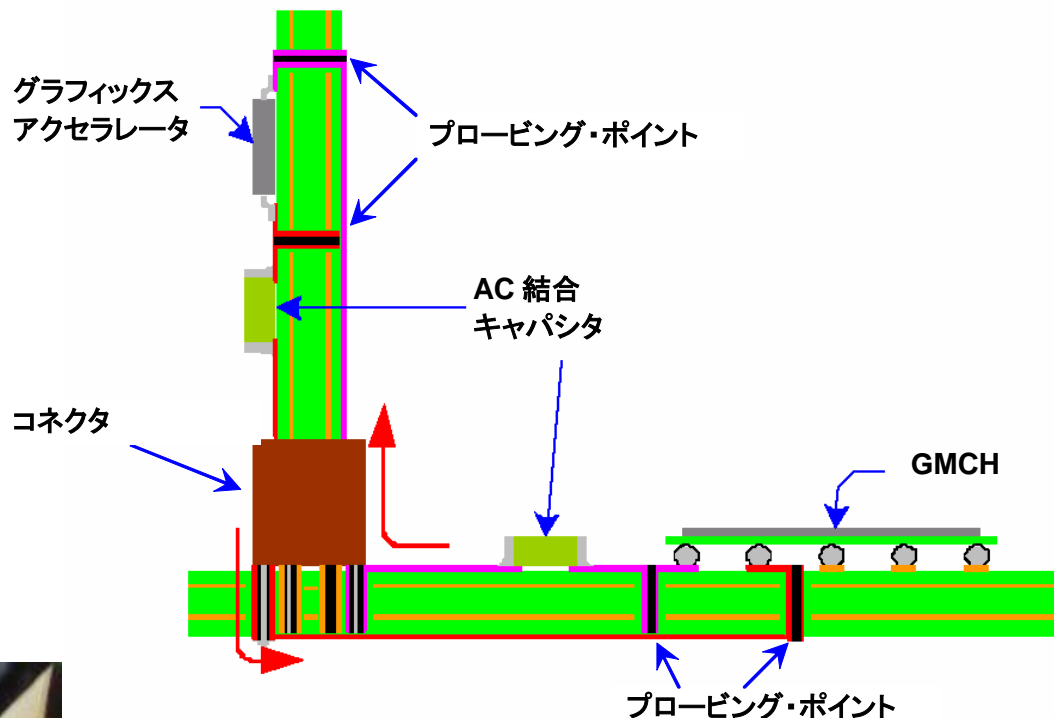
- 業界初
 - Z-Active™ プローブ・アーキテクチャ
 - TriMode
- 接続形態
 - 標準: はんだ付け
 - オプション:
 - P75PDPM型ハンドヘルド/プロービング・アーム
 - 抵抗ソルダ・チップ
 - ロング・リーチ・ソルダ・チップ
 - 恒温槽その他

プローブ使用上の注意点

基板にプロービング・ポイントを用意すること



- スタブ(分岐配線)は最小に
 - ロジック・アナライザ用、プロトコル・アナライザ用のMidbusプローブ・パッドはトレースに対し直列に入るように
 - 差動ペア内で対称に配置
 - ヘッダ・ピン等を使わない
- シングルエンド測定のためにはグラウンド端子も近傍に設置
- 波形観測のための測定点は、伝送路効果を考慮し、受信端直近に設ける
- ビアのレジストは抜いておくこと

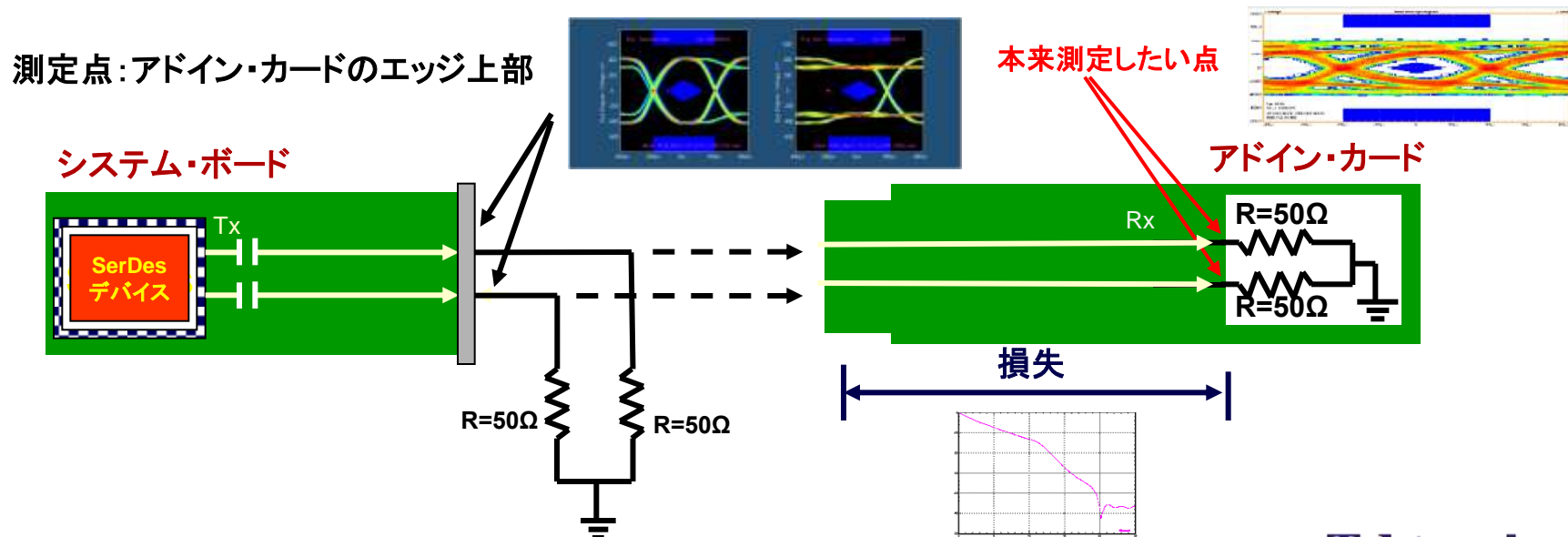


引用: "Board Design Guidelines for PCI Express Architecture", Zale Schoenborn Co-Chair, PCI Express Electrical WG, PCI-SIG APAC Developers Conference

シリアル・データ・リンク解析:エンベッド

レシーバ端波形の規格照合

- レシーバ端の規格は実デバイスではなく、理想終端での仕様
- レシーバを実装した状態での測定結果と規格は一致しない
 - あくまでも参考測定
- 例としてPCI Expressでは、手前の測定ポイント(例:CEMのシステム、External Cable Rx)で測定した結果をアドイン・カード、サブシステムのレシーバ・パッドまでのトレースの損失特性を加算(エンベッド)することで測定可能
 - 損失特性(Sパラメータ)は、VNA、TDRで測定したり、シミュレーションで求めておく



当社社員執筆・編著書籍・記事紹介

- CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計，機能実装まで」、2010年4月
 - A5判 336ページ(4C:8ページ)
 - 定価2,625円(税込)
 - JANコード: JAN9784789846417
 - 内容
 - 第1章 PCI Expressの基礎知識: 共同執筆
 - 第2章 伝送方式とプリント・パターン設計
 - 第3章 PHYチップを使った基板設計
 - 第4章 アドイン・カードの電源設計
 - 第5章 FPGA用IPコアの選び方
 - 第6章 IPコアを使ったFPGA設計入門
 - 第7章 IPコアを使ったLSI設計事例
 - 第8章 信号品質の評価方法とコンプライアンス・テスト: 執筆
 - 第9章 ジッタ仕様と測定環境: 執筆
 - 第10章 ソフトウェアの階層構造とハードウェアとの関連付け
 - 第11章 PCI Expressソフトウェアの役割
 - 第12章 ハードウェア接続時の初期化処理: 共同執筆
- マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」
 - <http://journal.mycom.co.jp/series/serialif/001/index.html>



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>