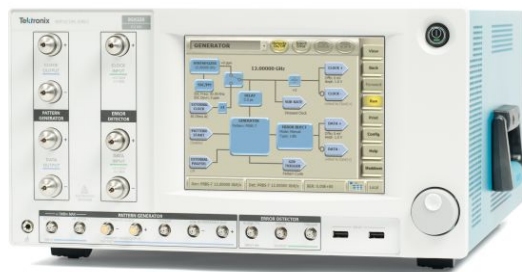


ビット・エラー・レート・テスト

BSX シリーズ BERTScope® データ・シート



BERTScope BSX シリーズ・ビット・エラー・レート・テストには、最新の Gen4 規格をはじめとする最新規格に対応した、レシーバ・テスト・プラットフォームが導入されています。強力なデータ処理機能と Tx イコライゼーション機能を備えた BERTScope は、最高 32Gbps のデータ・レートに対応したインタラクティブなリンク・トレーニングなど、被測定デバイス (DUT) とのプロトコルベースのハンドシェイク／同期をサポートしています。BSX シリーズは、物理レイヤやリンク・トレーニングの問題のデバッグ作業の時間を短縮し、さまざまな規格のコンプライアンスを実現するための最も効率的な手段を提供します。

欧州圏のお客様へのお知らせ

本製品は、改正 RoHS 2 指令 (Directive 2011/65/EU) に適合するための更新が行われておりませんので、欧州には出荷されません。ただし、2017 年 7 月 22 日以前に、EU 市場に出荷された当該製品の在庫分につきましては、品切れにならない限り、ご購入いただける場合がございます。テクトロニクスは、お客様に必要なソリューションをお届けできるよう、積極的に取り組んでいます。具体的な対応や代替製品の有無など、詳細につきましては、当社営業所までお問い合わせください。テクトロニクスは、お客様がどの国にお住まいでも、製品のサポートが終了するまで、責任を持ってサービスを提供して参ります。

主な性能仕様

- 最高 32Gbps のパターン生成とエラー解析が可能
- オプションで 4 タップの Tx イコライゼーション機能を内蔵しているため、インタラクティブなリンク・トレーニングが可能
- プロトコル型／ビット型のマルチチェーン・パターン・シーケンスに対応した拡張パターン／シーケンス・エディタ
- 刺激応答フィードバック機能を備えたユーザ定義のディテクタ・パターン・マッチング
- 当社特許の Error Location Analysis™ 技術により、BER 測定だけでなく、相関やデターミニスティック・エラー・パターンの解析によるエラー原因の詳細な解析が可能
- オプションの前方誤り訂正 (FEC) 解析機能により、実測されたエラー位置のパターンに基づいた、FEC の後のエラー・レートのシミュレーションが可能
- BER 相関と統合されたアイ・ダイアグラム解析 (マスク・テスト、ジッタ・ピーク、BER 等高線など)
- オプションのジッタ・マップ総合ジッタ分離と PRBS-31 などのロング・パターン・ジッタ

主な特長

- レシーバ・ストレス・テスト、デバッグ、コンプライアンス・テストのすべてを 1 つのソリューションで対応可能
- PCIe、SAS、USB3.1 やその他の独自規格を含む、Gen3 および Gen4 規格のテストに対応可能
- 16Gbps 以上に対応した DUT とのハンドシェイクをサポートし、PCIe などの主要規格の RX テストにおけるループバックの初期化や、アダプティブなリンク・トレーニングの要件にも対応可能
- プロトコルに対応したパターン生成とエラー検出により、柔軟な刺激応答のプログラムやハンドシェイク問題のデバッグが可能
- 前方誤り訂正 (FEC) エミュレーション・オプションにより、Reed-Solomon FEC のコードでよく使用される、エラー訂正の前後での BER の測定が可能
- 主要な規格に対応した校正／自動化ソフトウェアを利用可能

アプリケーション

- シグナル・インテグリティ／ジッタ／タイミング解析を含むデザイン検証
- 高速、最先端設計の特性検証
- DUT とのハンドシェイクなど、高速 I/O コンポーネント／システム的设计／検証
- シグナル・インテグリティ解析－マスク・テスト、ジッタ・ピーク、BER 等高線、ジッタ・マップ、前方誤り訂正エミュレーション

インテリジェント・メモリ・シーケンシング

ビット型とプロトコル・アウェアのメモリ・シーケンス・モードの両方に対応し、ユーザ定義のディテクタ・パターン・マッチに基づいてシーケンサを進行させる機能を持つ BSX シリーズを使用することで、ユーザは独自のプロトコルベースのパターンやハンドシェイク・シーケンスを作成できます。

パターン・メモリ・シーケンサ

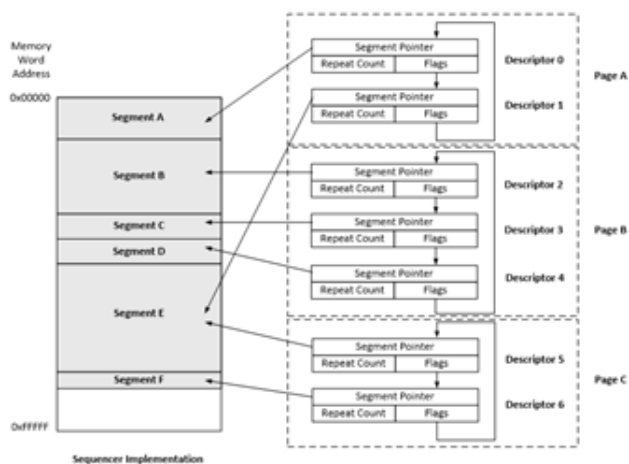
BSX シリーズのメモリ・シーケンサは、パターン・メモリへの間接的アクセスが可能であり、優れた柔軟性を備えています。パターン・メモリでは、2 つのレベルのループ・ネスティングがサポートされています (各ループの最大繰返し数は 100 万回)。個々のパターン・セグメントは、128 ビット以上の任意のサイズで構成できるため、プログラミングが簡素化され、メモリ効率も向上します。ソフトウェア・コントロール、外部信号、またはディテクタ・パターン・マッチによって、メモリ・シーケンスの進行を制御できるため、複数の手段を使用して、テスト・デバイスとのハンドシェイクを制御できます。

メモリ・シーケンサ・モード

パターンおよびシーケンスの作成や検出をより柔軟かつ簡便に行えるように、2 つの異なるシーケンサ・モードが提供されています。どちらのモードでも、高度なループ／シーケンス機能がサポートされています。

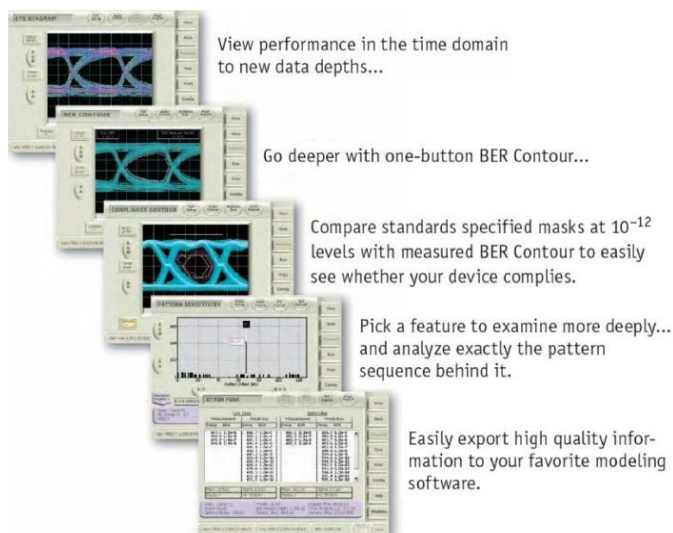
- ビット型シーケンサ・モード：ビット型モードでは、いかなるプロトコル処理も適用されることなく、ビット列は、そのままの状態、パターン・メモリからジェネレータの出力へと送信されます。これは、従来からの BERT メモリ・パターン操作と同じです。
- プロトコル・アウェア・シーケンサ・モード：プロトコル・アウェア・モードでは、パターン・メモリのワードが、ビット列ではなく、プロトコル・ブロックまたはシンボルのグループとして扱われます。メモリからフェッチされたワードは、選択されたプロトコルまたはエンコード方式に従って処理されます。プロトコル固有の要件によって異なりますが、プロトコル・アウェア・モードでは、次のような処理が行われます。
 - プロトコル・ブロックへのシンボルのパッケージング
 - シンボルのエンコーディング
 - データのスクランブリング
 - DC バランス

その結果、ユーザは、"自然な"フォーマットでメモリ・データを入力できます。スクランブル／DC バランスのステートがシーケンサによって保持されるため、データ・スティッチングに由来する問題を引き起こすことなく、シーケンサ・ステートを遷移させることができます。



ドメインのリンク

アイ・ダイアグラムは、デジタル性能を把握するための簡単で、直感的な方法です。アイ・ダイアグラムと BER 性能は根本的に異なった方法で測定するため、アイ・ダイアグラムと BER 性能を直接結びつけることは難しいことでした。アイ・ダイアグラムは、簡単には検出できない間欠的なイベントのわずかな量のデータで構築されてきました。BERT (ビット・エラー・レート・テスト) は膨大なデータ・セットから測定するのですが、トラブルシュートの助けになるような直感的な情報を得ることはできません。



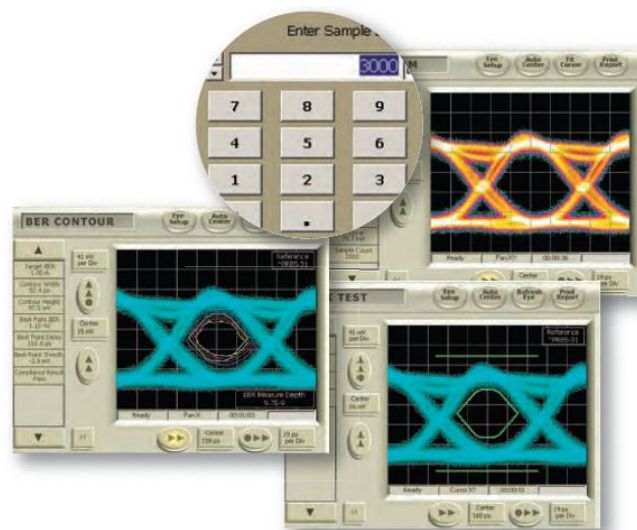
BERTScope は、従来のアイと比べて 2 桁以上のデータ量でアイ・ダイアグラムを構築して表示します。異常を観測する場合、カーソルで BERT のサンプリング・ポイントを移動するだけで、強力な解析能力によって、詳細な観測を可能にします。例えば、直近の立上りエッジのパターン感度を確認することができます。あるいは、1 ボタン操作で BER 等高線測定を行い、性能問題が境界性のものか、フィールドにおける重大な問題の原因とならないかを確認することができます。どのケースにおいても、モデリングの強化や、トラブルシュートに利用でき、最大 PRBS ($2^{31}-1$) のパターンまで利用できます。

情報量の多いアイ・ダイアグラム

先にも説明したように、従来のアイ・ダイアグラムと BERTScope で取込んだアイ・ダイアグラムでは、データ量が著しく異なります。これは、実際に起こっていることを詳細に観測できるということです。すなわち、分散システムの長いパターンを実行するたびに発生頻度の低いイベントが、VCO からのランダム・ノイズまたはランダム・ジッタを観測できることを意味しており、設計が実際に稼動する前に問題発生を把握できる可能性があります。簡単なボタン操作で BER 等高線、ジッタ・ピーク、Q ファクタが測定できるため、設計の詳細を理解することができます。

詳細なマスク・テスト

サンプル長を設定できるため、長く設定して真のシステム性能の正確な測定、あるいは短く設定してサンプリング・オシロスコープのように使うこともできます。以下の例は光トランスミッタからのアイ・ダイアグラムであり、サンプル長は 3000 波形に設定され、BERTScope はわずか 1 秒で中央に示すようなアイ・ダイアグラムを作成します。測定されたマスク・マージンの 20%は、サンプリング・オシロスコープで測定された結果と関連付けられます。下のダイアグラムは同じデバイスで生成され、 1×10^{-6} の BER でコンプライアンス等高線測定されたものであり、マスク・マージンは 17%低減しています。



アイ・ダイアグラムによる利点は、マスク・テストにおいて 10 倍以上にもなります。いくつかの BERT に見られるような擬似マスク・テストと違い、BERTScope のマスク・テストではアイの上下にある領域を含めた、業界規格のマスク周辺にあるすべてのポイントをサンプリングします。さらに、各ポイントは詳細にテストされます。これは、規格マスクのライブラリ、あるいはユーザ定義によるマスクを使用したわずか数秒のテストであっても、デバイスがわずかな問題も持っていないことを確認できるということを意味します。

業界規格に対する正確なジッタ・テスト

長いパターンまたは短いパターンのテストで最も正確なジッタ測定は、わずかな外挿または外挿なしによる測定法によって得られます。BERTScope は、 1×10^{-9} の BER（高速のデータ・レートでは 1×10^{-10} ）のレベルまですばやく測定するか、あるいは 1×10^{-12} を測定するまで待つことができます。いずれにしても、BERTScope のボタン操作による測定は MJSQ のジッタ測定方法に適合しており、BERT の遅延制御により測定は正確なものになります。トータル・ジッタ (TJ)、ランダム・ジッタ (RJ)、デターミニスティック・ジッタ (DJ) の計算機能により、またはデータをエクスポートすることで、ユーザ定義のジッタ・モデルを使用することができます。

BSX シリーズの持つ低 RJ により、802.3ba の同時 VECF (Vertical Eye Closure Penalty) と、100G Ethernet の半導体の特性評価で必要となる可変マージンによる J2/J9 の校正が行えます。

柔軟性の高いクロック

BERTScope には、実際のデバイスのテストで必要となる、ジェネレータ・クロック・パス機能が備わっています。コンピュータ・カードであれ、ディスク・ドライブであれ、PCI Express® (PCIe) の 100MHz などのサブレートのシステム・クロックが必要になる場合があります。ターゲット・カードを特定の振幅、オフセットの差動クロック信号で動作させる場合、BERTScope はさまざま分周比を簡単に設定できます。

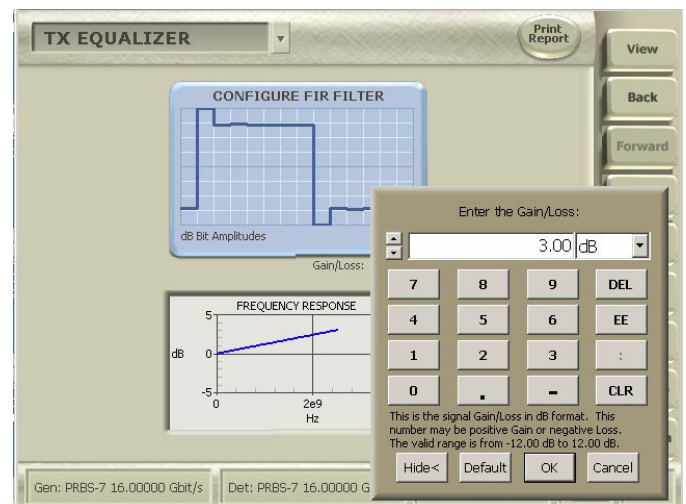
電気シリアル・データ・システムでは、パワー・スペクトラムを分散させることで EMI のエネルギーを低減するために SSC (拡散スペクトラム・クロッキング) が広く使われています。変調振幅、周波数の調整、三角波変調または正弦波変調のプロファイルの選択などにより、SSC を使ったコンプライアンス規格でレシーバをテストすることができます。外付けの変調器や信号ソースを使用することで、最高 4MHz の周波数で、高い振幅、周波数の低い正弦波ジッタ (SJ) でクロック信号を歪ませることができます。

プログラマブル・リファレンス・クロック・マルチプライヤ

BSX シリーズは、汎用リファレンス・クロック・マルチプライヤを備えており、ユーザは、クロック倍率（整数）を指定することで、10MHz~200MHz の入力リファレンス・クロック周波数を使用できるため、柔軟なクロッキングに対応できます。クロック出力周波数は、クロック・シンセサイザの周波数レンジに拘束されるため、たとえば、BSX シリーズでは、1GHz~16GHz になります。使用頻度の高い通倍比が事前定義されているため、多くの一般的な規格に対応できます。

閉じたアイの対処

電気チャンネルのデータ・レートが高速になるにつれ、周波数に依存する損失によってレシーバ端におけるアイが閉じることになります。エンジニアは、実際のシステムではイコライゼーションによってこの損失を補正し、アイを開きます。当社は強力なツールを提供することにより、システムで使用されるレシーバ、トランスミッタのコンポーネントの特性評価、適合性試験が可能になります。

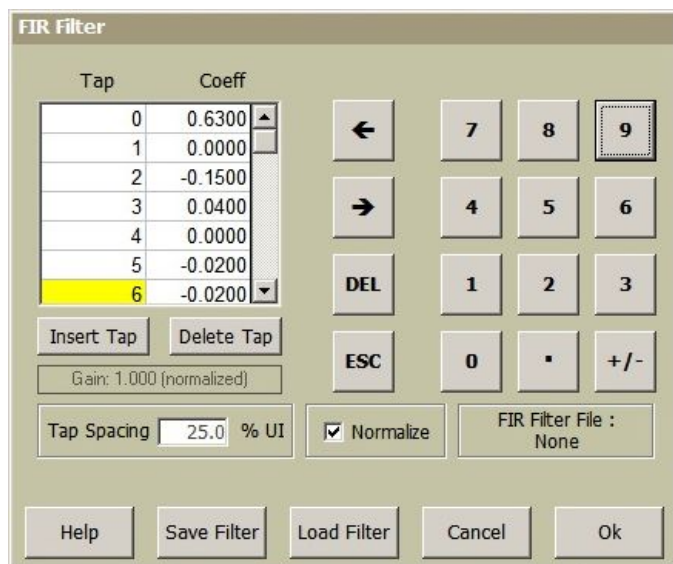


BERTScope のグラフィカル・ユーザ・インターフェースは論理的であり、使いやすい形式で機能を設定することができます。応答を時間ドメインで表示することにより、タップ・ウェイト設定の影響が確認できる。周波数ドメインのボード線図は、フィルタによるチャンネル損失の補正を示す

レシーバ・テストでは、BSX シリーズは、4 タップのプリエンファシス／ディエンファシスを内蔵しており、機器の最大データ・レート (BSX320 型の場合は 32Gbps) で動作させることができます。さらに、高速な出力イコライゼーション制御が可能のため、ほとんどの規格のリンク・トレーニング応答時間の厳格な要件にも対応できます。

PatternVu

PatternVu は、オプションで装備されるソフトウェアによる FIR フィルタであり、アイ・ダイアグラム表示の前で挿入されます。システムのレシーバ・イコライゼーションで使用すると、レシーバ・ディテクタにおける、イコライザ後のアイ・ダイアグラムを観測し、物理特性を測定することができます。32 タップまでのイコライザを適用することができます。ユーザは UI ごとにタップの分解能を選択することができます。



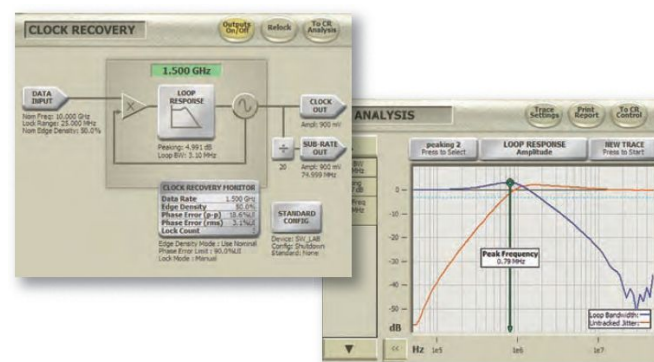
PatternVu

PatternVu には CleanEye パターンロック・アベレーシング・システムも含まれており、非デターミニスティック・ジッタ成分をアイから除去することができます。これにより、通常は大きなランダム・ジッタによって隠れてしまう、ISI (シンボル間干渉) などのパターン依存性の影響をはっきりと確認することができます。

Single Value Waveform エクスポートは、PatternVu オプションのコンポーネントです。リアルタイム・オシロスコープの単発取込みに似ており、パターンロック波形を取込んで単独のビットを表示することができます。取込んだ波形は、さまざまなフォーマットでエクスポートすることにより、外部のプログラムでさらに詳細に解析することもできます。

クロック・リカバリの追加

CR125A 型、CR175A 型、CR286A 型を使用することで、規格に適合するクロック・リカバリの柔軟性が広がります。ジッタ測定が必要なほとんどの規格はクロック・リカバリ、および使用するループ帯域を厳密に規定しています。異なった、または未知のループ帯域を使用すると、誤ったジッタを測定することになります。クロック・リカバリ・ユニットを使用することで、ほとんどの規格で正確な測定が簡単に実行できます。



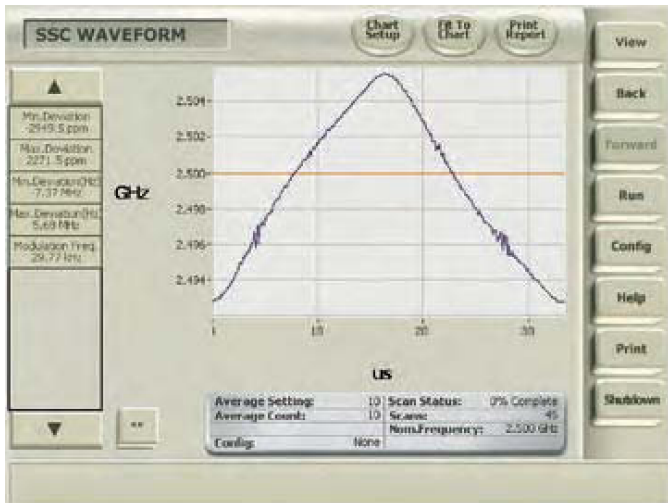
直感的なユーザ・インタフェースにより、すべてのパラメータが簡単に設定できる。独自のループ・レスポンス・ビューにより、設定だけでなく、実際の測定値などのループ特性も表示できる

BERTScope CR シリーズは、BERTScope の測定だけに限定されたものではありません。デジタル・オシロスコープ、サンプリング・オシロスコープと共にスタンドアロンで、または既存の BERT 機器と共に使用でき、既存の機器と組み合わせでコンプライアンス測定が行えます。

さらに、ローカルの内蔵ディスプレイと BERTScope ユーザ・インタフェースのどちらにも、ロック・ステータスやパターン・エッジ密度や位相エラーなどの測定されたパラメータが表示されるため、入力信号の特性や CR 性能を、リアルタイムに確認できます。

SSC 変調波形の表示と測定

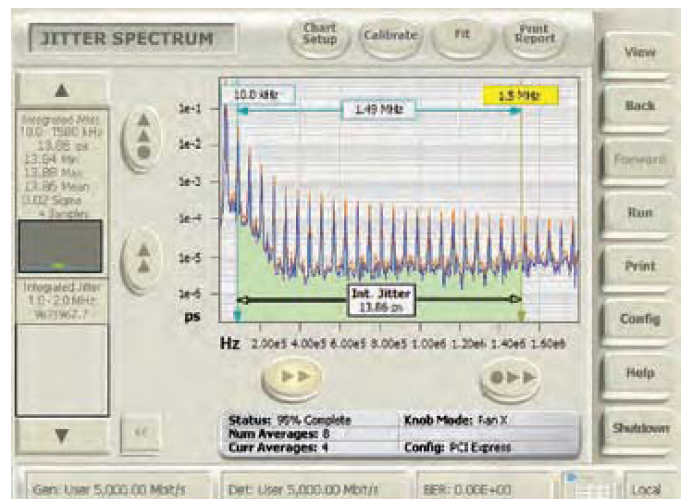
SATA、PCI Express、SAS などの最新のシリアル・バスでは、ボード設計、システム設計における EMI を低減するために SSC が使用されています。当社の CR ファミリーには、拡散スペクトラムのクロック・リカバリ機能と、SSC 変調波形の表示、測定機能が備わっています。自動測定の項目には、最小／最大周波数偏差 (ppm または ps)、変調の変化 (dF/dT)、変調周波数があります。また、公称のデータ周波数の表示機能、使いやすい垂直／水平カーソル機能も備わっています。



SSC 波形測定

ジッタ解析の追加

CR125A 型と Opt. 12GJ、CR175A 型と Opt. 17GJ 型、CR286A 型と Opt. 28GJ を、サンプリング・オシロスコープまたは BERTScope と組み合わせることで、1.2～11.2Gbps のクロック・リカバリ、DCD (デューティ・サイクル歪み) 測定、リアルタイム・ジッタ・スペクトラム解析に対応できます。200Hz～90MHz のジッタ・スペクトラム成分が表示でき、ジッタと周波数がカーソル測定できます。帯域制限したジッタと、ユーザ設定した周波数ゲート測定が行えます。(この例は、PCI Express 2.0 ジッタ・スペクトラムのプリセット帯域制限とジッタ測定)

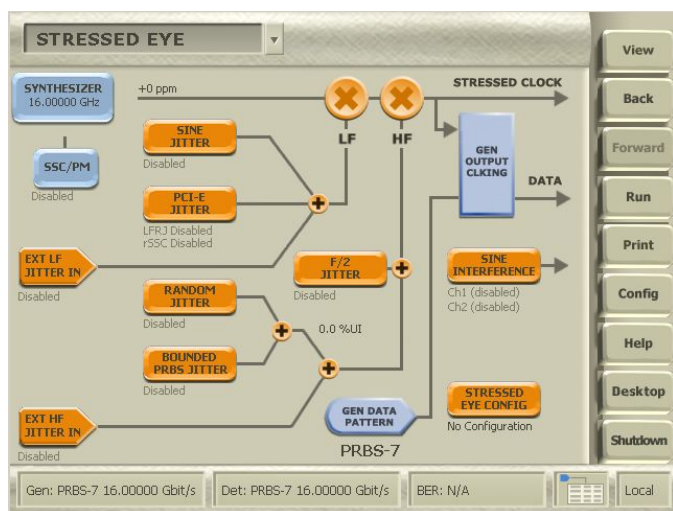


ジッタ・スペクトラム測定

レシーバ・テストのための豊富な機能

ネットワークの変化につれ、レシーバ・テストも変わってきます。BER、レシーバ感度などのテストも重要ですが、バックプレーンの 10Gbps データや新しい高速バスなどのジッタ制限されたシステムでは、レシーバのジッタ耐性はより現実的なものに進化しています。ストレス・アイ・テストは、多くの規格で一般的なコンプライアンス測定になりつつあります。また、エンジニアは設計、製造におけるマージンをストレス・アイ・テストでチェックすることにより、レシーバ性能の限界を確認することができます。

何台もの計測器が必要で、その設定に時間のかかる PCI Express 2.0 などの複雑な規格におけるストレス・テストが行えます。BERTScope では、理解しやすいグラフィック表示により、1 台の計測器で必要なすべてのストレス信号をコントロールすることができます。接続ケーブル、ミキサ、カプラ、変調器などが不要になるため、ストレス校正が簡素化できます。

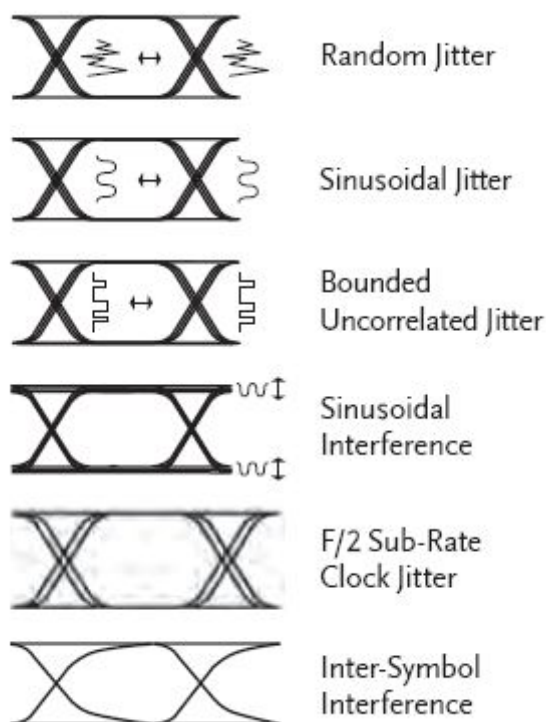


ストレス・アイ・ビュー

柔軟性の高いストレス信号

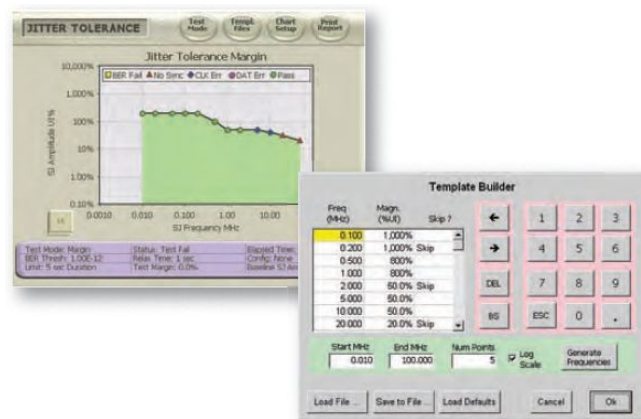
BERTScope は、RJ、SJ、BUJ、SI など、高品質で、校正されたストレス・ソースを内蔵することができます。

ISI の印加も多くの規格に含まれています。BSA12500ISI 型差動 ISI ボードは、さまざまなトレース長に対応できます。



柔軟性の高いストレス信号

多くの規格では、特定の変調周波数においてさまざまな SJ (正弦波ジッタ) の振幅で繰り返し測定する必要があります。ジッタ・トレランス機能が内蔵されており、設計したテンプレート、またはライブラリにある数多くの規格テンプレートにしたがって簡単に繰り返し測定することができます。

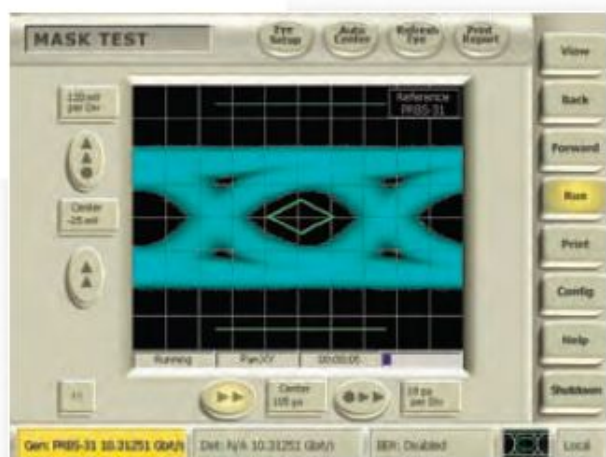


内蔵ジッタ・トレランス機能

BERTScope パターン・ジェネレータ

BERTScope パターン・ジェネレータは、フル・レンジの PRBS パターン、共通規格ベースのパターン、ユーザ定義のパターンを提供します。

Opt. STR は、完全に統合され、校正されたストレス生成を提供する便利なオプションです。ストレス・パターンを提供するために手動で校正した機器でラックを一杯にする必要がなくなります。DisplayPort などの BER 測定機能を内蔵するデバイスのレシーバ・テストの実行、あるいは従来の BERT 機器にストレス機能を追加するために使用します。

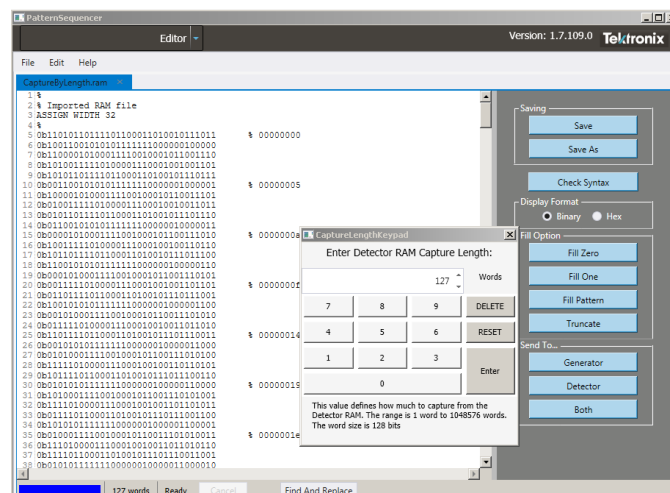


XFI compliant electrical stressed eye

ストレス・アイ・オプション

パターン取込み

未知の入力データに対しては、いくつかの対処方法があります。先に説明したライブ・データ解析に加え、すべての BERTScope に標準で備わっているのがパターン取込み機能です。繰返しパターンのパターン長を設定すると、検出器の 512MB の RAM メモリを使用し、設定された入力データを取込みます。取込まれたデータは、エラー・ディテクタの新しいリファレンス・パターンとして使用したり、編集して保存しておくこともできます。



パターン取込み

パターン・ジェネレータ・ストレス・アイ

パターン・ジェネレータ・ストレス・アイは、次の機能を提供します。

- 内蔵のクロックまたは外部クロックに付加する、使いやすく統合されたストレス・アイ障害
- 簡単な設定、柔軟性を失うことなくユーザの感じる複雑さを低減
- BERTScope と外部 ISI フィルタを使用した、数多くの規格に対する適合性検証規格例：
 - OIF CEI
 - 6 Gb SATA
 - PCI Express
 - XFI
 - USB 3.1
 - SONET
 - SAS
 - XAUI
 - 10 and 100 Gb Ethernet
 - DisplayPort
- BSX シリーズ BERTScope には、2 つの正弦波干渉ソースが内蔵されている。これらのソースは、内部で加算され、前面パネルの単一の差動出力として使用される。オプションの BSXCOMB キットと同時に使用することで、PCIe Gen3/Gen4 の CM/DM 干渉の要件など、さまざまな正弦波干渉テストのコンフィギュレーションに対応可能

振幅と ISI 障害

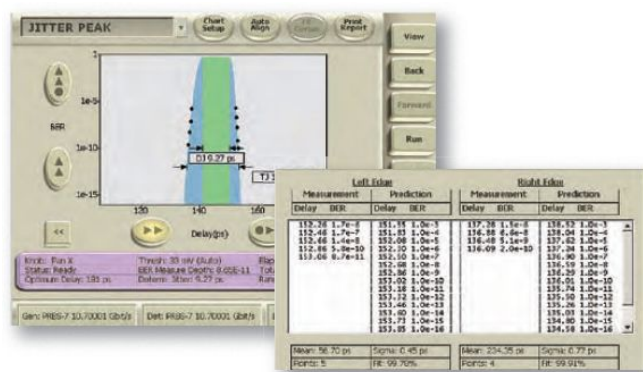
ISI の場合、外部に付加。例えば、長い同軸ケーブルまたはベッセルトンプソンの 4 次フィルタによる 0.75 のビット・レートにおいて -3dB ポイント。

回路ボードの影響が必要なアプリケーションでは、BSA12500ISI 型差動 ISI ボードを使用します。

ジッタ測定

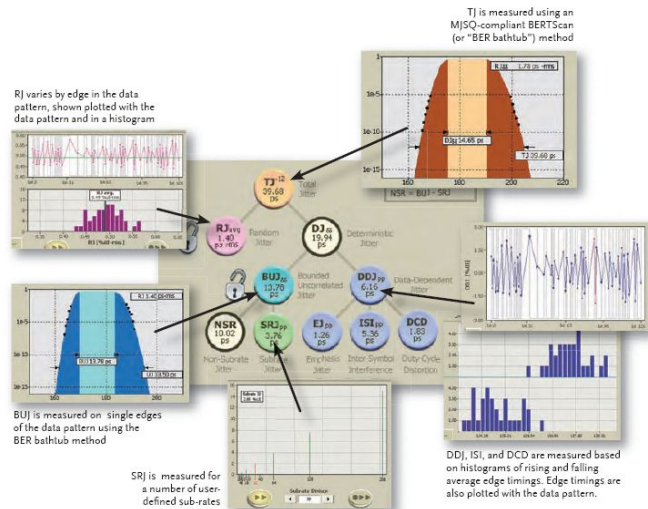
マルチギガビットのシリアル・データ・チャンネルのアイの開口は、数百 ps、あるいはそれ以下の時間幅しかありません。このようなシステムのジッタ・カウントは数 ps しかないため、ジッタを厳密に管理するためにはジッタの正確な測定が重要になります。BERTScope は、この測定のために 2 種類のツールを備えています。

物理レイヤ・テスト・ソフトウェアのオプションには、デュアル・ディラック (Dual Dirac) 法によるトータル・ジッタ (TJ)、それを分離したランダム・ジッタ (RJ)、デターミニスティック・ジッタ (DJ) の測定が含まれています。BERT 収集による測定では、オシロスコープがジッタ測定で使用するよりもはるかに少ない外挿、場合によっては外挿なしで測定します。このため、外挿によって測定する計測器に比べて、より正確な測定結果が得られます。



MJSQ に準拠した Dual-Dirac ジッタ測定

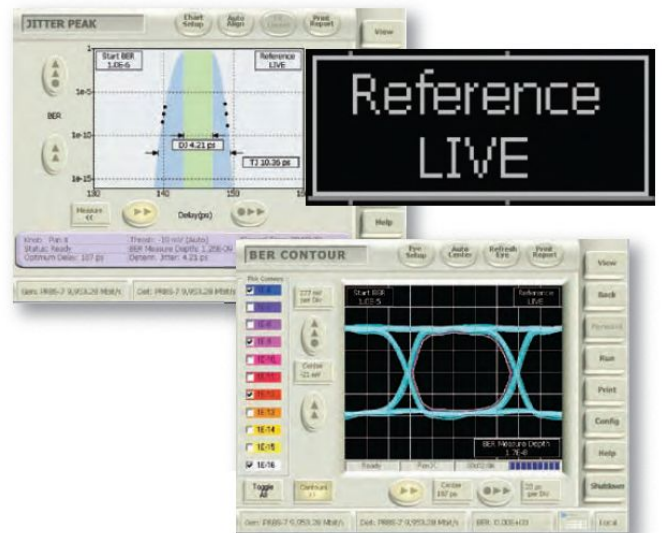
ジッタ・マップは、BERTScope にオプションで装備される最新のジッタ測定ソフトウェアです。高速なデータ・レートの規格に準拠した測定を含む、RJ、DJ 以上のサブコンポーネント解析が行えます。ジッタ・マップは、PRBS-31 などの非常に長いパターンのジッタを測定、分離することができます。また、ライブ・データも測定、分離できるため（ライブ・データ解析オプションが必要）、まず短い同期データ・パターンで実行することもできます。



ジッタ・マップ

特長を以下に示します。

- DJ の分離 – 有界非相関ジッタ (BUJ)、データ依存性ジッタ (DDJ)、シンボル間干渉 (ISI)、デューティ・サイクル歪 (DCD)、F/2 (または F2) ジッタを含むサブレート・ジッタ (SRJ)
- 1×10^{-12} 以上の BER ベースのダイレクト (非外挿) トータル・ジッタ (TJ) 測定
- 長いパターンの DDJ を RJ としての誤認識を防ぐための、相関/非相関ジッタ成分の分離
- 最小のアイ開口によるジッタ測定
- 他の計測器では測定できない詳細なジッタ測定 – エンファシス・ジッタ (EJ)、非相関ジッタ (UJ)、データ依存性パルス幅収縮 (DDPWS)、非シンボル間干渉
- 直感的でわかりやすいジッタ・ツリー



ライブ・データで測定されるジッタ・ピークと BER 等高線

柔軟性のある外部ジッタ・インタフェース

柔軟性のある外部ジッタ・インタフェースの特長を以下に示します。

- 前面パネルにある外部高周波ジッタ入力コネクタ DC ~1.0GHz、最大 0.5UI の、振幅、周波数の境界内の任意タイプのジッタを追加
- 低周波ジッタ入力コネクタ DC~100MHz、1.1ns（最高）のジッタを追加
- 後部パネル SJ 出力
- 正弦波干渉出力、前面パネル・コネクタ

内部 RJ、BUJ、および外部高周波ジッタ入力 は 0.5UI に制限され、両方とも有効になるとさらに 0.25UI に制限されます。後部パネルの低周波ジッタ入力は、さらにジッタを追加する場合に使用できます。外部低周波ジッタ、内部低周波 SJ は 10MHz に、PCIe LFRJ と PCIe rSSC (Opt. PCISTR) の合計は 1.1ns にそれぞれ制限されます。この制限は、Opt. XSSC の位相変調 (PM) には適用されません。

ジッタ障害

有界非相関ジッタ (BUJ：境界があり、相関性のないジッタ)：

- サポートされるデータ・レート：1.5 ~ 12.5Gbps (BSX125 型)、~24Gbps (BSX240 型)、~32Gbps (BSX320 型)
- 内部 PRBS ジェネレータ
- 0.5UI まで可変
- 100Mbps ~ 2.0Gbps
- フィルタ選択により帯域制限

BUJのレート	フィルタ
100~499	25MHz
500~999	50MHz
1,000~1,999	100MHz
2,000	200MHz

ランダム・ジッタ：

- サポートされるデータ・レート：1.5 ~ 12.5Gbps (BSX125 型)、~24Gbps (BSX240 型)、~32Gbps (BSX320 型)
- 0.5UI まで可変
- 帯域制限：10MHz ~ 1GHz、1.5MHz ~ 100MHz (PCIe2 モード)
- クレスト・ファクタ：16 (ガウシャン ~ 最低 8 標準偏差または $\sim 1 \times 10^{-16}$ の確率)

正弦波ジッタ

変調形式	内部 SJ 周波数	最大内部 SJ 振幅
位相変調	10Hz ~ 4MHz	最大 19,200UI (11.2Gbps 以上)
低周波 SJ (変調器を選択可能 ¹⁾)	1kHz ~ 100MHz	最大 1,000ps (22.4Gbps 未満) 最大 270ps ² 10 ~ 28.5Gbps 最高 130ps (10 ~ 32Gbps)
高周波 SJ	100MHz ~ 1,000MHz	0.5UI ³

SJ は 0 から表に示すレンジ以上のレベルまで調整可能。変調レートとビット・レートのいずれか、または両方が高くなると、レンジが減少します。PM の機能詳細については「スペクトラム拡散クロックと位相変調」の項、SJ の機能詳細については、「正弦波ジッタ (SJ)」の項をそれぞれ参照してください。

インタフェース・カードのテスト

BERTScope のライブ・データ解析オプションにより、高速ライン・カード、マザーボード、ライブ・トラフィックの物理レイヤが測定できます。新しいデュアル・デジション・ポイント・アーキテクチャにより、クロック信号があれば標準のアイ／マスク測定に加え、ジッタ、BER 等高線、Q ファクタなどのパラメータも測定できます。ジッタ・マップのオプションを追加することにより、ライブ・データのジッタを詳細に分離することができます。不明な予測できないパターン、またはレート・マッチングのためのワード挿入があっても、手間取ることがありません。1 ボタンで物理レイヤテストを実行できるため、トラブルシュートが容易になります。

1 レンジは 1,100ps、270ps、130ps (最大) から選択可能。より低いレンジでは、固有ジッタがより低くなります。

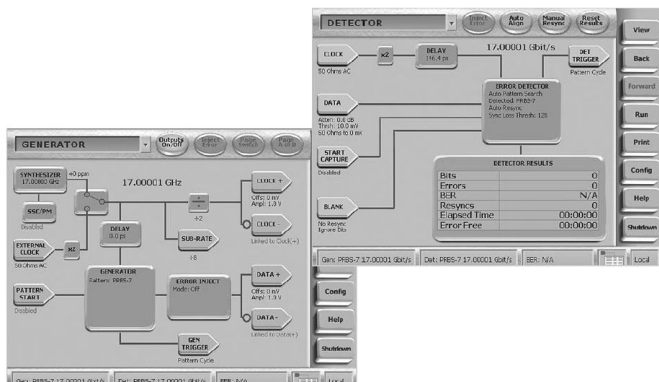
2 SJ のフル・レンジは 270ps。RJ または BUJ ではレンジは 220ps まで低減されます。

3 HFSJ、BUJ、外部 HF ジッタ、および RJ の合計が 0.5UI 以下

ユーザ・インタフェース

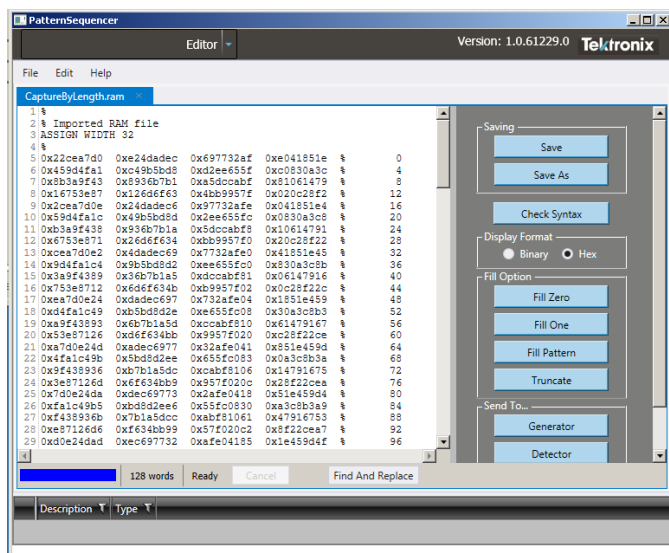
ユーザ・インタフェースの優れた操作性：

- 簡単な操作
- 論理的なレイアウトと操作
- 複数の方法による画面間の移動
- 必要なときに明確な情報が得られる
- カラー・コーディングにより非標準な状態を警告



UI セットアップ画面

パターン・エディタ、パターン・セグメント・エディタ、およびパターン・シーケンスは、すべて単一の独立した画面に表示されるため、少なくとも 1280×1024 の解像度を持つ、VGA 互換モニタを用意する必要があります。



パターン／シーケンス・エディタ

物理レイヤテスト表示

以下の物理レイヤ・テスト・オプションが利用可能です。

- BER 等高線テスト
 - 同じアクイジション回路からアイ・ダイアグラムも測定することで、優れた相関性が得られる
 - 必要に応じて遅延を校正することによる正確なサンプリング・ポイント
 - 自動スケーリング、ワンボタン測定
 - 測定時間を増やし、カーブ・フィットを繰り返し更新することによる測定データからの等高線を外挿
 - CSV フォーマットによる簡単なデータ・エクスポート
 - 10^{-6} ~ 10^{-16} 進のステップによる等高線
- ベーシック・ジッタ測定
 - T11.2 MJSQ BERTScan 法（バスタブ・ジッタとも呼ばれる）
 - ユーザ定義レベルのトータル・ジッタの迅速で正確な外挿による詳細測定、または直接測定
 - MJSQ で規定されるランダム成分とデターミニスティック成分の分離
 - 遅延校正による正確なポイント
 - CSV フォーマットによるデータ・エクスポート
 - 簡単なワンボタン測定
 - ユーザ定義の振幅スレッショルド・レベルまたは自動選択
 - MJSQ で定義されているように、BER の選択開始によりロング・パターンを使用したときの精度を向上
- Q ファクタ測定
 - アイの中央における垂直交差部分のワンボタン測定
 - システム・ノイズの影響を簡単に表示
 - CSV フォーマットによるデータのエクスポート
- 等高線の適合性
 - XFP/XFI, OIF CEI などの規格に対するトランスミッタのアイ性能検証
 - コンプライアンス・マスクと測定マスクを重ね合わせることで、デバイスが指定された BER 性能を満たしていることを確認

ライブ・データ解析オプション

ライブ・データ・オプションは、未知または繰返しのないトラフィックのパラメータを測定するオプションです。送信側と受信側のクロック・レートを含わせるために、システムなどに挿入されるダミー・ビットのトラフィックを含みます。プロービング・ライン・カードなどにも適しています。

このオプションは、2 つあるフロントエンド・デシジョン回路のうちの 1 つを使用し、アイの中心に置くことで各ビットが 1 か 0 を判定します。もう 1 つのデシジョン回路でアイの周辺をプローブしてパラメータ性能を判定します。この方法は物理レイヤの問題には有効ですが、1 を送ろうとして 0 が送られるようなプロトコル問題による論理問題は特定できません。

ライブ測定は、BER 等高線、ジッタ・ピーク、ジッタ・マップ、Q ファクタを使用して実行されます。アイ・ダイアグラム測定は、このオプションを使用しなくてもライブ・データで実行でき、同期クロックが利用できます。

ライブ・データ解析オプションは物理レイヤ・テスト・オプションが必要であり、フルレート・クロックで使用する必要があります。

PatternVu イコライゼーション・プロセス・オプション

PatternVu⁴は、BERTScope にいくつかの強力なプロセス機能を追加します。

- CleanEye はアイ・ダイアグラム表示モードであり、波形データを平均化してアイ・ダイアグラムからデータ依存性のないジッタを除去します。これにより、シンボル間干渉 (ISI) などのデータ依存性ジッタが観測、測定でき、補償可能なジッタなどがないか直感的に確認することができます。最高 32,768 ビットまでの任意の繰返しパターンに有効です。
- Single Value Waveform Export は、CleanEye の出力を変換して CSV フォーマットでファイルをエクスポートします。最大 105 ビット・ポイントの出力ファイルは、Microsoft Excel や、Stateye、MATLAB[®]などのシミュレーション・ツールにエクスポートできます。これにより、実際に取込んだデータをオフラインでフィルタリングしたり、最新の LRM (Long Reach MultiMode) 10Gb Ethernet 規格の 802.3aq で規定されている TWDP (Transmitter Waveform Dispersion Penalty) などの規格ベースの処理を実行することができます。
- FIR フィルタのイコライゼーション・プロセッサにより、通信チャネルのエミュレーションが行え、表示前の

データにソフトウェア・リニア・フィルタを適用することでディテクタとしてアイを観測、測定することができます。例えば、FIR フィルタを使用してバックプレーン・チャンネルの損失の多い影響をエミュレートし、レシーバのイコライゼーション・フィルタをエミュレートし、レシーバ側のイコライゼーションの設計、特性評価に役立てることができます。

フィルタ特性は、FIR フィルタの一連の重み付けタップを個々に入力することで制御できます。0.1~1.0UI (ユニット・インターバル) のタップ間隔で最大 32 タップをプログラムできるため、高い分解能でフィルタ形状を設定できます。FIR フィルタは、最大 32,768 ビット長の繰返しパターンに適用できます。

- Single Edge Jitter 測定は、3Gbps 以上のデータ・レートの個々のデータ・エッジに適用され、BER ベースの真のジッタ測定が行えます。Single Edge Jitter Peak 測定機能は、最大 32,768 ビット長の繰返しパターンからユーザが選択する 1 つのエッジのジッタを計算できます。このジッタ測定ではデータ依存性の影響を排除するため、ランダム・ジッタ (RJ)、有界非相関ジッタ (BUJ)、周期性ジッタ (PJ) などの非相関ジッタ成分のみを表示することができます。
- Flexible Measurements は、CleanEye 波形の特定の部分を指定することで、振幅、立上り／立下り時間、ディエンファシス比を正確に測定することができます。PCI Express、USB 3.1 などの規格の再プログラム計算式も含まれています。

エラー解析

エラー解析はエラーに関する強力な表示機能であり、存在的なパターンを簡単に表示することができます。アイ・ダイアグラムの特定の部分に簡単に着目し、BERTScope のサンプリング・ポイントを移動し、正確な場所で発生するパターン感度を調べます。例えば、遅いエッジ、早いエッジと関係しているパターンを直接調べることができます。

⁴ PatternVu は、900Mbps 以上のデータ・レートで動作します。

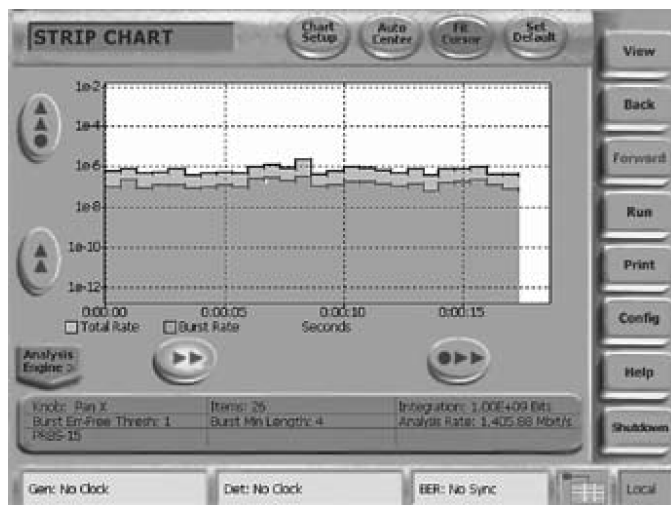
BERTScope ファミリーでは、多くの表示機能が標準で装備されています。

- Error statistics : ビット／バースト・エラー・カウント、レートの表形式



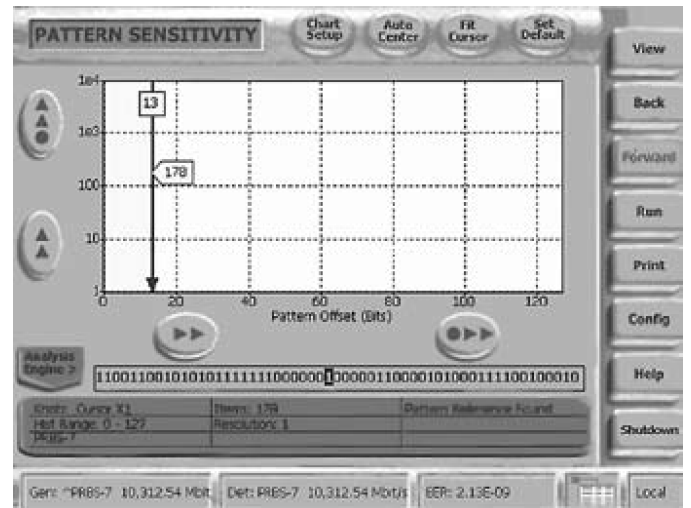
Error Statistics によるビット／バースト発生に関するリンク性能

- Strip chart : ビット／バースト・エラー・レートのストリップ・チャート



Strip Chart による、時間に対するビット／バースト・エラー性能。トラブルシュートにおける温度サイクルなどで有効

- Burst length : さまざまな長さのエラー発生回数のヒストグラム
- Error free interval : さまざまなエラー・フリー間隔の発生回数のヒストグラム
- Correlation : エラー発生箇所とユーザ設定されたブロック・サイズまたは外部マーカ信号入力の相関性を示すヒストグラム
- Pattern sensitivity : テスト・パターンとして使用されるビット・シーケンスの各ポイントにおけるエラー数のヒストグラム
- Block errors ユーザ設定のブロック・サイズのデータ間隔と、その中で変化するエラー数の発生回数を示すヒストグラム



Pattern Sensitivity は、エラー・イベントがパターンに関連したものであるかどうかを調べる。問題となりそうなパターン・シーケンスを示し、PRBS またはユーザ定義のパターンで動作する

Forward Error Correction (前方向誤り訂正) エミュレーション・オプション

BERTScope が装備する特許のエラー特定機能により、テストにおけるエラー発生場所を正確に特定することができます。リードソロン・アーキテクチャなどのブロック・エラー訂正コードで標準のメモリ・ブロックをエミュレートすることにより、非相関データ・チャンネルからのビット・エラー・レート・データは仮想エラー・コレクタに送られ、推奨される FEC 手法によって検出することができます。ユーザはエラー訂正の強さ、インターリーブの深さ、消去機能を設定することができ、一般的なハードウェア訂正アーキテクチャとマッチングすることができます。

2D エラー・マッピング

この解析により、テストで発見されたエラーから、エラー発生箇所の二次元のイメージを生成します。パケット・サイズまたはマルチプレクサ幅をベースとしたエラー・マッピングにより、エラーがパケットの特定の箇所から発生するものか、またはマルチプレクサに接続されたパラレル・バスの特定のビットで発生するものかがわかります。ビジュアル・ツールであるため、目視による相関性が確認でき、他のエラー解析技術でも検出の難しいエラー相関性が確認できることがあります。

エラー位置取り込み

項目	概要
ライブ解析	連続
エラー・ロギング容量	最大 2GB ファイル・サイズ
エラー・イベント/秒	10,000
最大バースト長	32kb

ジッタ・トレランス・テンプレート

多くの規格では、特定の変調周波数においてさまざまな SJ（正弦波ジッタ）の振幅で繰り返し測定する必要があります。ジッタ・トレランス機能が内蔵されており、設計したテンプレート、またはライブラリにある数多くの規格テンプレートにしたがって簡単に繰り返し測定することができます。

調整可能な項目：

- BER 信頼度
- ポイントごとのテスト時間
- BER スレッシュホールド
- テスト・デバイス緩和時間
- テンプレートへのパーセント・マージン設定
- テスト確度 A/B パターンのスイッチ動作に対する制御

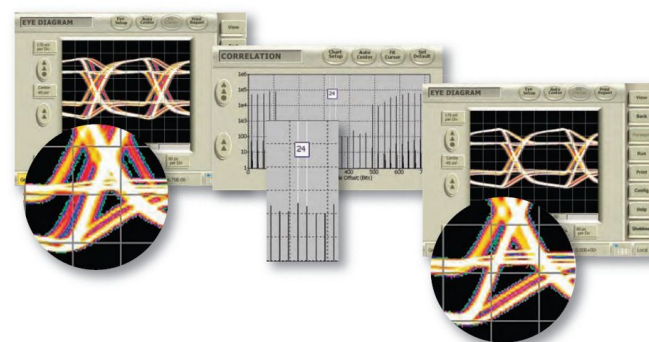
さらに、選択したポイントにおけるテンプレートを外れたテストでのデバイス不良検出機能と、スクリーン・イメージまたは CSV ファイルでのデータ・エクスポート機能があります。

5 ジッタ・マップは 900Mbps 以上のデータ・レートで動作します。

6 SRJ および F/2 ジッタは、(すべての構成で) 最高 11.2Gbps で動作します。

エラー位置解析によるデバッグ

エラー解析一次の例では、アイ・ダイアグラム表示と BER がリンクしており、メモリ・チップ・コントローラの設計問題を検出し、解決しています。左上のアイ・ダイアグラムはアイが交差する部分を示しており、アイの主要部分に比べて発生頻度が低いことを示しています。BER のデシジョン・ポイントを移動すると、間欠的なイベントを表示できます。エラー解析によると、No.24 に関連していることを示しています。IC 内の異常を詳細に調べると、システム・クロックは出力データ・レートの 1/24 であることがわかりました。クロックのパスを離すように再設計することで、右上に示すようにクリーンな波形になりました。



エラー解析の例

ジッタ・マップ・オプション

ジッタ・マップ⁵・オプションは、自動ジッタ分離とロング・パターン・ジッタ・トライアングレーションを提供します。デュアル・ディラックによるトータル・ジッタ (TJ)、ランダム・ジッタ (RJ)、デターミニスティック・ジッタ (DJ) 以上の BER ベースのジッタ分離を包括的サブコンポーネントセットに拡張します。PRBS-31 などの非常に長いパターンの測定、分離も可能であり、まず短い同期データ・パターンから実行します。

このオプションの特長を以下に示します。

- DJ の分離 - 有界非相関ジッタ (BUJ)、データ依存性ジッタ (DDJ)、シンボル間干渉 (ISI)、デューティ・サイクル歪 (DCD)、F/2 (または F2) ジッタを含むサブレート・ジッタ (SRJ)⁶
- 1×10^{-12} 以上の BER ベースのダイレクト (非外挿) トータル・ジッタ (TJ) 測定
- RJ のための長いパターンの DDJ の間違いを防ぐための、相関/非相関ジッタ成分の分離

- データ・パターンの個々のエッジから測定した RJ RMS のビジュアル化
- 100GbE アプリケーションにおける J2、J9 ジッタ測定
- 他の計測器では測定できない詳細なジッタ測定—エンファシス・ジッタ (EJ)、非相関ジッタ (UJ)、データ依存性パルス幅収縮 (DDPWS)、非シンボル間干渉
- 直感的でわかりやすいジッタ・ツリー

ストレス・ライブ・データ・オプション

BERTScope の Stressed Live Data ソフトウェア・オプションは、デバイスが実際の環境で遭遇するようなビット・シーケンスでデバイスにストレスを加えるように、実際のデータ・トラフィックにさまざまなストレスを加えることができます。ストレスを加えたライブ・トラフィックでテストできるため、デバイスの限界性能がわかり、製品を市場に投入する前の確認に役立ちます。

- BERTScope で利用可能な校正されたストレスに含まれるもの：正弦波ジッタ (SJ)、ランダム・ジッタ (RJ)、有界非相関ジッタ (BUJ)、正弦波間干渉 (SI)、F/2 ジッタ、拡散スペクトラム・クロッキング (SSC)
- BERTScope の最高レートまでのデータ・レートをサポート
- フルレート・クロックでは 11.2Gbps まで、ハーフレート・クロックでは 11.2Gbps 以上が必要

シンボル・フィルタリング・オプション

シンボル・フィルタリングにより、レシーバ・テストのループバックで使用されるビット・ストリームに挿入される非データ・ターミナリティな数のクロック補正シンボルを含む入力データにおいて、ジッタ・トレランス・テストを含む非同期 BER テストを行うことができます。

- USB 3.1、SATA、SAS、PCI Express の非同期レシーバ・テストをサポート
- ユーザ定義のシンボルは、入力データから自動的にフィルタリングされ、同期を維持
- エラー・ディテクタはフィルタリングされるビットのカウントを維持することで正確な BER 測定が可能になる

パターン・ジェネレータの仕様

すべての仕様は、特に断りのないかぎり保証値です。すべての仕様は、特に断りのないかぎり、すべての機種に適用されます。

特に断りのない限り、立上り時間は 20%~80% で測定されます。仕様に示した値は、20 分間のウォームアップ後に有効になります。仕様は予告なく変更されることがあります。

データ出力

データ・レート・レンジ

BSX125 型	0.6~12.5Gbps
BSX240 型	1~24Gbps
BSX320 型	1~32Gbps

フォーマット	NRZ
--------	-----

極性	正極性または反転
----	----------

可変クロスオーバー	30~70%
-----------	--------

データ出力

パターン

ハードウェア・パターン	業界標準の疑似ランダム (PRBS) : $2^n - 1$ ($n = 7, 11, 15, 20, 23, 31$)
RAM パターン	128 ビットから全体で 512M ビットまで (128 のパターン・シーケンサ・ステートをサポート)
ライブラリ	SONET/SDH、k28.5 や CJTPAT をベースとした Fibre Channel、 2^n パターン ($n = 3, 4, 5, 6, 7, 9$)、 2^n のマーク密度パターン ($n = 7, 9, 23$) など

パターン・シーケンサ	パターン・メモリに対する間接アクセスを実装
モード	ビット・モード – プロトコル処理は適用されない プロトコル・アウェア・モード – サポートされるプロトコルに、プロトコル処理が適用される
シーケンサ・ステート	最大 128 パターンのパターン・シーケンサ・ステート
ループ・レベル	2 レベル (ループあたり最大繰返し数は 1M)
パターン・セグメント・サイズ	128 ビット～最大メモリ・サイズ (最小単位は 1 ビット)
プロトコル・モード	プロトコル・ブロックの処理単位： PCIe Gen3/Gen4 : 128b/130b ブロック×1 USB 3.1 SSP : 128b/132b ブロック×1 8b/10b : 8b/10b シンボル×1～16
プロトコル処理	プロトコル・アウェア・モードの処理： プロトコル・ブロックへのシンボルのパッケージング シンボル・エンコーディング (8b/10b) データ・スクランブル (すべてのプロトコル) DC バランス (PCIe Gen3/4、USB 3.1 SSP)

エラー挿入

長さ	1、2、4、8、16、32、64 ビット・バースト
周波数	シングルまたは繰返し

データ出力振幅とオフセット

コンフィグレーション	差動出力、ペアのそれぞれは終端、振幅、オフセットに個別に設定可能
インタフェース	DC カップリング、50Ω バック・ターミネーション、APC-3.5 コネクタ。75Ω 校正は選択可能、他のインピーダンスはキーパッド入力。Planar Crown®アダプタの使用で、他のコネクタ・タイプに変更可能
プリセット・ロジック・ファミリ	LVPECL、LVDS、CML、ECL、SCFL

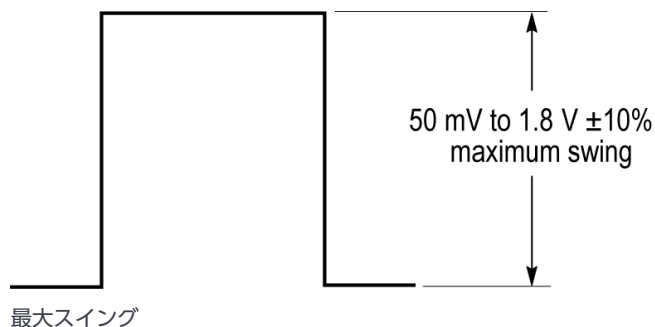
データ出力振幅とオフセット

終端電圧

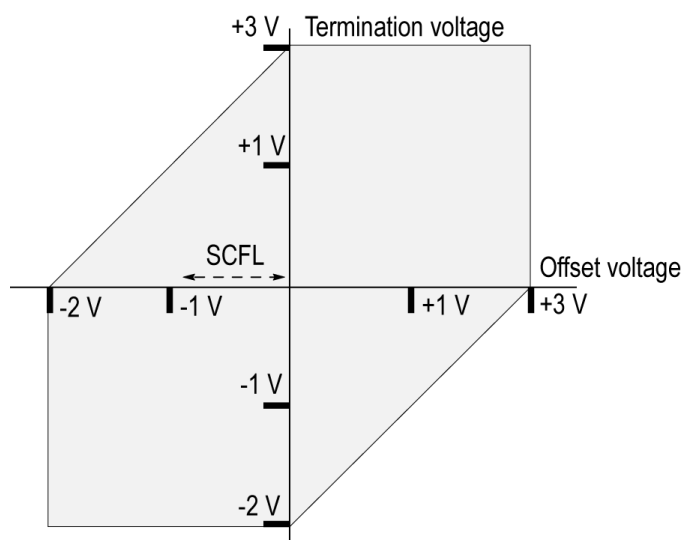
可変：-2～+3V、プリセット：+1.5、+1.3、+1、0、-2V、AC カップリング

許容振幅、終端、オフセット

次の図を参照してください。



許容される振幅スイングは 0.050～1.8V で、次のグラフのグレーの領域内にあること。例えば、SCFL の終端電圧は 0V であり、点線の矢印の範囲（約 0～-0.9V）で動作し、動作範囲内に収まる。



許容される振幅とオフセット

データ出力のディエンファシス（Opt. TXEQ）

データ・イコライゼーションの 4 タップ FIR

タイプ

1 プリカーソル、2 ポストカーソルとして構成

データ・イコライゼーションの 注：出力振幅の仕様を超える数のカーソルは使用できません。

タップの範囲

プリカーソル 1	±12dB
ポストカーソル 1	±20dB
ポストカーソル 2	±12dB

データ・イコライゼーションの ±1、すべてのタップについて、タップの符号は独立
タップの符号

データ出力のディエンファシス (Opt. TXEQ)

データ・イコライゼーションの 0.1dB
タップの分解能

データ・イコライゼーションの ± 1 dB
タップの確度

クロック出力

周波数レンジ	11.2Gbps 以上のビット・レートでは、最大クロック出力周波数はハーフレートになります。
BSX125 型	0.6~11.2GHz
BSX240 型	1~12GHz
BSX320 型	1~16GHz

位相ノイズ	-90dBc/Hz 以下 (10kHz オフセット) (代表値)
-------	----------------------------------

分周クロック出力	Opt. STR のみ (以下の「クロック・パスの詳細」を参照)
----------	----------------------------------

クロック出力振幅とオフセット

コンフィグレーション	差動出力、ペアのそれぞれは終端、振幅、オフセットに個別に設定可能
------------	----------------------------------

インタフェース	DC カップリング、50 Ω バック・ターミネーション、APC-3.5 コネクタ。75 Ω 校正は選択可能、他のインピーダンスはキーパッド入力。Planar Crown®アダプタの使用で、他のコネクタ・タイプに変更可能
---------	---

プリセット・ロジック・ファミリ	LVPECL、LVDS、CML、ECL、SCFL
-----------------	--------------------------

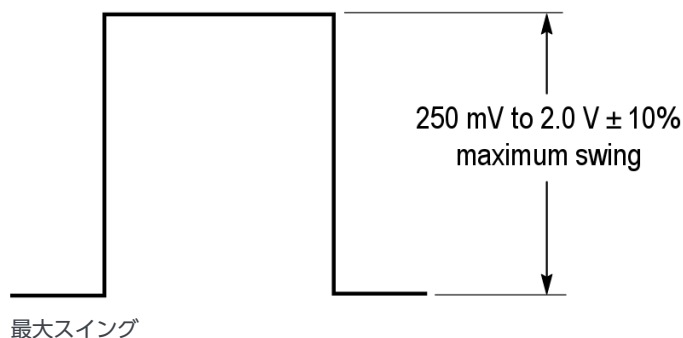
クロック出力振幅とオフセット

終端電圧

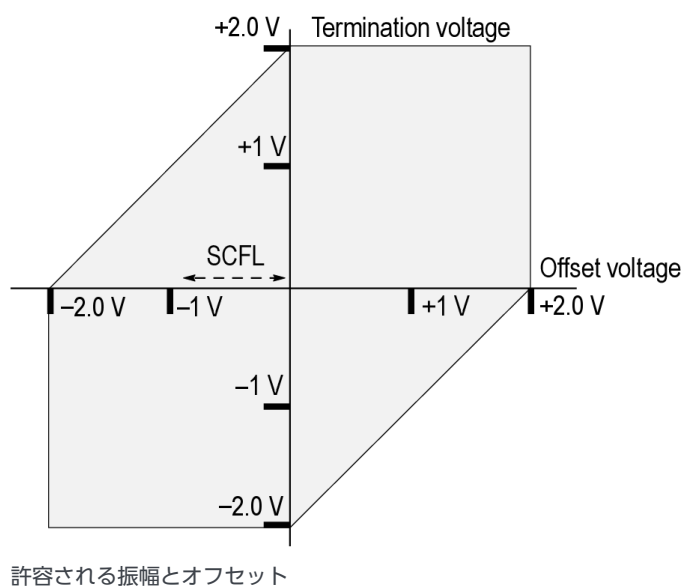
可変：-2~+2V、プリセット：+1.5、+1.3、+1、0、-2V、AC カップリング

許容振幅、終端、オフセット

次の図を参照してください。



許容される振幅スイングは 0.25~2.0V で、次のグラフのグレーの領域内にあること。例えば、SCFL の終端電圧は 0V であり、点線の矢印の範囲（約 0~-0.9V）で動作し、動作範囲内に収まる。



データ／クロック波形の性能

立上り時間

25ps（最大）、23ps（代表値、10~90%）、1V 振幅@8.0Gbps

ジッタ

BSX125 型, BSX240 型

500fs 未満の RMS ランダム・ジッタ（@10.3125Gbps）、代表値

BSX320 型

8ps_{p-p} 以下の TJ（@28.05Gbps）代表値

300fs 以下の RMS ランダム・ジッタ（@28.05Gbps）、代表値

クロック/データ遅延

範囲	1 ビット周期以上のすべてにおいて
最高 1.1GHz	30ns
1.1GHz 以上	3ns
分解能	100fs
自己校正	温度またはビット・レートが変化した場合の測定時は、自己校正が促される。自己校正は 10 秒以内に完了

前面パネルのジェネレータ接続

外部クロック入力

BERTScope のクロックとして外部クロック・ソースが使用可能。ストレス機能を装備した機種は、5,000ppm 以上の SSC を持った外部信号を含んだ入力クロックにストレス信号を付加することが可能

周波数レンジ	
BSX125 型	0.6～12.5GHz
BSX240 型	1～24GHz
BSX320 型	1～32GHz
公称パワー	0dBm
最大入力	2.0V _{p-p} (+ 10dBm)
リターン・ロス	−6dB 以下
インタフェース	50Ω SMA (Fe)、DC カップリング、終端電圧は選択可能

HF ジッタ (Opt. STR のみ)

2 つのジッタ挿入入力のうちの 1 つ。必要に応じて SJ、RJ、BUJ が使用可能。

周波数レンジ	DC～1.0GHz
ジッタ振幅レンジ	最大 0.5UI
入力電圧レンジ	0～2V _{p-p} (+ 10 dBm)、通常動作範囲 6.3V _{p-p} (+ 20dBm)、最大非破壊入力
データ・レート・レンジ	
BSX125 型	1.5～12.5Gbps
BSX240 型	1.5～24Gbps
BSX320 型	1.5～32Gbps
インタフェース	SMA (Fe)、50Ω、DC カップリング (0V)

サブレート・クロック出力

BERTScope の標準機種ではクロックの分周比は 4 です。BERTScope の Opt. STR では追加機能があります。

メイン・クロック出力で利用可能なマルチレート、サブレート分周比 (Opt. STR を使用)

データ・レート (Gbps)	メイン・クロック出力比	サブレート・クロック出力比 ⁷
600~750Mbps	1、2、4、5、6、7、8、9、10、12、14、16、18、20、24、32、36	1、2、4
0.75~3Gbps	1、2、4、5、6、7、8、9、10、12、14、16、18、20、24、30、32、32、35、36、36、40、42、45、48、50、54、56、60、64、70、72、80、81、84、90、98、108、112、126、128、144、162	1、2、4、8
3~6Gbps	1、2、4、5、6、7、8、9、10、12、14、16、18、20、24、30、32、32、35、36、36、40、42、45、48、50、54、56、60、64、70、72、80、81、84、90、98、100、108、112、120、126、128、140、144、160、162、168、180、192、196、216、224、252、256、288、324	1、2、4、8、16、32
6~11.2Gbps	1、2、4、5、6、7、8、9、10、12、14、16、18、20、24、30、32、32、35、36、36、40、42、45、48、50、54、56、60、64、70、72、80、81、84、90、98、108、112、126、128、140、144、144、160、162、162、168、180、192、196、200、216、224、240、252、256、280、288、320、324、360、384、392、432、448、504、512、576、648	1、2、4、8、16、32、64
11.2~12Gbps	2、4、8、10、12、14、16、18、20、24、28、32、36、40、48、60、64、64、70、72、72、80、84、90、96、100、108、112、120、128、140、144、160、162、168、180、196、200、216、224、240、252、256、280、288、320、324、336、360、384、392、432、448、504、512、576、648	2、4、8、16、32、64
12~32Gbps	2、4、8、10、12、14、16、18、20、24、28、32、36、40、48、60、64、64、70、72、72、80、84、90、96、100、108、112、120、128、140、144、160、162、168、180、196、216、224、252、256、280、288、288、320、324、324、336、360、384、392、400、432、448、480、504、512、560、576、640、648、720、768、784、864、896、1008、1024、1152、1296	2、4、8、16、32、64、128

振幅レンジ

0.6V_{p-p}、公称値、0V 付近を中心とする

⁷ サブレート・クロック・コネクタは、11.2Gbps までのフルレート・ストレス・クロック、または 11.2Gbps 以上のハーフレート・ストレス・クロックも出力できます。

サブレート・クロック出力

トランジション時間	500ps 未満
インタフェース	SMA (Fe)、50Ω、DC カップリング (0V)

トリガ出力

外部テスト機器に対してパルス・トリガを供給。2つのモードを持つ。

- 分周クロック・モード：クロック・レートの 1/256 のパルス
- パターン・モード：パターン (PRBS) または固定位置 (RAM パターン) のプログラマブル・ポジションにおけるパルス

ストレス変調機能のある機種の場合

最小パルス幅	128 クロック周期 (モード 1) 512 クロック周期 (モード 2)
トランジション時間	500ps 未満
ジッタ (p-p、データ～トリガ)	10ps 未満 (代表値)
出力レベル	CML、> 300mV _{p-p} 、-250mV 付近を中心とする
インタフェース	50Ω SMA (Fe)

正弦波干渉出力

SINE INTERFERENCE OUT +／－出力により、ミックスド・シグナルの正弦波が提供されるため、均一な干渉信号を生成するために使用できる。2つの内蔵干渉チャンネルが提供されており、前面パネルの 2つの出力で、それぞれの出力を同相または異相のいずれかに選択が可能。BSXCOMB キット (オプション) を使用することで、外部で BSX のデータ出力と結合された信号を、コモン・モード (CM) や差動モード (DM) の干渉に供給できる

周波数レンジ	2MHz～6,000MHz
振幅 ⁸	
SINE INTERFERENCE OUT +	0～2,000mV (チャンネル 1 とチャンネル 2 の振幅の合計)
SINE INTERFERENCE OUT－	0～2,000mV (チャンネル 1 とチャンネル 2 の振幅の合計)
モード選択	
チャンネル 1	同相、異相、シングルエンド (SINE INTERFERENCE OUT +のみ)
チャンネル 2	同相、異相、シングルエンド (SINE INTERFERENCE OUT－のみ)
インタフェース	50Ω 差動、SMA (Fe)、DC カップリング (0V)

8 外部コンバイナ (BSXCOMB 型) を使用するとき、追加される干渉は、全振幅の 5 分の 1 です。

後部パネルのパターン・ジェネレータ接続

パターン開始入力

さまざまな機器からの複数のデータ・ストリーム・パターンを同時に同期させる場合

ロジック・レベル	LVTTL (ロー : < 0.5V、ハイ : > 2.5V)
スレッシュホールド	+ 1.2V (代表値)
最大非破壊入力レンジ	-0.5V ~ + 5.0V
最小パルス幅	128 シリアル・クロック周期
最大繰返しレート	512 シリアル・クロック周期
インタフェース	SMA (Fe)、1k Ω 以上のインピーダンス (0V)

ページ選択 (シーケンサの進行)

外部制御により、パターン・シーケンサのステートを進行させることが可能。立上り／立下りエッジ・トリガは、ソフトウェアにより制御が可能

ロジック・レベル	LVTTL (ロー : < 0.5V、ハイ : > 2.5V)
スレッシュホールド	+ 1.2V (代表値)
最大非破壊入力レンジ	-0.5V ~ + 5.0V
最小パルス幅	1 パターン長
インタフェース	SMA (Fe)、1k Ω 以上のインピーダンス (0V)

低周波ジッタ入力 (Opt. STR のみ)

LF JIT IN 入力を使用することで、外部低周波ジッタ・ソースを使用してストレス・パターン・ジェネレータ出力を変調することが可能。

周波数レンジ	DC ~ 100MHz
ジッタ振幅レンジ	1.1ns まで、他の内蔵低周波変調と組み合わせ可能
入力電圧レンジ	0 ~ 2V _{p-p} (+ 10dBm)、通常動作範囲 6.3V _{p-p} (+ 20dBm)、最大非破壊入力
データ・レート・レンジ	
BSX125 型	最大 12.5Gbps
BSX240 型	最大 24Gbps
BSX320 型	最大 32Gbps
インタフェース	SMA (Fe) 50 Ω 、DC カップリング (0V)

低周波正弦波ジッタ出力 (Opt. STR のみ)

BERTScope の 2 つの位相を同相、逆相に合わせる (LF SIN OUT 出力)

周波数レンジ	GUI により内部 SJ を設定
振幅	2V _{p-p} 、0V 付近を中心とする
インタフェース	50Ω SMA (Fe)、AC カップリング

リファレンス入力

BERTScope を他の機器の外部周波数リファレンスにロック

周波数	クロック・シンセサイザの 10MHz、100MHz、106.25MHz、133.33MHz、156.25MHz、166.67MHz、または 200MHz モード リファレンス・クロック・ 10MHz~200MHz マルチプライヤのモード
振幅	0.325~1.25V _{p-p} (−6~+ 6dBm)
インタフェース	50Ω SMA (Fe)、AC カップリング

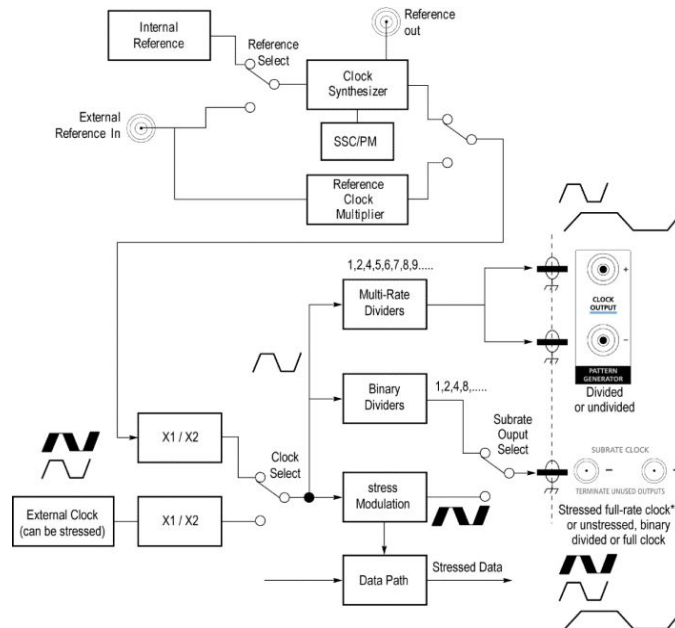
リファレンス出力

他の機器とロックするための周波数リファレンスを提供

コンフィグレーション	差動
周波数	10MHz、100MHz、106.25MHz、133.33MHz、156.25MHz、166.67MHz、または 200MHz
振幅	1V _{p-p} (+ 4dBm) ノーマル、各出力、(2V _{p-p} 差動)
インタフェース	50Ω SMA (Fe)、AC カップリング

パターン・ジェネレータのクロック・パス

BSX シリーズのクロック・パス の詳細



ストレス機能を備えた機種のクロック・パスの機能ブロック図

**機種によっては外部クロックにストレスを加えることが可能。ストレス動作レンジは 1.5～11.2Gbps。外部クロックのデューティ・サイクルは 50%±2%。

BSX シリーズ BERTScope は、ダブル・データ・レート (DDR) アーキテクチャを使用して、11.2Gbps 以上のデータ・レートで動作します。11.2Gbps 以上のデータ・レートで動作するときは、クロック出力は、データ・レートの 1/2 になります。外部クロックは、フルまたはハーフのデータ・レートに設定できます。フルレートを選択した場合、入力周波数が 11.2GHz 以上になるとパターン・ジェネレータは DDR モードで動作します。

この比は、内蔵クロックの場合にのみ適用されます。ハーフレートを選択するか、フルレートを選択してクロック・レートが 11.2GHz 以上の場合、外部クロックは半分のレートで出力されます。

メイン・クロック出力で設定される最小データ・レートは、BSX125 型では 600Mbps、BSX240 型と BSX320 型では 1Gbps です。設定された最小データ・レート以下の分周レートで動作する場合、出力は非校正となります。

リファレンス・クロック・マルチプライヤ

リファレンス・クロック・マルチプライヤ (RCM) は、位相ロック・ループ (PLL) の 1 つであり、後部パネルの REF IN に入力される信号に乗算処理を行うことで、ジェネレータのクロックを生成します。最高の性能を得るために、入力リファレンスには、REF IN の仕様の最大値に近い高速なスルー・レートと振幅を持つ、低ジッタの信号を使用することをお勧めします。

リファレンス・クロック・マルチプライヤ

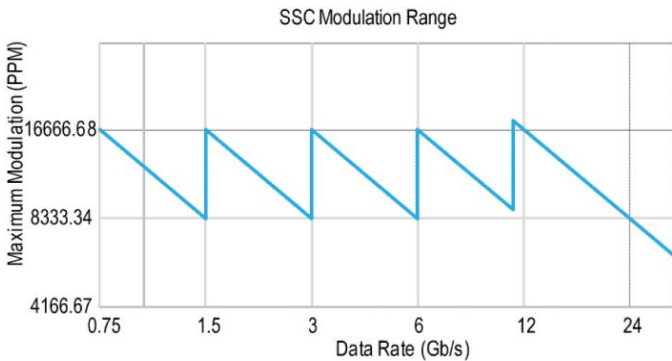
サポートされる規格

次の表は、RCM の公称帯域幅やピーキングなど、サポートされている規格が選択されたときの、それぞれのパラメータの一覧を示しています。

規格	リファレンス・クロック入力 (MHz)	倍率	データ・レート (Gbps)	PLL のループ帯域 (MHz、代表値)	ピーキング (dB、代表値)
PCIe 4	100	160	16	3.5	1.5
PCIe 3	100	80	8	3.5	1.5
PCIe 2	100	50	5	5.5	0.75
PCIe 1	100	25	2.5	5	2
SD UHS-II Gen 2	52~104	30	1.56~3.12	2	1.5
SD UHS-II Gen 2	52~104	60	3.12~6.24	2	1.5
MIPI M-PHY	19.2 ⁹	65/76/130/ 152/260/304	1.248/1.4592/2.496/ 2.9184/4.992/5.8368	2	1.5
	26	48/56/96/ 112/192/224	1.248/1.456/2.496/ 2.912/4.992/5.824	2	1.5
	38.4	32.5/38/65/ 76/130/152	1.248/1.4592/2.496/ 2.9184/4.992/5.8368	2	1.5
	52	24/28/48/ 56/96/112	1.248/1.456/2.496/ 2.912/4.992/5.824	2	1.5
汎用	10~200	任意の整数	1~32 ¹⁰	0.15	1.5

SSC 耐性

リファレンス・クロック・マルチプライヤは、汎用以外の何らかの規格が選択された場合には、REF IN 入力に拡散スペクトラム・クロッキング（SSC）が存在していても耐えられるように設計されています。対応できる SSC は、アップ・スプレッド、センター・スプレッド、アップ・スプレッドです。次の図は、SSC の周波数が 20~40kHz の場合に、通常 RCM が許容できる SSC の最大量を示しています。



9 MIPI M-PHY のリファレンス・クロックが 19.2MHz および 26MHz の場合、REFIN のデューティ・サイクルは 50%になります。

10 表記のデータ・レートは、BSX320 型の仕様です。BSX125 型のレンジは、0.6~12.5Gbps、BSX240 型のレンジは 1~24Gbps です。

ストレス機能

正弦波ジッタ (SJ)

動作ビット・レート	SJ の振幅はビット・レートや変調周波数とは独立している
BSX125 型	1.5Gbps～12.5Gbps
BSX240 型	1.5Gbps～24.0Gbps
BSX320 型	1.5Gbps～32.0Gbps
最小変調周波数	1kHz
最大変調周波数	100MHz
変調周波数分解能	100Hz
最大変調振幅	
1,100ps レンジ	1,100ps (22.4Gbps 未満、SJ 周波数：1MHz 以下) 900ps (22.4Gbps 以下、SJ 周波数：10MHz) 400ps (22.4Gbps 以下、SJ 周波数：40MHz) 100ps (22.4Gbps 以下、SJ 周波数：100MHz)
270ps レンジ ¹¹	270ps (10～28.5Gbps、SJ 周波数：40MHz 以下) 260ps (10～28.5Gbps、SJ 周波数：40MHz 超、80MHz 以下) 250ps (10～28.5Gbps、SJ 周波数：80MHz 超、100MHz 以下)
130ps レンジ	130ps (10～32Gbps、SJ 周波数：100MHz 以下)

有界非相関ジッタ (BUJ)

動作ビット・レート	
BSX125 型	1.5Gbps～12.5Gbps
BSX240 型	1.5Gbps～24.0Gbps
BSX320 型	1.5Gbps～32.0Gbps
最小変調周波数	100MHz
最大変調周波数	2,000MHz
変調周波数分解能	100kHz
最大変調振幅	0.5UI 外部 HF ジッタ、BUJ、HFSJ、および RJ の合計が 0.5UI 未満である必要がある。
変調パターン	PN7

¹¹ 270ps の変調器のレンジは、HFSJ、BUJ、外部 HF ジッタ、または RJ が有効なとき、50ps 低下します。

有界非相関ジッタ (BUJ)

パターン・フィルタ

ビット・レート (Mbps)	フィルタ帯域 (MHz)
100～499	25
500～999	50
1,000～1999	100
2000	200

RJ (ランダム・ジッタ)

動作ビット・レート

BSX125 型	1.5Gbps～12.5Gbps
BSX240 型	1.5Gbps～24.0Gbps
BSX320 型	1.5Gbps～32.0Gbps

最小変調スペクトラム	10MHz (標準モード)
	1.5MHz (PCIe2 モード)

最大変調スペクトラム	1,000MHz (標準モード)
	100MHz (PCIe2 モード)

最大変調振幅	0.5UI
	外部 HF ジッタ、BUJ、および RJ の合計が、0.5UI 未満である必要がある。

波高率	16
-----	----

高周波 SJ (HFSJ)

動作ビット・レート

BSX125 型	1.5Gbps～12.5Gbps
BSX240 型	1.5Gbps～24.0Gbps
BSX320 型	1.5Gbps～32.0Gbps

最小変調周波数	100MHz
---------	--------

最大変調周波数	1,000MHz
---------	----------

最大変調振幅	0.5UI
	外部 HF ジッタ、BUJ、HFSJ、および RJ の合計が 0.5dB 未満である必要がある。

拡散スペクトラム・クロックと位相変調

シンセサイザのクロック出力を変調。変調はメイン／サブレート・クロック出力（サブレート出力選択の状態に関係なく）、データ出力、トリガ出力に影響

モード SSC、位相変調（正弦波）

データ・レート・レンジ BERTScope のすべてのレンジ

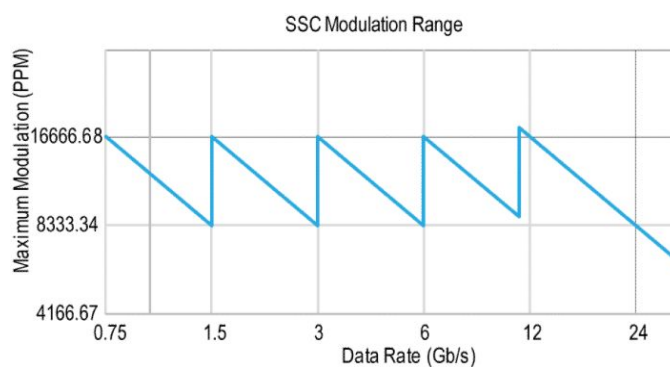
SSC の波形形状 三角波または正弦波

SSC 周波数レンジ 20kHz～40kHz

SSC 変調レンジ 16,666ppm（6Gb/s および 12Gb/s）

12,500ppm（8Gb/s および 16Gb/s）

レンジ対データ・レートについては、"最大 SSC 変調"のグラフを参照



SSC の変調分解能 1ppm

SSC の変調形式 ダウン・スプレッド、センター・スプレッド、アップ・スプレッド

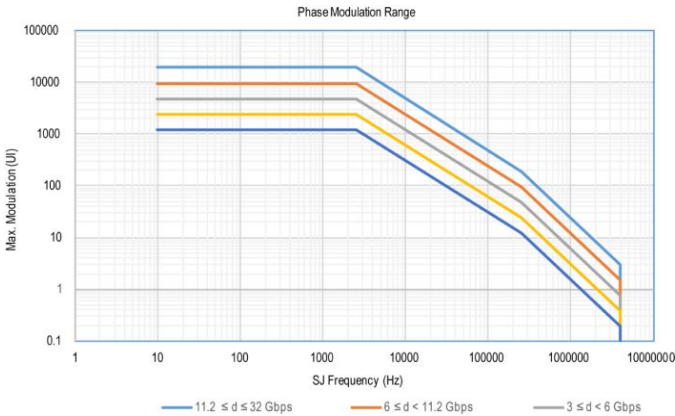
PM 周波数レンジ 10Hz～4MHz

PM 周波数分解能 1Hz

拡散スペクトラム・クロックと位相変調

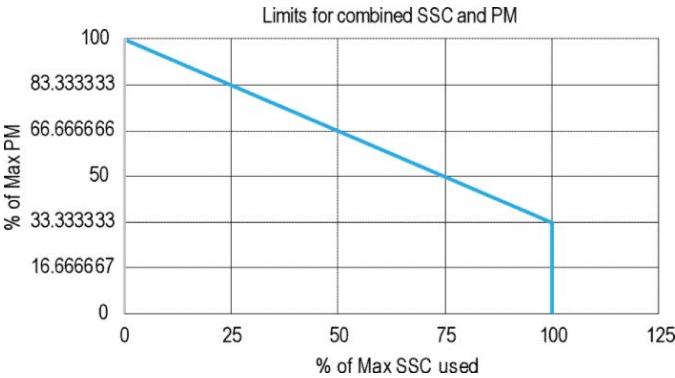
PM 変調レンジ：10Hz～
2.5kHz の変調周波数

データ・レート (d)	最大変調
11.2≤d≤32Gbps	19200UI
6≤d≤11.2Gbps	9600UI
3≤d < 6Gbps	4800UI
1.5≤d < 3Gbps	2400UI
0.75≤d < 1.5Gbps	1200UI
2.5kHz 以上の変調周波数では低減される。	位相変調レンジのグラフを参照。



SSC と PM の組み合わせによる制限

上の表に記載された SSC と PM の最大制限値を参考にしながら、以下のグラフを参照してください。



F/2 ジッタ生成オプション (Opt. F2。Opt. STR も必要)

F/2 またはサブレート・ジッタは、低速なデータ・レート・ストリームが 2 倍以上多重化された高速データ・レート・システムで見られます。多重されたクロックの対称性が損なわれた場合のジッタ結果は、奇数ビットとは異なるすべての偶数ビットのパルス幅の変化となります。従来の DCD とは異なり、F/2 ジッタはビットのロジック・ステートからは独立しています。F/2 ジッタは、802.3ap (10Gb バックプレーン Ethernet) などの規格のコンプライアンス・テストで使用されるストレスの一部です。

サポートするデータ・レート	8.0 および 10.3125Gbps
変調レンジ	0～5.0% UI

拡張ストレス生成

PCIe 2.0 の仕様に規定されるレシーバのコンプライアンス・テストで必要となるストレス・ジェネレータを追加し、BERTScope に装備されます。

クロック周波数レンジ	最大 22.4Gbps
LFRJ の変調レンジ	0~1.1ns ¹²
LFRJ 周波数レンジ	帯域制限：10kHz~1.5MHz、PCIe 2.0 の仕様にロールオフ
rSSC 変調レンジ	0~368ps ¹³ (5Gbps)
rSSC 周波数レンジ	1~35kHz
選択可能な帯域	拡張ストレスは、通常の広帯域の RJ ジェネレータに選択可能な帯域制限も追加します。
RJ 周波数（ノーマル・モード）	帯域制限：10MHz~1GHz
RJ 周波数（PCIE モード）	帯域制限：1.5~100MHz、PCIe 2.0 の仕様にロールオフ

¹² 1,100ps の変調器が選択されると、制限が適用されます。別の変調器が選択された場合は、レンジが低下します。

¹³ 他の低周波変調と組み合わせ可能

エラー・ディテクタの仕様

クロック入力

コンフィグレーション	シングルエンド
------------	---------

周波数レンジ

BSX125 型	0.6～12.5Gbps
BSX240 型	1～24Gbps
BSX320 型	1～32Gbps ¹⁴

データ、クロックのインタフェース

コネクタ	3.5mm
------	-------

インピーダンス	50Ω
---------	-----

スレッシュホールド電圧	−2～+ 3.5V
-------------	-----------

スレッシュホールド・プリセット	LVPECL、LVDS、LVTTTL、CML、ECL、SCFL
-----------------	---------------------------------

終端電圧	可変：−2～+ 3 V
	プリセット：+ 1.5、+ 1.3、+ 1、0、−2V、AC カップリング

最大非破壊入力電圧	−3V _{Peak} 、+ 4V _{Peak} 、どのコネクタにも適用
-----------	---

ディテクタのクロック/データ遅延

範囲	1 ビット周期以上のすべてにおいて
最高 1.1GHz	30ns
1.1GHz 以上	3ns

分解能	100fs
-----	-------

自己校正	サポート対象—温度またはビット・レートが変化した場合の測定時は、自己校正が促される。自己校正は 10 秒以内に完了
------	---

¹⁴ 26～32Gbps では、入力ディテクタは半分のレートで動作（偶数または奇数ビットを使用）

データ入力

データ・レート・レンジ

BSX125 型	0.5～12.5Gbps
BSX240 型	1～24Gbps
BSX320 型	1～32Gbps

コンフィグレーション 差動

フォーマット NRZ

極性 正極性または反転

スレッシュホールド・アライメント 差動クロス・ポイントに自動アライメント可能

感度

シングルエンド	100mV _{p-p} (代表値)
差動	50mV _{p-p} (代表値)
最大スウィング入力信号	2V _{p-p}

固有のトランジション時間 16ps (代表値)、10/90%、シングルエンド (20GHz 以上のディテクタ帯域と等価)。入力で測定、ECL レベル

ハードウェア・パターン 業界標準の疑似ランダム (PRBS) : $2^n - 1$ ($n = 7, 11, 15, 20, 23, 31$)

RAM パターン

ユーザ定義	128 ビット～512Mb、1 ビット・ステップ
ライブラリ	SONET/SDH、k28.5、CJTPAT をベースとした Fibre Channel、 2^n パターン ($n = 3, 4, 5, 6, 7, 9$)、 2^n のマーク密度パターン ($n = 7, 9, 23$) など

RAM パターン取込み 512MB までの入力データを取込み。取込んだデータは編集し、パターン・ジェネレータ、エラー・ディテクタ、または両方に送る

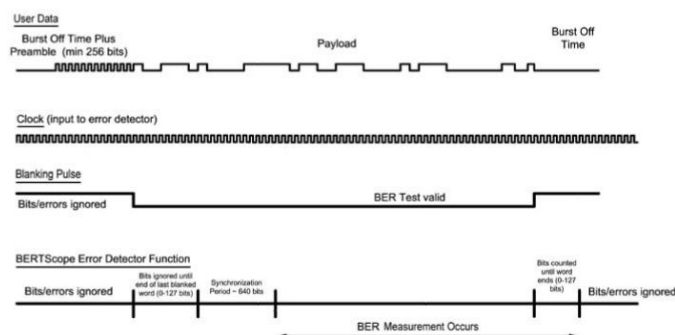
RAM パターン取込モード

ワード長による取込み	取込みワード長が選択されると、ディテクタのパターン・メモリに取込む
トリガによる取込み	後部パネルの Detector Start がハイになると取込み始め、許容最大長または入力がローになるまで取込む
トリガからのワード長で取込	Detector Start 入力の初期化されたワード長で取込み始め、あらかじめ設定したワード長まで取込む

データ入力

ディテクタ・パターン・マッチ	ユーザ定義のディテクタ・パターン・マッチング（オプション）を使用して、ジェネレータのシーケンサ・ステートの進行やイベントベース・トリガの作成が可能。刺激応答のフィードバック（プロトコル・ハンドシェイク）に対して、独自のリンク・ステート・トラバース機能の作成が可能
モード	ビット型シーケンサ・モード – プロトコル処理は適用されない プロトコル・アウェア・モード – サポートされるプロトコルに、プロトコル処理が適用される
ビット・モード	4つの汎用パターン・マッチが利用可能。入力データ・ストリーム中の最大 128 ビット長の任意のパターンを検出（ビット・マスクを使用可能）
プロトコル・アウェア・シーケンサ・モード	ディテクタのプロトコルベースのパターン・マッチにおいて、16 のパターン・マッチ要素を利用可能 PCIe Gen3/4、USB 3.1 SSP：デコードされたブロックのペイロード全体とのマッチングが可能（ビット・マスクを使用可能） 8b/10b：ブロック／シンボル・デコーディング後の 16 パターンの 8 ビット・シンボルとのマッチングが可能（ビット・マスクを使用可能）

同期 – 自動再同期 ワードあたり 1 以上のエラーを含む、128 ビット・ワードまででユーザが設定した数で再同期を開始



BERTScope バースト解析タイミング – BERTScope ワード・サイズは 128 ビット。PRBS ペイロードのタイミング・ダイアグラムの例を示します。128 ビット・ワードの境界がくるまでビット・カウントは開始しません。これは、ブランキング・パルス・トランジション後、同期が開始するまで最大 127 ビットはパスされることを意味しています。PRBS の場合、同期は通常 5 ワード、640 ビットです。同様に、再度ブランキング信号のトランジション後、ビット測定は 127 ビットまで続きます。RAM ベースのパターンは同期に時間がかかります。

マニュアル同期 ユーザにより再同期を開始

パターン・マッチング同期

Grab 'n' go	エラー・ディテクタは指定されたパターン長を取込み、次と比較する（高速な方法ですが、ロジック・エラーを無視する可能性があります）
Shift-to-sync	エラー・ディテクタはリファレンス RAM パターンとともに入力パターンを比較し、マッチするか見る。見つからない場合はパターンを 1 ビットシフトし、再度比較する（遅いが正確な方法）

エラー・ディテクタの基本測定 BER、受信ビット、再同期、クロック周波数でパターン・ジェネレータとエラー・ディテクタで測定

前面パネルのエラー・ディテクタ接続

ブランク入力

ループ・ファイバの再循環またはチャンネル・トレーニング・シーケンスで有効。アクティブになっているとエラー原因を無視できる。ビット・カウント、エラー・カウント、BER はカウントされない。カウントが再度イネーブルになると再同期は起きない。

ロジック・ファミリ	LVTTTL (ロー : < 0.5V、ハイ : > 2.5V)
スレッシュホールド	+ 1.2V
最小パルス幅	128 クロック周期
最大繰返しレート	512 シリアル・クロック周期
インタフェース	SMA (Fe)、1k Ω 以上のインピーダンス (0V)

エラー出力

エラーが検出されるとパルスを出力する。長時間のモニタリング時にアラームによるトリガができる。

最小パルス幅	128 クロック周期
トランジション時間	500ps 未満
出力レベル	1,000mV (公称値、0~1V ロー・ハイ)
インタフェース	SMA (Fe)

トリガ出力

外部テスト機器に対してパルス・トリガを供給。2つのモードを持つ：

クロック・レートの 1/256th のパルス

パターン・モード：パターン (PRBS) または固定位置 (RAM パターン) のプログラマブル・ポジションにおけるパルス。

最小パルス幅	128 クロック周期 (モード 1)
	512 クロック周期 (モード 2)
トランジション時間	500ps 未満
トランジション時間	振幅 : 300mV 以上、オフセット : 650mV
インタフェース	50 Ω SMA (Fe)

後部パネルのエラー・ディテクタ接続

ディテクタ開始入力

エラー・ディテクタのリファレンス・パターン・メモリに入力データ取込みをトリガするために使用する。ハイ・レベルで取込み開始。

振幅	LVTTL (ロー : < 0.5V、ハイ : > 2.5V)
スレッシュホールド	+ 1.2V
最小パルス幅	128 シリアル・クロック周期
最大繰返しレート	512 シリアル・クロック周期
インタフェース	SMA (Fe)、1k Ω 以上のインピーダンス (0V)

エラー・コリレーション・マーカ入力

外部信号により、エラー・データ・セットに時間マーカを付けることができる。

ロジック・ファミリ	LVTTL (ロー : < 0.5V、ハイ : > 2.5V)
スレッシュホールド	+ 1.2V
最小パルス幅	128 クロック周期
最大繰返しレート	512 シリアル・クロック周期
最大頻度	4000 マーカ/秒未満を推奨
インタフェース	SMA (Fe)、1k Ω 以上のインピーダンス (0V)

一般性能

すべての仕様は、特に断りのないかぎり保証値です。すべての仕様は、特に断りのないかぎり、すべての機種に適用されます。

PC 関連

ディスプレイ	TFT タッチ・スクリーン、640×480 VGA
タッチ・センサ	アナログ抵抗膜
CPU	Core2Duo 以上
ハード・ディスク・ドライブ	128GB 以上
DRAM	2GB 以上
オペレーティング・システム (OS)	Microsoft Windows 7 Professional
リモート制御インタフェース	IEEE-488 (GPIB) または TCP/IP
サポート・インタフェース	VGA ディスプレイ USB 2.0 (合計 6 ポート、前面：2、後部：4) 100BASE-T Ethernet LAN IEEE-488 (GPIB) シリアル RS-232

物理特性

高さ	220mm
幅	394mm
奥行	520mm
質量	
機器単体	25kg
梱包時	34.5kg
消費電力	460W
電圧	100～240 VAC (±10%)、50～60Hz

環境条件

ウォームアップ時間	20 分
動作温度範囲	10°C～35°C
動作湿度	35°Cにおいて結露のないこと、15～65%
安全基準	LVD（低電圧指令）

ご注文の際は以下の型名をご使用ください。

BERTScope BSX シリーズ

共通のスタンダード・アクセサリ：ユーザ・マニュアル、電源ケーブル、マウス、低損失ショート・ケーブル（3本）

BSX125	BERTScope BSX シリーズ 12.5Gbps ビット・エラー・レート・アナライザ
BSX240	BERTScope BSX シリーズ 24Gbps ビット・エラー・レート・アナライザ
BSX320	BERTScope BSX シリーズ 32Gbps ビット・エラー・レート・アナライザ

クロック・リカバリ・ユニット

CR125A	12.5Gbps クロック・リカバリ・ユニット
CR175A	17.5Gbps クロック・リカバリ・ユニット
CR286A	28.6Gbps クロック・リカバリ・ユニット

BSX オプション

Opt. FEC	Forward Error Correction（前方向誤り訂正）エミュレーション
Opt. UPM	ユーザ定義ディテクタ・パターン・マッチ
Opt. F2	F/2 ジッタ生成（Opt. STR が必要）
Opt. J-MAP	ジッタ分離ソフトウェアの追加
Opt. LDA	ライブ・データ解析ソフトウェアの追加
Opt. STR	ストレス信号の生成
Opt. SLD	ストレス・ライブ・データ・オプション・ソフトウェアの追加（Opt. STR が必要）
Opt. TXEQ	4 タップ Tx イコライゼーションの追加
Opt. C3	3 年間の校正サービス
Opt. R3	3 年保証
Opt. R3DW	製品保証期間 1 年 + 2 年の延長保証。（製品のご購入日から 3 年間）

推奨アクセサリ

BSXSICOMB	正弦波干渉コンバイナ・キット
BSXPCI3EQ	PCIe Gen3 用アイ・オープナー・キット
BSXPCI4EQ	PCIe Gen4 用アイ・オープナー・キット
CR125ACBL	高性能同遅延ケーブル・セット (SSC 波形測定の BERTScope および CRU に必要)
BSA12500ISI	差動 ISI ボード
PMCABLE1M	精密位相マッチング・ケーブル・ペア、1m
BSARACK	BSA/BSX シリーズ用ラックマウント・キット



当社は SRI Quality System Registrar により ISO 9001 および ISO 14001 に登録されています。



製品は、IEEE 規格 488.1-1987、RS-232-C および当社標準コード&フォーマットに適合しています。

ASEAN/オーストラリア・ニュージーランドと付近の諸島 (65) 6356 3900	オーストラリア 00800 2255 4835*	バルカン諸国、イスラエル、南アフリカ、その他 ISE 諸国 +41 52 675 3777
ベルギー 00800 2255 4835*	ブラジル +55 (11) 3759 7627	カナダ 1 800 833 9200
中央/東ヨーロッパ、バルト海諸国 +41 52 675 3777	中央ヨーロッパ/ギリシャ +41 52 675 3777	デンマーク +45 80 88 1401
フィンランド +41 52 675 3777	フランス 00800 2255 4835*	ドイツ 00800 2255 4835*
香港 400 820 5835	インド 000 800 650 1835	イタリア 00800 2255 4835*
日本 81 (3) 6714 3086	ルクセンブルク +41 52 675 3777	メキシコ、中央/南アメリカ、カリブ海諸国 52 (55) 56 04 50 90
中東、アジア、北アフリカ +41 52 675 3777	オランダ 00800 2255 4835*	ノルウェー 800 16098
中国 400 820 5835	ポーランド +41 52 675 3777	ポルトガル 80 08 12370
韓国 +82-6917-5084, 822-6917-5080	ロシア/CIS +7 (495) 6647564	南アフリカ +41 52 675 3777
スペイン 00800 2255 4835*	スウェーデン 00800 2255 4835*	スイス 00800 2255 4835*
台湾 886 (2) 2656 6688	イギリス/アイルランド 00800 2255 4835*	米国 1 800 833 9200

*ヨーロッパにおけるフリーダイヤルです。ご利用にならない場合はこちらにおかけください：+41 52 675 3777

詳細については、当社ウェブ・サイト (jp.tek.com または www.tek.com) をご参照ください。

Copyright © Tektronix, Inc. All rights reserved. Tektronix 製品は、登録済みおよび出願中の米国その他の国の特許等により保護されています。本書の内容は、既に発行されている他の資料の内容に代わるものです。また、本製品の仕様および価格は、予告なく変更させていただく場合がございますので、予めご了承ください。TEKTRONIX および TEK は登録商標です。他のすべての商品名は、各社の商標または登録商標です。

11 Apr 2019 65Z-61052-9

jp.tek.com



〒108-6106 東京都港区港南2-15-2 品川インターシティ B棟6階
ヨッ良い オシロ
テクトロニクス お客様コールセンター TEL:0120-441-046
電話受付時間 / 9:00~12:00・13:00~18:00 (土・日・祝・弊社休業日を除く)

jp.tektronix.com

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。