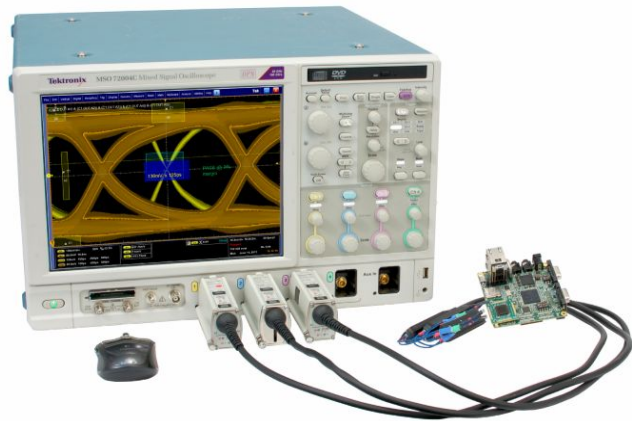


メモリ・インタフェースの電気検証とデバッグ

DDRA、DDR-LP4 データ・シート



DDRA (DDR Analysis) アプリケーションは、当社の高性能デジタル・オシロスコープ (DPO7000C シリーズまたは DPO/MSO70000C/DX/SX シリーズ) で使用できる、規格固有のソリューション・ツールです。DDRA/DDR-LP4 アプリケーションにはコンプライアンス測定が含まれており、生産性、効率、測定の信頼性を大幅に向上します。

主な特長

- テスト範囲：DDRA および DDR-LP4 メモリ検証テスト・ソリューションは、最も包括的な DDR ソリューションであり、DDR4、LPDDR4 など、複数のメモリ規格をサポート。カスタム・データ・レートを設定できるため、カスタム・リミットをプログラミングすることで、JEDEC 仕様外のテスト/検証も可能
- 自動コンフィグレーション・ウィザード：テスト・コンフィグレーションを簡単に設定して、電気検証を実行
- リード/ライト・バーストの自動分離機能：当社独自の拡張イベント・サーチ/マーク (ASM) 機能により、メモリ・リード/ライト・バーストを自動的に分離できる。ASM は、DQ と DQS の位相関係に基づいて、メモリのリードおよびライトを自動的にマークする。この機能により、ユーザは長いレコード長に対しても、JEDEC 測定を実行できる。DDRA では、他にもコマンド信号や、プリアンブル・パターン・マッチング (LPDDR4/4X) としたバースト分離の手法も使用可能
- マルチランクのメモリ・テスト：DDRA/DDR-LP4 に統合されたビジュアル・トリガにより、問題とするイベントのビジュアル・トリガ定義をすばやく設定し、DDRA/DDR-LP4 で実行する測定をゲーティング可能

- ディエンベッド：DDRA/DDR-LP4 から、すばやくディエンベッド・フィルタを選択/適用し、インターポーザとプローブの影響をディエンベッドし、信号を正確に表示可能
- 柔軟なテスト・ソリューション：メモリ規格とスピード・グレードを選択して、目的を絞った解析が可能
- サイクル・タイプの識別：取込んだすべてのリード/ライト・サイクルを移動しながらタイムスタンプを付加
- テスト時間：1 回のアクイジションで、複数のエッジ、複数のリード/ライト・バーストに対して、複数の JEDEC 測定が可能。統計解析も 1 回のアクイジションで実行可能
- 統計解析：DDRA アプリケーションにより、長いレコードの取込み、リード/ライト・バーストの自動識別、レコード長全体に対する複数の測定の実行、および統計解析の実行が可能
- デバッグ：DDRA アプリケーションに内蔵された DPOJET ジッタ/アイ・ダイアグラム解析ツールにより、クリックするだけで、コンプライアンス・テストと DPOJET デバッグ・ツールの切り替えが可能。デバッグ環境では、DDRA と同じセットアップ、波形、測定ライブラリが使用される。ユーザは、さまざまなパラメータとプロットを設定することで、根本原因の解析が可能
- デバッグ・ワードの拡大：DDRA コンプライアンス・ソフトウェアでは、現在のアクイジションでエラーのある波形に容易に移動できる。テストを実行しながら、波形の問題箇所を観察できるため、波形の保存も不要
- レポート機能：パス/フェイル結果を含む包括的なレポートの自動生成 (すべての測定値がカーソルとともに表示されたスクリーン・ショット付き)
- アドレス/コマンド・バスの取込み：MSO5000/MSO70000 シリーズ・ミックスド・シグナル・オシロスコープのデジタル・チャンネルを使用して、各種 DDR バス・サイクルのタイミングを設定可能
- プログラム可能なインタフェース：メモリ・テスト用リモート・クライアントの開発が可能
- シグナル・アクセス：メモリの BGA コンポーネントのプロービングは、設計者にとって最も困難な作業の一つである。テクトロニクスは、さまざまなメモリ規格に対応したインターポーザを提供しており、クラス最高のプローブと組み合わせて使用することで、シグナル・イン

テグリティの高度な要件にも対応できる。当社のソリューション・パートナーである Nexus Technology 社により、エッジ・インターポーザ (Nexus 社特許技術)、ソケット・インターポーザ (Nexus 社特許技術)、直接接続用インターポーザ、さらにライザ付きインターポーザなどが提供されており、メモリ検証におけるプロービングの要件にも対応可能

アプリケーション

テクトロニクスは、サーバ、コンピュータ、グラフィック・システムや、モバイル、組み込みシステム用の DDR シリコンの設計や、DDR メモリ・コンプライアンス・テスト仕様に対する物理レイヤの適合性の検証に携わるエンジニアのための、総合的なソリューションを提供しています。

テクトロニクスの Opt. DDRA (DDR1/2/3/4、GDDR3/5、および LPDDR2/3) と LP4 (LPDDR4) には、以下のコンプライアンス/デバッグ・ソリューションが含まれます。

- DRAM コンポーネント
- データ・バッファ/RCD コンポーネント
- システム基板
- 組み込みシステム
- 車載用メモリの検証
- グラフィック・カード用メモリの検証

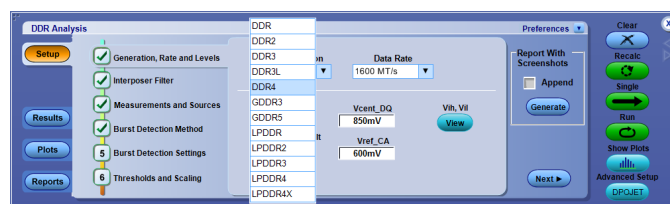
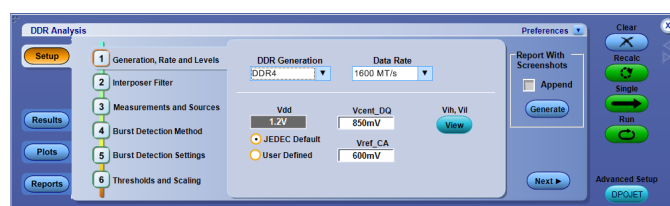
当社の Opt. DDRA および LP4 アプリケーションには、DDR コンプライアンス・アプリケーションや DDR コンプライアンス・テスト自動化ソリューションのほか、当社の DPOJET ベースの DDR ジッタ/アイ・ダイアグラム解析ツールも含まれており、1つのソフトウェア・パッケージでさまざまなデバッグに対応できます。

当社の Opt. DDRA および LP4 アプリケーションは、次世代のメモリ規格に対応するよう設計された当社 DPO/MSO70000 シリーズ・オシロスコープと互換性があります。これらのオシロスコープは、業界トップクラスの垂直軸ノイズ性能と高い有効ビット数 (ENOB)、クラス最高のフラットな周波数応答を備えています。

DDRA コンプライアンス・テスト

DDR トランスミッタ・コンプライアンス・テストに最適な Opt. DDRA と、LP4 自動化ソフトウェア・オプションにより、テストの複雑さが軽減されます。独自の最新機能を備えており、DDR システム/デバイスのコンプライアンス・テストの時間を大幅に短縮できます。

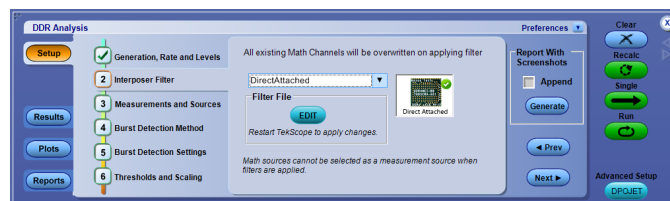
DDRA コンフィギュレーション・ウィザードは、逐次ステップ型の使いやすいユーザ・インタフェースにより、テスト・プロセスをスピードアップさせます。目的のメモリ・テクノロジー、スピード・グレード、測定グループ (リード、ライト、クロック、アドレス/コマンド信号) を選択できるだけでなく、グループ内の測定項目も個別に選択できるため、さまざまな手法でバースト検出が行えます。



コンフィギュレーション・ウィザード

ディエンベッド・フィルタ

DDRA/DDR-LP4 規格に対応した適切なディエンベッド・フィルタを適用し、インターポーザとプローブの影響をディエンベッドします。DDRA/DDR-LP4 には、カスタム・フィルタを適用するオプションもあります。



ディエンベッド・フィルタ

包括的な測定項目

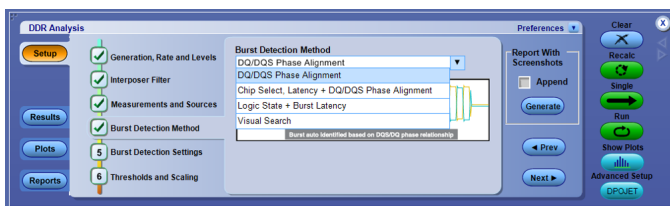
DPOJET の汎用ジッタ／タイミング、および信号品質測定
の豊富なツール・セットに加え、Opt. DDRA を使用すると、
各種メモリ規格用の JEDEC 固有の数多くの測定項目を追加
することができます。DDRA アプリケーションでは、電気測定、
タイミング・測定、アイ・ダイアグラム測定など、JEDEC 規格
に準拠したさまざまな測定が行えます。

メモリ・タイプ	JEDEC 規格
DDR	JESD79E
DDR2	JESD79-2F
DDR3	JESD79-3F
DDR3L	JESD79-3-1
DDR4	JESD79-4A
LPDDR	JESD209B
LPDDR2	JESD209-2E
LPDDR3	JESD209-3B
LPDDR4/LPDDR4X	JESD209-4
GDDR5	JESD212

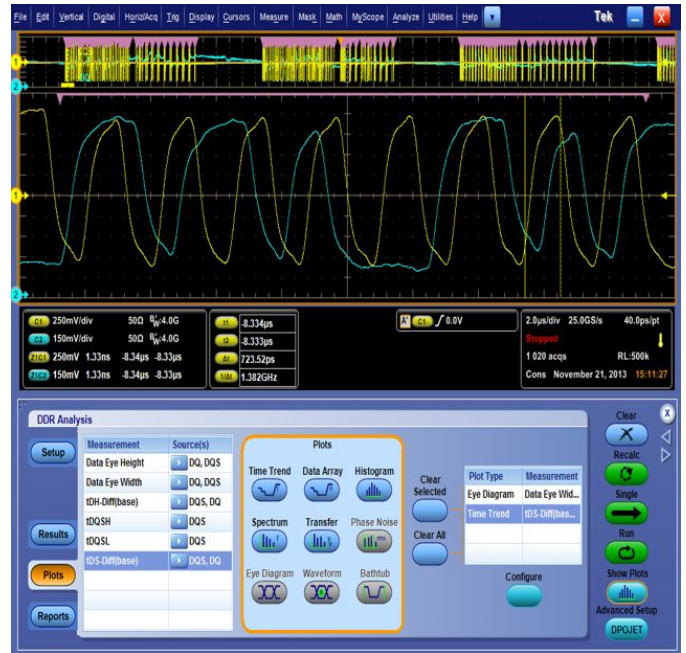
リード／ライト・バーストの自動検出

DDRA/DDR-LP4 では、測定に使用するバースト・サイクルの
検出にいくつかの方法があります。

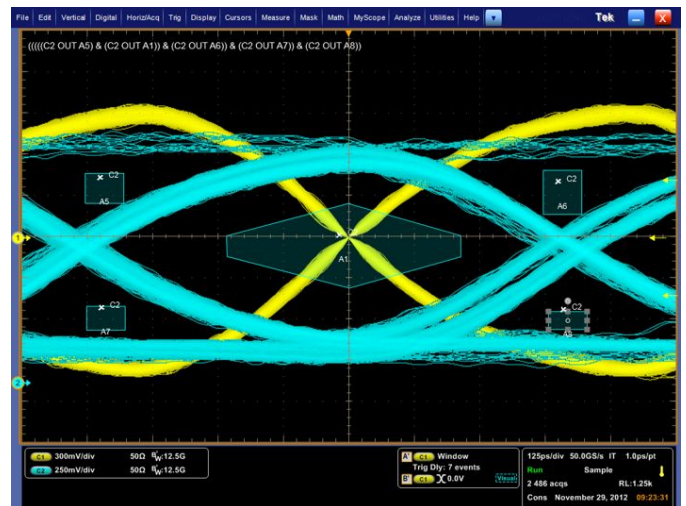
- データとストロブの位相差に基づきリード／ライト・
サイクルを識別する内蔵アルゴリズム。特定のランクに
絞るためのチップ・セレクトを追加
- MSO のデジタル・チャンネル・ベースのコマンド識別
によるリード／ライトの検出
- 画面上の測定領域を指定し、ゲーティングするためのビ
ジュアル・トリガ・エリアの定義



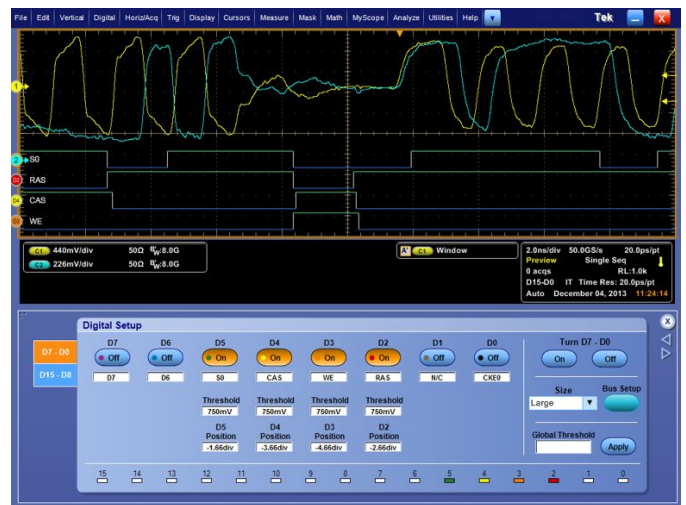
バースト検出



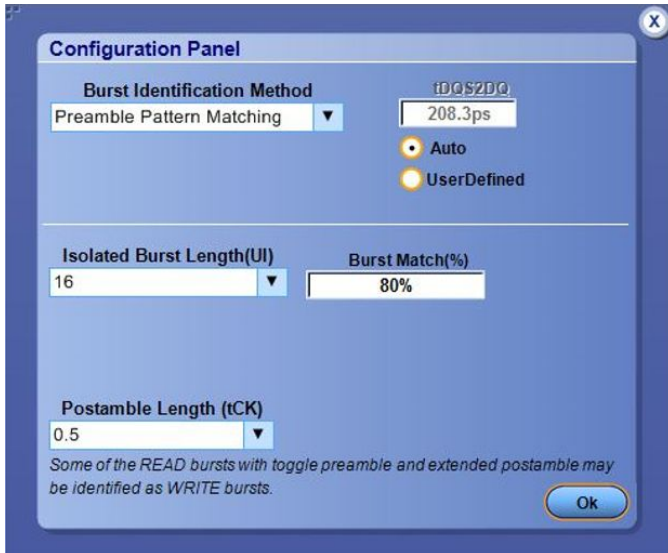
長いレコードを対象としたリード／ライト・バーストの自動検出



ビジュアル・トリガ



MSO チャンネルを使用したリード／ライト・バーストの検出

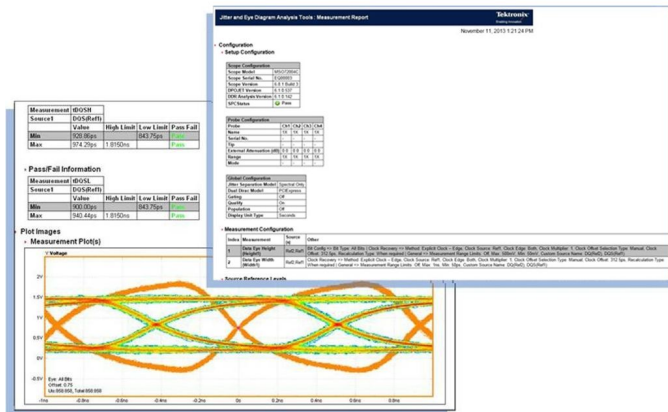


プリアンプルのマッチングを使用したリード/ライト・バーストの検出

結果と波形付きのレポート

選択されたメモリの仕様とスピード・グレードに基づいて、測定の構成と JEDEC のパス/フェイル・リミット値が自動的に設定されます。結果レポートには、DDR 測定の統計データ、測定プロット、波形のスクリーン・ショット（カーソル付き）などが記録されます。

レポート内のハイパーリンクにより、各セクションを移動できます。

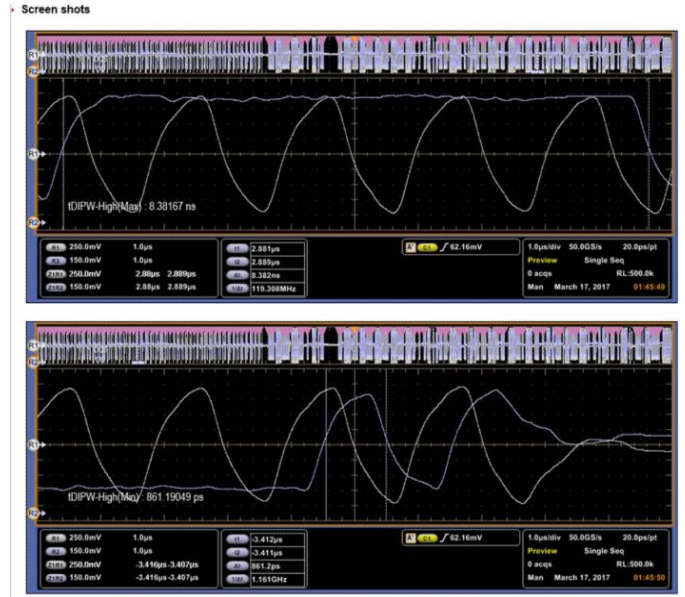


DDRA/DDR-LP4 のレポート

Measurement Results

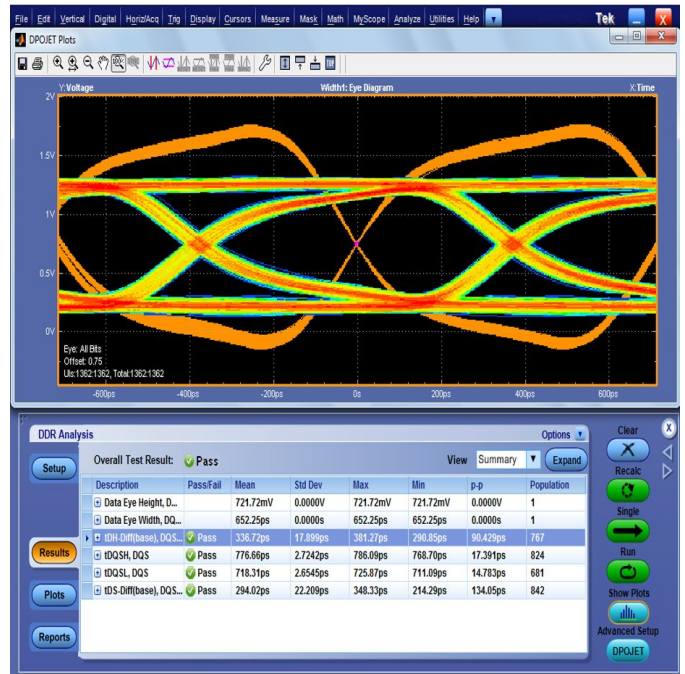
Hide Current Equations	Summary View																																																																																																																
<table border="1"> <thead> <tr> <th>Description</th> <th>Mean</th> <th>Std Dev</th> <th>Max</th> <th>Min</th> <th>High Limit</th> <th>Low Limit</th> <th>High Margin</th> <th>Low Margin</th> <th>p-p</th> <th>Population</th> <th>Max cc</th> <th>Min cc</th> <th>Pass/Fail</th> </tr> </thead> <tbody> <tr> <td>Signal Rise, t_{DR}</td> <td>1.735fs</td> <td>1.539fs</td> <td>4.3217fs</td> <td>1.617fs</td> <td>1.617fs</td> <td>1.617fs</td> <td>0.0000fs</td> <td>0.0000fs</td> <td>2.7046fs</td> <td>1140</td> <td>1.617fs</td> <td>1.617fs</td> <td>Pass</td> </tr> <tr> <td>Current Acquisition</td> <td>1.735fs</td> <td>1.539fs</td> <td>4.3217fs</td> <td>1.617fs</td> <td>1.617fs</td> <td>1.617fs</td> <td>0.0000fs</td> <td>0.0000fs</td> <td>2.7046fs</td> <td>1140</td> <td>1.617fs</td> <td>1.617fs</td> <td>Pass</td> </tr> <tr> <td>Signal Rise, t_{DR}</td> <td>1.735fs</td> <td>1.539fs</td> <td>4.3217fs</td> <td>1.617fs</td> <td>1.617fs</td> <td>1.617fs</td> <td>0.0000fs</td> <td>0.0000fs</td> <td>2.7046fs</td> <td>1140</td> <td>1.617fs</td> <td>1.617fs</td> <td>Pass</td> </tr> </tbody> </table>	Description	Mean	Std Dev	Max	Min	High Limit	Low Limit	High Margin	Low Margin	p-p	Population	Max cc	Min cc	Pass/Fail	Signal Rise, t _{DR}	1.735fs	1.539fs	4.3217fs	1.617fs	1.617fs	1.617fs	0.0000fs	0.0000fs	2.7046fs	1140	1.617fs	1.617fs	Pass	Current Acquisition	1.735fs	1.539fs	4.3217fs	1.617fs	1.617fs	1.617fs	0.0000fs	0.0000fs	2.7046fs	1140	1.617fs	1.617fs	Pass	Signal Rise, t _{DR}	1.735fs	1.539fs	4.3217fs	1.617fs	1.617fs	1.617fs	0.0000fs	0.0000fs	2.7046fs	1140	1.617fs	1.617fs	Pass	<table border="1"> <thead> <tr> <th>Description</th> <th>Pass/Fail</th> <th>Mean</th> <th>Std Dev</th> <th>Max</th> <th>Min</th> <th>p-p</th> <th>Population</th> </tr> </thead> <tbody> <tr> <td>Data Eye Height, D...</td> <td>Pass</td> <td>721.72mV</td> <td>0.0000V</td> <td>721.72mV</td> <td>721.72mV</td> <td>0.0000V</td> <td>1</td> </tr> <tr> <td>Data Eye Width, DQ...</td> <td>Pass</td> <td>652.25ps</td> <td>0.0000ps</td> <td>652.25ps</td> <td>652.25ps</td> <td>0.0000ps</td> <td>1</td> </tr> <tr> <td>IDQI-Diff(base), DQS...</td> <td>Pass</td> <td>336.72ps</td> <td>17.899ps</td> <td>381.27ps</td> <td>290.85ps</td> <td>90.42ps</td> <td>767</td> </tr> <tr> <td>IDQSL, DQS</td> <td>Pass</td> <td>776.66ps</td> <td>2.7242ps</td> <td>786.09ps</td> <td>768.70ps</td> <td>17.391ps</td> <td>824</td> </tr> <tr> <td>IDQSL, DQS</td> <td>Pass</td> <td>718.31ps</td> <td>2.6545ps</td> <td>725.87ps</td> <td>711.09ps</td> <td>14.783ps</td> <td>681</td> </tr> <tr> <td>IDQI-Diff(base), DQS...</td> <td>Pass</td> <td>294.02ps</td> <td>22.209ps</td> <td>348.33ps</td> <td>214.29ps</td> <td>134.05ps</td> <td>842</td> </tr> </tbody> </table>	Description	Pass/Fail	Mean	Std Dev	Max	Min	p-p	Population	Data Eye Height, D...	Pass	721.72mV	0.0000V	721.72mV	721.72mV	0.0000V	1	Data Eye Width, DQ...	Pass	652.25ps	0.0000ps	652.25ps	652.25ps	0.0000ps	1	IDQI-Diff(base), DQS...	Pass	336.72ps	17.899ps	381.27ps	290.85ps	90.42ps	767	IDQSL, DQS	Pass	776.66ps	2.7242ps	786.09ps	768.70ps	17.391ps	824	IDQSL, DQS	Pass	718.31ps	2.6545ps	725.87ps	711.09ps	14.783ps	681	IDQI-Diff(base), DQS...	Pass	294.02ps	22.209ps	348.33ps	214.29ps	134.05ps	842
Description	Mean	Std Dev	Max	Min	High Limit	Low Limit	High Margin	Low Margin	p-p	Population	Max cc	Min cc	Pass/Fail																																																																																																				
Signal Rise, t _{DR}	1.735fs	1.539fs	4.3217fs	1.617fs	1.617fs	1.617fs	0.0000fs	0.0000fs	2.7046fs	1140	1.617fs	1.617fs	Pass																																																																																																				
Current Acquisition	1.735fs	1.539fs	4.3217fs	1.617fs	1.617fs	1.617fs	0.0000fs	0.0000fs	2.7046fs	1140	1.617fs	1.617fs	Pass																																																																																																				
Signal Rise, t _{DR}	1.735fs	1.539fs	4.3217fs	1.617fs	1.617fs	1.617fs	0.0000fs	0.0000fs	2.7046fs	1140	1.617fs	1.617fs	Pass																																																																																																				
Description	Pass/Fail	Mean	Std Dev	Max	Min	p-p	Population																																																																																																										
Data Eye Height, D...	Pass	721.72mV	0.0000V	721.72mV	721.72mV	0.0000V	1																																																																																																										
Data Eye Width, DQ...	Pass	652.25ps	0.0000ps	652.25ps	652.25ps	0.0000ps	1																																																																																																										
IDQI-Diff(base), DQS...	Pass	336.72ps	17.899ps	381.27ps	290.85ps	90.42ps	767																																																																																																										
IDQSL, DQS	Pass	776.66ps	2.7242ps	786.09ps	768.70ps	17.391ps	824																																																																																																										
IDQSL, DQS	Pass	718.31ps	2.6545ps	725.87ps	711.09ps	14.783ps	681																																																																																																										
IDQI-Diff(base), DQS...	Pass	294.02ps	22.209ps	348.33ps	214.29ps	134.05ps	842																																																																																																										

測定結果



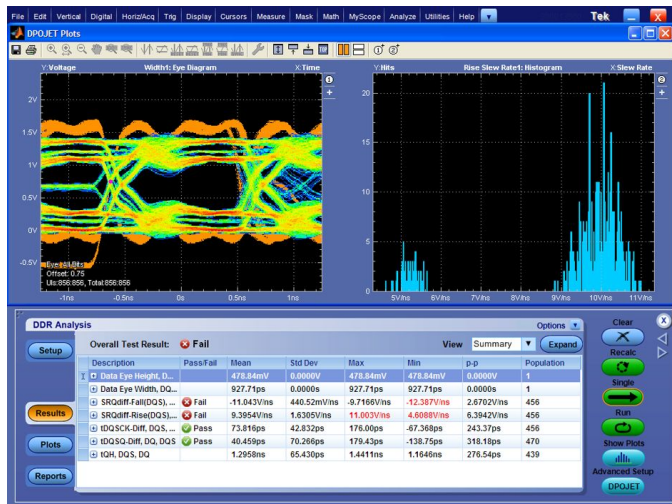
統計解析

当社の DDRA ソリューションは、長い記録を取り込み、選択した測定に基づいて、リード・バーストとライト・バーストを自動的に分離し、複数のリードまたはライト・バーストに対して測定を実行できます。母集団の数をプログラミングして、Run を複数回実行するか、または連続実行をおこなうことで、統計解析を実行できます。リミット・エラーで停止させれば、デバッグも行えます。



検証とデバッグ

DDRA/DDR-LP4 により、各種メモリ規格用の包括的な JEDEC の測定セットが得られます。さらに、既存の測定を再構成したり、新たなユーザ指定のテスト・リミットを使用して JEDEC 規格に定義されていない新規測定を行える DPOJET 拡張ジッタ/タイミング解析エンジンを使用することもできます。また、DPOJET ではロギング、フィルタ、ヒストグラム、タイム・トレンドといった機能も使用できます。さらに、デバッグ・モードとコンプライアンス・モードの切り替えも行えます。



DPOJET のメモリ・インタフェース解析

DDRA アプリケーションでは、最小値が測定された箇所の波形にすばやく移動できるため、最小値のデバッグも簡単に行えます。

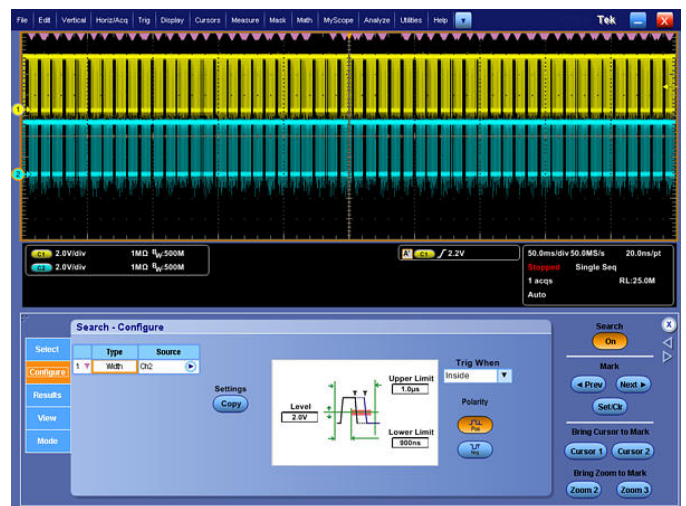


オシロスコープのトリガと波形の識別

テクトロニクス社の Pinpoint®トリガは、業界トップクラスの包括的な高性能トリガ・システムです。Pinpoint トリガ・システムには、スレッシュホールド、タイミング関連のトリガ、A および B デュアル・イベント・トリガ、ステート、ウィンドウ・トリガ、およびリセット・トリガが含まれます。

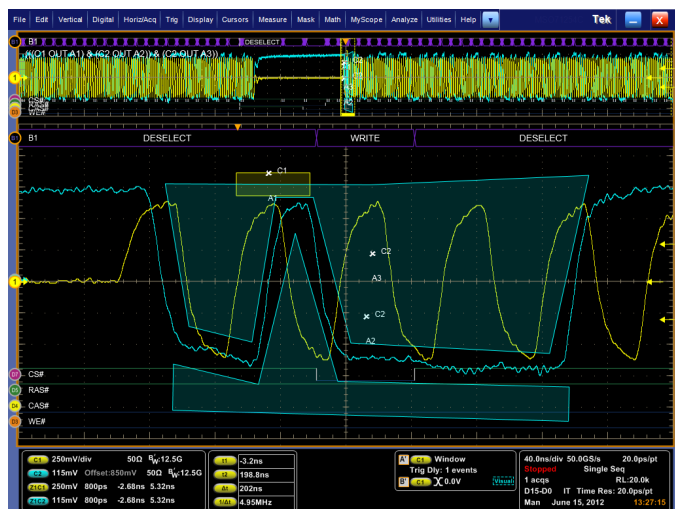
MSO/DPO5000 シリーズ、DPO7000 シリーズ、および MSO/DPO70000 シリーズ・オシロスコープの拡張イベント・サーチ/マーク機能は、波形からユニークなイベントを検出します。取込んだ波形データから特定のイベントを検出し、それぞれにマークを付けます。

サーチ/マーク機能と Pinpoint トリガ・システムは、両方も信号の識別に使用できる点で相互に関連しています。サーチ/マーク機能には、Pinpoint トリガ・システムの信号波形判別機能が含まれており、さらにライブ・チャンネル、保存データ、そして演算波形にも使用できます。



Pinpoint トリガ

ビジュアル・トリガでは、取込んだ全アナログ波形をスキャンし、それらをディスプレイ上で波形の形状と比較して、目的の波形イベントをすばやく簡単に識別できます。グラフィカルな定義と一致しない取込み波形を破棄することにより、ビジュアル・トリガは従来のハードウェアのトリガ・システムでは得られない、優れたトリガ機能をもたらします。



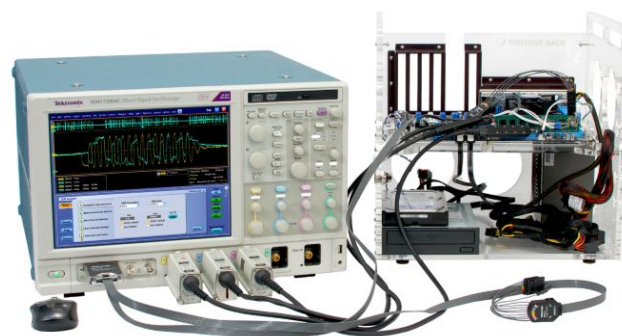
ビジュアル・トリガによるグラフィカルなトリガ

オシロスコプのこれらの機能はデバッグ中に大いに役立ちますが、DDRA/DDR-LP4でも解析で活用されています。

高性能 MSO（ミックスド・シグナル・オシロスコプ）の使用による追加機能

ミックスド・シグナル・オシロスコプを使用すると、DDRバスの数多くの信号にプロービングでき、特定のバス・イベントにトリガして観測できます。当社のMSO5000シリーズやMSO70000シリーズを使用して、RAS、CAS、WE、CE、CSなどのコマンドやアドレス信号のロジック・ステートを、最大16のデジタル・チャンネルで観測できます。

MSO70000シリーズでは、iCapture®マルチプレクス機能により、任意のデジタル入力信号を、オシロスコプの4つのアナログ・チャンネルの任意のチャンネルに内部で割り当てることができ、これらの16チャンネル入力のシグナル・インテグリティも解析できます。また、MSOシリーズとDDRA/DDR-LP4ソフトウェアのバス・デコード機能を使用して、コマンド・バス・サイクルに関わる測定タイミングを解析することもできます。



MSO70000シリーズ・オシロスコプのプロービング・コマンド信号

プローブ

メモリ・バスの解析を行うには、信号への接続が非常に重要になります。JEDEC規格では、メモリ・デバイスのBGAボールにおいて、信号をプロービングする必要があります。

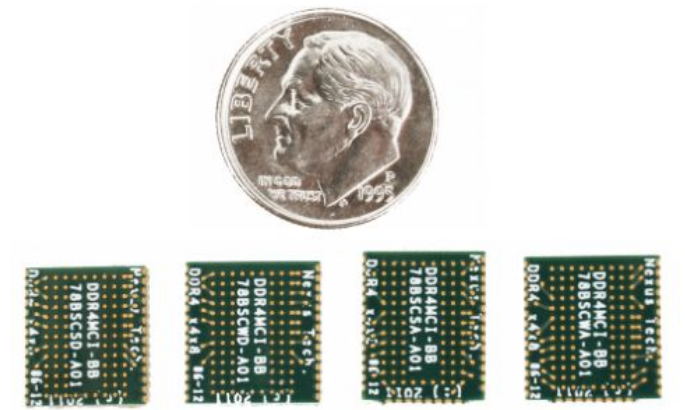
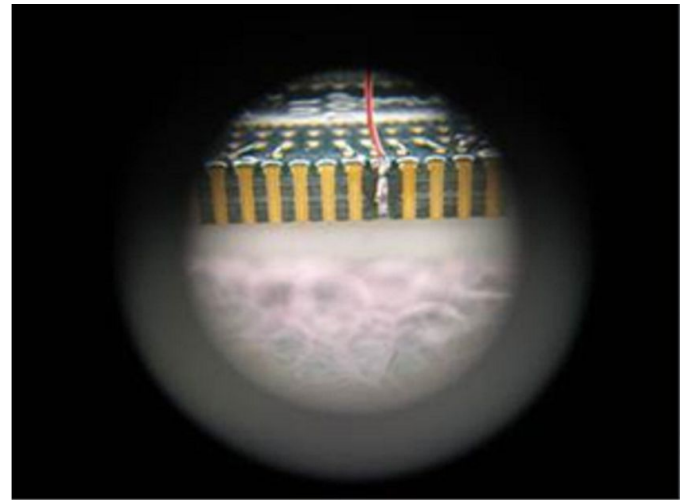
テクトロニクスでは、Nexus Technology社と協同し、さまざまなサイズのメモリ・デバイスに対応するBGAインターポーザなどのプロービング・オプションを用意しています。インターポーザには、BGAパッドのすぐ近くにチップ抵抗が内蔵されています。

インターポーザとオシロスコープ・プローブの使用により、信号特性が変化する可能性があります。ディエンベッド・フィルタを適用すると、信号パス内のインターポーザとプローブの影響を取り除いて、プローブ・ポイントにおける正確な信号表示を得ることができます。

テクノロジー	パッケージ/フォーム・ファクタ
DDR5	対応予定 ¹
DDR4	エッジ・プローブ - 78 ボール / 96 ボール / 144 ボール ソケット - 78 ボール / 96 ボール MSO 用 DIMM/SODIMM インタポーザ
DDR3	ソケット - 78 ボール / 96 ボール エッジ・プローブ - 78 ボール / 96 ボール ソルダ・ダウン - 78 ボール / 96 ボール MSO 用 DIMM/SODIMM インタポーザ
DDR2	ソケット - 60 ボール / 84 ボール ソルダ・ダウン - 60 ボール / 84 ボール
LPDDR4 / LPDDR4X	ソケット - 200 ボール / 272 ボール エッジ・プローブ - 272 ボール / 366 ボール
LPDDR3	ソケット - 216 ボール / 211 ボール ソルダ・ダウン - 178 ボール / 211 ボール
LPDDR2	ソケット - 136 ボール / 168 ボール / 216 ボール / 240 ボール
LPDDR	ソケット - 60 ボール
GDDR5	ソケット - 170 ボール ソルダ・ダウン - 170 ボール

エッジ・プローブ

DDR3、DDR4、LPDDR2、LPDDR3、LPDDR4、Flash および NAND 製品では、Nexus Technology の特許技術である、EdgeProbe™を使用できます。この技術により、コマンド/アドレス/リード/ライト・データのアナログ波形を取り込みます。Nexus Technology の特許申請中の EdgeProbe 技術では、メモリ・コンポーネントのサイズに合わせて、インターポーザが設計されているため、メカニカル・クリアランスの問題が解消されます。インターポーザ内部に抵抗が組み込まれており、オシロスコープのプローブ・チップ抵抗と BGA パッドの導電距離が短いため、オシロスコープのプローブであらゆる部分の信号を測定できます。

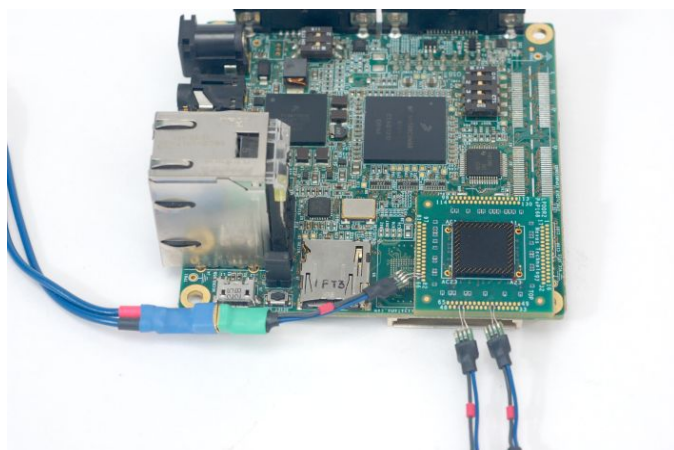


DDR4 エッジ・プローブ・コンポーネント・インタポーザ (米国硬貨との寸法比較)



P7500 シリーズ Trimode™プローブ・システムとアクセサリ

¹ 詳細については、お問い合わせください。



パッケージ・インターポーザ上の LPDDR2 コンポーネント・パッケージ

ロジックのデバッグとプロトコル解析

完全なプロトコル解析、またはメモリ・バス全体のプロービングが必要な場合には、ロジック・アナライザが使用できます。当社のオシロスコープと TLA7000 シリーズ・ロジック・アナライザをリンクし、iCapture ツールを使用して、統合テスト・セットアップを構成することもできます。

これによりダブル・プロービングをせずに、ロジック・アナライザでプローブした任意の信号をアナログ信号として取込むことができます。さらに、iView®ディスプレイにより、オシロスコープのデータをロジック・アナライザに送ることができるため、オシロスコープとロジック・アナライザのデータを1つの画面上で表示でき、時間相関をとりながら解析することができます。各種プロービング・ソリューションが用意されており、種々のフォーム・ファクタに対応することができます。



TLA シリーズ・ロジック・アナライザと多チャンネル信号取込み用のプローブ

メモリ解析のためのオシロスコープの推奨周波数帯域

(カテゴリ) 仕様

メモリ・テクノロジ	DDR2	DDR2	DDR3	DDR3	DDR3L	LPDDR3	LPDDR4	LPDDR4X	DDR4	DDR5
速度	~400MT/s	~800MT/s	~1600MT/s	~2400MT/s	~1600MT/s	~1600MT/s	~4266MT/s	~4266MT/s	~3200MT/s	対応予定 ²
最大スルー・レート	5	5	10	12	12	8	18	18	18	
電圧スイング (代表値)	1.25	1.25	1	1	0.9	0.6	0.3	0.25	0.8	
20~80%立上り時間 (ps)	150	150	60	50	45	45	27	27	27	
等価エッジ帯域	2.7	2.7	6.7	8.0	8.9	8.9	15.0	15.0	15.0	

² 詳細については、お問い合わせください。

(カテゴリ) 仕様

メモリ・テクノロジー	DDR2	DDR2	DDR3	DDR3	DDR3L	LPDDR3	LPDDR4	LPDDR4X	DDR4	DDR5
推奨オシロスコープ帯域 (最高性能) ³	3.5	4.0	12.5	12.5	12.5	12.5	16	16	16	
推奨オシロスコープ帯域 (代表的性能) ⁴	2.5	3.5	8.0	12.5	12.5	12.5	12.5	12.5	12.5	

ご注文の際は以下の型名をご使用ください。**型名**

DDRA	DDR メモリ・バスの電気検証／解析用オシロスコープ・ソフトウェア
DDR-LP4 ⁵	LPDDR4 (メモリ・バスの電気検証／解析用オシロスコープ・ソフトウェア)

DPO/MSO5000、DPO7000、DPO/MSO70000 シリーズ・オシロスコープを新規にご発注の場合

Opt. DDRA	DPO5000 ⁶ 、MSO5000 ⁶ 、DPO7000 ⁶ 、DPO70000 ⁶ 、MSO70000 ⁶ シリーズ・オシロスコープにプリインストール
DPOFL-DDRA	DDR メモリ・バスの電気検証／解析用オシロスコープ・ソフトウェア - フローティング・ライセンス
Opt. DDR-LP4 ⁵	DPO70000 ⁶ または MSO70000 ⁶ シリーズ・オシロスコープにプリインストール
DPOFL-DDR-LP4 ⁵	LPDDR4 ⁶ メモリ・バスの電気検証／解析用オシロスコープ・ソフトウェア - フローティング・ライセンス

3 最大スルー・レートでの高確度

4 スルー・レートは最大仕様の約 80%。DDR3L、DDR4、LPDDR3 は、MSO/DPO70000C/DX/SX シリーズのみでサポート

5 DDR-LP4 は、LPDDR4/4X を使用する、DPO/MSO5000 シリーズおよび 7000 シリーズではご利用になれません。

6 DDR3L、DDR4、LPDDR3、および LPDDR4/LPDDR4X は、MSO/DPO70000C/DX/SX シリーズのみでサポート

ご使用中の DPO/MSO5000、DPO7000、DPO/MSO70000 シリーズのアップグレード

DPO-UP DDRA	Opt. DDRA へのアップグレード ⁶ (Opt. ASM および Opt. DJA が必要)
DPO-UP DDR-LP4 ⁵	Opt. DDR-LP4 へのアップグレード ⁶ (Opt. ASM、DJA、DDRA が必要)
DPO-UP DJAE	MSO/DPO5000 シリーズで DPOJET ジッタ/アイ・ダイアグラム解析 (Opt. DJA) にアップグレード
DPO-UP DJAM	DPO7000 シリーズで DPOJET ジッタ/アイ・ダイアグラム解析 (Opt. DJA) にアップグレード
DPO-UP DJAH	DPO70404 型~DPO70804 型または MSO70404 型~MSO70804 型で DPOJET ジッタ/アイ・ダイアグラム解析 (Opt. DJA) にアップグレード
DPO-UP DJAU	DPO71254 型~DPO73304 型または MSO71254 型~MSO72004 型で DPOJET ジッタ/アイ・ダイアグラム解析 (Opt. DJA) にアップグレード
DPO-UP DJUP	DJA DPOJET ソフトウェアと、TDSJIT3 と TDSRTE のライセンス

ご使用中の DPO/MSO5000、DPO7000、DPO/MSO70000 シリーズのフローティング・ライセンス

DPOFL-DDRA	DDRA ⁶ パッケージ - フローティング・ライセンス
DPOFL-DDR-LP4 ⁵	LPDDR4 ⁶ メモリ・バスの電気検証/解析用オシロスコープ・ソフトウェア - フローティング・ライセンス
DPOFL-DJA	DPOJET ジッタ/アイ・ダイアグラム解析 - フローティング・ライセンス

推奨アクセサリ

P7500 シリーズ	TriMode™ 差動プローブ
020-2955-xx	P7500 シリーズ・プローブ用マイクロ同軸チップ (TriMode)
020-3022-xx	P7500 シリーズ・プローブ用マイクロ同軸チップ (TriMode) ⁷
020-2954-xx	P7500 シリーズ・プローブ用ソケット・ケーブル
020-3131-xx	P7500 シリーズ・プローブ用ロング・リーチ・ソルダ・チップ (チップ抵抗 75Ω)
020-3135-xx	P7500 シリーズ・プローブ用ロング・リーチ・ソルダ・チップ (チップ抵抗 0Ω)
P7300 シリーズ	Z-Active™ 差動プローブ (P7313 型、P7340A 型、P7360A 型、P7380A 型)
020-2600-xx	P7300 シリーズ・プローブ用ショート・フレックス、小型抵抗 Tip-Clip アセンブリ
020-2602-xx	P7300 シリーズ・プローブ用ミディアム・フレックス、小型抵抗 Tip-Clip アセンブリ
020-2604-xx	P7300 シリーズ・プローブ用ロング・フレックス、小型抵抗 Tip-Clip アセンブリ
006-3415-xx	P7300 シリーズ・プローブ用帯電防止リスト・ストラップ
P6780	MSO70000 シリーズ・オシロスコープ用差動ロジック・プローブ
TDP3500	MSO/DPO5000 シリーズおよび DPO7000 シリーズ・オシロスコープ用差動プローブ

⁷ BGA インターポーザでの使用の場合のみ

メモリ規格別の BGA インターポーザ

DDR2	×4、×8、×16 ソケットおよびソルダ・ダウンのインターポーザ
DDR3	×4、×8、×16 エッジ、ソケット、ソルダ・ダウン、直接接続のインターポーザ
DDR4	×4、×8、×16 エッジ、ソケット、ソルダ・ダウン、直接接続のインターポーザ
LPDDR2	BGA/PoP/エッジ・インターポーザ
LPDDR3	BGA/PoP/エッジ・インターポーザ
LPDDR4/LPDDR4X	PoP/エッジ・インターポーザ
GDDR5	ソルダ・ダウンおよびソケット・インターポーザ

インターポーザ製品の詳細については、お問い合わせください。



当社は SRI Quality System Registrar により ISO 9001 および ISO 14001 に登録されています。



製品は、IEEE 規格 488.1-1987、RS-232-C および当社標準コード&フォーマットに適合しています。

DDRA、DDR-LP4 データ・シート

ASEAN/オーストラリア・ニュージーランドと付近の諸島 (65) 6356 3900
ベルギー 00800 2255 4835*
中央/東ヨーロッパ、バルト海諸国 +41 52 675 3777
フィンランド +41 52 675 3777
香港 400 820 5835
日本 81 (3) 6714 3086
中東、アジア、北アフリカ +41 52 675 3777
中国 400 820 5835
韓国 +822-6917-5084, 822-6917-5080
スペイン 00800 2255 4835*
台湾 886 (2) 2656 6688

オーストリア 00800 2255 4835*
ブラジル +55 (11) 3759 7627
中央ヨーロッパ/ギリシャ +41 52 675 3777
フランス 00800 2255 4835*
インド 000 800 650 1835
ルクセンブルク +41 52 675 3777
オランダ 00800 2255 4835*
ポーランド +41 52 675 3777
ロシア/CIS +7 (495) 6647564
スウェーデン 00800 2255 4835*
イギリス/アイルランド 00800 2255 4835*

バルカン諸国、イスラエル、南アフリカ、その他 ISE 諸国 +41 52 675 3777
カナダ 1 800 833 9200
デンマーク +45 80 88 1401
ドイツ 00800 2255 4835*
イタリア 00800 2255 4835*
メキシコ、中央/南アメリカ、カリブ海諸国 52 (55) 56 04 50 90
ノルウェー 800 16098
ポルトガル 800 8 12370
南アフリカ +41 52 675 3777
スイス 00800 2255 4835*
米国 1 800 833 9200

*ヨーロッパにおけるフリーダイヤルです。ご利用になれない場合はこちらにおかけください：+41 52 675 3777

詳細については、当社ウェブ・サイト (jp.tek.com または www.tek.com) をご参照ください。

Copyright © Tektronix, Inc. All rights reserved. Tektronix 製品は、登録済みおよび出願中の米国その他の国の特許等により保護されています。本書の内容は、既に発行されている他の資料の内容に代わるものです。また、本製品の仕様および価格は、予告なく変更させていただく場合がございますので、予めご了承ください。TEKTRONIX および TEK は登録商標です。他のすべての商品名は、各社の商標または登録商標です。



05 Jul 2017 55Z-22329-15

jp.tektronix.com

Tektronix[®]

〒108-6106 東京都港区港南2-15-2 品川インターシティ B棟6階
ヨッらい オシロ
テクトロニクス お客様コールセンター TEL:0120-441-046
電話受付時間 / 9:00~12:00・13:00~18:00 (土・日・祝・弊社休業日を除く)

jp.tektronix.com

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。