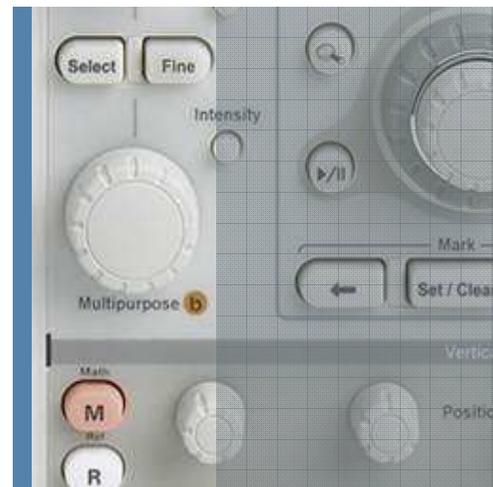


Tektronix 高速信号互连测试和验证解决方案



泰克科技（中国）有限公司
2011年3月

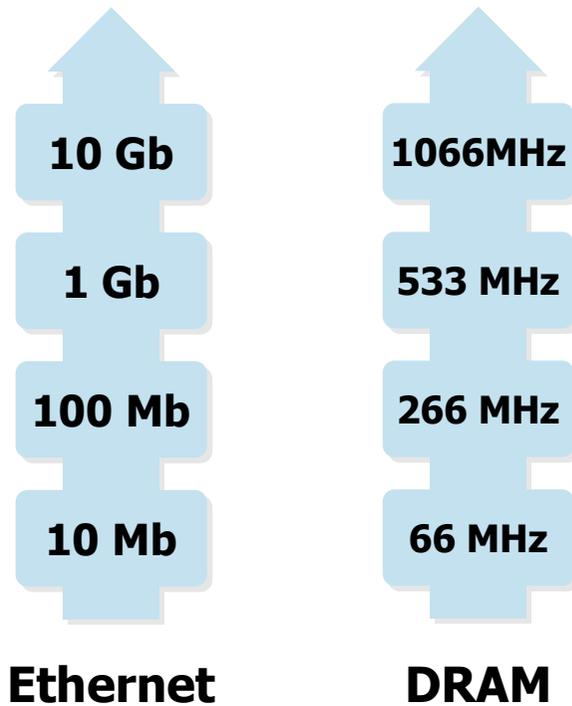


日程安排

- 在高速串行数据技术的推动下，性能指标日新月异
- TDR高速串行互连测试和验证
 - TDR的原理和应用
 - TDR在信号完整性SI(Signal Integrity)中的应用
- 泰克公司TDR测试解决方案
- 泰克串行数据链路测试解决方案

当前的高速串行技术发展趋势

持续增长的性能



不断出现的新技术、新标准



新数字世界推动因素 – 性能指标日新月异 高速串行技术趋势和影响



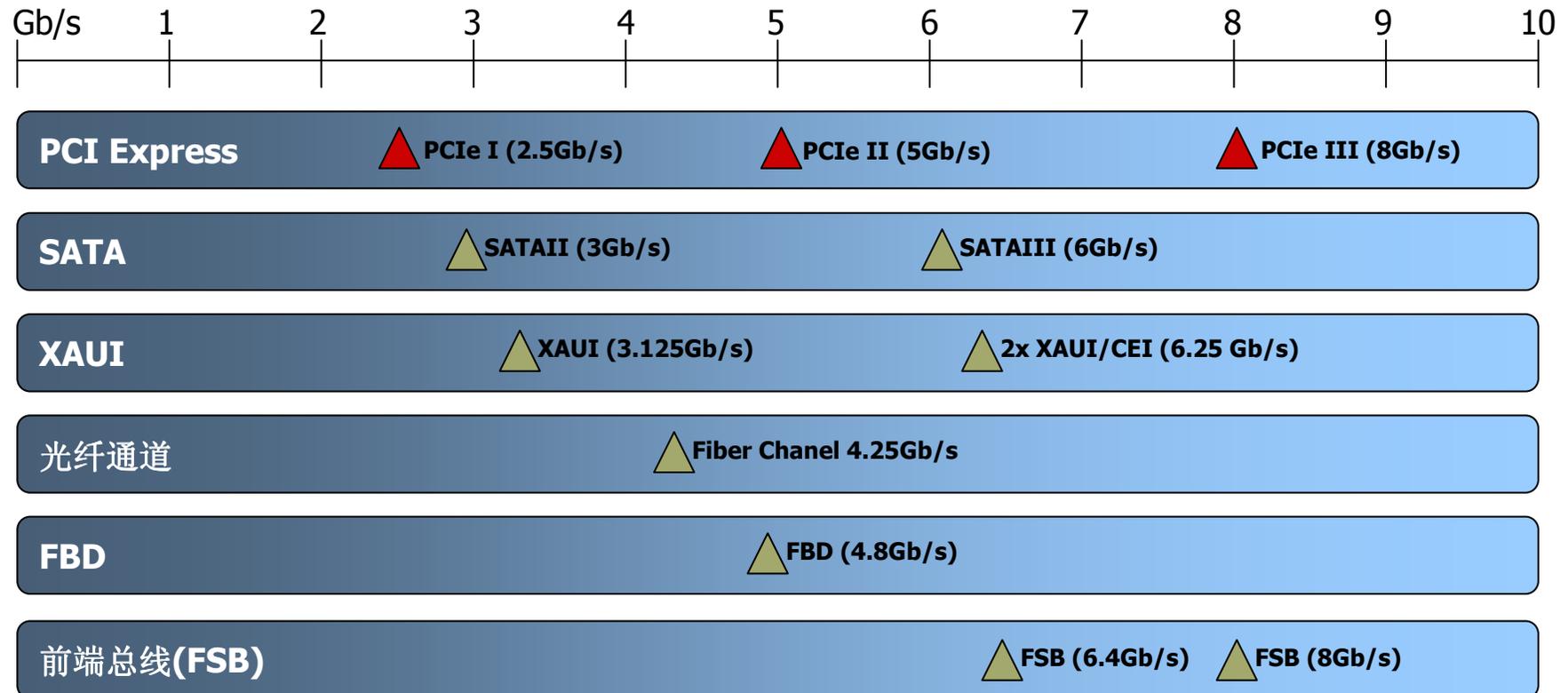
行业/技术/市场趋势

- 接口从低速并行技术转向高速串行技术
- 数据速率继续提高：
3 ⇒ 6 ⇒ 10 ⇒ 12 Gb/s
- 行业标准化，实现即插即用互连
- 消费电子成为更大的推动因素

对测试测量的影响

- 千兆位数据速率需要性能更高的产品
行业标准提出了严格的测量和分析要求
- 测试整个系统，包括发射机、接收机和传输路径或电缆
- 要求广泛的产品系列及提高一致性测试的自动化程度
- 测试测量在标准机构中发挥着关键作用

转向第二代和第三代性能



串行数据工程设计挑战

大多数受访者都提到信号完整性问题，包括串扰、**EMI**、抖动、反射、封装噪声、时滞和静电。揭开各种信号完整性问题表面的面纱，可以看到底层问题在于仿真建模、检验和测试。

准确建模、仿真和全面分析高速串行链路，包括I/O、封装、电路板、过孔、连接器和电缆。“必需对所有这些元件建立准确的模型，并能够对流程、电压、温度、PRBS激励码型等执行全方位的解决方案分析，以自动提取波形质量和眼图特点。”

“我们遇到的最大问题是电路板上的信号轨迹布局。如果阻抗不匹配，或者元件没有正确布局，那么高速**I/O**线路会由于阻抗不匹配造成反射而发生问题。”

“涉及的速度和布局技术使设计人员几乎不可能进行调试。”

Signal integrity is biggest of many design problems

Simulation and test issues are a related No. 2 issue Source: EE Times survey

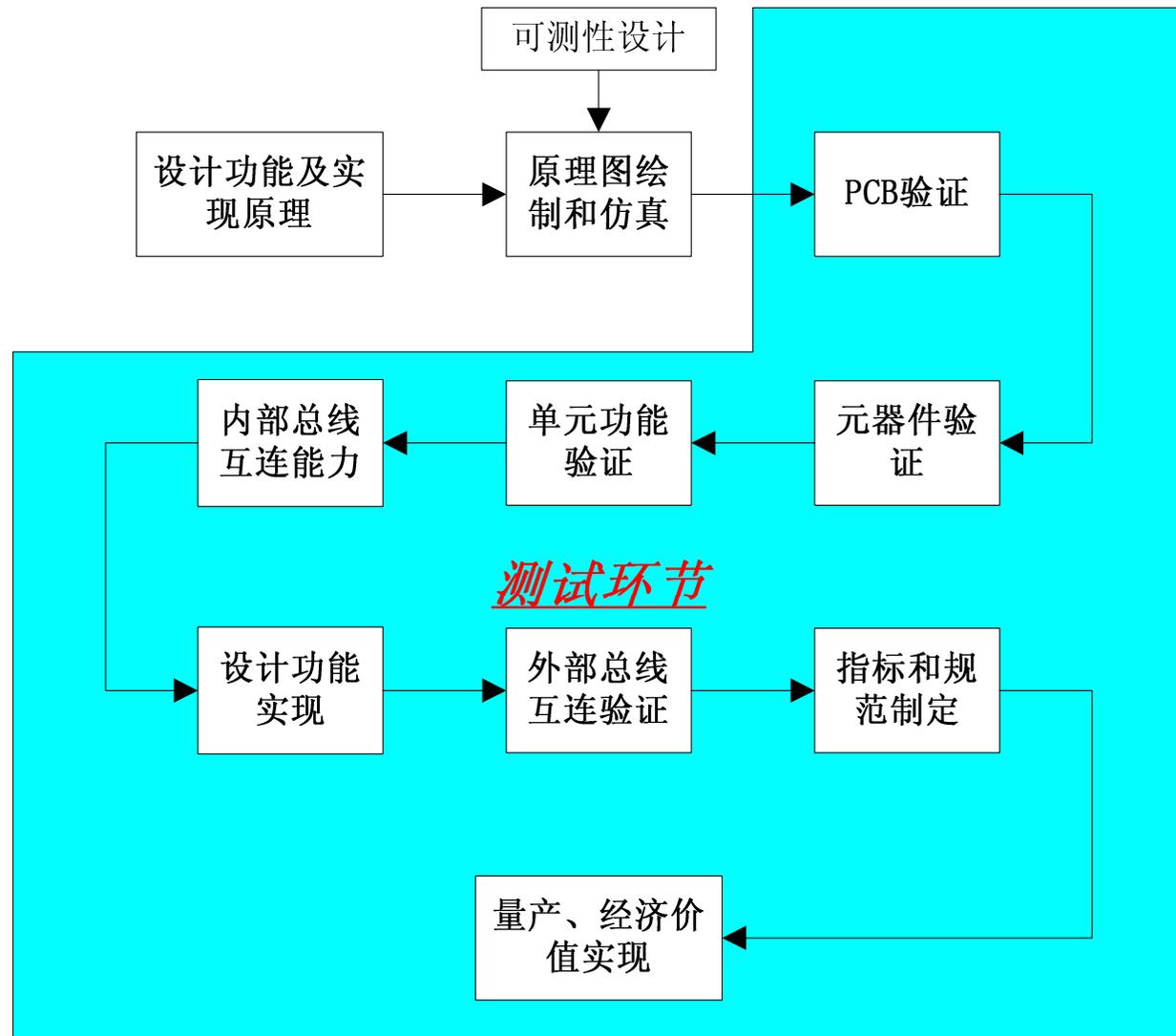


	Strongly agree	Strongly or somewhat agree	Disagree
I need better test and measurement tools	50%	94.9%	5.1%
I need better simulation models	39.5%	91.8%	8.2%
Signal integrity specialist must approve all systems designs	36.9%	83.8%	26.2%
We need more training on RF and microwave effects	34.6%	80.2%	16.3%
I have trouble getting accurate simulation models	32.6%	68.5%	19.8%

Source: EE Times

设计流程概览

- 每一步都很重要，将会对以后的步骤产生深远的影响





日程安排

- 在高速串行数据技术的推动下，性能指标日新月异
- **TDR高速串行互连测试和验证**
 - TDR的原理和应用
 - TDR在信号完整性SI(Signal Integrity)中的应用
- 泰克公司**TDR**测试方案
- 泰克串行数据链路测试解决方案

阻抗和信号完整性问题

- 计算机、通信系统、视频系统和网络系统等领域的数字系统开发人员正面临着越来越快的时钟频率和数据速率，随之，信号完整性变得越来越重要。在当前的高工作速率下，影响信号上升时间、脉宽、时序、抖动或噪声内容的任何事物都会影响整个系统的性能和可靠性。为保证信号完整性，必须了解和控制信号经过的传输环境的阻抗。阻抗不匹配和不连续会导致反射，增加系统噪声和抖动，在整体上降低信号的质量。
- 阻抗控制是当前许多数字系统、元器件规范的一部分，如**USB2.0**，**Firewire (IEEE 1394)**，**PCI Express**，**Infiniband**，**Serial ATA**，**XAUI**等规范。业内已经普遍使用仿真工具设计高速电路，仿真加快了设计周期，最大限度地减少了错误数量。但是仿真之后，必须进行工程验证来检验仿真设计，这其中就包括阻抗测量。

IPC规范了阻抗、差分阻抗的测试方法

- 测试PCB、Cable、Connector等互连环境的特性阻抗的最常用的方法是使用时域反射计TDR。TDR规范由IPC.org制订，可以在网站上免费下载：www.ipc.org/4.0_Knowledge/4.1_Standards/test/2.5.5.7.pdf，下面就基于TDR规范介绍阻抗、差分阻抗测试方法，精确测量的校准方法，TDR的应用等内容。

PCB验证

- 仿真布线是关键
- 实测也必不可少
 - 简单的短路测试
 - 阻抗验证
 - 接插件选择
 - 串扰情况
 -
- 测试**PCB、Cable、Connector**等传输线特性阻抗的最常用方法是**TDR**方法。



典型的TDR应用

▶ 典型应用：

- ▶ 印刷电路板的特性阻抗测量
- ▶ 高速互连：背板，转接头，插座等特性分析
- ▶ 线缆，尤其是高速差分接口线的特性测量

▶ 典型测试：

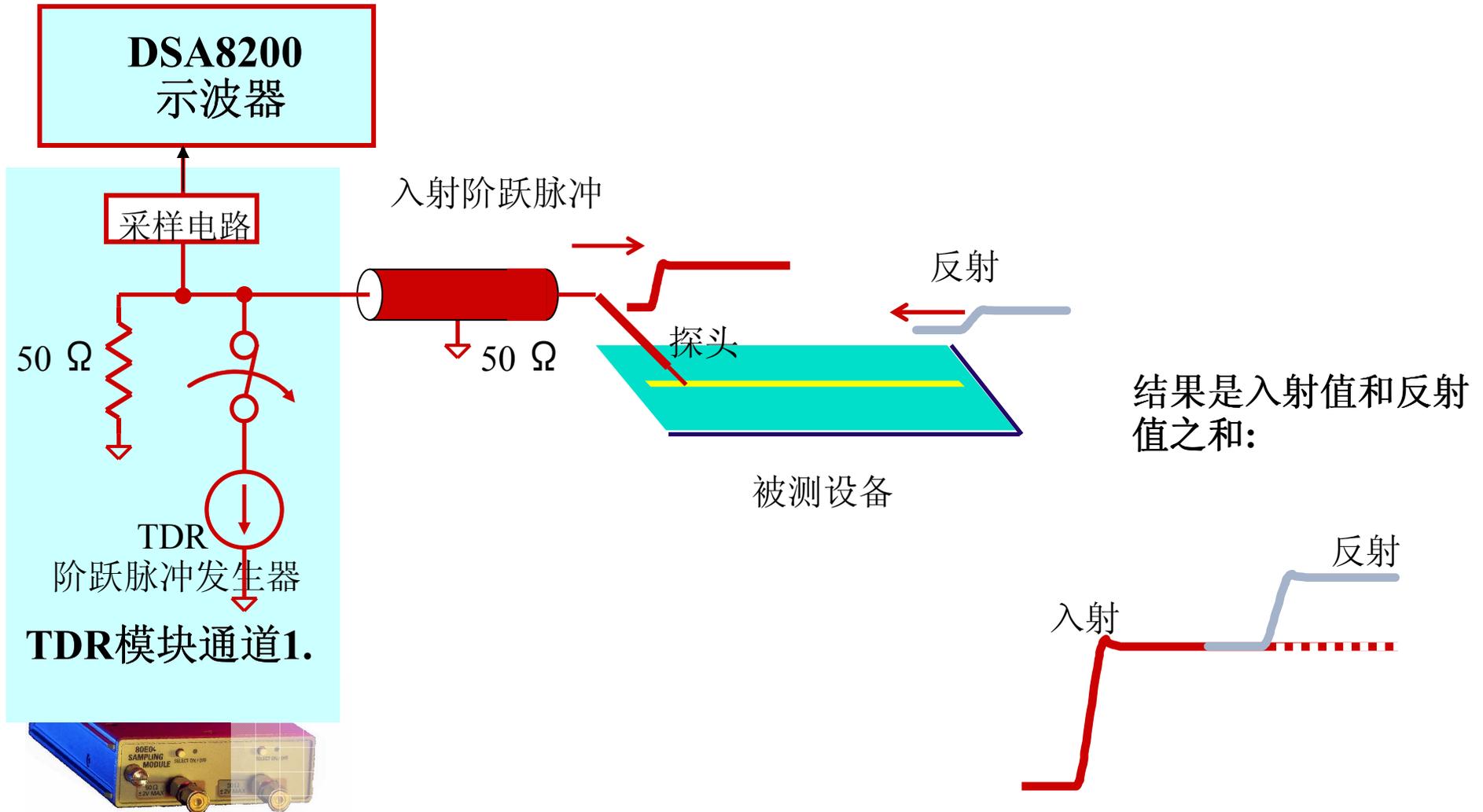
- ▶ 单端与差分阻抗，齐模与偶模阻抗
- ▶ 电感与电容测量
- ▶ 串扰，传输延迟，衰减，眼图，回波损耗等测量
- ▶ 频域**S**-参数测量

TDR概述及原理

什么是TDR?

- TDR是时域反射计英文(Time Domain Reflectometry)的第一字母缩写 – 可以直观显示和测量电路反射的电能 (PCB, 电缆, IC封装, ...).
- 原理: 当传输路径中发生阻抗变化, 部分能量会被反射, 剩余的能量会继续传输。只要知道发射波的幅度及测量反射波的幅度, 就可以计算阻抗的变化。同时只要测量由发射到反射波再到达发射点的时间差就可以计算阻抗变化的位置。
- 与雷达类似(是固定的, 而不是旋转的), 但它探测的是电路, 而不是空中; 观察到的阻抗不匹配不是飞机, 而是坏连接器、分层PCB等等
- 今天, 基本TDR的多项扩展非常重要:
 - 差分TDR
 - TDT – 发送测量, 而不是反射测量
 - 串扰 (差分, 单端)

TDR概述及原理——典型系统



TDR概述及原理——TDR单位: Rho单位; Z (非线性)

测得的 ρ

$$\rho = \frac{V_{reflected}}{V_{incident}}$$

计算的 ρ

$$\rho = \frac{Z_L - Z_{ref}}{Z_L + Z_{ref}}$$

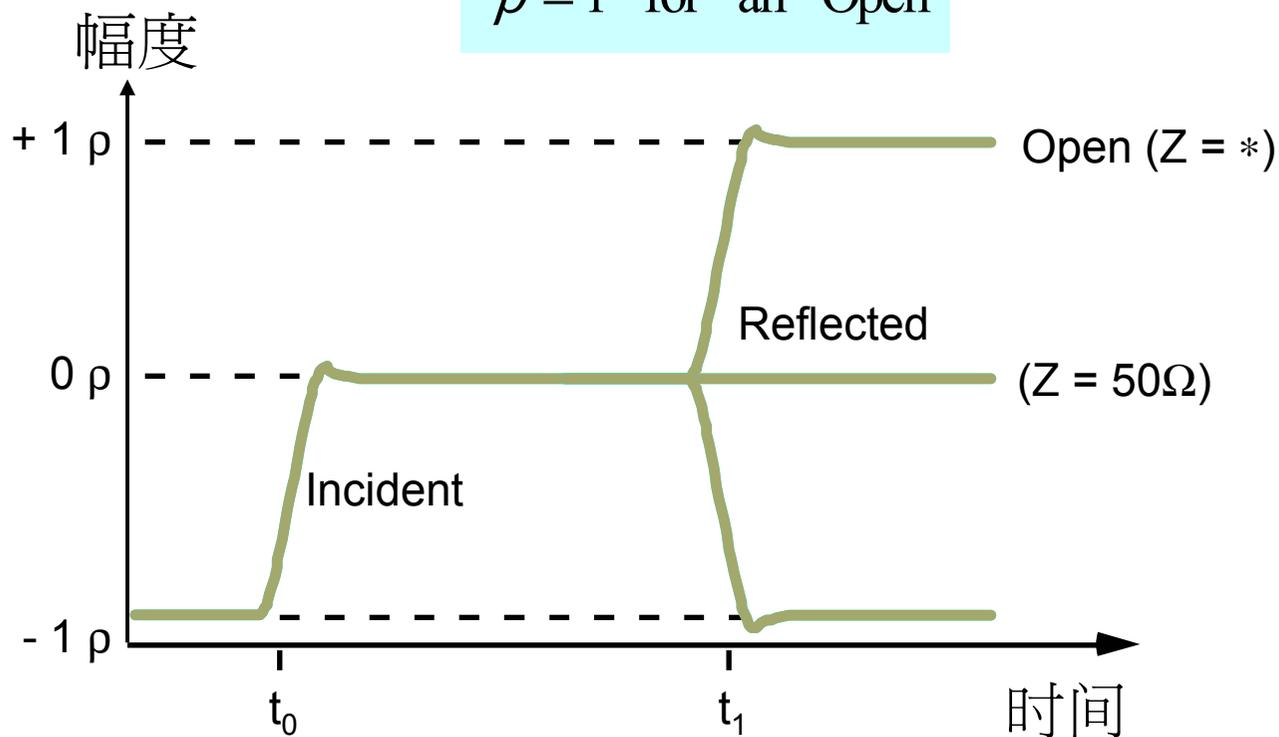
$\rho = 0$ at $Z = Z_0$

$\rho = -1$ for a Short

$\rho = 1$ for an Open

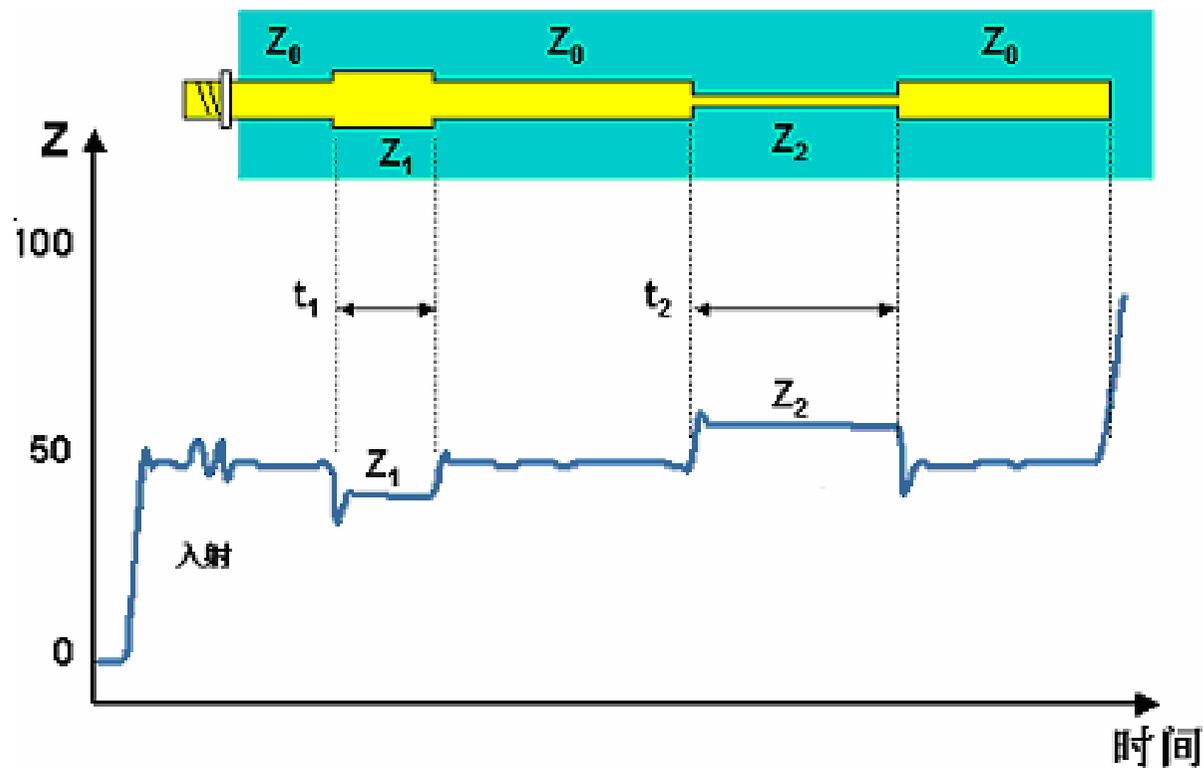
测得的 Z

$$Z = Z_{ref} \frac{1 + \rho}{1 - \rho}$$



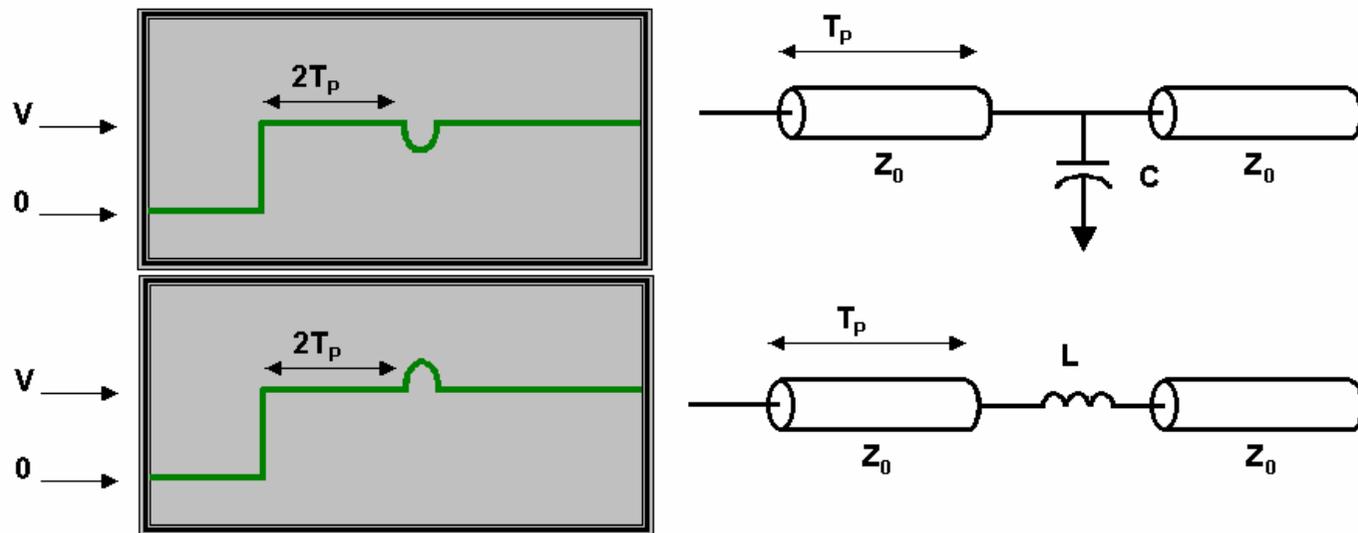
TDR 原理：TDR曲线映射着传输线的各点

- 其中 ρ 是反射系数， Z_0 是参考阻抗（一般为50ohm，由测试系统决定）， Z 是待测阻抗。由此仪器可以计算显示出传输线各个点的阻抗，从而可以在仪器的屏幕上显示一条TDR曲线，曲线的每一点对应传输线上的每一点的反射系数或特征阻抗。



TDR 原理：TDR波形变化处反映寄生参数

- 当传输线上存在寄生电容、电感（如过孔）时，在TDR曲线上可以反映出寄生参数引起的阻抗不连续，而且这些阻抗不连续曲线可以等效为电容、电感或其组合的模型，因而TDR也可以用来进行互连建模。TDA公司的IConnect软件就是一个典型的基于TDR的建模软件，可以直接装在DSA8200中调用TDR/TDT参数进行互连的建模仿真。



TDR 原理：TDR分辨率

- 多种因素影响TDR系统分辨间隔紧密的不连续点的能力。如果TDR系统的分辨率不足，间隔小或间隔紧密的不连续点可以平滑成波形中的一个畸变。这种效应不仅会隐藏某些不连续性，还可能会导致阻抗读数不准确。
- TDR测量时发出的阶跃脉冲的上升时间是影响TDR分辨率的最关键因素：

$$T_{(resolution)} = \frac{1}{2} T_{R(system)}$$

分辨率要求

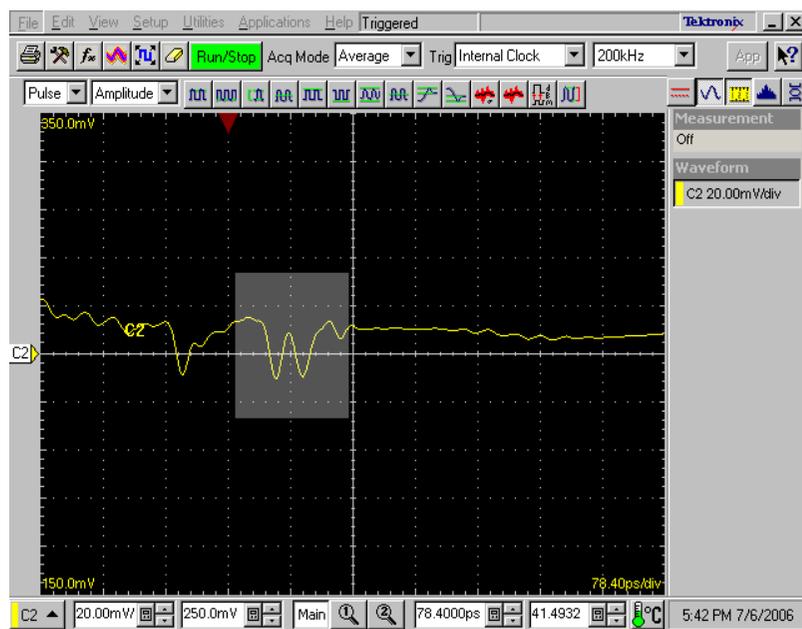
- 基本分辨率, 采用 $t_{\text{rise}} / 2$ 规则:

Rise time, ps	Resolution in air, mm	Resolution in FR4, buried run ($v=0.446 \cdot C_{\text{light}}$), mm	Tektronix products
10	1.50	0.67	
15	2.25	1.00	80E10
20	3.00	1.34	80E08
28	4.20	1.87	80E04
40	6.00	2.68	80E04
150	22.50	10.04	80E04

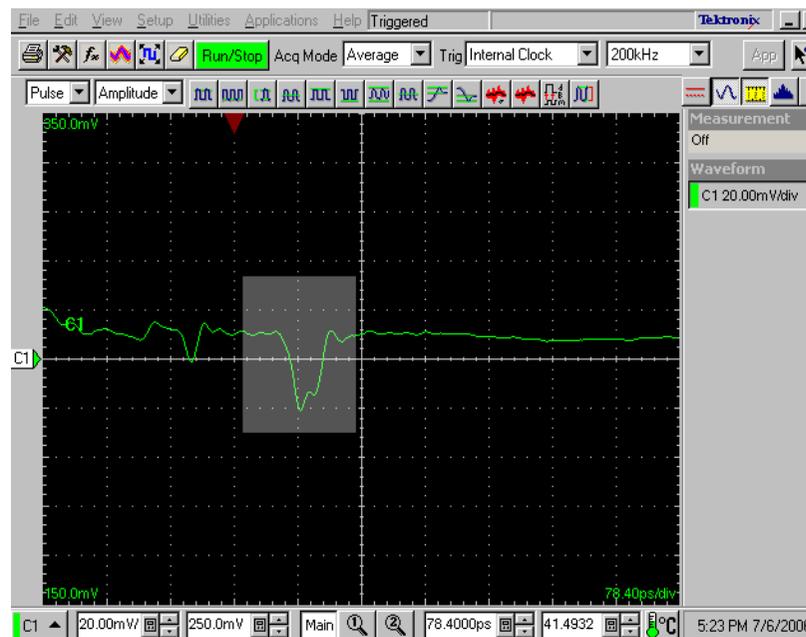
- 让我们看一下实际分辨率

实际分辨率(演示电路板, 微带)

- 15 ps反射上升时间, 2.5mm间隔



- 15ps反射上升时间, 1.25mm间隔



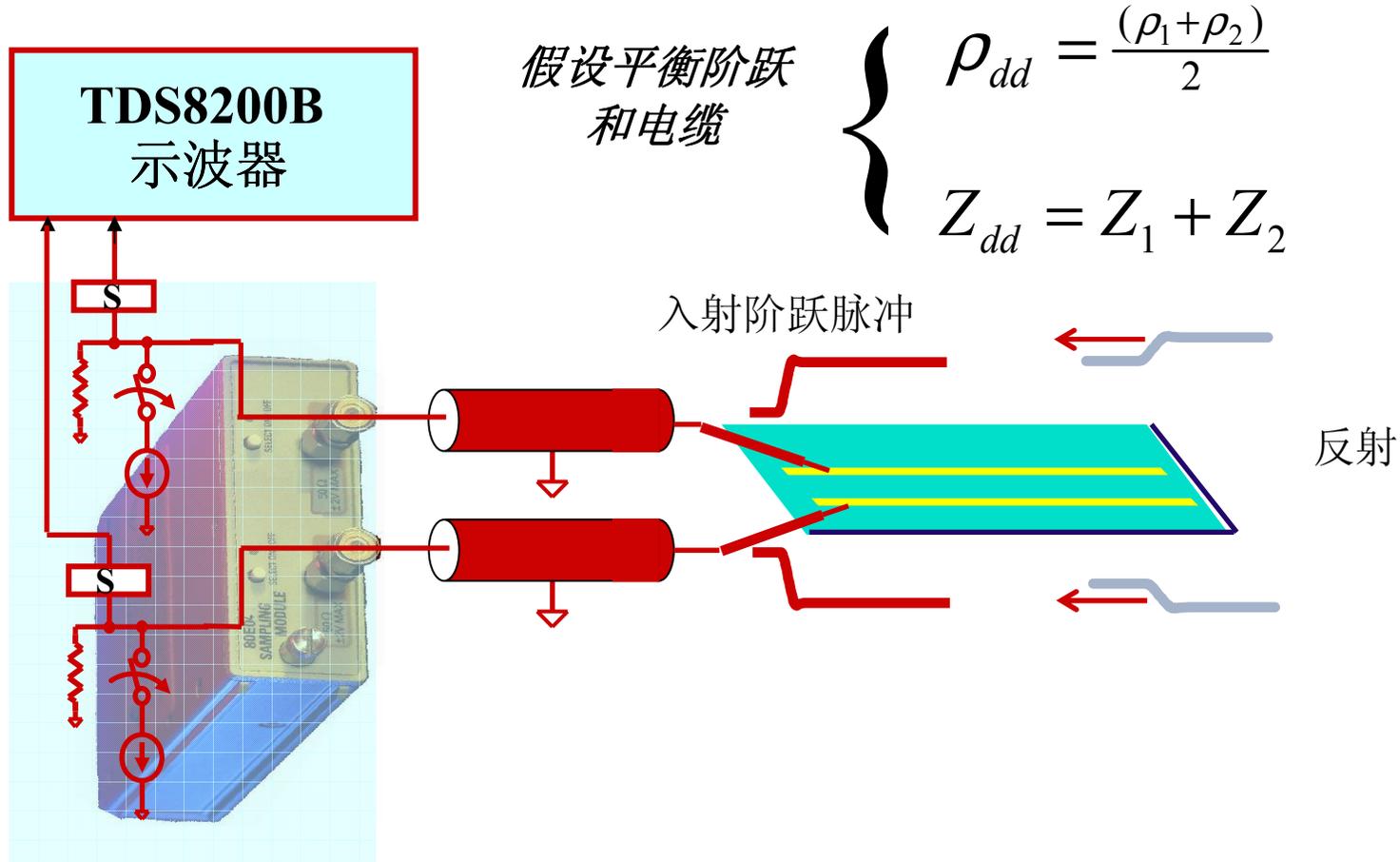
- 在1.25mm以下时会发生什么情况?
- 不连续点没有消失, 而是变成一个不连续点
- 可以明显看出, 能够使用15ps和80E10实现单个不连续点的亚毫米分辨率

差分TDR测量：越来越多的设计采用串行总线来传输高速信号

由于信号完整性问题，越来越多的采用差分线来传输信号：

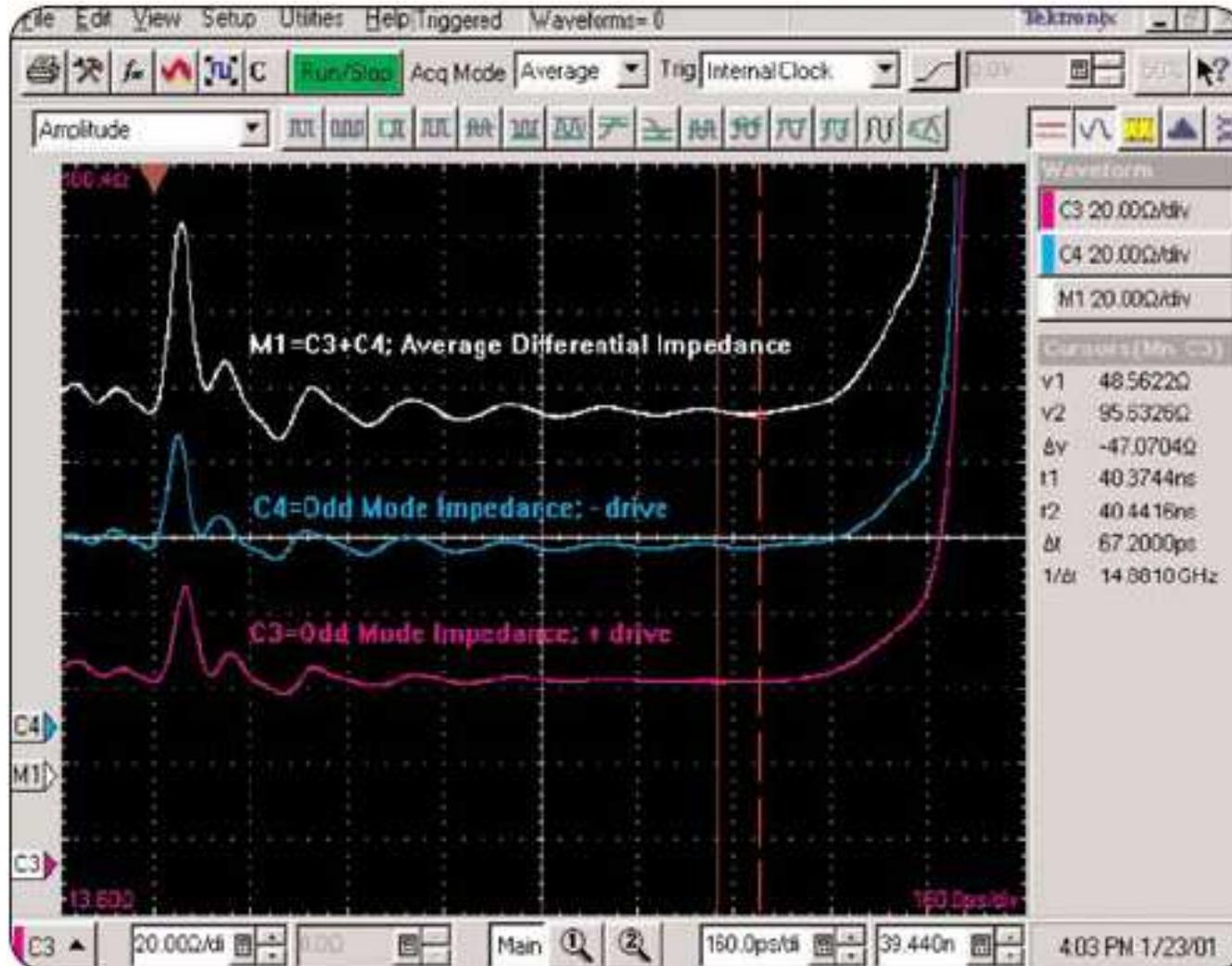
- 差分结构：由于共模抑制，能够更好地抗干扰
- 差分结构：由于抵消场，降低辐射噪声（EMI）
- 差分结构：实现了更加精确的时序控制
- 差分结构：由于抗干扰能力及降低辐射能量，减少了串扰
- 差分结构：减少了由于电流瞬变导致的电源噪声

TDR原理及其它：差分TDR



80E04 TDR模块通道 1和通道 2

TDR的原理及其它：差分阻抗测量示意图



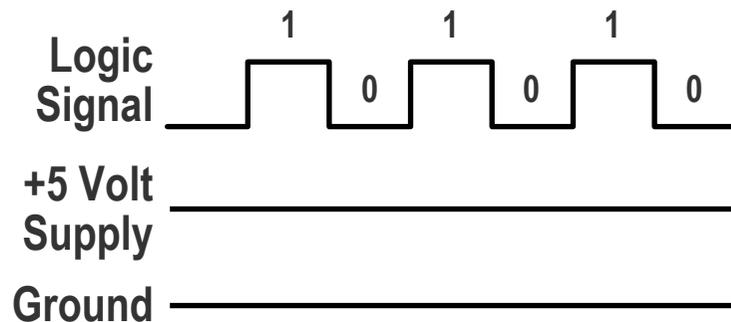
差分阻抗测量示意图

$$M1=C3+C4$$

TDR在信号完整性SI(Signal Integrity)中的应用——信号完整性的定义

- 信号完整性SI(Signal Integrity):信号在信号传输线上的质量, 在要求的时间内, 信号能**不失真**地从源端传送到接收端, 我们就称该信号是完整的
- SI解决的是信号传输过程中的质量问题, 尤其是在高速领域, 数字信号的传输不能只考虑逻辑上的实现, 物理实现中数字器件开关行为的模拟效果往往成为设计成败的关键

Text-Book View of Digital Signals



Real View of Digital Signals (analog)



TDR在信号完整性SI(Signal Integrity)中的应用——Reflection and Crosstalk(反射与串扰)

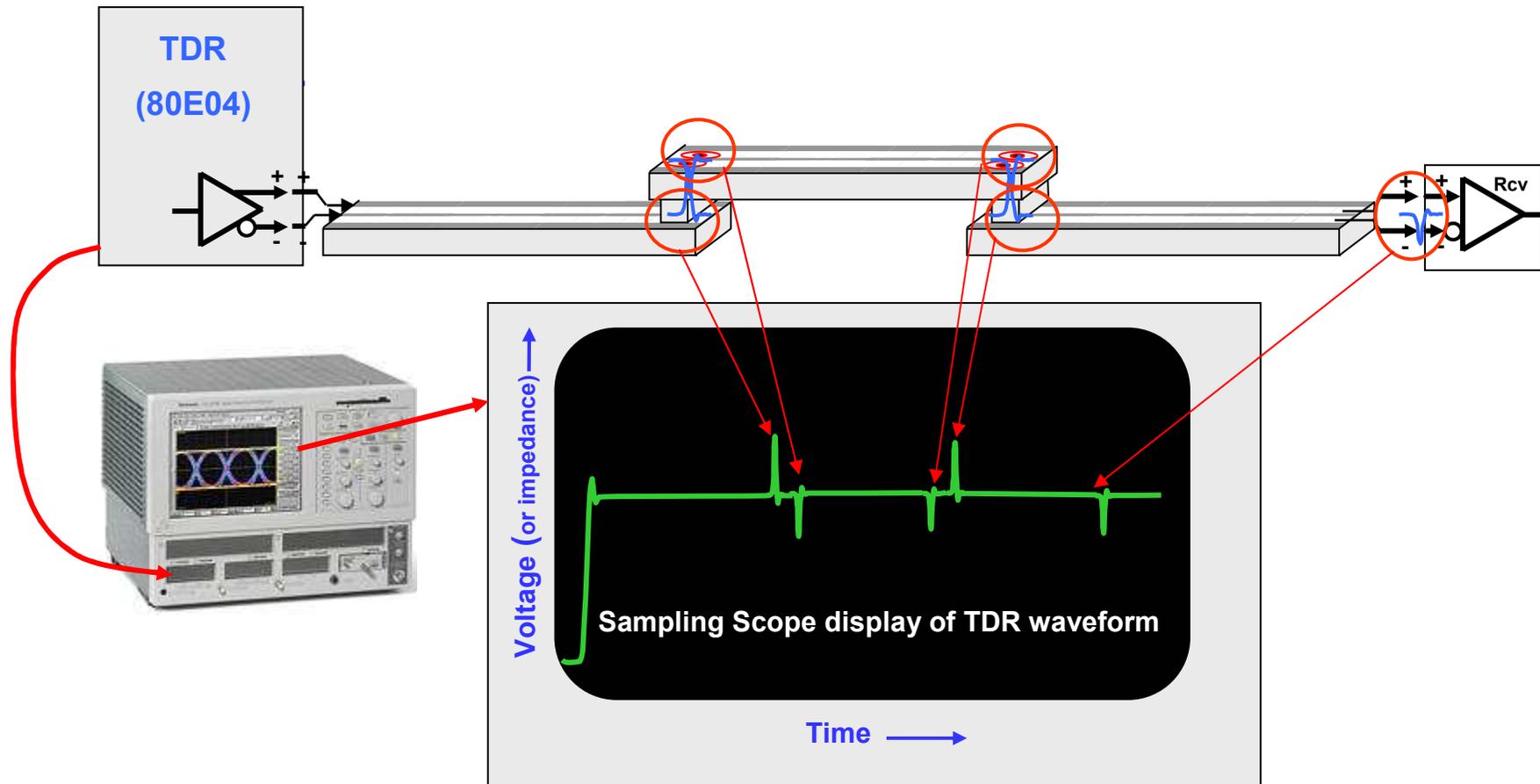
- 反射（Reflection）：指由于阻抗不匹配而造成的信号能量的不完全吸收，反射的程度可以由反射系数 ρ 表示。

利用TDR技术可以准确的测量受控线的阻抗变化,从而可以预测可能出现的信号完整性问题,将问题消灭在萌芽状态.

- 串扰(Cross Talk): 串扰是指当信号在传输线上传播时,因电磁耦合对相邻的传输线产生的不期望的电压噪声干扰,这种干扰是由于传输线之间的互感和互容引起的.

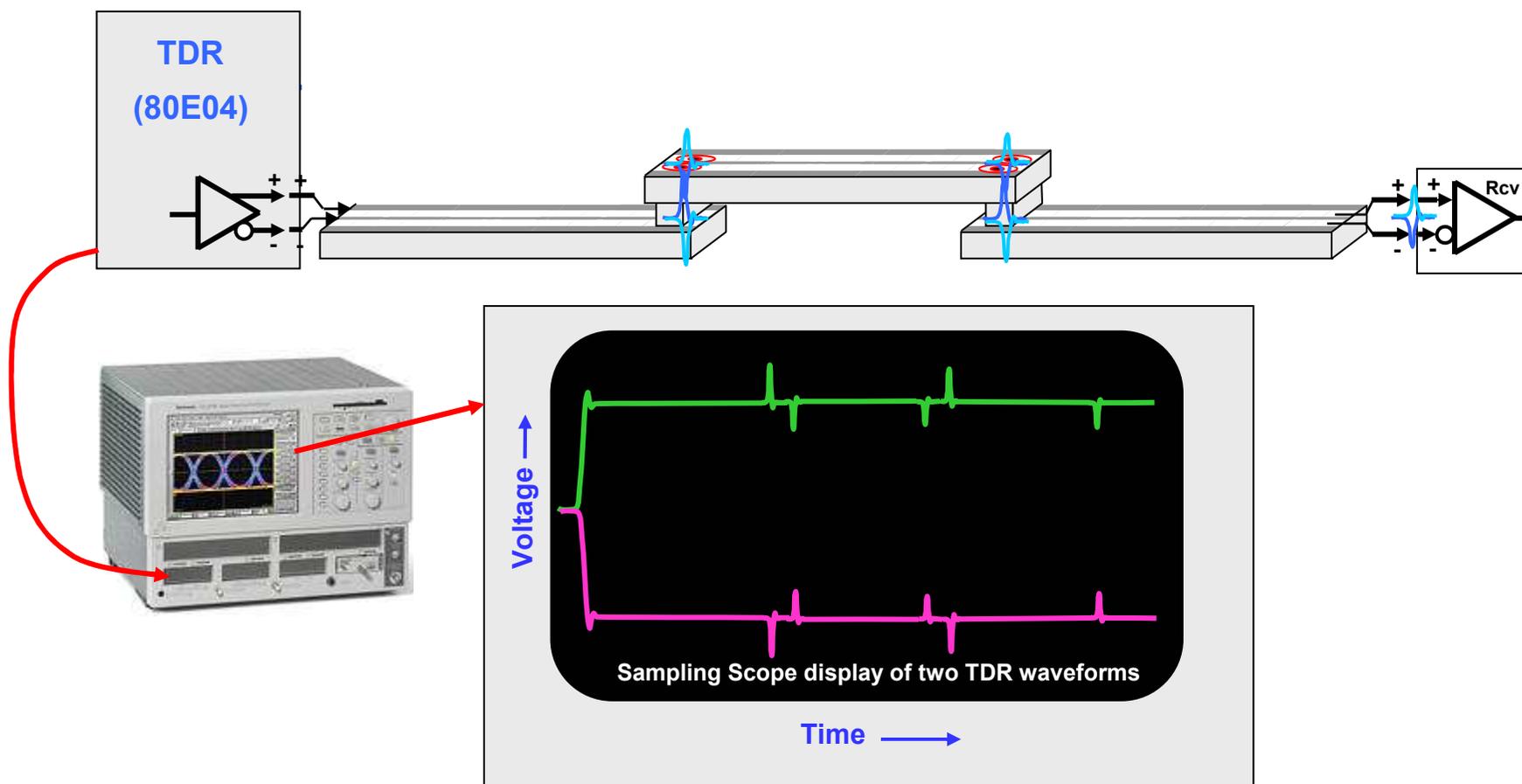
过大的串扰可能引起电路的误触发,导致系统无法正常工作.

TDR在信号完整性SI(Signal Integrity)中的应用—— Reflection(反射)



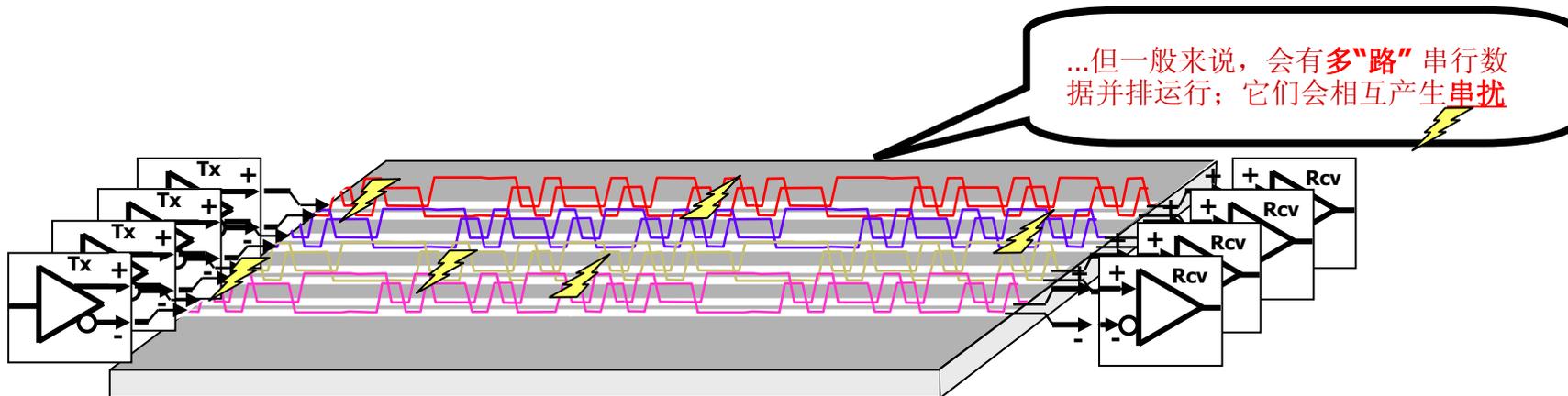
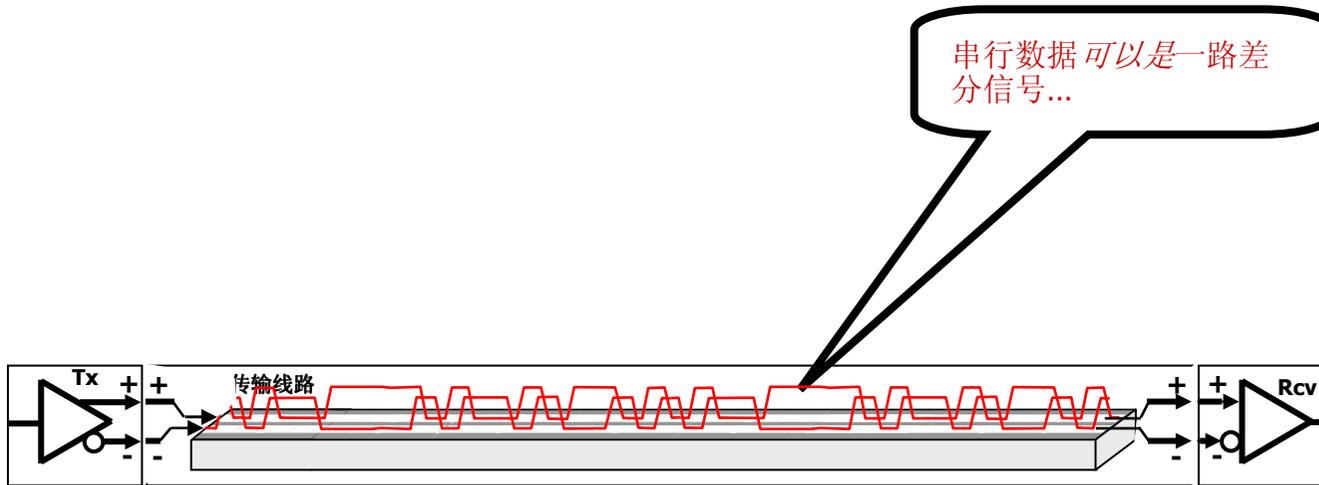
- TDR on an Equivalent Time scope is used to measure the quality of the serial data interconnect: A step is generated and returning reflections are sampled (**it's like radar for serial data cables and boards**)

差分互连的测试和验证需要差分TDR方法（2个通道）



- 2个独立的TDR通道同时产生幅度相同，极性相反的高速脉冲信号，同时采集反射波，得到差分阻抗的变化

多条通路导致串扰



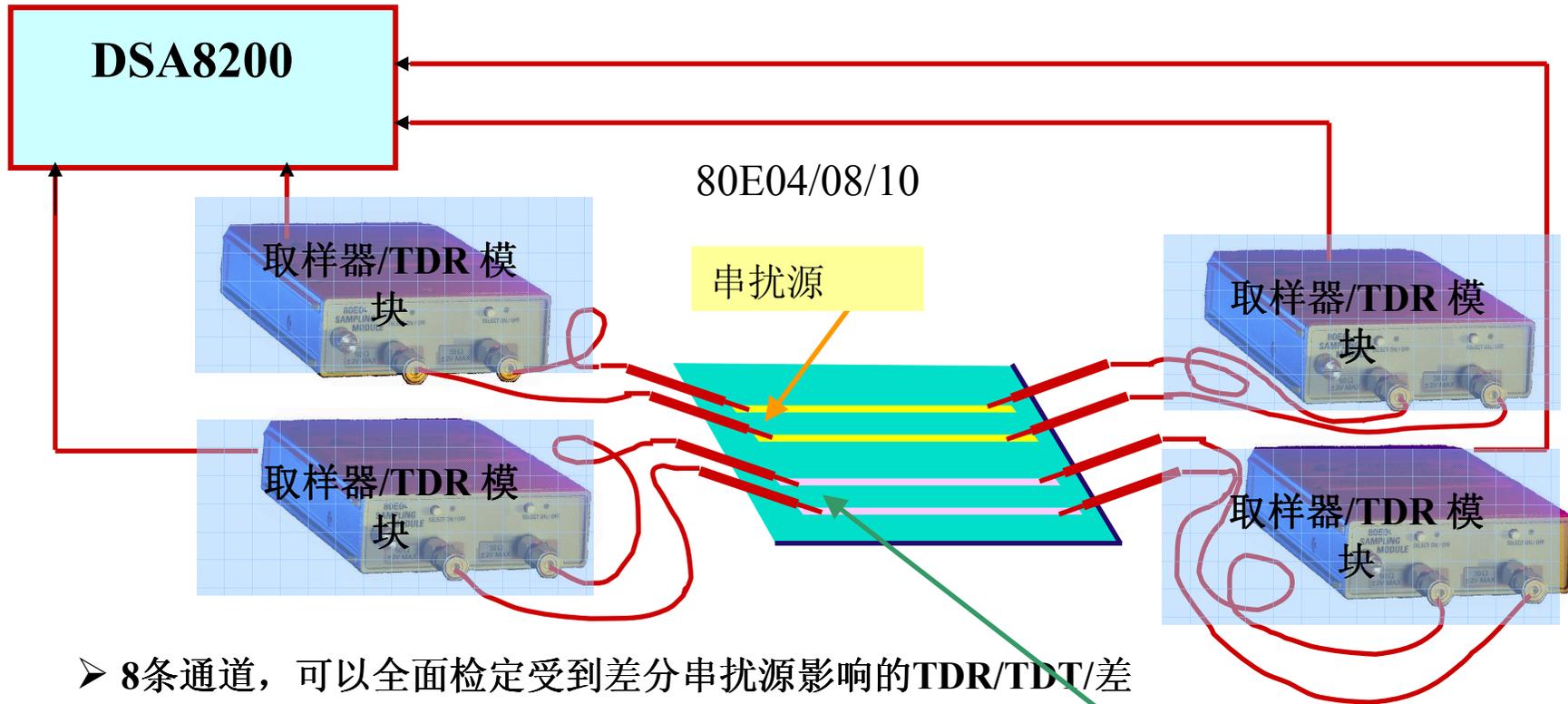
TDR在信号完整性SI(Signal Integrity)中的应用——远端串扰和近端串扰

电感耦合串扰跟电容耦合串扰的情况类似,近端串扰信号具有低电平、宽脉冲特点;远端串扰信号是一个脉冲宽度为 t_r 的脉冲尖峰,不过其极性与电容耦合的远端串扰信号的极性相反。

实际上电感耦合串扰和电容耦合串扰是同时存在的,两种串扰的叠加在近端仍然是一个宽脉冲信号;在远端,由于两种串扰电压的极性相反,最终的串扰的极性要由它们的相对大小来决定.因此在被干扰线的远端,串扰表现为一个窄脉冲,脉冲宽度为 t_r .也有可能出现另外一种情况,那就是两种串扰的大小相等,于是串扰被完全抵消,就是说远端串扰为0.

考虑干扰源信号到达负载端之后的情况.如果负载端的阻抗与传输线阻抗相匹配,当信号传输到负载端时,信号被完全吸收而没有反射,之后干扰源信号很快就会达到一个稳定的状态,直到信号第二次发生变化.如果负载端的阻抗与传输线阻抗不匹配,负载端会把到来的脉冲按一定的比例(与反射系数有关)反射回去,这时如果源端(Source Load)是阻抗匹配的,反射信号到达源端时就不会再发生反射了.如果源端阻抗也不匹配,将出现多重发射,其引起的串扰也比较复杂.

TDR在信号完整性SI(Signal Integrity)中的应用——串扰测试

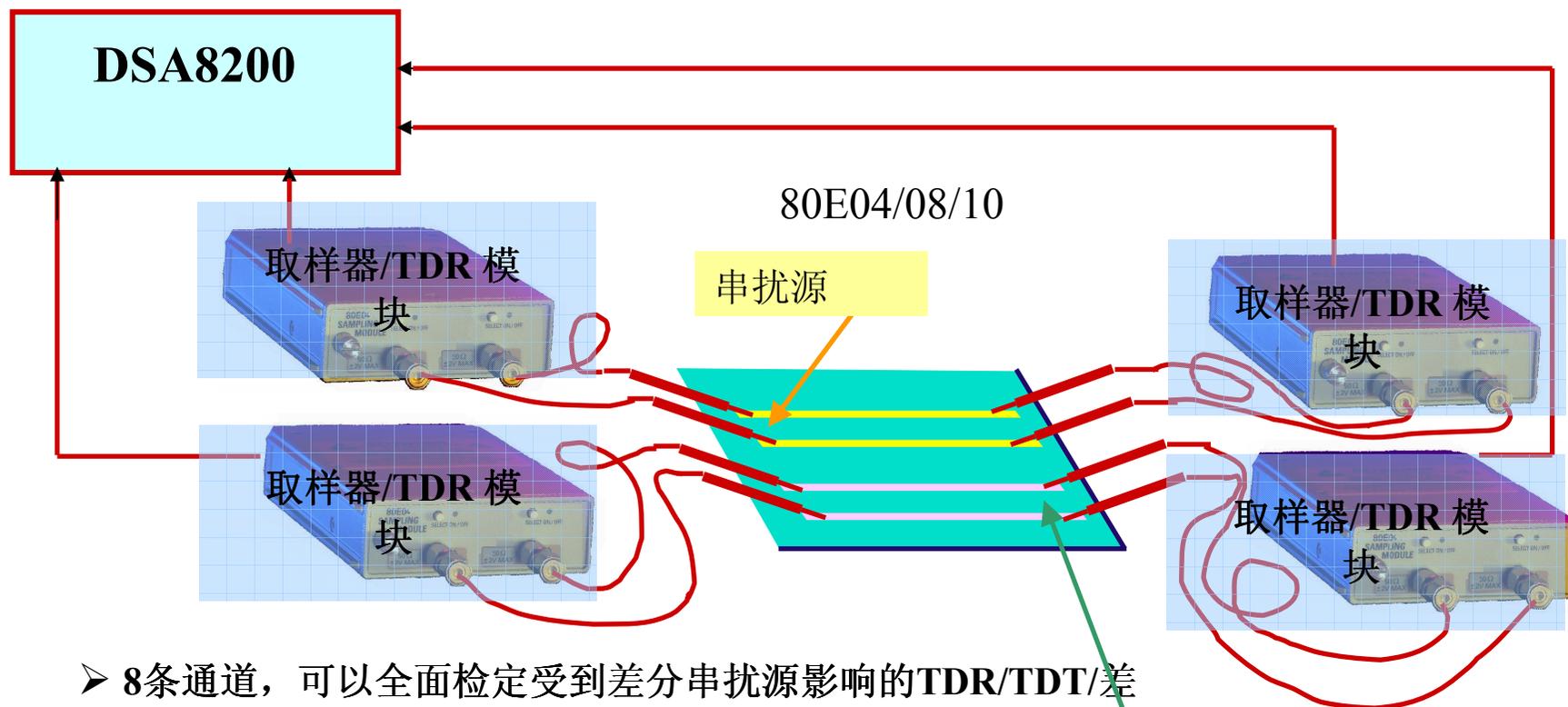


- 8条通道，可以全面检定受到差分串扰源影响的TDR/TDT/差分器件
- 真正的差分同步TDR脉冲，即使在存在非线性度时仍提供了精确的结果 (部分材料, 封装中的保护二极管, ...)

被干扰

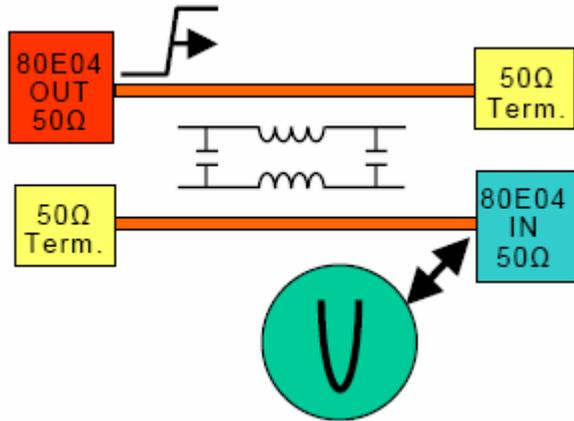
NEXT (近端串扰)

TDR在信号完整性SI(Signal Integrity)中的应用——串扰测试

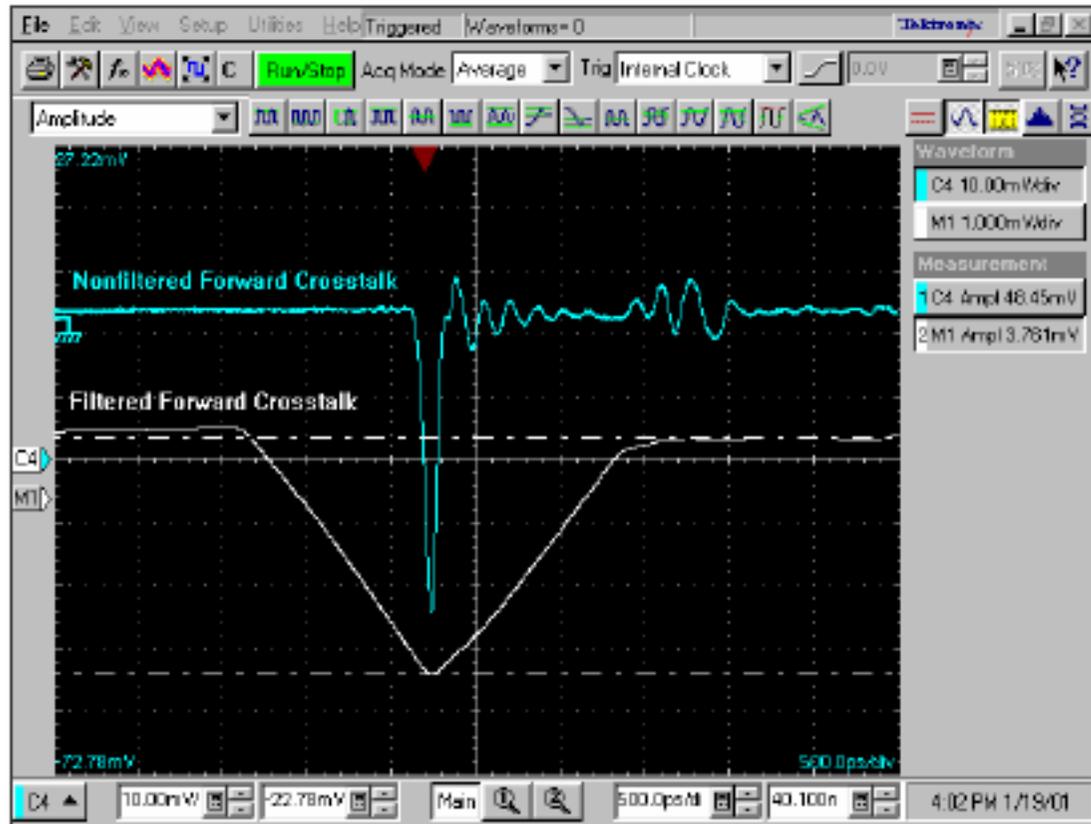


- 8条通道，可以全面检定受到差分串扰源影响的TDR/TDT/差分器件
- 真正的差分同步TDR脉冲，即使在存在非线性度时仍提供了精确的结果 (部分材料, 封装中的保护二极管, ...)

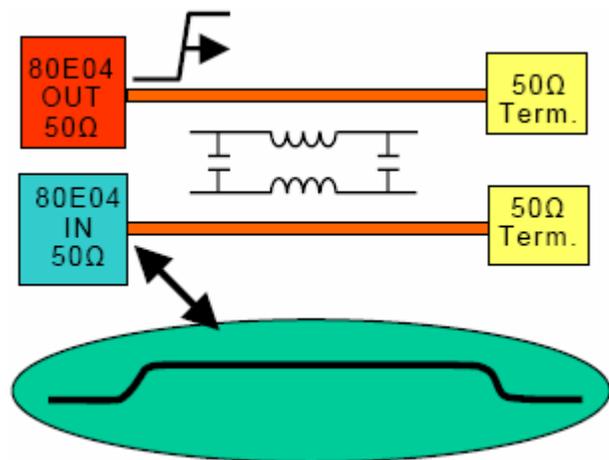
TDR在信号完整性SI(Signal Integrity)中的应用——前向串扰测量



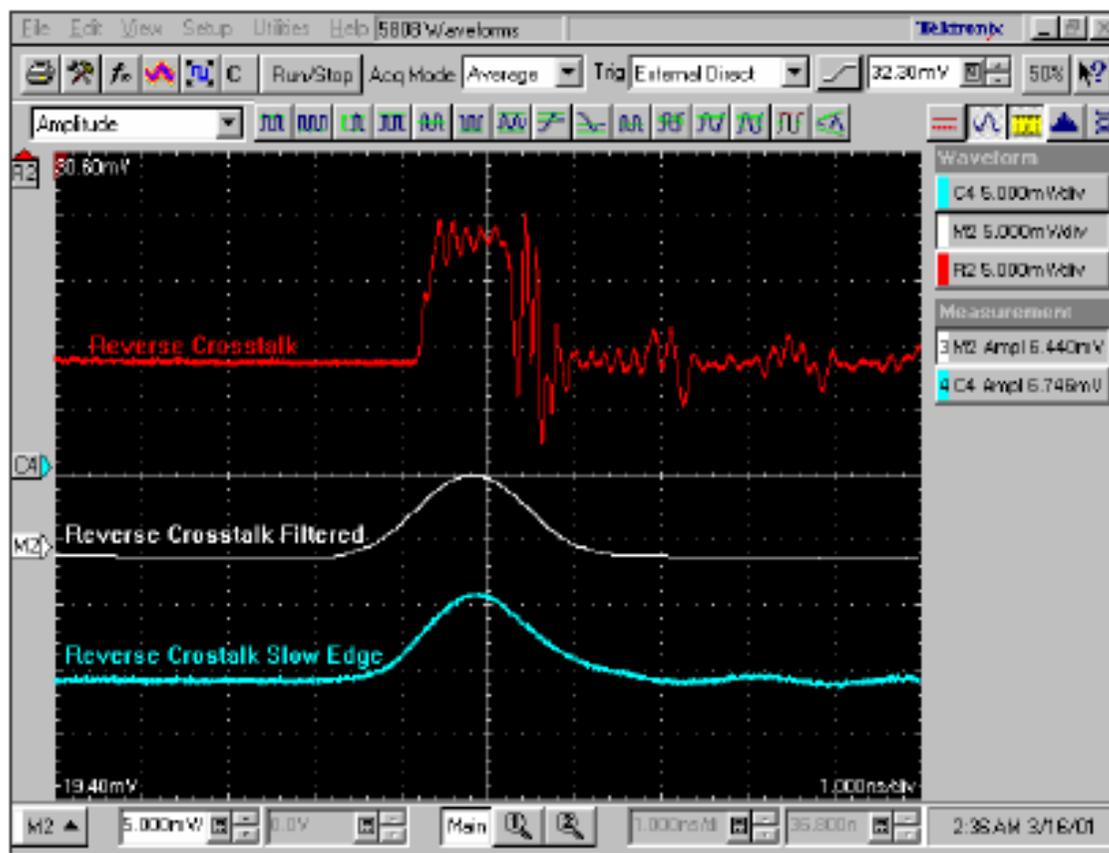
所有线路必须端接以消除反射



TDR在信号完整性SI(Signal Integrity)中的应用——后向串扰测量



所有线路必须端接以消除反射



线路没有正确端接会出现什么结果

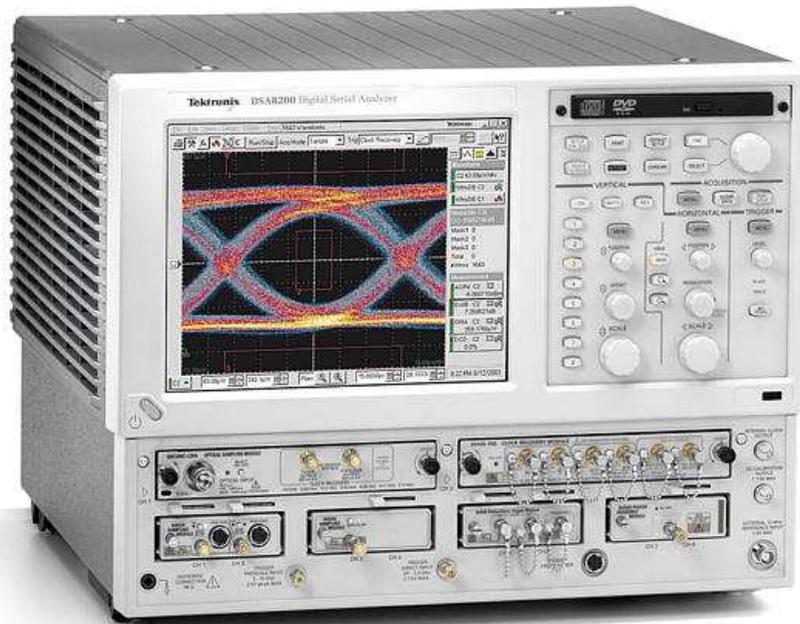
请参阅www.tektronix.com Crosstalk Measurements on PCB.pdf



日程安排

- 在高速串行数据技术的推动下，性能指标日新月异
- TDR高速串行互连测试和验证
 - TDR的原理和应用
 - TDR在信号完整性SI(Signal Integrity)中的应用
- 泰克公司TDR测试方案
- 泰克串行数据链路测试解决方案

Tektronix DSA8200 – with 80E04/08/10 TDR Sampler



- 70GHz mainframe**
- 80E04/08/10:**
 - 20/30/50GHz BW
 - 15/20/28ps Reflected Rise time
 - Dual-TDR with deskew adjustment
 - 1 ~ 3mm resolution in FR4

20年来第一次真正提高TDR

15 ps 反射TDR 上升时间	50 GHz S参数测 量
450 uV 典型本底噪声 , 60 GHz时*	1,000,000 pts记录长度, 在IConnect S参数计算中
<i>业内领先的全面集成的远程TDR和取样模块</i>	

* 非TDR模块 (80E09)

泰克公司TDR测试方案—TDR Modules

	Typical TDR Rise Time at Full Bandwidth		Bandwidth Performance* ⁴
	Incident* ³	Reflected* ³	
80E10	12 ps	15 ps	50 GHz, 40 GHz and 30 GHz (user-selectable)
80E08	18 ps	20 ps	30 GHz, 20 GHz (user-selectable)
80E04	23 ps	28 ps	20 GHz

TDR模块主要参数表

泰克公司TDR测试方案-P8018/P6150



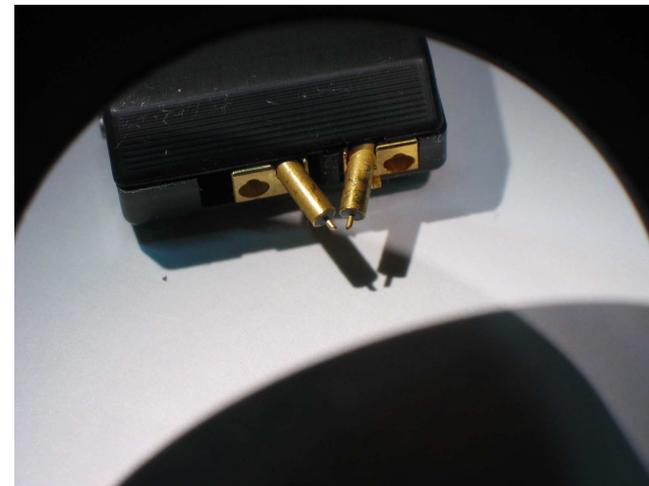
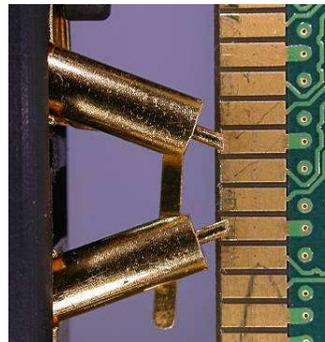
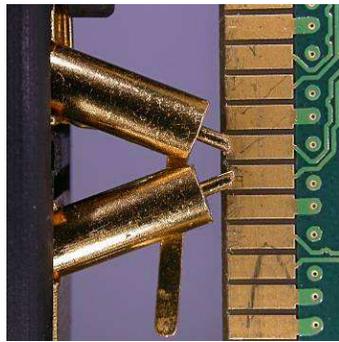
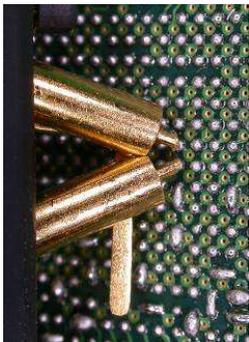
20 GHz Probe Tip Bandwidth
50 Ω Impedance TDR Passive Probe



>9GHz带宽
1X, 10X 衰减探针
可调距离宽度的接地线
<38.8ps上升时间
<0.15pF 输入电容

泰克公司TDR测试方案-P80318-业界独一无二的18GHz 差分TDR探头

- **P80318 – 18GHz 100 Ω 手持式TDR阻抗测量探头**
 - 0.5mm to 4.2mm可调间距探头尖
 - FR4材质PCB最小2.5 mm (0.1 in.) 间距分辨
 - 与80A02模块一起使用时提供EOS/ESD 保护功能
- 专门优化用于差分TDR/TDT测量(不支持共模和单端测量)
 - 单端测量请使用P8018 !
- **P80318X – 18GHz 100 Ω 手持式TDR差分阻抗测量附加探头**
 - 用于主要探头需要维护时的替代品,确保生产时间

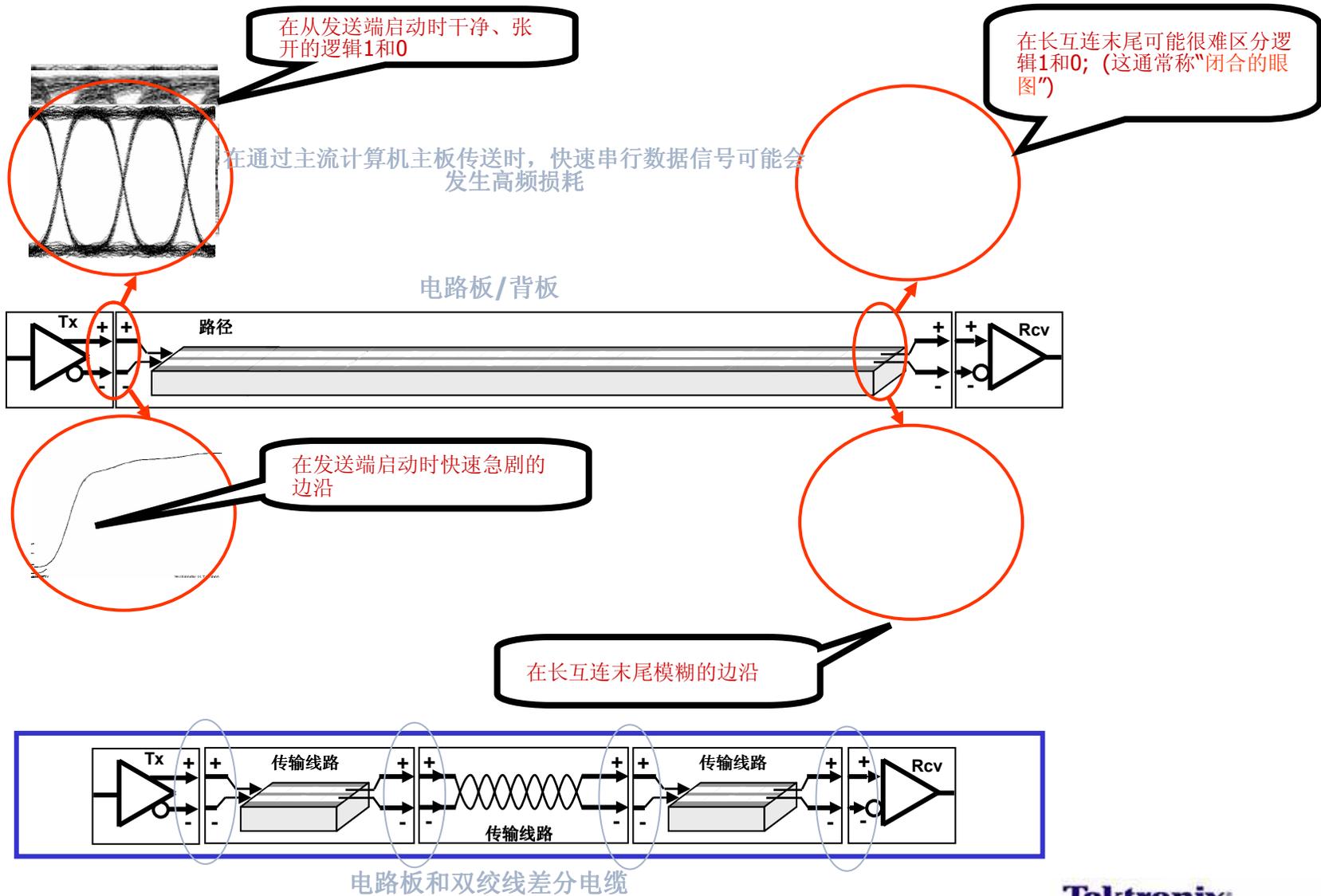




日程安排

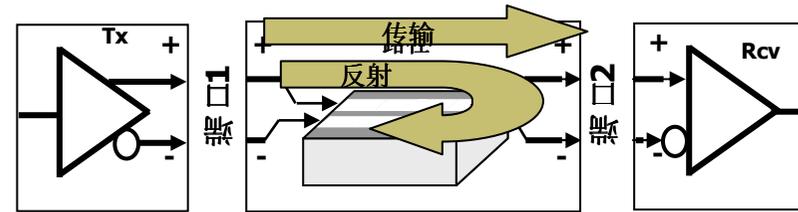
- 在高速串行数据技术的推动下，性能指标日新月异
- TDR高速串行互连测试和验证
 - TDR的原理和应用
 - TDR在信号完整性SI(Signal Integrity)中的应用
- 泰克公司TDR测试方案
- 泰克串行数据链路测试解决方案

高速串行数据链路的挑战

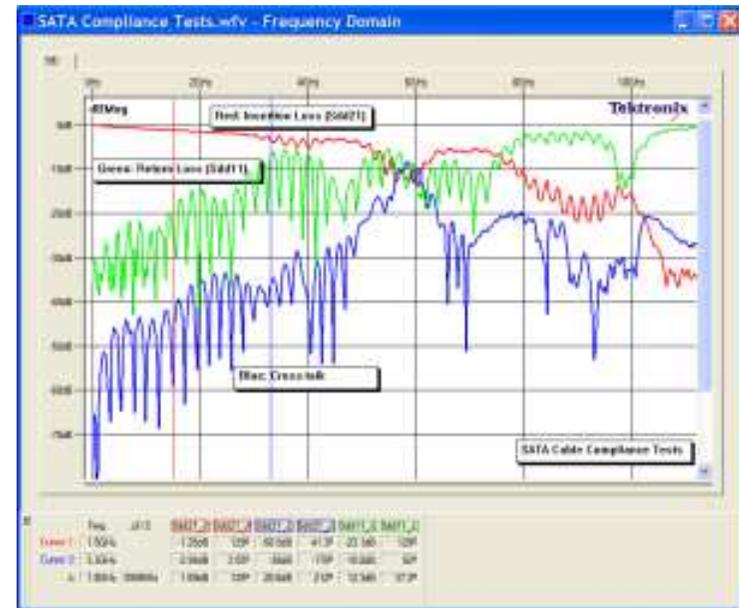


高速串行数据链路检定: S参数

在频域中检定网络中的反射和损耗



以量化方式洞察信号完整性问题的原因



可测量:

- ▶ 差分回波损耗
- ▶ 差分插入损耗
- ▶ 频域串扰

各种标准规定了要求

不管是在设计中还是在制造中，互连测试要求都是由标准推动的

许多标准要求在一致性测试中进行S参数测量

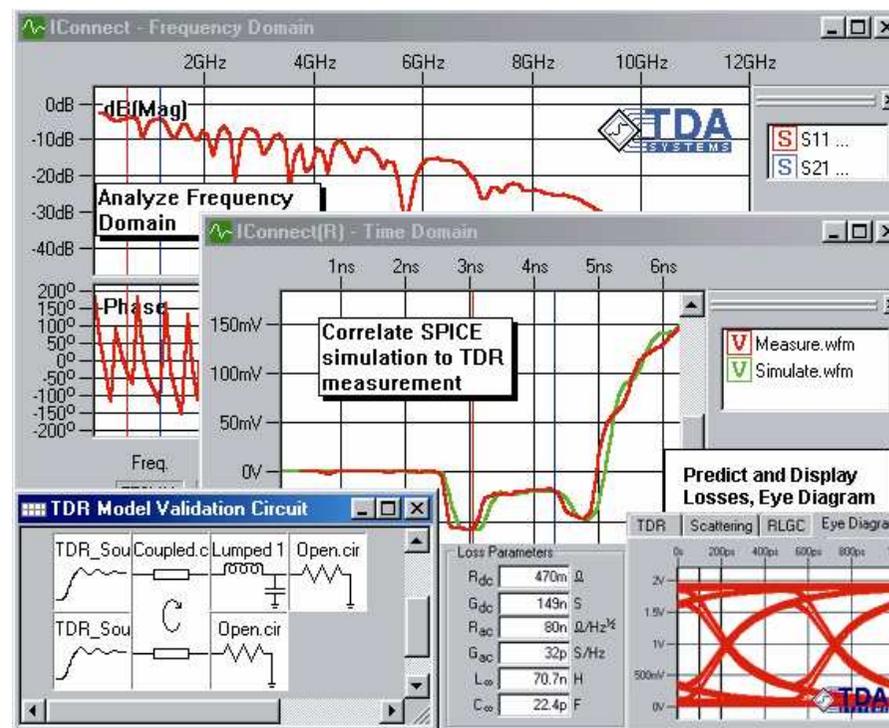
测试的设备类型：

- ▶ PCBs
- ▶ 电缆组件
- ▶ 连接器
- ▶ 插座和其它小型设备
- ▶ Tx/Rx输入

标准	数据速率	TDR	要求的频域测量		
			差分回波损耗	差分插入损耗	差分串扰
SATA II	3 Gb/s	★	★	★	★
PCI Express 1.0	2.5 Gb/s	★	★	★	-
PCI Express II	5 Gb/s	★	★	★	★
HDMI 1.3	.75 Gb/s - 2.25 Gb/s	★	-	★	★
FC 1, 2, 4 Gb/s	1 Gb/s - 4.25 Gb/s	★	★	★	-
FB-DIMM II	4.25 Gb/s	★	★	-	-
Infiniband	2.5 Gb/s	★	★	★	-
XUAI	3.125 Gb/s	★	★	★	★

TDR与高级分析软件的结合： IConnect软件

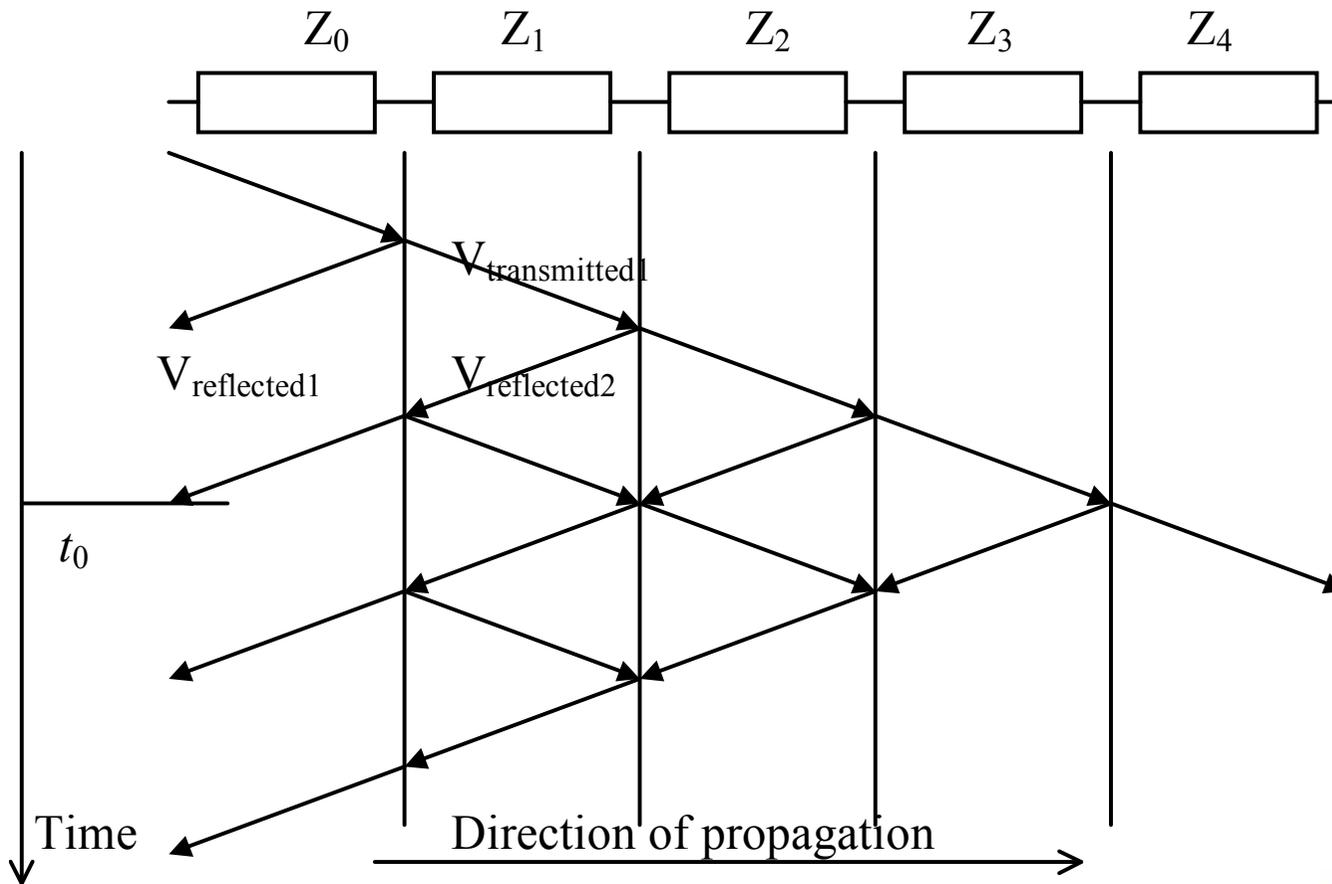
- 直接装在DSA8200中；
- Z-Line 真实阻抗测试； S参数测试； 眼图测试； 电路模型提取
- 基于TDR/TDT测试S参数， 回波损耗等互连的频域参数和模型；
- 建立带损耗的线路模型， 预测眼图变化；
- 建立差分线中的串扰和抖动模型；
- 建立PCB轨迹上的反射和振铃模型，
包括连接器、插座和封装等；
- 使用与SPICE模拟器的Iconnect
内置接口， 检验模型的正确性；
- 能够获得封装或连接器寄生参数。



阻抗准确性

TDR 多重反射效应

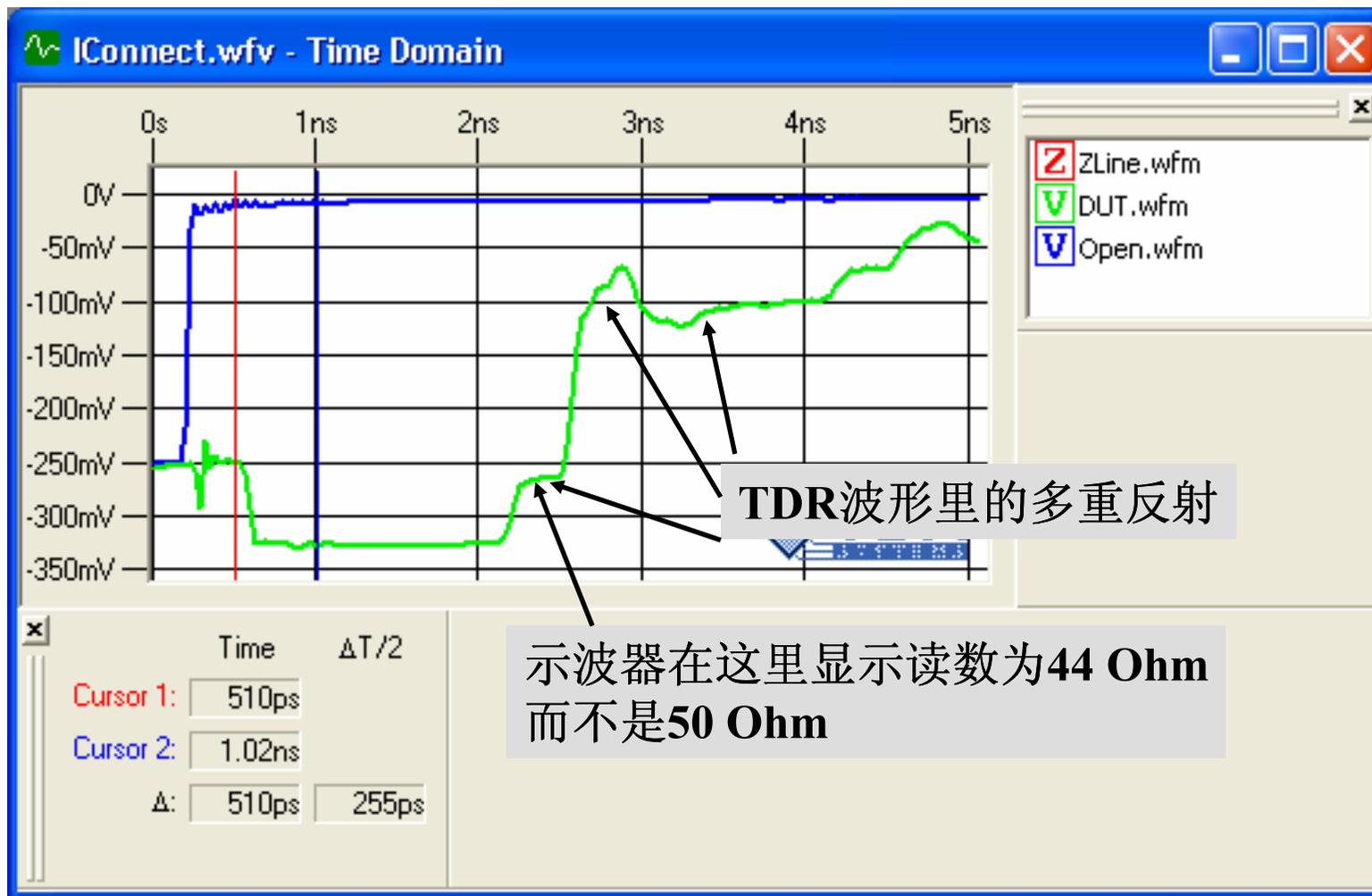
- 问题: 在DUT内部由于信号再反射阻抗测量准确性受到极大困扰



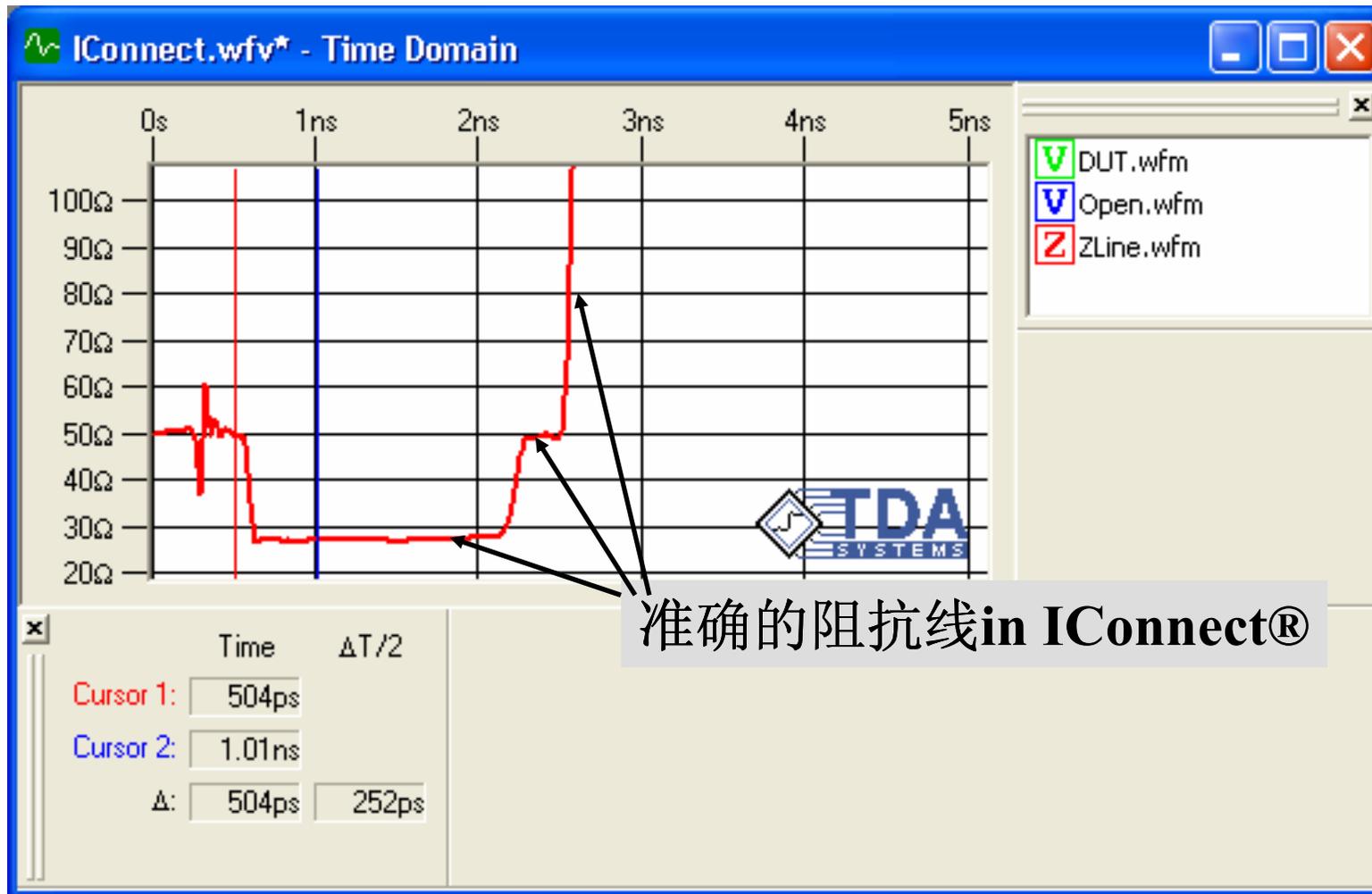
IConnect® 软件 Z-line

- Z-line可以做什么？
 - 修正在DUT中的由于多重反射造成的阻抗测量错误
- IConnect 可以消除多重反射
 - 确保在多阻抗值DUT中阻抗测量的准确性
 - 直接准确的读出阻抗(Z),延时(t_d), L, C
 - 相对直接从示波器读取阻抗值有所不同也更加准确
- 应用:
 - 提高PCB阻抗测量准确度
 - 包括PCB生产制造和研发
 - 提高故障隔离和失效分析的分辨率
 - 封装,电路板, 连接器
 - 直接从修正阻抗线读出阻抗(Z),延时(t_d), 电感和电容

典型电路板走线 IConnect® Z-line

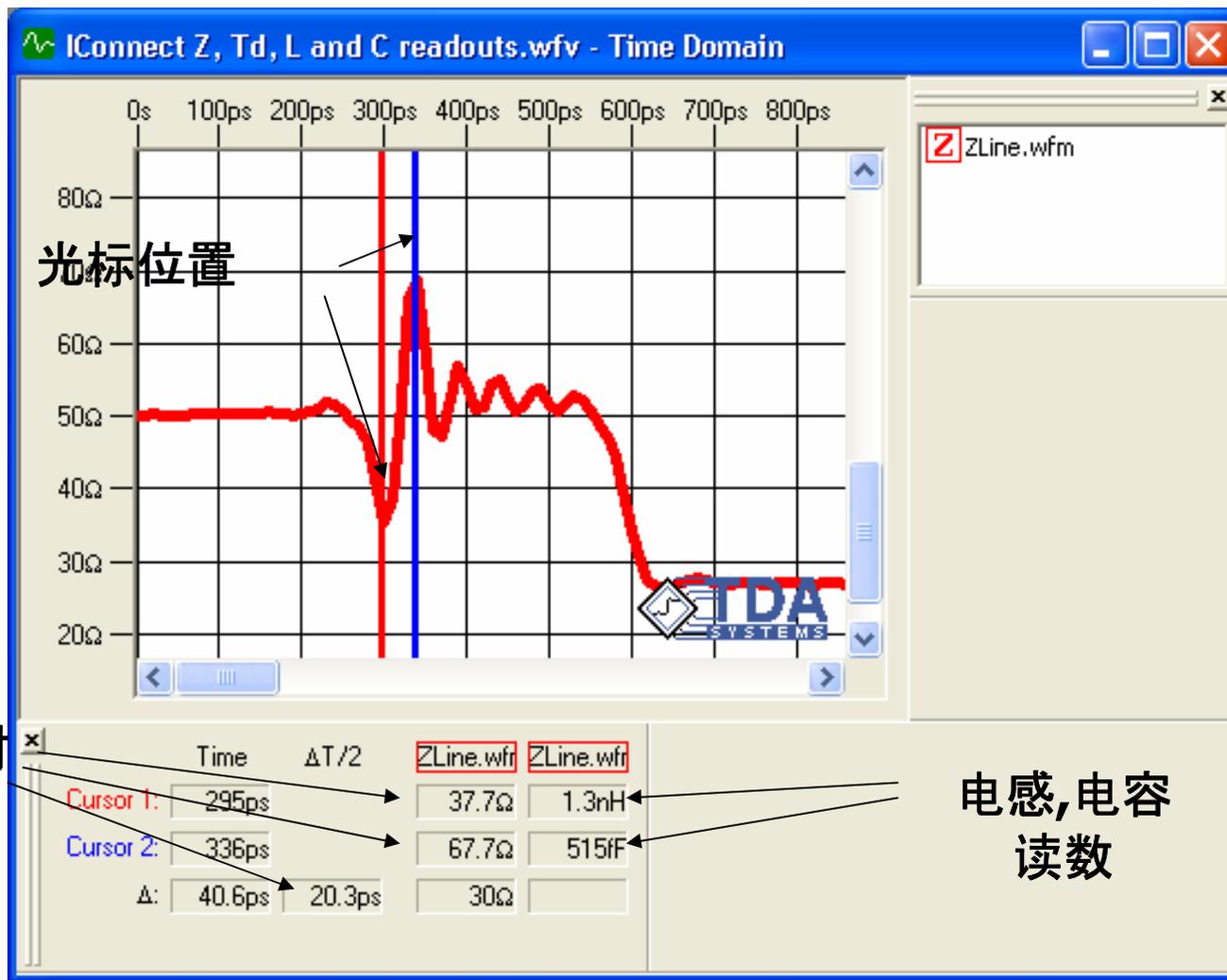


典型电路板走线 IConnect® Z-line



阻抗准确性

阻抗, 电感和 电容 读出



IConnect S-parameter 计算

- IConnect S-parameters 可以做什么？
 - 针对数字互连的最容易的S-parameter测量
 - 差分,混合模式和单端测量
 - 简便的反嵌(de-embed)夹具效应
 - 基本的校准能力
- 应用:
 - 测量插入损耗,回波损耗,花最小的努力进行频域串扰测量
 - 包括有源器件输入回波损耗 – 常见指标!
 - 进行线缆装配和PCB电气一致性测试(SATA, PCI Xpress, Infiniband, Gigabit Ethernet) – 极小的成本,高效,快速!
 - 提供2和4端口S-parameter Touchstone文件可用于通道仿真

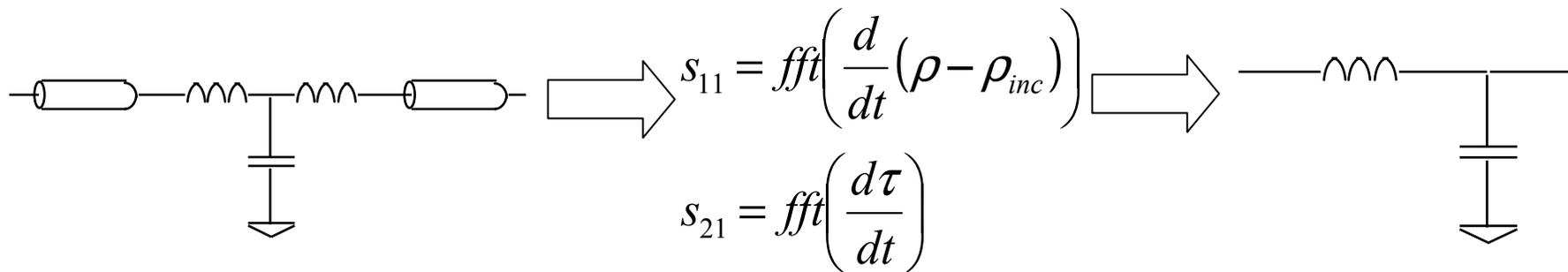
时域 vs 频域; TDR vs VNA

▶ TDR

- ▶ 测量被测物的电压随时间的瞬态响应
- ▶ 能够找出那点出现阻抗不连续性, 将被测物当成多个个体的组合(**Distributed Model**), 找出个体在时域响应。
- ▶ 对于“长”的互连, TDR提供“每段个体”的R, L, G, C的**SPICE模型(Distributed Model)**

▶ VNA

- ▶ 测量被测物的稳定时的相位与幅度状态
- ▶ 将被测物当成一黑盒, 找出“整体”(**Lump Model**) 在频域的**S-参数**响应。
- ▶ 对于“长”的互连, VNA只能提供“整体”的R, L, G, C的**SPICE模型(Lump Model)**



S参数：VNA和TDR的比较

■ VNA:

基于VNA测量

稳定状态测量

窄带

校准繁琐且时间长

动态范围高（110db）

成本高

TDR:

基于TDR/T测试

瞬时

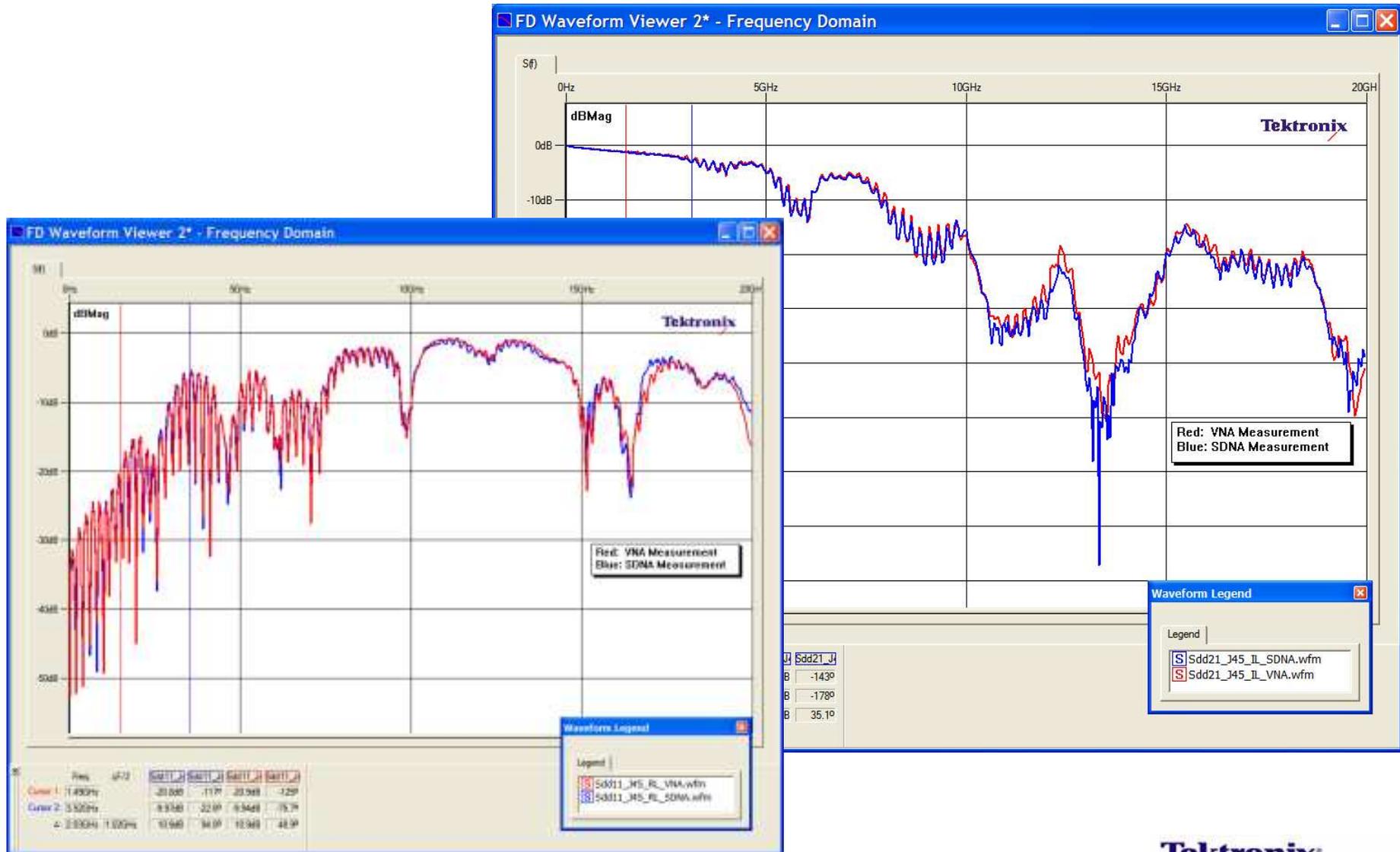
宽带

校准简单

动态范围小(60db左右)

成本低

TDR和VNA S参数相关实例

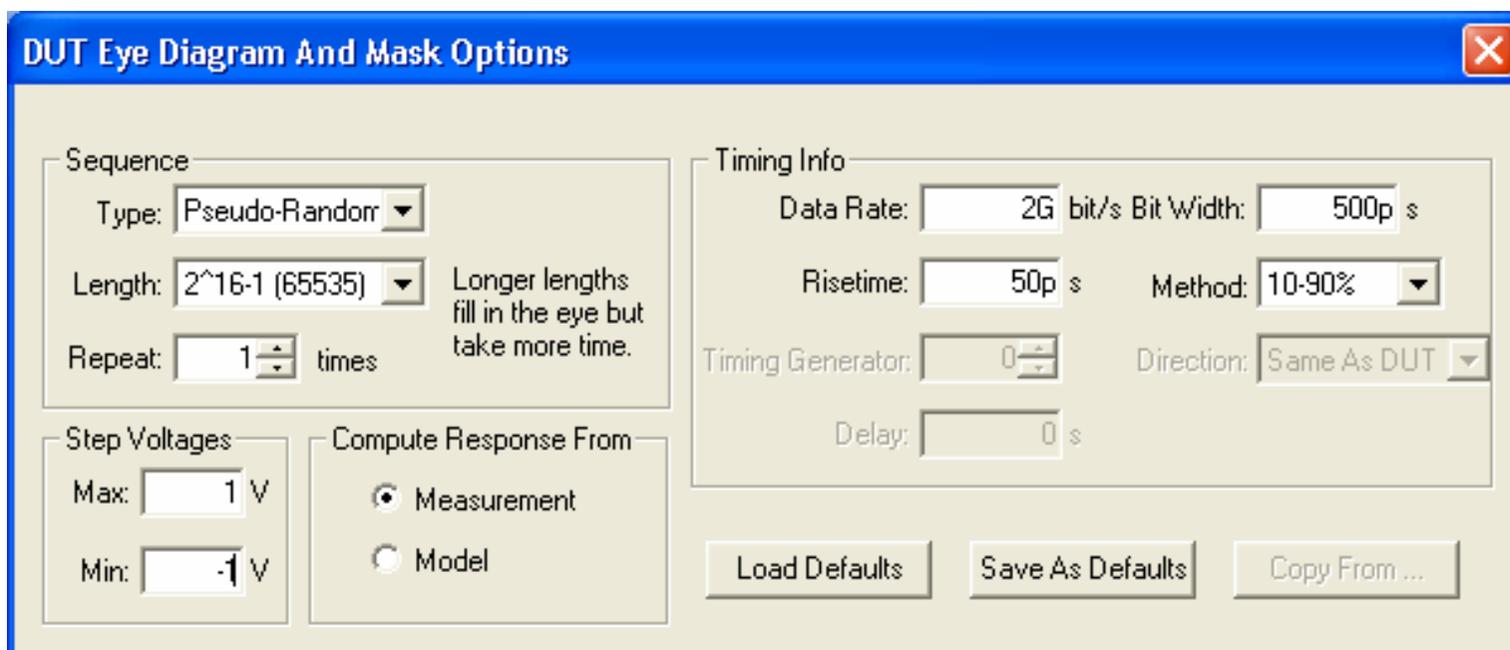


TDT and IConnect 眼图

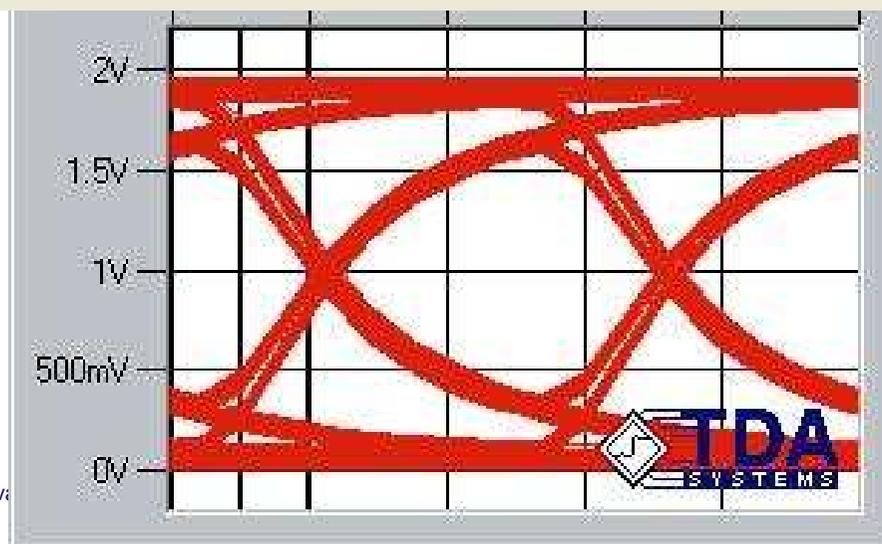
IConnect 眼图

- IConnect 眼图可以做什么？
 - 针对无源互连链路产生眼图 – 包括串扰效应!
 - 不需要码型发生器,只需要含TDT功能的TDR
 - 只对确定性抖动进行分析 – no active component jitter
 - 可加载标准模板,可进行peak-to-peak抖动分析和眼睛张开宽度测量
- 应用:
 - 线缆装配和PCB电气标准一致性测试(SATA, PCI Xpress, Infiniband, Gigabit Ethernet) – 超值,高效,快速!
 - 判定系统性能恶化是否由于发送机或者互连链路 – 在几秒内!
 - 评估前期背板最大性能 – 在几秒内!

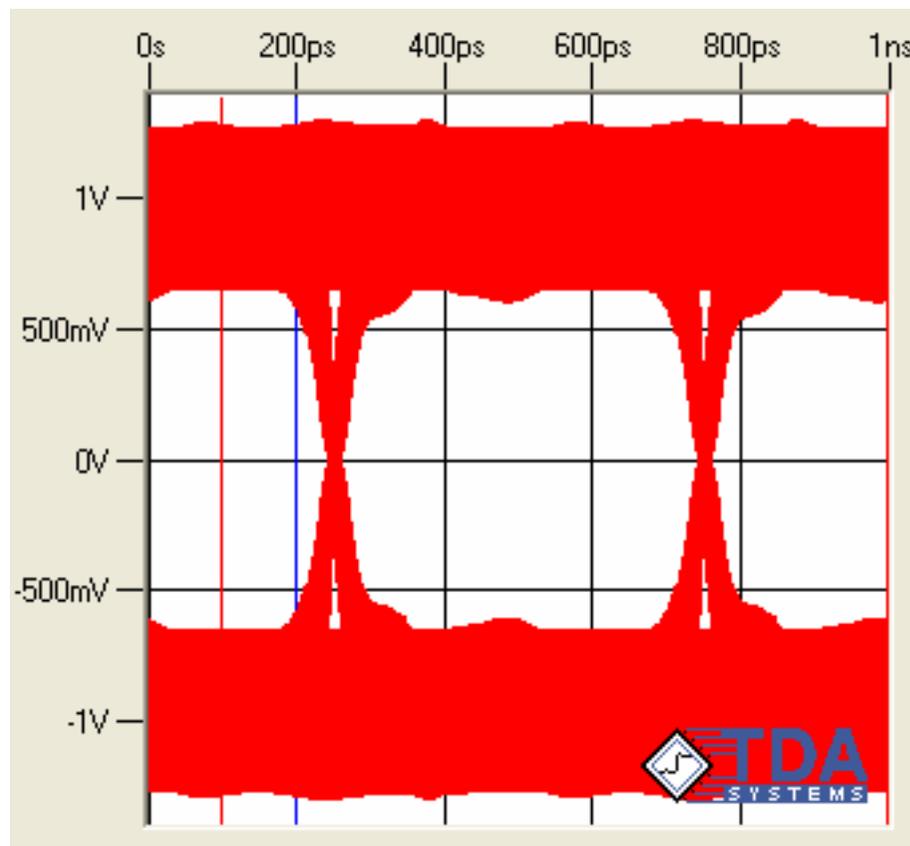
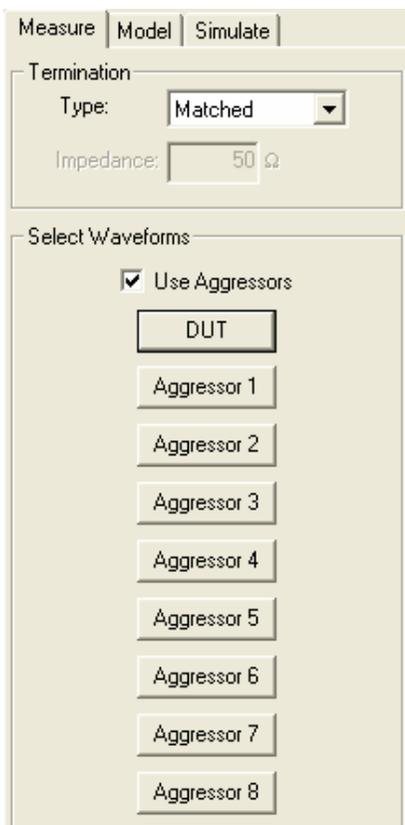
眼图选项



- TDT 简便地给出眼图劣化情况
 - 仅对确定性抖动
 - 由于系统损耗, ISI(码间干扰), 反射等引起的眼图劣化



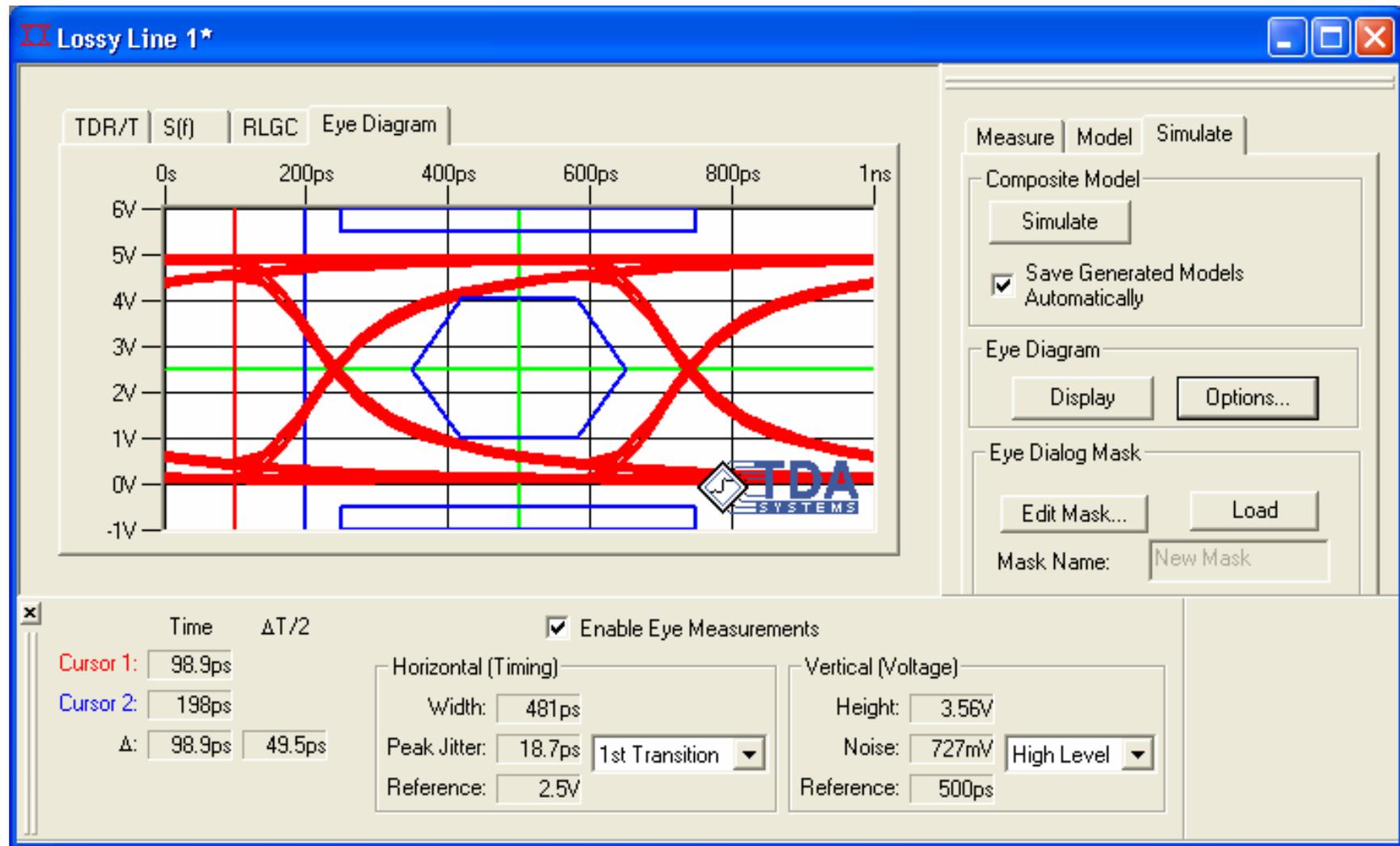
串扰效应



- 最高可定义8个串扰源(假设为中心管脚和周边8个管脚)
- 串扰源信号可以是与被干扰网络传输方向相同或相反,而且可以是完全独立定时(速率等.)

TDT and IConnect 眼图

眼图模板和抖动测量





TDR小结

- **TDR**可以进行印刷电路板的特性阻抗测量
- 高速互连：背板，转接头，插座等的特性分析系统的信号完整性分析
- 线缆，尤其是高速差分接口线的特性测量
- TDR串扰，传输延迟，衰减，眼图，回波损耗等频域**S**-参数测量

Tektronix®



Thank You For Attending!