



将脉冲技术引入先进CMOS 技术的可靠性测试

白皮书



将脉冲技术引入先进 CMOS 技术的可靠性测试

Pete Hulbert, 行业顾问

Yuegang Zhao, Keithley 资深应用工程师

对于研究半导体电荷捕获和退化行为来说，交流或脉冲应力对典型的应力测试是一个有用的补充。NBTI（负偏置温度不稳定性）和 TDDB（随时间变化的介电击穿）试验包括应力 / 测量循环。所施加的应力电压通常是一个直流信号，使用它是因为它更容易映射到器件模型中。然而，结合脉冲应力测试提供了额外的数据，允许更好地理解依赖频率电路的器件性能。

传统上，直流应力和测量技术被广泛用于表征 CMOS 晶体管的可靠性，如由沟道热载流子注入（HCI）和时间依赖性介电击穿（TDDB）引起的退化。然而，随着新的可靠性测试的发展，如金属氧化物半导体场效应晶体管（PMOSFET）和高 κ 材料器件中的电荷捕获，可靠性测试的性质得到了发展。这些现象可能会对评估新过程的可靠性产生重大影响。此外，人们对评估实际运行中电路的可靠性越来越感兴趣，在这些电路中多个设备是动态打开和关闭的。

新材料和结构的使用使得人们对动态可靠性测试的关注更大，在可靠性测试器件中引入脉冲或交流应力，以及在测量过程中引入脉冲来表征应力引起的界面退化。

研究发现，随着时间的推移，电压应力导致的界面退化或界面陷阱密度增加，是导致 HCI、NBTI 等器件可靠性问题以及高 κ 材料^[1] 可靠性的关键因素。使用电荷泵技术在现有的直流表征测试中添加界面陷阱监测测试，对于理解这些新的可靠性问题非常有用。在本白皮书中，我们将讨论一些在先进 CMOS 技术的可靠性测试中常用的电荷泵和交流应力技术。

虽然“交流压力”一词经常被使用，但它有点用词不当。对于这里讨论的应用，交流应力实际上是一列方形或梯形电压脉冲。为了本文的目的，我们将使用术语“脉冲应力”，因为它并不意味着一个连续的时变的或交替的信号。

脉冲表征 - 电荷泵

电荷泵 (CP) 和同时进行 C-V (高频和准静态 C-V 的结合) 测量是表征 MOS 器件中界面陷阱态密度的两种最常用的方法。然而，随着晶体管尺寸缩小，栅氧化物变薄，准静态 C-V 对于小于 3-4nm 的氧化物变得不现实；因此，同时 C-V 不适合新的高 κ 材料 [2] 的界面陷阱表征。

CP 是理解栅叠加行为的一种有用技术，随着高 κ 薄膜越来越常用于晶体管栅而变得越来越重要。CP 表征了界面和电荷捕获现象。CP 结果的变化可用于确定典型的可靠性测试方法所引起的退化量，采用直流或脉冲应力：热载流子注入 (HCI)、负偏置温度不稳定性 (NBTI) 和随时间变化的介电击穿 (TDDB)。

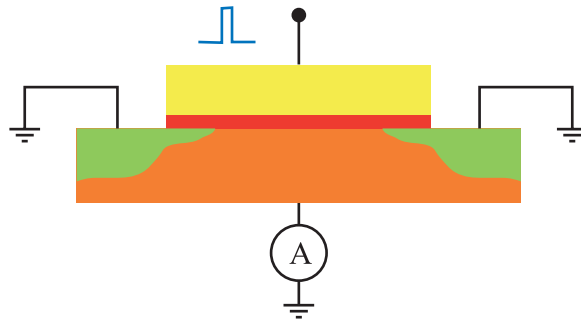


图 1: 电荷泵测量示意图。晶体管的源极和漏极连接到地面, 而栅极以固定的频率和振幅进行脉冲

图 1 显示了与被测设备 (DUT) 的连接。基本的 CP 技术包括: 对晶体管的栅极施加固定幅度、上升时间、下降时间和频率的电压脉冲序列时, 测量基极电流。在此测试中, 漏极、源极连接到地面, 衬底通过源测量单元 (SMU) 连接到地面, 用于测量通过栅极的电流 (I_{CP})。

两种最常见的 CP 技术是电压基极扫描和幅值扫描。在电压基极电平扫描中, 周期 (脉冲宽度) 和电压振幅被固定, 而扫描脉冲基极电压 (图 2a)。在每个电压下, 测量体电流并绘制基极电压 (I_{CP} vs V_{base}), 如图 2a 所示。

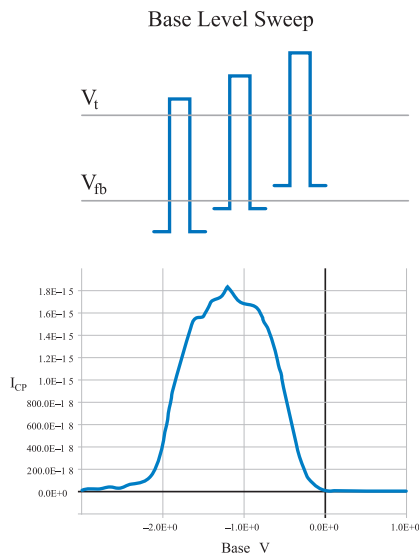


图 2a

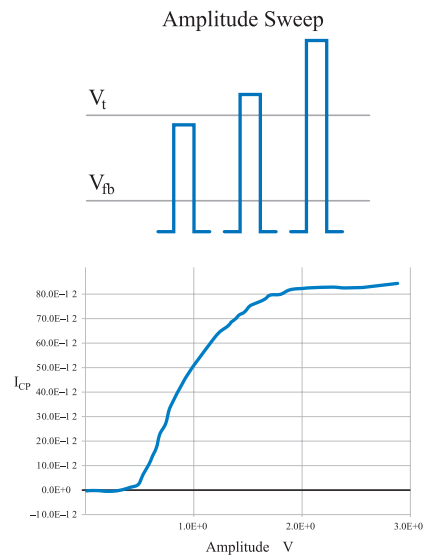


图 2b

图 2 用于电荷泵送的两扫描类型: a) 基极电压扫描 b) 脉冲幅度扫描

第二种电荷泵技术是电压幅度扫描，它具有一个固定的基本电压和周期（脉冲频率），每个扫描步骤的电压振幅都发生了变化（**图 2b**）。所获得的数据与从电压基极扫描中提取的数据相似，但在这种情况下，电荷泵电流与电压幅度（ I_{CP} vs 电压幅度）这些测量也可以在多个频率（周期）上执行，以获得界面陷阱的频率响应。

对于高 κ 材料结构，CP 技术可以将被捕获的电荷 (N_{it}) 量化为：

$$N_{it} = \frac{I_{CP}}{qfA}$$

在硅基板 / 界面层以外的捕获电荷可以被感知到^[3]。图 2a 为基底电压扫描的特征 I_{CP} 曲线，而图 2b 为电压幅值扫描的特征 I_{CP} 曲线。

CP 技术也可用于表征界面阱形成的初始阶段。**图 3** 显示了使用 1MHz 频率的“新” CP 测量（即以前未测试过的 MOSFET）。暗态电流是初始的 CP 测量值；较浅的曲线表示随后的测量结果。请注意，在较低的电压下， I_{CP} 曲线的形状以及大小都发生了变化。在多次测量后，随着效果饱和，变化趋势就会有效地停止。曲线形状的变化表明，CP 测量所施加的电应力导致了界面陷阱的形成。这意味着使用脉冲测量 CP 可以有效地对器件施加压力并引起一些退化。脉冲应力下的退化是对我们理解偏置温度不稳定性（BTI）和 TDDB 的有益补充。

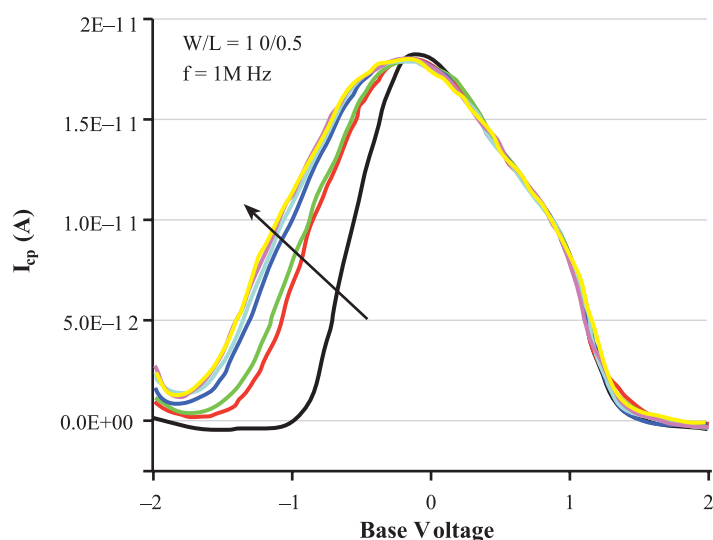


图 3. “新” 器件上的电荷泵测量所引起的应力效应

BTI 和 TDDB 的脉冲应力

BTI（其中包括 NBTI 和 PBTI）和 TDDB 有相似的测试方法。这种方法包括两个间隔、应力和测量，其中一个用高电压施加压力，交替定期进行测量，以确定退化量。NBTI 和 TDDB 都是在高温下进行的，以加速退化，减少测试时间，测试时间可能从一小时到两周不等。

近年来，对 PMOSFET 测试来说，NBTI 成为了一个日益重要的可靠性问题。NBTI 是一种栅极 - 通道界面的变化导致 PMOS 器件性能^[4]退化的现象。退化通常被定义为晶体管阈值电压 (V_T) 的增加和漏极电流 (I_D) 的退化。在老化或场效应场景下，这种退化通过失效^[5,6]降低了产量。NBTI 测试有一个最近发布的行业标准^[7]。NBTI 和传统的 HCI 测试之间最大的测试方法的区别是，在 NBTI 测试中，当应力被消除时，应力诱导的退化会出现弛豫。

这种弛豫对传统的应力和测量技术提出了挑战，因为当器件没有施加电压时，应力间隔和测量间隔之间总是有一个过渡时间。在测量间隔中，一些压力不施加后，鉴于仪器“看到”器件性能，该技术将高估器件寿命，因为退化效应减少后，压力将出现在测量阶段。此外，

使用直流应力电压不能准确地表示器件在真实电路中所承受的应力，因为当晶体管没有工作时，大多数器件都会经历弛豫；因此，直流应力技术可能低估晶体管在真实电路中的寿命。随着新技术的可靠性利润率不断缩小，评估晶体管的使用寿命可能是比较昂贵的。

除了弛豫作为一种动态可靠性行为，在高 κ 栅材料的晶体管中也发现了电荷捕获。这是因为在 CMOS 工艺中沉积高 κ 材料的过程还不成熟，与二氧化硅工艺相比，薄膜中还有大量的陷阱中心。当栅极被打开时，电荷可以暂时捕获在栅极中，随着时间的推移改变晶体管的性能，捕获的电荷改变晶体管的阈值电压。根据栅极的质量和捕获条件，捕获电荷可能需要几十毫秒到毫秒。

高 κ 栅极内的电荷分布也会影响电场分布，从而改变高 κ 栅极的可靠性行为。同时，由于在较低的栅极电压下去除电荷，也存在类似的弛豫效应。弛豫将导致对设备寿命的不准确估计，因为它强烈地依赖于时间，同时随着应力测量的过渡时间，弛豫时间通常在测试环境中没有得到很好的控制。

新的可靠性现象的动态特性要求脉冲应力来模拟电路内器件的性能。不同的电路和电路拓扑工作在不同的频率下，因此可能需要与频率相关的寿命提取来建立基于频率寿命的模型。在这些应用中，脉冲应力比直流应力技术有优势。脉冲应力对器件施加动态信号，更好地接近频率相关的电路行为。在脉冲应力期间，应力被中断，退化部分恢复，这恢复了器件的寿命。应力产生的界面陷阱，在应力关闭期间被部分退火或修复。由于这种恢复（或自退火）行为，可靠性工程师和科学家正在使用脉冲应力技术来更好地评估器件的寿命，因为它适用于电路内或产品内的条件。

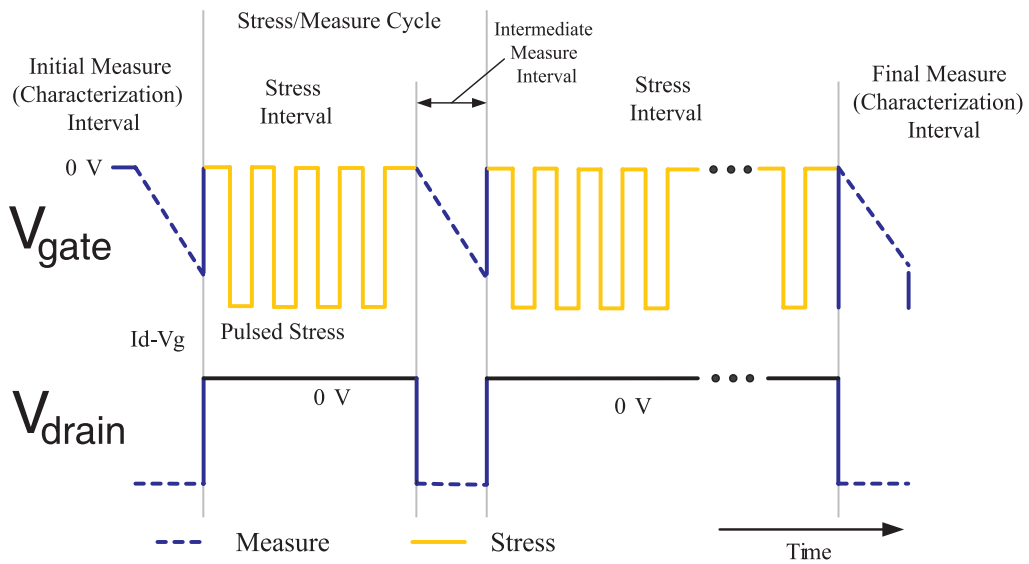


图 4a

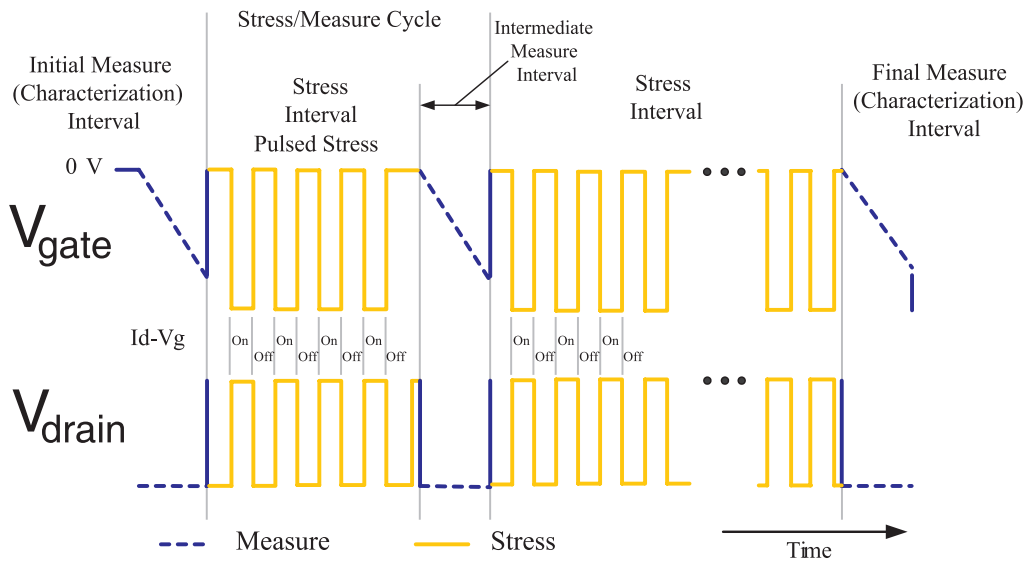


图 4b

图 4. NBTI 应力 / 测量图，显示了两种不同的脉冲应力方法：a) 使用传统栅极和漏极电压的动态 NBTI (DNBTI) b) DNBTI 模拟逆变器条件，漏极电压与栅极电压处于相反的相位

通过使用周期性应力来模拟器件在电路中的应力，脉冲应力基本上是一个短的直流应力，被没有施加应力的时间中断（图 4）。对于 NBTI，这种应力脉冲之间的非应力部分允许退化恢复到一定程度^[9]。这种部分恢复对确定并模拟了该器件的使用寿命行为具有重要意义。

部分恢复还不能被很好地理解，并且会因每个使用器件的结构、尺寸和材料的组合而有所不同。**图 4** 显示了两个脉冲应力的例子，尽管还有其他的脉冲应力方法。**图 4a** 显示了 NBTI 的脉冲应力，其中漏极电压在应力间隔期间保持 0V。**图 4b** 显示了 NBTI 的脉冲应力，除了栅极电压外漏极电压是脉冲的。这第二种方法用于模拟逆变电路中的单个器件的性能。**图 4b** 中的栅极和漏极都受到了压力，因此在器件退化过程中同时存在 NBTI 和 HCI。一般来说，脉冲应力技术产生更少的退化，器件的寿命更长。

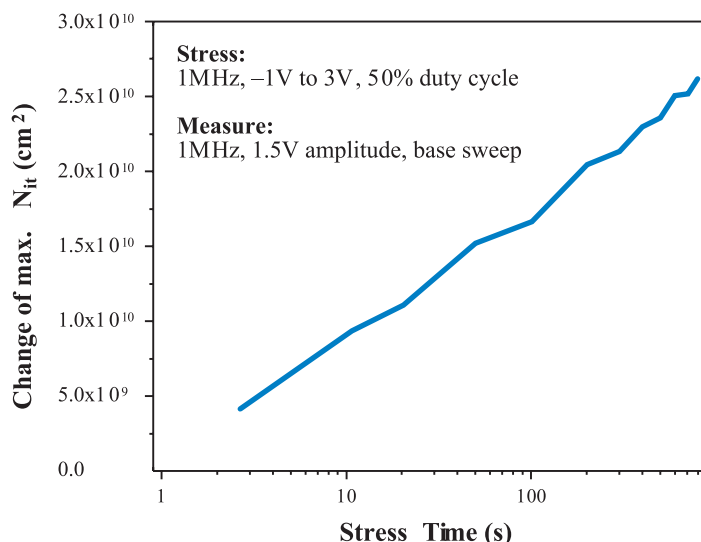


图 5. 由于脉冲应力而导致的 N_{it} 退化

对于 NBTI，脉冲应力技术用于研究单个器件^[9]以及数字电路^[10]的动态行为。图 5 显示了不同脉冲应力持续时间导致的 N_{it} 的增加，结合了**图 4a** 的应力方法和**图 2a** 的周期性 CP 测量值。

除了 BTI，TDDB 在静态和动态故障状态^[11,12]中的作用可以很好地被理解。对于在 TDDB 测试期间监测 SILC（应力引发的泄漏电流），应力 / 测量图类似于**图 4a**，但 V_{drain} 保持在一个恒定的非零电压，允许在应力期间读取 I_d 。

结论

脉冲电压为研究高 κ 薄膜的固有材料、界面和可靠性性能以及基于这些新薄膜的器件提供了关键的能力。脉冲电压同时测量直流电流是电荷的基础，对测量固有电荷捕获具有重要价值。与直流或脉冲应力结合使用，CP 还可以研究电荷捕获，以及在高 κ -Si 界面和高 κ 薄膜内的新电荷产生。脉冲应力还提供了一种应力方法，可以更好地模拟电路内器件所看到的实际应力，这对各种器件的可靠性测试都很有用，包括 BTI、TDDDB 和 HCI。此外，脉冲应力提供了对使用直流应力不能很好监测器件可靠性行为的另一种方法。脉冲应力补充了传统的直流技术，以提供更好地表征器件的可靠性行为。

参考文献

- [1] International Sematech, “The International Technology Roadmap for Semiconductors, 2003 ed.” Austin, TX, 2003.
- [2] S. H. Lo, D. A. Buchanan, Y. Taur, and W. Wang, “Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultrathin-oxide nMOSFETs,” IEEE Electron Device Lett., vol. 18, p. 209, May 1997.
- [3] A. Kerber, E. Cartier, et al., “Origin of the Threshold Voltage Instability in SiO₂/HfO₂ Dual Layer Gate Dielectrics,” IEEE Electron Device Lett., 24 (2003) 87.
- [4] D. Schroder and J. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing,” J. Appl. Phys., vol. 94, pp. 1-18, July 1, 2003.
- [5] V. Reddy et al. “Impact of Negative Bias Temperature Instability on Product Parametric Drift,” in Proc. IEEE ITC Intl. Test Conf., Oct. 2004, pp. 146-155.
- [6] Y.H. Lee et al. “Effect of pMOST Bias Temperature Instability on Circuit Reliability Performance,” in Proc. Intl. Electron Devices Mtg., 2003, pp. 353-356.
- [7] “A Procedure for Measuring P-Channel MOSFET Negative Bias Temperature Instabilities,” in JEDEC JESD90, Nov. 2004.
- [8] B. H. Lee et al. “Intrinsic Characteristics of High- κ Devices and Implications of Fast Transient Charging Effects (FTCE),” in Technical Digests of International Electron Device Meeting, 2004, p. 859.

- [9] M.A. Alam, "A Critical Examination of the Mechanics of Dynamic NBTI for PMOSFETs," in Proc. IEEE Intl. Electron Devices Mtg., December 2003, p. 345.
- [10] B. Kaczer, F. Crupi, R. Degraeve, P. Roussel, C. Ciofi, G. Groeseneken, "Observation of hot-carrier-induced nFET gate-oxide breakdown in dynamically stressed CMOS circuits," in Proc. IEEE Intl. Electron Devices Mtg., 2002, pp. 171-174.
- [11] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, G. Ghibaudo, "Review on High- κ Dielectric Reliability Issues," IEEE Transactions on Device and Materials Reliability, vol. 5, no. 1, March 2005, pp. 5-19.
- [12] Y. Kim, K. Onishi, C. Kang, R. Choi, H. Cho, R. Nieh, J. Han, S. Krishnan and J. Lee, "Hard and Soft-Breakdown Characteristics of Ultra-Thin HfO₂ Under Dynamic and Constant Voltage Stress," in Proc. IEEE Intl. Electron Devices Mtg., December 2002, p.629.

Specifications are subject to change without notice.

All Keithley trademarks and trade names are the property of Keithley Instruments, Inc.
All other trademarks and trade names are the property of their respective companies.



Keithley Instruments, Inc.

28775 Aurora Road • Cleveland, Ohio 44139 • 440-248-0400 • Fax: 440-248-6168
1-888-KEITHLEY (534-8453) • www.keithley.com

© Copyright 2005 Keithley Instruments, Inc.
Printed in the U.S.A.

No. 2638
08052KGW