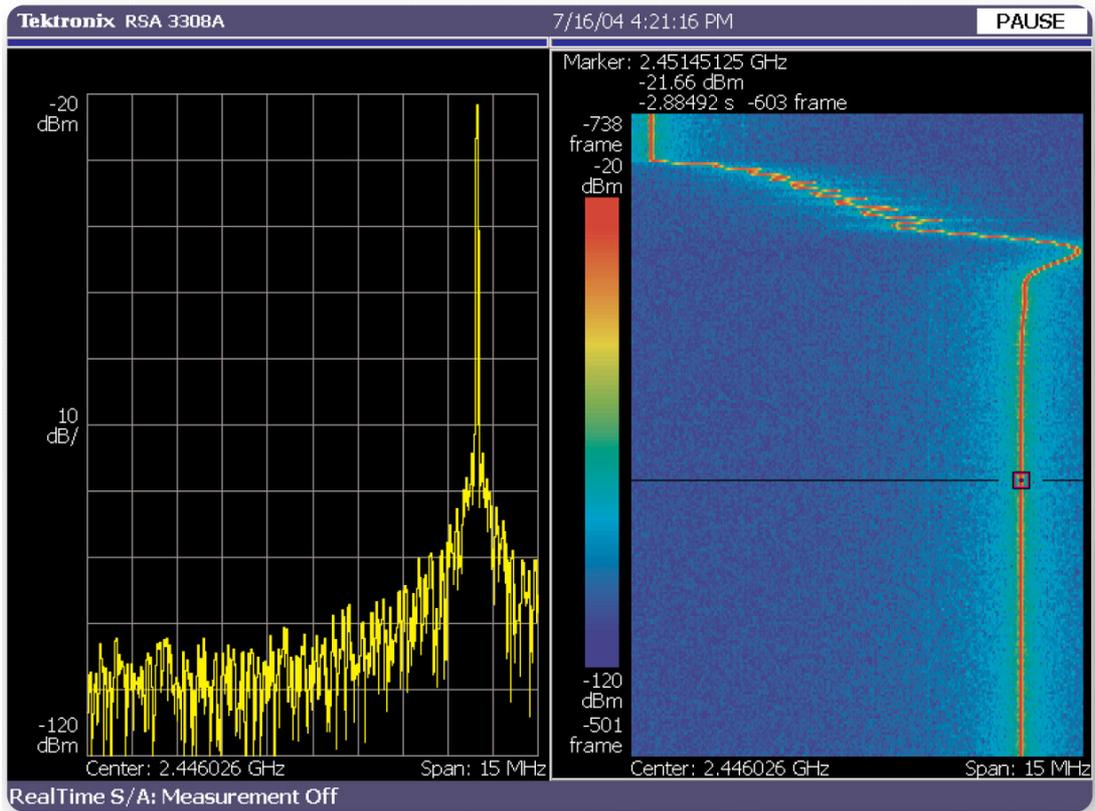


# Tektronix 실시간 스펙트럼 분석기 (Real-Time Spectrum Analyzers)를 통한 위상 고정 루프(Phase Locked Loops) 특성화



## 소개

위상 고정 루프는 전자 분야에서 가장 다양한 다목적성을 지니는 구성 요소 중 하나가 되었습니다. 데이터 통신의 클럭 복원(clock recovery) 블록에서 유비쿼터스(ubiquitous) 셀룰러 폰에 전원을 공급하는 로컬 오실레이터에 이르기까지 위상 고정 루프는 회로 및 시스템의 중심부에 위치하고 있습니다. PLL(Phase Locked Loop)은 출력 주파수를 레퍼런스 주파수의 정확한 배수로 만드는 특성으로 인해 주파수 합성기, 동기화 시스템의 다양한 클럭 배열, 그리고 위성의 도플러 이동(Doppler shift) 추적에서부터 산업용 근접 센서의 미세한 리액턴스(reactance) 변화 감지에까지 이르는 다양한 용도를 위한 회로로서 가장 많이 선택되고 있습니다.

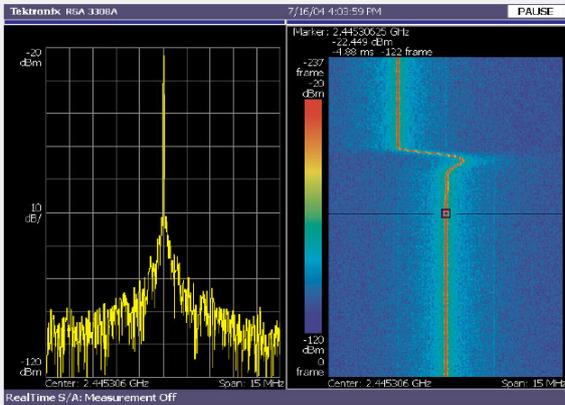
그동안 선형 피드백 제어 시스템으로서의 기능에 초점을 두고 PLL을 설명하려는 많은 노력이 있어 왔습니다. 선형 정상 상태 근사법(linear steady-state approximation)은 안정적 고정 상태에 가까운 미세한 편차에 대한 PLL의 작동을 정확하게 설명해 줍니다. 선형 분석은 미소 신호 변조, 위상 잡음, 스푸리어스(spurious) 등에 대한 PLL의 반응과 같은 미소 신호 효과를 설명하는데 있어 더없이 적합합니다. 선형 분석은 대부분 주파수 영역에서 이루어지며, 성능 측정은 전형적인 스펙트럼 및 네트워크 분석기를 통해 실행됩니다.

하지만 로크로부터 멀리 떨어져 있거나, 스위칭 과도 상태 도중에 있거나, 큰 신호 입력에 반응할 때 PLL은 선형 모델과는 매우 다른 움직임을 보입니다. 비선형적 작동은 종종 안정 시간(settling time), 스위칭 속도, 캡처 범위 등과 같은 가장 중요한 파라미터에 지배적인 영향을 미칩니다. 선형적 작동과 비선형적 작동을 모두 이해하는 것은 또한 주파수 호핑 오실레이터의 일부로서 PLL을 사용하는 주파수 가변(frequency agile) 통신 시스템의 방출 요구사항을 만족시키는 데 있어서도 매우 중요합니다. 비선형 분석은 대부분 시간 영역에서 이루어지며, 성능은 인서킷(in-circuit) 프로브 및 오실로스코프를 통해 측정됩니다.

**Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한 위상 고정 루프(Phase Locked Loops) 특성화**

▶ 기술 개요

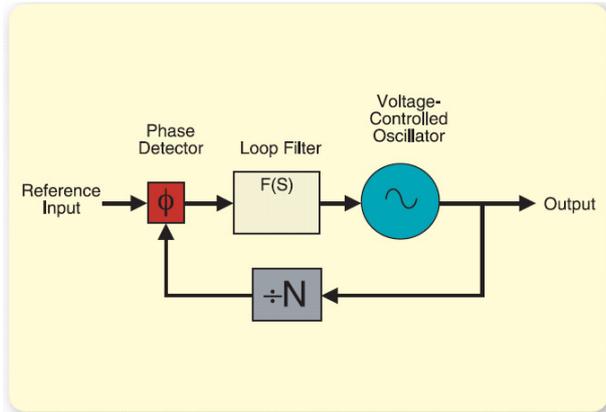
**Real-Time Spectrum Analyzers**



▶ Tektronix 실시간 스펙트럼 분석기: PLL의 스위칭 과도 현상을 보여주는 스펙트럼 및 분광 사진 출력 화면

**주파수 및 시간 영역**

Tektronix 실시간 스펙트럼 분석기는 시간 또는 주파수 영역의 과도 신호에 대한 트리거를 통해 신호의 시간 기록을 빠짐 없이 포착하고 포착된 신호를 주파수, 시간, 변조, 및 코드 영역에서 분석할 수 있는 기능을 제공합니다. 다중 영역에서의 작업이 가능한 이와 같은 기능을 갖춘 Tektronix 실시간 분석기는 위상 고정 루프의 선형 및 비선형 성능 측정을 위한 최적의 장비입니다.



▶ 그림 1: 위상 고정 루프의 구성 요소

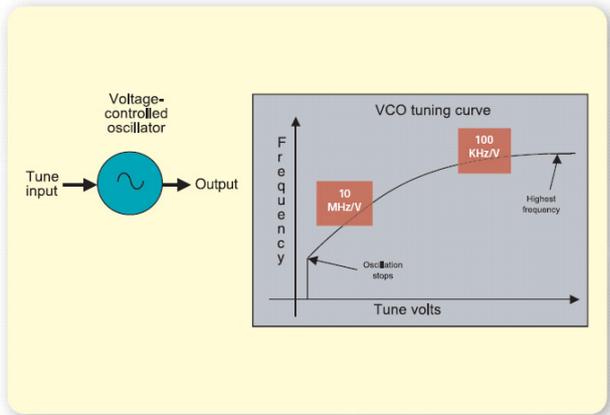
고밀도 혼합 신호 집적회로의 등장으로 인해 PLL 회로의 많은 부분이 단일 칩 IC에 포함됨으로써, 필요한 신호의 프로빙(probe)은 비현실적인 것이 되었습니다. 이로 인해 일반적으로 쉽게 얻을 수 있는 PLL 출력 신호만을 이용한 주파수 및 위상의 시간 영역 측정에 대한 필요성이 대두되었습니다.

본 문서는 선형 및 비선형 효과를 포함한 위상 고정 루프의 작동에 대한 개요를 제시하고 있습니다. 또한 Tektronix 실시간 스펙트럼 분석기를 이용한 시간 영역 및 주파수 영역에서의 이러한 효과들에 대한 측정을 제시합니다.

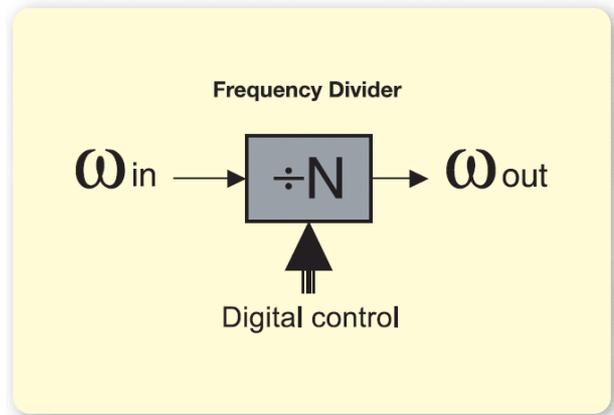
**PLL 기초**

기본적으로 위상 고정 루프는 레퍼런스 신호의 위상에 보조를 맞춰 출력 신호의 위상을 유지하기 위해 피드백을 사용하는 제어 시스템입니다. 좀더 자세히 말하면, PLL은 로크되었을 때 그림 1에서 볼 수 있는 바와 같이 출력 신호의 위상이 레퍼런스 신호 위상의 N 배가 되도록 제어합니다. 이와 마찬가지로 출력 신호의 주파수는 레퍼런스 주파수의 N 배가 됩니다. 모든 선형 피드백 제어 시스템과 마찬가지로 PLL도 일반적으로 S 또는  $j\omega$ 의 전달 함수를 산출하는 푸리에 또는 라플라스의 기법으로 설명되는 동적 특성을 지닙니다. 전달 함수 방식에 의해 설명되는 선형적 움직임은 로크에 인접해 있는 루프의 작동을 분석하는 데 있어서 유용합니다. 비선형적 효과는 폭넓은 범위의 주파수 스위칭을 위해 주파수 분주기(frequency divider)의 비율이 변경될 때와 같이 로크되지 않은 상태에서의 PLL의 거동에 지배적인 영향을 미칩니다.

대부분의 PLL에 공통적인 구성 요소는 위상 검파기, 루프 필터, 전압 제어 발진기(voltage controlled oscillator, VCO), 주파수 분주기 등입니다. 이들 구성 요소는 그 작동에 있어서 선형적 속성과 비선형적 속성을 모두 지니고 있습니다.



▶ 그림 2: 전압 제어 발진기와 비선형 동조 곡선



▶ 그림 3: 분주 비율의 제어 기능을 포함한 이상적인 주파수 분주기

### 전압 제어 발진기 (Voltage Controlled Oscillator, VCO)

전압 제어 발진기(VCO)는 그림 2에서 볼 수 있는 것과 같이 동조 신호를 통해 제어되는 출력 주파수를 가지고 있습니다. 이 동조 신호는 일반적으로 전압이 되지만, 다른 변수가 될 수도 있습니다. 전력 제어 발진기, 수치 제어 발진기 및 기계적으로 제어되는 발진기도 가능합니다.

VCO의 동조 감도인 KV는 선형 분석에서 가장 중요한 파라미터입니다. VCO는 종종 비선형적으로 작동하며, 동조 감도가 동조 범위에 걸쳐 크게 변화합니다. 동조 감도가 크게 변하는 VCO를 사용하는 PLL은 흔히 일관된 성능의 유지를 위해 이득 보상(gain compensation)을 필요로 합니다. VCO는 또한 최저 및 최대 동조 주파수와 발진기가 정지하거나 원치 않는 주파수 성분트가 생성되는 동조 전압 등을 포함하여, 고려해야 할 몇 가지의 비선형적 거동을 보입니다.

#### VCO 선형 근사법(Linear Approximations)

$$\omega_{out}(t) = K_V V_{in}(t) + \omega_0$$

$$\phi_{out}(t) = K_V \int V_{in}(t) dt + \omega_0 t$$

$\phi_{out}(t)$ 와  $\omega_{out}(t)$ 는 VCO 출력 신호의 위상과 주파수를 나타냅니다. VCO의 위상과 주파수는 또한 복합 주파수의 함수로도 표시될 수 있습니다.

$$\frac{\omega_{out}(s)}{V_{in}(s)} = K_V$$

$$\frac{\phi_{out}(s)}{V_{in}(s)} = \frac{K_V}{S}$$

### 주파수 분주기(Frequency Divider)

그림 3에서 볼 수 있는 바와 같이 주파수 합성에 사용되는 위상 고정 루프는 흔히 주파수 분주기를 사용합니다. 주파수 분주기는 대부분 N 입력 펄스에 대해 하나의 출력 펄스를 생성하는 디지털 계수기입니다. 위상과 주파수의 값은 모두 N의 비율에 따라 정해지며, N은 일반적으로 정수(integer)입니다. 정수가 아닌 비율에는 Fractional-N 기술이 사용됩니다.

#### 주파수 분주기 선형 근사법(Linear Approximations)

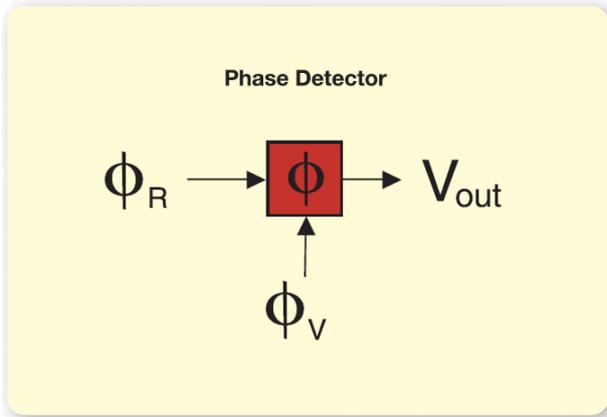
$$\omega_{out} = \frac{\omega_{in}}{N}$$

$$\phi_{out} = \frac{\phi_{in}}{N}$$

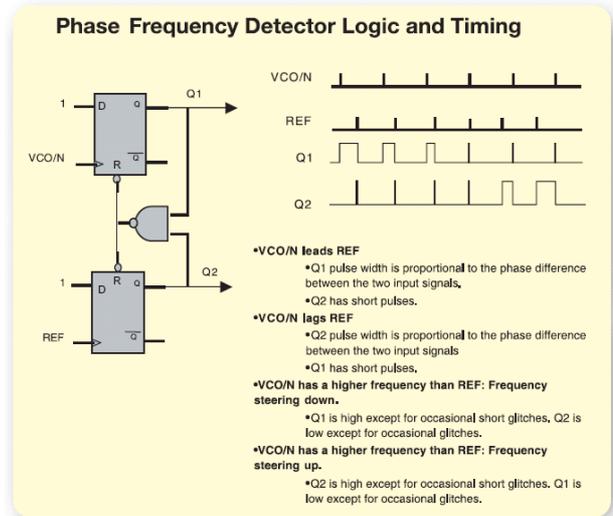
$\omega_{out}$ 과  $\phi_{out}$ 은 출력 주파수와 위상을,  $\omega_{in}$ 과  $\phi_{in}$ 은 입력 주파수와 위상을, N은 분주 비율을 나타냅니다.

Integer-N 분주기는 신호의 위상을 상수에 대한 비율로 정할 수 있도록 나눔수(divisor) 및 주파수의 정해진 범위에 대해 선형 방식으로 작동합니다. Fractional-N 분주기는 몇 개의 정수 값 중의 하나를 번갈아가며 선택하여 정수가 아닌 비율을 취합니다. 이와 같은 비 선형 방식의 작동은 보통 필터링, 교정 또는 이 둘 모두를 요하는 스퍼리어스 신호를 발생시킵니다.

Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한  
 위상 고정 루프(Phase Locked Loops) 특성화  
 ▶ 기술 개요



▶ 그림 4: 이상적인 위상 검파기



▶ 그림 5: 위상 주파수 검파기의 작동

**위상 검파기(Phase Detector)**

그림 4에서 볼 수 있는 바와 같이 위상 검파기는 두 개의 입력 신호의 위상 차에 비례하는 출력 신호를 산출하는 회로입니다. 위상 검파기 선형 근사법

$$V_{out}(t) = K_{\phi} [\phi_V(t) - \phi_R(t)]$$

$K_{\phi}$ 는 위상 검파기의 이득이고,  $\phi_V(t)$ 는 VCO로부터 들어오는 신호의 위상이며,  $\phi_R(t)$ 는 레퍼런스 신호의 위상입니다. 때로는 이 두 가지 신호에 대한 응답을 독립적으로 검토하는 것이 유용합니다.

$$V_{out}(s) = K_{\phi} \phi_V(s)$$

or

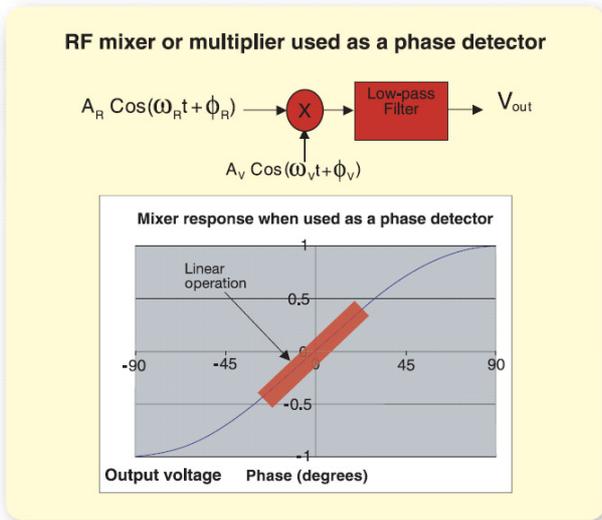
$$V_{out}(s) = -K_{\phi} \phi_R(s)$$

**위상 주파수 검파기(Phase Frequency Detector)**

위상 주파수 검파기는 가장 많이 사용되는 위상 검파기 유형 중의 하나입니다. 위상 주파수 검파기는 저렴한 디지털 로직을 구현하고 있으며, 이를 포함하고 있는 PLL이 비고정(out-of-lock) 상태일 때 주파수 스티어링(frequency steering) 통합 기능을 기본적으로 제공하므로, 널리 사용되고 있습니다. 그림 5는 기본적인 위상 주파수 검파기의 로직과 타이밍을 보여주고 있습니다. 위상 주파수 검파기의 선형 작동 범위는  $\pm 2\pi$  라

디안이며, 흔히 플립플롭(flip-flop) 논리 상태에 의해 게이트가 개폐되는 전류원 또는 전압원을 통합합니다. 주파수 스티어링 작동은 선형 범위가 초과되었을 때 루프를 로크 방향으로 강제로 이동시킵니다. 일부 위상 주파수 검파기는 또한 0을 벗어난 부동의 로크 포인트(lock point)를 강제로 얻기 위해 위상 상쇄(phase offset)를 필요로 하는 위상차가 0인 지점의 주변에 “불감대(dead-zone)” 비선형성을 지니고 있습니다.

위상 주파수 검파기의 출력은 입력단에 존재하는 두 개의 신호 간의 위상 차이가  $2\pi$  라디안을 초과할 때마다 재설정됩니다. 연속적인 재설정은 비고정(out-of-lock) 상태에서만 야기되며, 이로 인해 위상 주파수 검파기는 주파수 스티어링 모드에 놓이게 됩니다. 이 모드에서 위상 주파수 검파기는 로킹을 위한 올바른 방향으로 VCO를 조정하는 펄스화된 신호를 제공합니다. 주파수 스티어링이 진행되는 동안 PLL은 효과적으로 오픈 상태에 놓여있게 됩니다. 주파수 스티어링 모드에서의 PLL의 과도 성능은 선형 피드백 제어 시스템에서 기대되는 안정 파형(settling waveform)을 보여주지 않습니다. 출력 주파수가 로크 주파수에 가까워지면 위상 주파수 검파기는 위상 검파 모드로 되돌아갑니다.



▶ **그림 6:** 위상 검파기로서 작동하는 RF 믹서

### 믹서 위상 검파기(Mixer Phase Detector)

곱셈기(multiplier)나 믹서 또한 위상 검파기로 사용할 수 있습니다. 그림 6에서 볼 수 있는 바와 같이 믹서의 출력은 두 개의 입력 간의 위상차의 정현파(sine)에 비례합니다.

$$V_{out} = K_{det} A_R A_V \cos(\phi_R - \phi_V)$$

$$\text{Let } \phi_R - \phi_V = \frac{\pi}{2} - \Delta\phi$$

$A_R$ 과  $A_V$ 는 진폭을,  $\phi_R$ 과  $\phi_V$ 는 두 개의 위상 검파기 입력 신호의 위상을,  $K_{det}$ 는 믹서의 변환 이득(conversion gain)을 나타냅니다.

직각 위상(quadrature)에 가까운 작은 위상차의 경우

$$V_{out} = K_{det} A_R A_V \sin(\Delta\phi) \approx K_{det} A_R A_V (\Delta\phi)$$

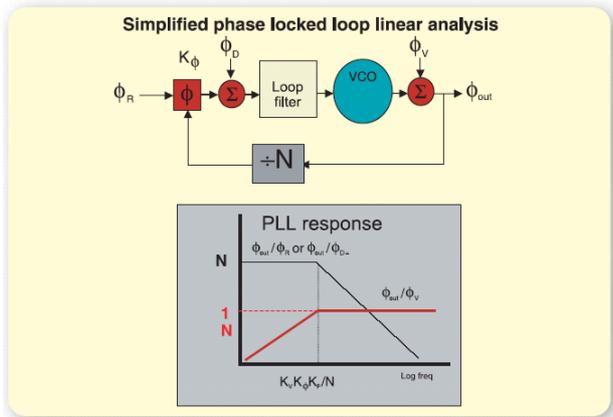
선형 근사법은 직각 위상에 가까운 신호에 대해 유효합니다. 비선형 작동은 큰 위상차의 거동에 지배적인 영향을 미칩니다. 주파수 오류가 적고 루프가 캡처 범위 내에 있을 때에는 믹서의 정현적(sinusoidal) 거동이 PLL을 로크 상태가 되도록 강제하는 것을 볼 수 있습니다. 믹서 타입의 위상 검파기를 사용하는 PLL은 흔히 두 개의 주파수를 포착 범위 내로 포함시키기 위해 외부의 프리튜닝(pre-tuning) 또는 주파수 스티어링 메커니즘을 활용합니다.

### 루프 필터(Loop Filter)

루프 필터는 대역폭, 스위칭 속도, 안정 시간, 스퓨리어스 레벨, 또는 기타의 설계 파라미터의 최적화를 위해 PLL의 응답을 맞추기 위해 사용됩니다. 루프 필터는 종종 적분기(integrator)를 사용하며, 적분기 회로를 구성하는 활성 장치의 선형성 문제에 의해 영향을 받기 쉽습니다. 예를 들어, 전원공급 전압에 가까워질 때 출력 전압이 클리핑됨에 따라 OP 앰프가 비선형적으로 작동하게 됩니다.

**Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한  
위상 고정 루프(Phase Locked Loops) 특성화**

▶ 기술 개요



▶ 그림 7: PLL 선형 분석

레퍼런스 신호에 대한 응답을 표시하는 PLL 전달 함수는 저역 통과(low-pass)의 형태를 취합니다. 그림 7에서 볼 수 있는 바와 같이 PLL 대역폭 아래의 주파수 컴포넌트의 경우 출력 위상은 레퍼런스 위상 변동의 N 배수로 결정됩니다. PLL 대역폭 위의 위상 컴포넌트의 경우 출력 위상은 레퍼런스와는 상관 없이 결정됩니다. 위상 검파기에서 추가된 신호에 대한 응답은 유사한 저역 통과(low-pass)의 모양을 취합니다. VCO의 위상 변동에 대한 PLL 응답을 표시하는 전달 곡선은 고역 통과(high pass)의 형태를 취합니다. PLL은 루프 대역폭 위의 변동 컴포넌트의 경우에는 VCO의 위상에 아무런 영향도 미치지 않지만, 루프 대역폭 내의 저주파 컴포넌트는 감쇠시킵니다. 이와 같은 PLL의 특성은 종종 발진기의 위상 안정성을 향상시키기 위해 이용되며, 고주파 VCO의 위상 잡음을 개선하기 위해 낮은 위상 잡음의 레퍼런스 신호가 사용됩니다. 레퍼런스의 위상 잡음과 N의 배수로 결정되는 위상 검파기의 잡음은 저주파에 지배적인 영향을 미치며, VCO의 위상 잡음은 고주파에 지배적인 영향을 미칩니다. (잡음, 스푸리어스 등과 같은) 기타의 위상 변조의 원천 또한 PLL에 의해 비슷한 영향을 받습니다. 본 문서에서는 논의의 단순화를 위해 VCO, 레퍼런스 및 위상 검파기 잡음만을 살펴봅니다.

**PLL 선형 작동**

로크 근처에서의 PLL의 작동은 S의 전달 함수를 사용하는 피드백 제어 시스템과 라플라스 변환에 사용되는 복합 주파수를 위한 기술을 통해 쉽게 설명될 수 있습니다.

다양한 자극 포인트(stimulus point)에 대한 전달 함수는 전통적인 기술을 사용하여 얻을 수 있습니다. 본 문서에서는 레퍼런스 및 VCO의 위상 변동과 위상 검파기 출력에 삽입된 신호에 대한 응답을 살펴봅니다.

$$\frac{\phi_{out}(s)}{\phi_R(s)} = \frac{K_V K_\phi F(s)}{S + \frac{K_V K_\phi F(s)}{N}}$$

Let  $F(s) = K_F$ .

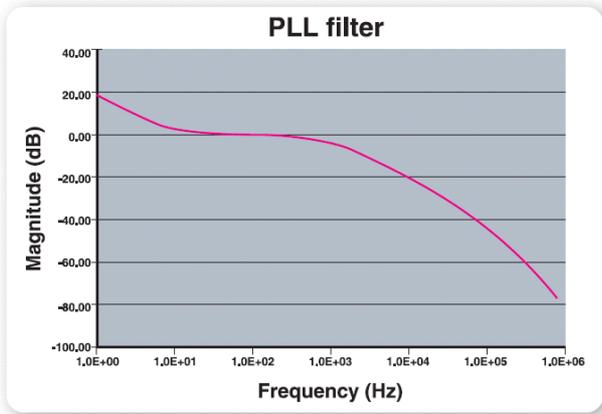
$$\frac{\phi_{out}(s)}{\phi_R(s)} = \frac{K_V K_\phi K_F}{S + \frac{K_V K_\phi K_F}{N}}$$

비슷한 조작을 통해 다음과 같이 위상 검파기의 출력에서 합계되는 신호에 대한 응답과

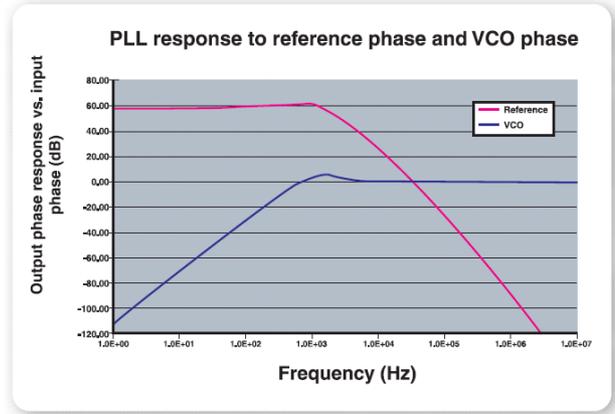
$$\frac{\phi_{out}(s)}{\phi_D(s)} = \frac{K_V K_F}{S + \frac{K_V K_\phi K_F}{N}}$$

다음과 같은 VCO의 위상 변동에 대한 응답이 산출됩니다.

$$\frac{\phi_{out}(s)}{\phi_V(s)} = \frac{S}{S + \frac{K_V K_\phi K_F}{N}}$$



▶ 그림 8: PLL 필터 절대값 응답



▶ 그림 9: 레퍼런스 및 VCO의 위상 변동에 대한 위상 전달 4차 함수

### 실용적 루프 필터

실용적 PLL 필터에는 PLL 응답의 모양을 형성하기 위해 적분기, 극(pole), 영점(zero)이, 필터링을 통한 레퍼런스 신호 관통형(feed-through) 스퍼(spur)의 제거를 위해 추가적 극이 포함되어 있습니다. 그림 8에서 볼 수 있는 바와 같이 루프 필터에 적분기를 포함하고 있는 PLL을 타입 2(Type 2) 위상 고정 루프라고 부릅니다.

$$F(s) = K_i \frac{bc}{a} \frac{(s+a)}{s(s+b)(s+c)}$$

PLL 응답은 4차 함수가 됩니다. 그림 9에서 볼 수 있는 바와 같이 위상 검파기에서 합계되는 레퍼런스의 위상 변동 및 신호에 대한 PLL의 응답은 다음과 같이 주어지는 저역 통과 함수가 됩니다.

$$\frac{\phi_{out}(s)}{\phi_R(s)} = \frac{K_V K_\phi K_i \frac{bc}{a} (s+a)}{s^4 + (b+c)s^3 + bcs^2 + \frac{K_V K_\phi K_i bc}{N} s + \frac{K_V K_\phi K_i}{N} bc}$$

와

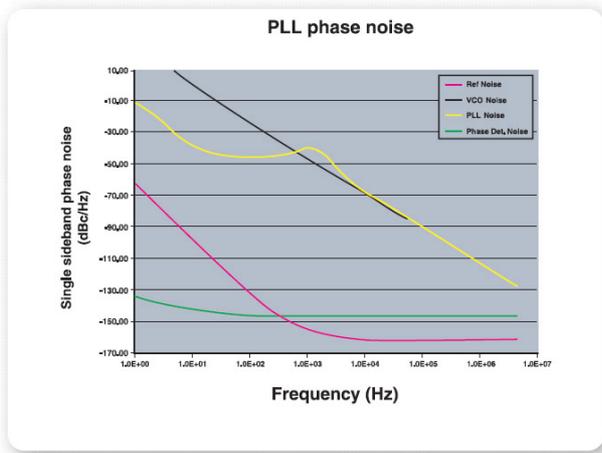
$$\frac{\phi_{out}(s)}{\phi_V(s)} = \frac{K_V K_i \frac{bc}{a} (s+a)}{s^4 + (b+c)s^3 + bcs^2 + \frac{K_V K_\phi K_i bc}{N} s + \frac{K_V K_\phi K_i}{N} bc}$$

VCO의 위상 변동에 대한 PLL의 응답은 다음과 같이 주어지는 고역 통과 함수가 됩니다.

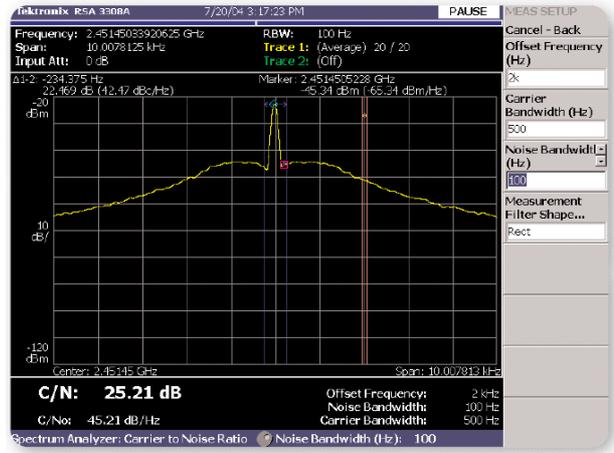
$$\frac{\phi_{out}(s)}{\phi_R(s)} = \frac{s^4 + (b+c)s^3 + bcs^2}{s^4 + (b+c)s^3 + bcs^2 + \frac{K_V K_\phi K_i bc}{N} s + \frac{K_V K_\phi K_i}{N} bc}$$

Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한  
위상 고정 루프(Phase Locked Loops) 특성화

▶ 기술 개요



▶ 그림 10: PLL 위상 잡음, 교정되지 않은 VCO 위상 잡음, 레퍼런스 잡음 및 위상 검파기 잡음



▶ 그림 11: 1 Hz 대역폭에서의 반송파 대 잡음비(C/N) 및 C/No 측정

선형 분석의 예: 위상 잡음 성능에 대한 PLL 응답의 효과

발전기의 위상 잡음

모든 발전기는 위상 변동을 보입니다. 이와 같은 변동은 지터(jitter)라고 불리는 각 부호 변환점(zero crossing)의 정확한 타이밍의 불규칙성으로 해석될 수 있습니다. 이와 같은 변동은 또한 위상 잡음이라 불리는 임의 위상 변조(random phase modulation)로 볼 수도 있습니다. 위상 잡음은 대부분 dBc/Hz로 표시되는 신호 전력에 대한 1 Hz 대역폭의 측파대 전력의 비율로 표시됩니다. 그림 10은 저잡음 수정 발전기로부터의 전형적인 레퍼런스 신호의 위상 잡음의 변화와 2.4 GHz VCO로부터의 잡음, 그리고 위상 검파기의 잡음에 대한 영향을 보여주고 있습니다. 또한 PLL 출력의 복합 잡음도 볼 수 있습니다. 낮은 주파수 오프셋의 경우 출력 잡음이 로크되지 않은 VCO 잡음보다 낮으며, 루프 대역폭 근처의 좁은 영역에서만 VCO 잡음을 초과한다는 점에 주의해야 합니다. 루프 필터를 더 최적화하고 위상 검파기의 성능을 더 향상시키면 그림에서 볼 수 있는 것 이상으로 시스템의 위상 잡음을 개선할 수 있습니다.

위상 잡음의 측정

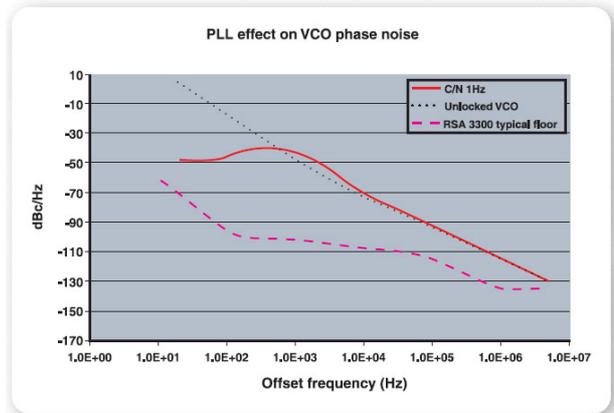
Tektronix의 실시간 스펙트럼 분석기는 반송파 대 잡음 비(C/N) 측정을 통해 위상 잡음을 곧바로 측정할 수 있는 기능을 제공합니다. 이와 같은 측정은 지정된 대역폭 내의 C/N이나 1 Hz 대역폭(C/No)의 C/N을 직접 판독함으로써 이루어질 수 있습니다. 또 다른 접근 방식은 주어진 분해능 대역폭 내의 마커 전력 수치를 제공하는 마커와 1 Hz 대역폭에 대해 정규화된 전력을 판독하는 것입니다.

그림 11은 C/N 측정 화면을 보여주고 있습니다. 이 경우 C/N은 반송파 중심 주파수로부터 2 kHz 오프셋에서 측정되고 있습니다. 화면의 하단 좌측에서 볼 수 있는 바와 같이 100 Hz의 지정된 잡음 대역폭 내의 C/N은 25.21 dB이고 C/No는 45.21 dB입니다.

표 1 은 다양한 오프셋에서의 측정 결과를 보여주고 있습니다.  
 측정 대역폭은 원하는 평균 잡음의 범위 및 양에 따라 달라집니다.

오프셋 주파수(Hz)	측정 BW(Hz)	C/No (dBc/Hz)
20	10	-49
50	10	-48.5
100	10	-46.4
200	50	-43.3
300	50	-42.2
500	100	-42
700	100	-41.7
1000	100	-42.7
1500	100	-44.8
2000	100	-48.8
3000	100	-54.8
5000	200	-62
7000	200	-66.3
10000	200	-70.6
30000	1000	-81.5
100000	10000	-93.7
300000	100000	-104.4
1000000	100000	-114.8
5.00E+06	100000	-128.8

▶ 표 1. 다양한 오프셋에서의 C/N 측정

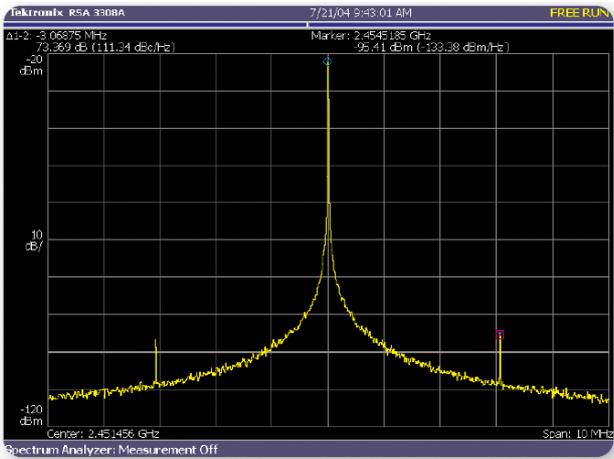


▶ 그림 12: PLL의 출력 위상 잡음, 로크되지 않은 VCO의 잡음 및 RSA 시리즈의 전형적 측정 노이즈 플로어

그림 12 는 로크되지 않은 VCO의 위상 잡음 위에 겹쳐져 측정된 PLL 위상 잡음의 변화를 보여주고 있습니다. 그림 12에서는 Tektronix RSA 시리즈 실시간 스펙트럼 분석기의 전형적인 측정 플로어도 볼 수 있습니다.

Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한  
위상 고정 루프(Phase Locked Loops) 특성화

▶ 기술 개요



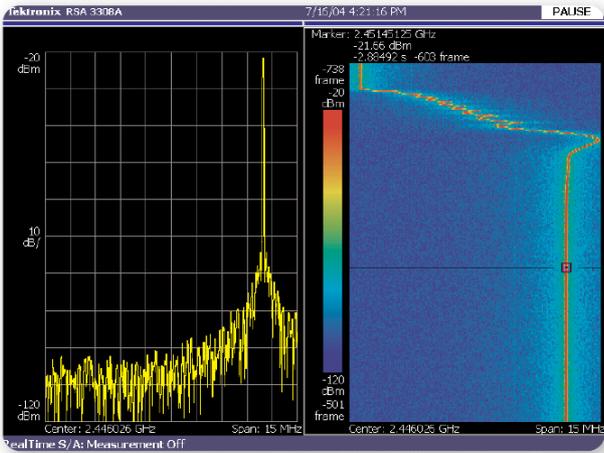
▶ 그림 13: 레퍼런스 스퍼의 측정

스푸리어스 신호의 측정

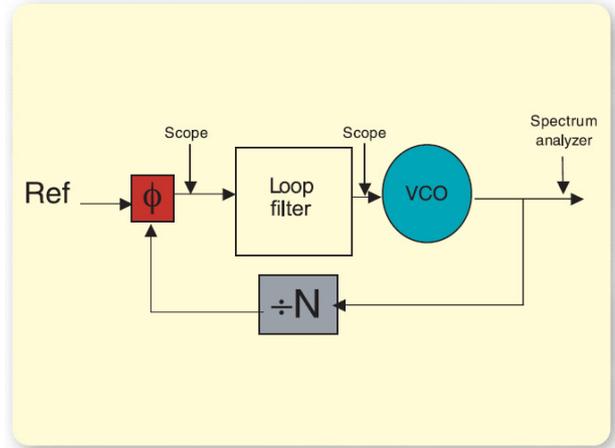
위상 고정 루프에 영향을 미칠 수 있는 스푸리어스 신호의 원천은 다양합니다. 디지털 회로를 구동하는 클럭(clock), 전원 공급 전환 주파수, 근접 변환(nearby conversion) 단계의 로컬 오실레이터, 모듈 내에 존재하는 다양한 주파수 중의 변조 기생 신호(inter-modulation product) 등은 일부의 예에 지나지 않습니다. PLL에 만연하는 스푸리어스 신호의 원천 중 하나는 레퍼런스 신호입니다. 위상 검파기의 출력은 흔히 레퍼런스 주파수에서 발생하여 레퍼런스 주파수의 배수에서 주파수 컴포넌트를 생성하는 펄스들로 구성되어 있습니다. 레퍼런스 주파수와 관련된 스푸리어스의 수준을 줄이기 위해 루프 필터에는 흔히 주파수 차단 기능이 설계됩니다. 레퍼런스 스퍼(reference spur)의 수준을 예상하기 위한 분석 방법은 흔히 불완전한 결과를 가져올 뿐입니다. 측정은 흔히 설계 과정의 필요한 부분이며, 검증을 위한 핵심적인 부분입니다.

스푸리어스 신호의 측정은 주파수 영역에서 이루어지는 경우가 대부분입니다. 존재하는 모든 잡음으로부터 원하는 스퍼를 분해하기 위해 분해능 대역폭(Resolution Bandwidth, RBW)이 선택되며, 디스플레이 되는 모든 추가적인 잡음을 필터를 통해 제거하기 위해 궤적 평균(trace averaging)기법이 사용됩니다. 델타 마커는 스푸리어스 신호의 주파수 및 PLL 출력 주파수와 연관된 진폭을 확인할 수 있는 편리한 수단을 제공합니다.

그림 13은 PLL의 레퍼런스 스퍼에 대한 델타 마커 측정을 보여주고 있습니다. 측정 결과는 반송파 밑으로 73.4 dB 수준의 스푸리어스 신호와 3.07 MHz의 주파수 오프셋, 그리고 PLL 레퍼런스 주파수를 보여주고 있습니다.



▶ 그림 14: PLL 스위칭 과도 현상의 주파수 스티어링 부분을 보여주는 분광 사진. 2439.17 MHz 에서 2451.46 MHz 로 스위칭되고 있는 주파수



▶ 그림 15: 위상 검파기 출력과 VCO 제어 신호의 프로빙을 통한 과도 응답 측정

## 비선형 작동: 과도적 거동(Transient Behavior)의 측정

그림 14 는 2439.17 MHz 에서 2451.46 MHz 로 스위칭하는 PLL 합성기의 주파수 출력을 보여주고 있습니다. 안정 시간의 상당 부분이 위상 주파수 검파기의 비선형 주파수 스티어링 과정에 의해 소요되고 있습니다. 선형 과정은 위상 검파기가 범위 내에 진입하고 루프가 닫히는 550 ms(microsecond) 후에 시작되고 있습니다. 선형 분석을 통해 이 시점 이후의 신호 거동을 예측할 수 있습니다. 스위칭 과도 신호의 비선형적 부분을 위해서는 보통 Z-변환(Z-transform) 기법을 통해 이루어지는 시간 영역 모델링이 필요합니다.

### 전통적 측정 방식

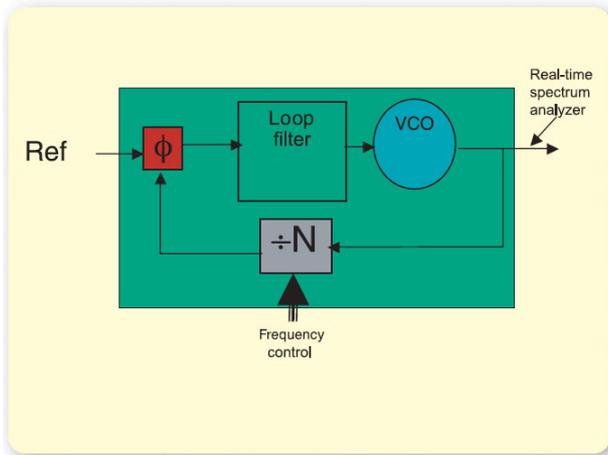
위상 고정 루프는 전통적으로 프로브 및 측정을 위해 위에서 논의한 바 있는 각 구성 요소를 개별적으로 사용하는 방식으로 구현되어 왔습니다. 그림 15 는 이러한 시스템에서 VCO 동조 라인, 위상 검파기 출력, VCO 출력 등에 대한 프로브를 통해 과도적 신호 거동을 직접 관측하기 위해 과도적 신호 거동이 어떻게 측정되는지를 보여주고 있습니다. PLL 신호 경로의 핵심 포인트의 프로브를 통한 이와 같은 방식은 요구되는 프로브 포인트가 접근 가능한 경우에 매우 유용합니다.

다기능 IC 셀룰러 폰, 무선 LAN 카드, 직렬 데이터 통신 시스템 등에 통합되어 있는 PLL 은 점차 원칩(one-chip)

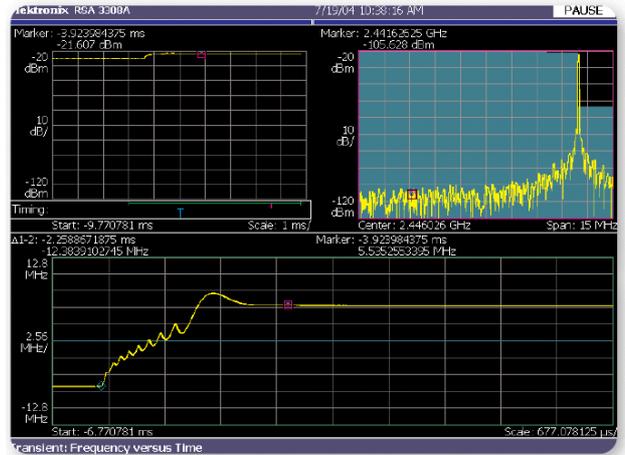
서브시스템으로 구현되고 있는 추세입니다. PLL 전체가 다른 많은 구성 요소들을 포함하는 집적 회로의 일부가 되는 경우가 흔합니다. 일단 IC 의 조립이 완료되면 프로빙은 더 이상 실제적인 선택 가능 사양이 아니며, IC 칩에 신호가 흐르기 시작하면 선택할 수 있는 방법이 거의 없습니다. PLL 의 특성화는 사용 가능한 신호만을 통해 이루어져야 합니다. 적합한 신호는 출력 주파수, 레퍼런스 주파수, 그리고 모든 제어 입력 등입니다. 그림 16 에서 볼 수 있는 것과 같이 실시간 스펙트럼 분석기의 PLL 출력의 주파수 경로를 관측하면 필요한 정보의 전부는 아니더라도 상당 부분을 얻을 수 있습니다. RTSA 는(예를 들면 제어 버스로부터의 신호를 사용하여) 외부에서 트리거하거나 주파수 마스크 트리거를 사용하여 내부에서 트리거할 수 있습니다.

**Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한 위상 고정 루프(Phase Locked Loops) 특성화**

▶ 기술 개요



▶ **그림 16:** 통합형 PLL 에서 사용 가능한 신호들



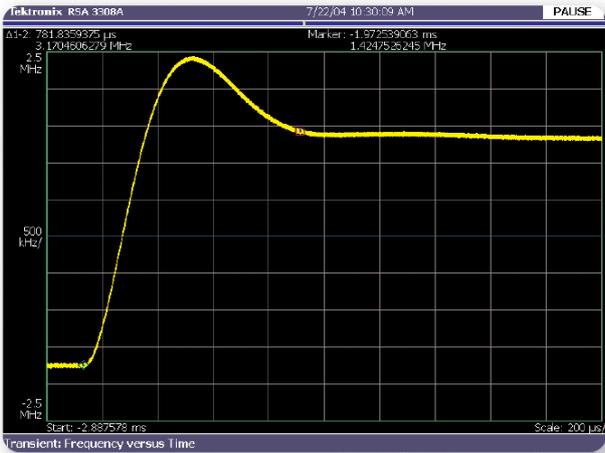
▶ **그림 17:** 주파수 마스크 트리거를 사용한 스위칭 속도 측정. 선형 영역과 비선형 영역을 주의깊게 살펴보십시오.

**주파수 마스크 트리거**

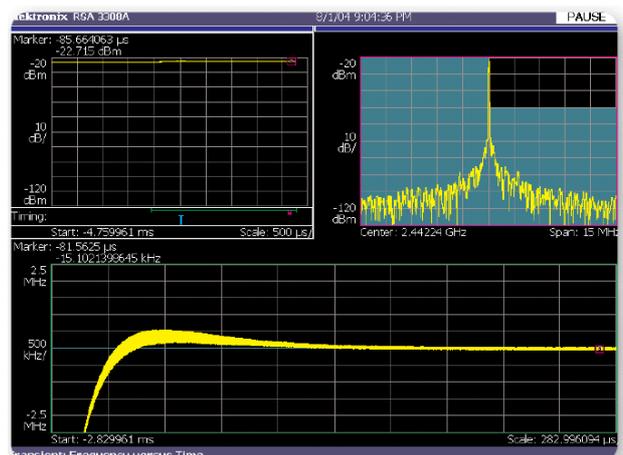
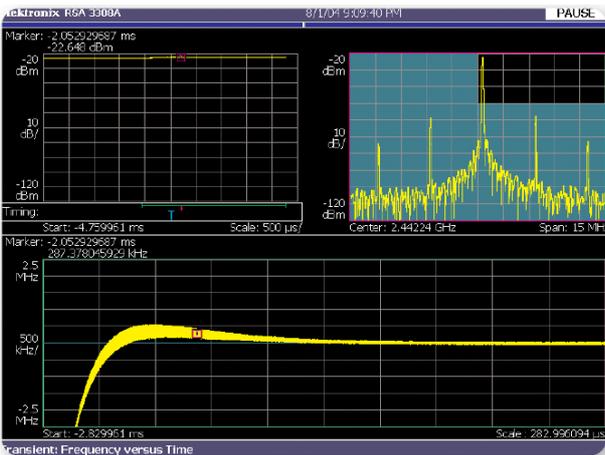
주파수 마스크 트리거는 스펙트럼이 미리 설정되어 있는 마스크를 통과하는 바로 그 순간에 신호의 포착을 트리거할 수 있도록 설정될 수 있습니다. 위와 같은 경우 그림 17의 상단 좌측 궤적의 윗 부분에서 볼 수 있는 바와 같이, 오실레이터의 주파수가 목표 주파수(2.45146 GHz)를 통과하는 바로 그 순간에 트리거가 발생할 수 있도록 마스크가 설정됩니다. 트리거가 발생하는 순간은 상단 왼쪽의 궤적에 있는 청색의 T로 표시되어 있습니다.

상단 왼쪽의 웨이브폼에 있는 녹색 막대로 표시되는 트리거 발생 전의 데이터와 발생 후의 데이터 모두를 관측하면 주파수 스위치에 이르는 주파수 경로와 하단 웨이브폼에 표시된 후의 경로를 분석할 수 있습니다. 상단 왼쪽의 웨이브폼에 있는 적색 막대로 표시되는 특정 시점에서의 스펙트럼은 상단 오른쪽의 웨이브폼에서 볼 수 있습니다. 델타 마커는 100 KHz의 최종 주파수 내로의 안정을 위한 2.259 mSec의 스위칭 속도를 보여주고 있습니다. 스위칭 시간 중 처음 1.3 mSec는 주파수 스티어링 과정에 의해, 나머지는 페 루프 안정 과정에 의해 소비되었습니다.

PLL의 선형 작동과 비선형 작동 간의 차이는 동일 PLL의 주파수를 더 작은 스텝으로 스위칭함으로써 표시될 수 있습니다. 그림 18은 3.072 MHz의 스텝으로 2.44838 GHz에서 2.45146 GHz로 스위칭하는 PLL 주파수의 경로를 보여주고 있습니다. 최종 주파수의 100 KHz 이내로의 출력 주파수 안정 시간은 현재 781.8 μSec입니다. 과도적 형상은 적당한 오버슈트를 지니며 큰 사이즈의 스텝이 측정되었을 때 PLL이 보여주는 비선형적 거동이 전혀 없는 페 루프 시스템의 예상 스텝 응답을 보여주고 있습니다.



▶ **그림 18:** 작은 주파수 스텝에 대한 스위칭 속도 측정.  
PLL은 선형/고정 모드를 유지하고 있습니다.



▶ **그림 19/20:** 주파수 스위칭 과도 현상 중 및 안정 후의 PLL 출력의 스펙트럼

## 시간 의존적 스펙트럼 분석

신호의 스펙트럼 내용은 흔히 통신 시스템 설계자들에게 우려의 대상이 됩니다. 정상 작동 중에 주파수를 스위칭하는 시스템은 주파수가 완전히 안정되고 난 후 뿐 아니라 주파수 변환 도중에도 스펙트럼 마스크의 요구사항을 만족시킬 수 있도록 주의가 필요합니다. 스위칭 중의 PLL 출력의 주파수 내용은 과도 현상 안정 후의 주파수 내용과 크게 다를 수 있습니다. 과도 신호의 스펙트럼 내용은 간섭을 파악할 수 있는 중요한 원천이 됩니다.

그림 19와 20은 스위칭 과도 현상 중 PLL 출력의 스펙트럼과 안정이 완료되고 난 후의 스펙트럼을 비교하고 있습니다. 상단의 궤적은 마커의 위치를 통해 표시되고 있는 것과 같이 과도 현상이 거의 안정된 시점의 PLL 출력 스펙트럼을 보여주고 있습니다. 반송파로부터 3MHz와 6 MHz의 오프셋에는 레퍼런스과 관련한 많은 양의 스퓨리어스가 있습니다. 하단의 궤적은 충분한 안정이 이루어지고 난 후의 스펙트럼을 보여주고 있습니다. 레퍼런스와 관련된 스퓨리어스 신호들이 모두 없어진 점에 주목하십시오. 또한 점유 대역폭과 잡음 수준, 중심 주파수 등에도 상당한 차이가 있을 수 있습니다.

## Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한 위상 고정 루프(Phase Locked Loops) 특성화

▶ 기술 개요

### 결론

PLL은 다양한 통신 시스템의 필수 불가결한 구성 요소가 되었습니다. 점차 증가되는 집적화 수준으로 인해 시뮬레이션과 분석은 필수적인 과정이 되었으며, PLL을 구성하는 회로 요소의 선형적/비선형적 움직임에 대한 이해가 요구되고 있습니다. 집적화는 또한 IC 패키지 내 접근 불가능한 지점에서의 테스트를 위해 요구되는 신호 경로를 초래하게 되었습니다. 실시간 스펙트럼 분석기는 시간, 주파수, 변조 영역에서 PLL의 거동을 특성화, 측정, 관찰할 수 있는 중요한 기능을 제공함으로써 예전에는 알려지지 않았던 과도적 움직임을 이해할 수 있는 기회를 주고 있습니다.

### 참고 문헌:

1. D.B. Leeson, '피드백 오실레이터의 노이즈 스펙트럼의 단순화 모델,' IEEE 절차, 제 42 권 (1965년 2월).
2. Alan V. Oppenheim, 신호와 시스템(Prentice-Hall, 1983년), pp. 243-247.
3. William F. Egan, 위상 고정을 통한 신호 합성 (Wiley and Sons, 1998년).
4. Katsuhiko Ogata, 현대 제어 공학 (Prentice-Hall, 1996년).
5. '시간의 문제: 다른 종류의 스펙트럼 분석이 요구되는 오늘날의 RF 신호' Tektronix Application Note (2004)

Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한  
위상 고정 루프(Phase Locked Loops) 특성화  
▶ 기술 개요

Tektronix 실시간 스펙트럼 분석기(Real-Time Spectrum Analyzers)를 통한  
 위상 고정 루프(Phase Locked Loops) 특성화  
 ▶ 기술 개요

**텍트로닉스 연락처**

동남아시아/대양주/파키스탄 (65) 6356 3900  
 오스트리아 +41 52 675 3777  
 발칸, 이스라엘, 남아프리카 및 다른 ISE 국가들 +41 52 675 3777  
 벨기에 07 81 60166  
 브라질 및 남미 55 (11) 3741-8360  
 캐나다 1 (800) 661-5625  
 중앙 유럽 및 그리스 +41 52 675 3777  
 중앙동유럽, 우크라이나 및 발트국 +41 52 675 3777  
 덴마크 80 88 1401  
 핀란드 +41 52 675 3777  
 프랑스 및 북아프리카 +33 (0) 1 69 81 81  
 독일 +49 (221) 94 77 400  
 홍콩 (852) 2585-6688  
 인도 (91) 80-22275577  
 이탈리아 +39 (02) 25086 1  
 일본 81 (3) 6714-3010  
 룩셈부르크 +44 (0) 1344 392400  
 멕시코, 중앙아메리카 및 카리브해 52 (55) 56666-333  
 중동, 아시아 및 북아프리카 +41 52 675 3777  
 네덜란드 090 02 021797  
 노르웨이 800 16098  
 중국 86 (10) 6235 1230  
 폴란드 +41 52 675 3777  
 포르투갈 80 08 12370  
 대한민국 82 (2) 528-5299  
 러시아, CIS 및 발트국 7 095 775 1064  
 남아프리카 +27 11 254 8360  
 스페인 (+34) 901 988 054  
 스웨덴 020 08 80371  
 스위스 +41 52 675 3777  
 대만 886 (2) 2722-9622  
 영국 및 아일랜드 +44 (0) 1344 392400  
 미국 1 (800) 426-2200  
 미국(수출 판매) 1 (503) 627-1916  
 기타 지역: 1 (503) 627-7111  
 2004년 11월 1일 최종 업데이트

**추가 정보**

Tektronix는 최첨단 기술을 다루는 엔지니어를 지원하기 위해 응용 자료, 기술 문서 및 기타 리소스 등을 총 망라한 방대한 자료를 보유 관리하고 있으며 이를 계속 확장하고 있습니다. [www.tektronix.com](http://www.tektronix.com) 을 방문하십시오.



Copyright © 2004, Tektronix, Inc. All rights reserved. 텍트로닉스 제품은 현재 등록되어 있거나 출원중인 미국 및 국제 특허의 보호를 받고 있습니다. 이 문서에 포함되어 있는 정보는 이전에 발행된 모든 자료에 실린 내용에 우선합니다. 사양이나 가격 정보는 예고 없이 변경될 수 있습니다. TEKTRONIX 및 TEK은 Tektronix, Inc.의 등록 상표입니다. 본 문서에 인용된 다른 모든 상표는 해당 회사의 서비스 마크, 상표 또는 등록 상표입니다.

11/04 KCJ/WOW

37W-18170-1

