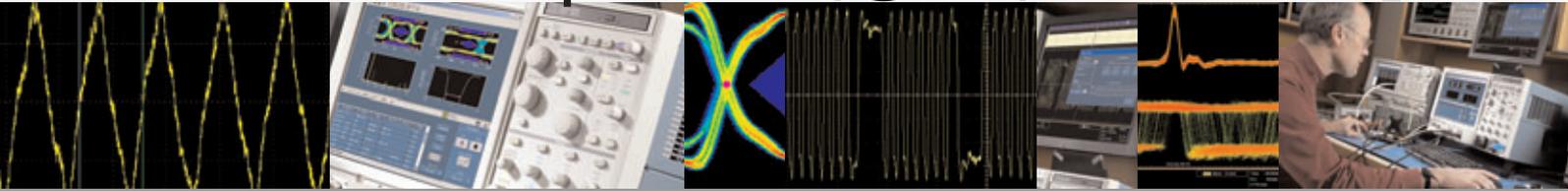


# PCI Express™ 측정 솔루션

# 소개



목차

PCI Express 설계의 검증, 디버그 및 적합성 ..... 3

아키텍처 및 사양 개요 ..... 4

물리 계층의 특징 ..... 5

물리 계층 적합성 테스트: 디지털 세계의 아날로그 뷰 ..... 8

검증 및 적합성 측정 ..... 8

    진폭 측정 ..... 9

    타이밍 측정 ..... 9

    지터 측정 ..... 10

    실시간 아이 다이어그램 및 마스크 테스트 ..... 14

    노이즈와 노이즈가 지터에 미치는 영향 ..... 14

    주파수 영역 측정 ..... 15

    수신기 감도 및 지터 허용 오차 측정 ..... 16

아날로그 측정의 신호 충실도 보장 ..... 17

    테스트 대상 직렬 장치에 연결 ..... 18

    아날로그 획득 고려 사항 ..... 22

Pinpoint® 트리거링 및 데이터 디코딩 도구를 이용한 디버그 및 링크 ..... 25

    비트 오류 찾기 및 트리거 ..... 25

    8b/10b 심벌 검증 및 트리거 ..... 26

디지털 검증 및 디버그 ..... 27

    올바른 연결을 위한 프로빙 수단 ..... 28

    신호 획득: 패킷에서 병렬까지 ..... 30

    문제해결 효율성 제고의 핵심 관건인 트리거링 ..... 30

    결과 분석 ..... 31

PCI Express 관리 솔루션의 개요 ..... 33

    오실로스코프 ..... 33

    실시간(RT) 오실로스코프 ..... 33

    등가 시간(ET) 샘플링 오실로스코프 ..... 34

    신호 발생기 ..... 34

    로직 애널라이저 ..... 35

요약 ..... 35

## PCI Express 설계의 검증, 디버그 및 적합성

제1세대(Gen1) PCI Express 배포가 성공적으로 진행되면서 산업계는 각종 구성 요소, 시스템 및 카드 구현에 성공을 거두어 왔다. 현재 PCI Express 슬롯과 다양한 GPU (Graphical Processor Unit) 그리고 이 새로운 확장 슬롯을 사용하는 네트워크 카드가 장착된 마더보드와 노트북 컴퓨터가 시중에 나와 있다. 불과 몇 년 만에 Gen1 장치가 이처럼 성공적으로 배포된 요인은 부분적으로는 공급업체의 실험실과 PCI-SIG(PCI Special Interest Group)의 후원을 받는 플래그 페스트 양쪽에서 진행된 엄격한 테스트에 그 공을 돌릴 수 있을 것이다. PCI-SIG가 PCI Express CEM(Card Electrical Mechanical)의 Rev1.0a에 대한 적합성 및 상호 운용성 테스트를 성공리에 수행했고 여러 공급업체에서 SIG의 통합업체 목록을 검증했다. Rev1.0a를 배포하는 과정에서 서로 다른 PCI-E 설계 간에 보다 안정적인 통신을 보장하기 위해 사양을 일부 변경할 필요성(주로 물리 계층에서)이 있다는 점이 분명해졌다. 현재 기본 및 CEM 사양 Rev1.1에 이런 변경 내용이 적용되었고 SIG가 여러 연구실에서 Rev1.1 사양에 대한 테스트를 시작했다. PCI-SIG는 버스를 주변장치로 확장할 수 있도록 하기 위해 최초 케이블링 사양 외에도 Gen2에 대한 기본 및 CEM 사양을 검토 중이다. Gen2는 기본 신호처리 주파수를 2.5Gb/s에서 5Gb/s로 배가하고 시스템 설계도에 케이블 배선도를 추가하면 복잡성 수준이 높아진다. 이에 따라 분명히 장치의 검증 및 적합성 테스트에 몇 가지 새로운 해결 과제가 유발될 것이다.

공급업체가 통합업체 목록에 포함되려면 단순히 PCI-SIG의 합격/불합격 기준을 충족시키는 것 외에도 수많은 조건에서 자체 설계를 검증할 필요가 있다. 예를 들어 어떤 설계에 대해 테스트 장치의 특정 전원 장치 조건 하에서 실온 상태의 연구실에서 실시된 특정 테스트에 합격하더라도 온도와 전원 장치의 테스트 조건을 변경할 때 어떤 일이 발생하는지 검증해야 한다. 또한 어떤 시스템에서 다른 공급업체의 장치와 해당 장치를 연결했을 때는 어떤지, 다른 버스로부터의 crosstalk로 인해 테스트 대상 장치가 불합격되지는 않는지 검증해야 한다.

본 입문서에서는 성공적 설계를 위해 필요한 기본 원리, 측정 기술 및 도구뿐 만 아니라 검증, 디버그 및 적합성을 비롯한 PCI Express 테스트의 모든 측면을 다룬다. 본 입문서는 이미 Gen1 테스트를 성공리에 마무리했고 Gen2 장치 테스트를 시작하는 사람이나 이제 막 PCI Express에 입문하려는 사람 누구에게나 PCI Express 아키텍처, 사양 및 측정 솔루션에 대한 이해를 도울 수 있도록 고안되었다.

### PCI Express 개발자에게 유용한 링크

텍트로닉스 PCI Express 홈:

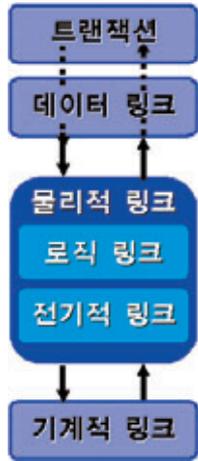
[http://www.tek.com/Masurement/applications/serial\\_data/pci\\_express.html](http://www.tek.com/Masurement/applications/serial_data/pci_express.html)

PCI-SIG 적합성 테스트 홈:

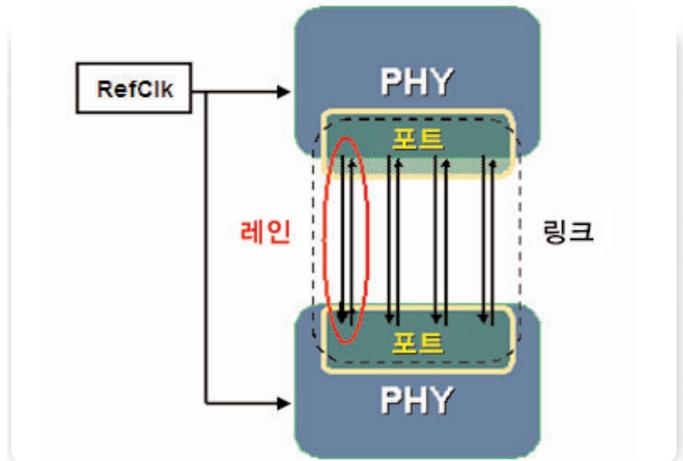
<http://www.pcisig.com/specifications/pciexpress/compliance/>

# PCI Express™ 측정 솔루션 소개

## ▶ 입문서



▶ 그림 1. PCI Express 링크 계층



▶ 그림 2. PCI Express PHY 링크 구현도

레인 폭에 따른 기본 비트율(Gb/s)

신호처리 속도	X1	X4	X8	X16	X32
Gen1 – 레인 당 2.5Gb/s	2.5	10	20	40	80
Gen2 – 레인 당 5Gb/s	5	20	40	80	160

## ▶ 기본 비트율

### 아키텍처 및 사양 개요

어떤 직렬 데이터 표준에서와 마찬가지로, PCI Express는 그림 1에 나타난 것처럼 "계층 스택"으로 볼 수 있다. 계층은 자기끼리 서로 통신하는 동시에 서로의 동작을 인접 레벨에서 버퍼링한다.

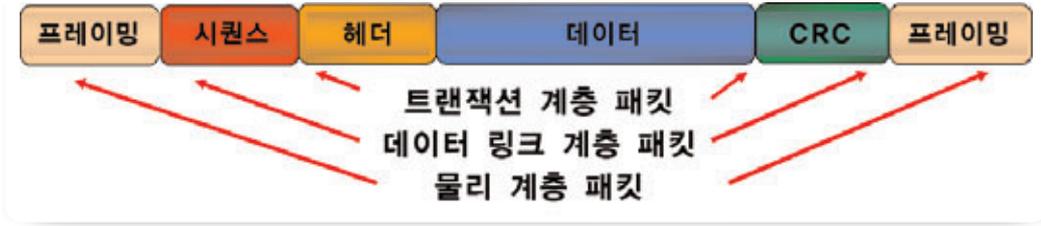
스택에는 전자 신호가 송신 매체를 통해 지나가는 물리 계층, 이 신호가 의미 있는 데이터로 해석되는 로직 계층, 트랜잭션 계층 등이 포함된다. 각 계층에는 저마다 적용되는 표준과 적합성 절차가 있다.

그림 1은 직렬 데이터 링크의 물리 계층(PHY) 파티셔닝을 나타낸 것이다. PHY는 프로토콜 스택의 더 높은 계층과 분리하는 역할을 하고 로직 계층과 전기 계층의 두 계층을 포함한다. PHY의 전기적 부분은 고속 직렬 패킷 교환과 전력 관리 메커니즘을 처리한다.

PHY의 로직 계층은 재설정, 초기화, 인코딩 및 디코딩을 다룬다. 전기 및 로직 하위 블록 역시 둘 다 표준별로 특정한 기능을 갖추고 있다.

PHY를 구성하는 두 블록에는 각각 고유한 테스트 요구 사항이 있다. 전기 인터페이스 측정을 할 때는 데이터 아이 다이어그램과 시스템 기준 클럭의 아날로그 파형 특성이 우선한다. 로직 계층에서 디지털 패킷 해석, 내장 클럭 추출 등이 이루어져야 한다.

그림 2는 4X PCI Express 링크의 대표적인 물리 계층 토폴로지를 나타낸 것이다. PCI Express 링크는 레인으로 알려진 집합적인 듀얼 심플렉스 송신 체계로 구성된다. 각 레인에는 레인마다 총 4개가 있는 동선에 대한 송신 및 수신 차동 쌍이 있다.



▶ 그림 3. PCI Express 패킷의 계층

각 레인의 전송 속도는 2.5Gb/s(Gen1) 또는 5Gb/s(Gen2)이다. 해당 사양에서는 X1, X4, X8, X16 및 X32 레인 폭 구성을 지원한다. 링크의 기본 비트율은 단순히 레인 당 기본 비트율의 배수이다.

데이터는 클럭을 포함함으로써 송신되지만 그림 2와 같이 SSC(Spread Spectrum Clocking)가 사용될 때 PLL 회로가 이를 추적할 수 있도록 송신 및 수신 회로 모두 RefClk(기준 클럭)을 공유한다. SSC는 컴퓨터 마더보드로부터의 전자기 방출을 최소화하는 데 사용된다. 기준 클럭은 30-33kHz의 주파수에서 100MHz 및 99.5MHz 사이에서 변조된다.

#### 패킷화된 데이터

PCI Express 데이터는 그림 3에 표시된 것과 같이 여러 계층의 영향을 받아 패킷화된다.

- ▶ PHY의 로직 하위 블록은 각 패킷의 시작 및 끝 부분에서 신호에 프레임링을 추가한다. 하위 블록은 심벌 송신과 동기를 맡는다.
- ▶ 데이터 링크 계층은 오류 확인 기능을 제공하고 서비스를 재시도한다. 패킷에는 ACK(승인), 전력 관리 정보 등이 포함된다.
- ▶ 트랜잭션 계층은 초기화, 명령 생성 및 처리, 흐름 제어를 처리한다.

#### 물리 계층의 특징

물리 계층은 방금 설명한 패킷화된 차동 신호를 전달하는 역할을 한다. 기능적 관점에서 볼 때, 회로 기판 배선, 커넥터 및 케이블 등 물리 계층의 기계적 부분은 단순히 이진 신호의 형태로 표현되는 데이터 경로이다. 이런 이진 신호는 오실로스코프를 이용한 디버그, 검증 및 적합성 테스트를 위한 물리 계층 측정의 주 대상이다.

PCI Express 내에서는 여러 개의 다른 버스 구성을 정의할 수 있다. 그림 4, 5, 6은 3가지 대표적인 기계적 구현 방식을 묘사한 것이다.

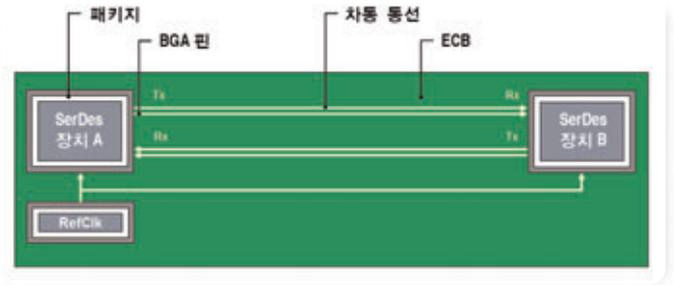
PHY의 모든 개별 레인은 송신 및 수신 차동 쌍으로 구성된다. 송신 쌍 및 그 송신 매체를 종종 채널이라 부른다. 한 채널 내에서 신호는 3가지 기본 동선 경로 유형을 따라 이동할 수 있다.

## PCI Express™ 측정 솔루션 소개

### ▶ 입문서

#### 칩-칩(그림 4)

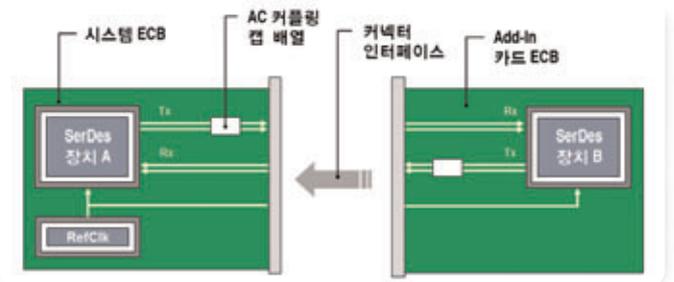
칩-칩 레인은 일반적으로 송신 매체 역할을 하는 ECB (에칭 처리 회로 기판) 상에 있다. 대표적인 애플리케이션으로는 대량의 데이터가 한 장치에서 다른 장치로 송신될 필요가 있는 시스템 마더보드 상의 PCI Express 버스가 있다.



▶ 그림 4. 칩-칩 레인

#### 카드-카드(그림 5)

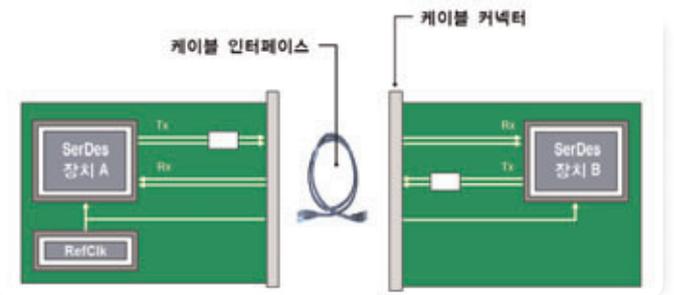
Add-In 카드 애플리케이션에서와 같이 커넥터가 레인의 일부인 경우 사양에 따르면 링크의 송신 측에 AC 커플링 커패시터가 있어야 한다. AC 커플링 커패시터는 송신 장치와 수신 장치 사이에 있을 수 있는 공통 모드 바이어스 불일치를 없애준다. 저가형 링크에는 FR4 보드에 롱런과 값싼 커넥터가 채택되었을 수 있으며, 이 두 가지 요소 모두 지터, crosstalk 그리고 레이아웃으로 인한 불균형을 초래할 수 있다. 이 구성의 테스트 포인트는 데스크탑 및 서버 애플리케이션에 대한 것은 CEM 사양에서, 노트북 컴퓨터와 같은 모바일에 대한 것은 PCMCIA(Personal Computer Memory Card International Association) ExpressCard 문서에서 찾아볼 수 있다.



▶ 그림 5. 레인의 커넥터 부분

#### 카드-케이블(그림 6)

레인에 케이블 연결이 이루어지면 또 다른 손실 및 지터의 원인이 된다. 케이블 연결식 PCI Express가 초기 개발 단계에 있다. 하지만 PCI Express 케이블 사양 초안에는 케이블의 송신 및 수신 측에 대한 테스트 포인트가 정의되어 있다. 이 토폴로지에서는 기준 클럭과 다른 세 측파대 신호가 X16 송신 및 수신기 쌍과 함께 케이블을 중심 쌍으로 전달된다.

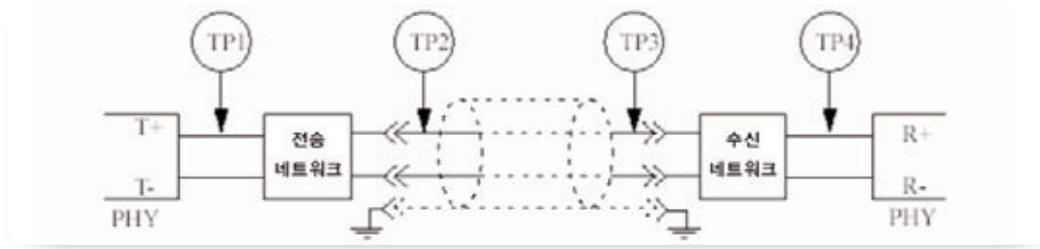


▶ 그림 6. 레인의 케이블 연결부

#### RefClk을 잊지 말 것

고속 직렬 데이터 신호 경로 외에, 기준 클럭(RefClk) 신호 무결성을 테스트하는 것도 중요하다. 기준 클럭 파라미터는 Gen1의 CEM 사양에 나와 있고 Gen2의

기본사양 본문에도 나와 있다. Gen1 사양에서 Rev1.0a와 Rev1.1에 비해 바뀐 내용은 대부분 데이터 아이 클로저에 기준 클럭 지터가 미치는 영향 때문이었다.



▶ 그림 7. PCI Express의 테스트 포인트

### 적합성과 상호 운용성

적합성 및 상호 운용성 테스트는 모든 표준에 있어 성공의 관건이다. 특히 세부적인 사항이 아직 유동적이고 해석이 여러 가지로 바뀔 수 있는 표준 수명 주기의 초기 단계에서 더욱 그러하다.

PCI Express 표준에서는 송신 및 수신 손실에 따른 비용이라는 중요한 문제를 다룬다. 또한 반드시 시스템 레벨 테스트를 수행해야 하는 적합성 테스트 포인트를 정의한다. 본질적으로 적합성 테스트 포인트는 시스템 구성 요소(대개 다른 공급업체가 공급함)가 상호 운용성이 있을 필요가 있는 곳이다. 그림 7은 상호 연결된 요소들로 구성된 전체 시스템의 몇 가지 대표적인 상호 운용성 포인트를 요약한 것이다. PCI Express에서 TP1과 TP4는 기본 사양에서 정의되고 TP2 및 TP3는 인터페이스 구성에 따라 CEM 및 케이블링 사양에서 정의된다.

이들 포인트는 표준에서 테스트 기기에 대한 프로빙 연결 지점으로 구체적으로 표시되기 때문에 테스트 포인트로 표시된다. 카드-카드 또는 카드-케이블 연결의 경우 적합성 포인트에 측정 대상으로부터 커넥터가 포함되는지 또는 제외되는지 파악하는 것이 중요하다. 결합된 커넥터와 결합되지 않은 커넥터의 성능이 상당히 큰 차이가 있으므로 적합성 테스트 포인트가 커넥터 중간에 있을 수는 없다. 또한 측정 시 ECB 채널 길이나 케이블 손실이 결과에 영향을 줄 수 있다. Gen1의 경우 대부분의 부품에 대한 PCI Express 사양과 PCI-SIG 테스트 절차에서는 테스트 장치와 측정 장비케이블의 손실 프로파일을 무시하거나 테스트 마진에 포함시켰다. 5Gb Gen2의 경우 이런 문제의 고려 사항이 사양 요구 사항이 된다. PCI Express의 또 다른 추세는 시스템 레벨에서 수신기 감도 테스트를 위한 절차를 보다 분명히 정의하는 것이다. Gen1에 대한 수신기 감도 테스트 정의에 대한 해석은 주로 개발자의 몫으로 남겨져 있다.

## PCI Express™ 측정 솔루션 소개

### ▶ 입문서

#### 물리 계층 적합성 테스트: 디지털 세계의 아날로그 뷰

PCI Express는 디지털 방식으로 작동한다. 하지만 대부분의 적합성 테스트 작업은 아날로그 측정 작업으로 이루어져 있다. 그 이유는 무엇일까? 디지털 방식으로 작동하므로 당연히 우리의 관심도 디지털 데이터이다.

하지만 중요한 예외가 있다. 디지털 신호는 분산된 커패시턴스, 노이즈, 전원 전압의 변동, crosstalk 및 기타 불완전성이 상존하는 세계에 존재한다. 이런 각각의 현상은 때로는 데이터를 반송하는 능력을 훼손시키는 수준까지 "이상적인" 디지털 신호에서 벗어나 있다. 결과적으로 사양은 신호 왜곡 및 감쇠에 제한을 둔다. 테스트 대상 장치는 "적합한" 것으로 간주되려면 이런 제한에 따라야 한다. 테스트 조건과 테스트 포인트는 표준에서 상세히 설명된다. PCI-SIG는 적합성 테스트 홈 페이지에서 적합성 테스트의 세부적인 테스트 절차를 제공한다. 이 절차에는 제작 및 모델 번호별로 특정 측정 장비가 포함된다. 또한 PCI-SIG는 신호 품질 테스트(SigTest) 소프트웨어도 제공한다. SigTest는 System 및 Add-In Card 적합성 포인트에 대한 실시간 오실로스코프에서 캡처된 파형 데이터에 대해 의무적으로 실시해야 하는 신호 무결성 측정을 수행한다.

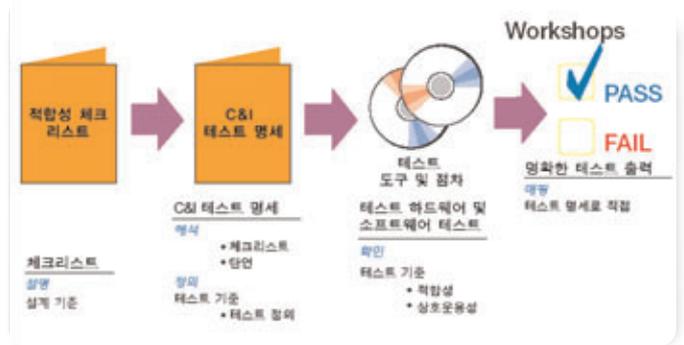
그림 8은 PCI Express에 대한 대표적인 적합성 테스트 프로세스를 요약한 것이다.

#### SigTest 또는 RT-Eye® 소프트웨어 중 어떤 것을 선택할 것인가?

PCI Express 개발자들이 묻는 한 가지 공통적인 질문은 SigTest가 공짜이고 이 소프트웨어를 이용해 합격/불합격 여부를 알 수 있다면 오실로스코프에 추가적인 분석 도구가 왜 필요한가 하는 것이다. 그에 대한 대답은 설계 마진에 얼마나 확신을 가지고 있느냐에 달려 있다. RT-Eye, TDSJIT3 및 JNB와 같은 텍트로닉스 신호 품질 소프트웨어 도구는 설계 검증, 디버그 및 적합성을 위한 다양한 기능을 제공한다. 이 내용은 이후 섹션에서 분명해질 것이다.

#### 적합성 테스트를 위한 테스트 장치

테스트 포인트가 정해지고 나면 테스트 장치가 프로빙 연결 지점을 제공하도록 개발되어야 한다. PCI-SIG는 시스



▶ 그림 8. PCI-SIG 적합성 및 상호 운용성 프로세스

템 테스트를 위한 CLB(Compliance Load Board)와 Add-In 카드 테스트를 위한 CBB(Compliance Base Board)를 제공한다. PCMCIA는 노트북 시스템 송신기 테스트를 위한 시스템 송신기 적합성 카드를 제공한다.

#### 검증 및 적합성 측정

PCI Express 기본 사양에는 송신기 및 수신기의 진폭, 타이밍, 지터 및 아이 다이어그램 측정이 포함된다. 이 측정은 일반적으로 신호 무결성 측정으로 알려져 있다. 삽입 손실, 반사 손실, 주파수 영역 crosstalk도 해당 채널에 대해 지정된다. CEM 및 케이블링 사양은 시스템 레벨 적합성 포인트에서의 지터와 아이 다이어그램 마진을 정의하고 플러그 페스트에서 수행되는 테스트를 나타낸다. 이런 테스트의 선택 및 적용 속도를 높이기 위해 자동화된 측정/분석 도구가 공통적으로 사용된다. 다음 목록에는 사양을 충족시키기 위한 시스템 구성 요소를 검증하는데 필요한 측정뿐만 아니라 적합성과 상호 운용성을 증명하기 위해 플러그 페스트에서 필요한 몇 가지 주요 측정도 포함된다.

- ▶ 진폭 측정
- ▶ 타이밍 측정
- ▶ 지터 측정
- ▶ 실시간 아이 다이어그램 및 마스크 테스트
- ▶ 노이즈 및 지터
- ▶ 주파수 영역 측정
- ▶ 수신기 감도 및 지터 허용 오차 측정

## 진폭 측정

신호가 송신 매체를 안정적으로 통과할 수 있을 정도의 전압 레벨과 안정성을 달성하고 수신 회로로 알맞은 "1" 또는 "0" 비트를 전달하는가? 이 테스트는 신호가 최악의 조건에서도 작업을 수행하기에 충분한 진폭 허용 오차를 가지는지 확인한다.

**차동 전압** - 침두치 차동 전압 사양은 트랜시버가 정확한 전압 레벨을 송신하도록 보장하기 위한 기본 사양이다. 최저 송신기 차동 전압은 명시된 최저 차동 전압이 최악의 매체 조건(최대 손실) 하에서 수신기에 도달하는 수준으로 지정된다. 이를 통해 올바른 데이터 전송이 보장된다. PCI Express에 대한 사양은 다음과 같이 차동 피크 전압을 정의한다.

$$VTX-DIFFp-p = 2 * |VTX-D+ - VTX-D-|,$$

클럭이 데이터 신호로부터 복구된 후 파형 데이터에서 측정.

차동 침두치 전압은 오실로스코프 메뉴에 있는 기존의 pk-pk 측정과는 다르다. 이 때문에 종종 혼동이 발생한다. PCI Express에 특정한 알고리즘이 이 측정에 필요하다.

**디엠퍼시스** - 이것은 "전이 비트"가 나온 후 두 번째와 그 이후의 비트 진폭에 대한 "전이 비트" 진폭의 비다. 디엠퍼시스의 다른 용어는 프리엠퍼시스와 균등화이다. 디엠퍼시스는 데스크탑 컴퓨터에 사용되는 저가형 FR4 보드 및 커넥터와 같은 "손실"이 있는 매체의 주파수 특성을 보상하기 위해 직렬 데이터 송신 시스템에 사용된다. 전이 비트의 진폭을 이후 비트보다 높게 하면 신호가 "오픈 아이" 상태로 수신기 핀에 도달하게 된다.

**공통 모드 전압 측정(AC, DC)** - 송신기의 공통 모드 불균형과 노이즈는 차동 신호에서 불필요한 효과를 만들 수 있다. 이런 문제를 해결하기 위해 종종 차동 신호를 단일 종단 구성 요소로 나누는 것이 유용하다. 이 기술은 차동 쌍의 한 쪽으로 결합되고 다른 쪽으로는 결합되지 않는 crosstalk과 노이즈 효과를 밝힐 수도 있다.

**파형 아이 높이** - 아이 높이는 진폭 영역에서 데이터 아이가 열린 부분이다. 아이 높이는 수신기 회로의 실제 샘플 포인트를 나타내므로 매우 중요한 측정 결과를 제공한다. 아이 높이는 UI 타이밍 기준이 복구된 클럭에 의해 정의되는 .5UI(단위 간격) 포인트에서 측정된다. 아이 다이어그램에 대한 자세한 내용은 아이 다이어그램 섹션을 참조한다.

## 타이밍 측정

신호는 타이밍 변동으로부터 자유롭고 그 전이는 신호가 제공하려는 중요한 데이터 값을 보존하기에 충분히 빠르거나? 측정 도구 세트 측에서 훼손되지 않는 성능을 요구하는 이런 테스트는 분산된 커패시턴스, crosstalk 등에서 발생하는 수차와 신호 감쇠를 탐지한다.

**단위 간격과 비트율** - 내장된 클럭 주파수의 변동은 연속되는 수많은 주기에 걸쳐 내장 클럭의 평균 측정 값을 살펴봄으로써 측정할 수 있다. PCI Express에서 평균 측정 결과가 사양에 지정된 값(SSC 없음)과 300PPM 이상 차이가 나면 그 장치는 적합하지 않다.

## PCI Express™ 측정 솔루션 소개

### ▶ 입문서

**상승/하강 전이 시간** - 송신기 측정을 할 때는 정확한 전이 시간을 측정하기 위한 도구가 가장 중요하다. Gen2 PCI Express에 대한 최저 허용 송신기 상승 시간 측정 값은 30ps(20-80%의 기준 레벨로 측정 시)이다. 상승 시간이 너무 빠르면 EMI 문제가 발생할 수 있고 너무 느리면 데이터 오류가 발생할 수 있다.

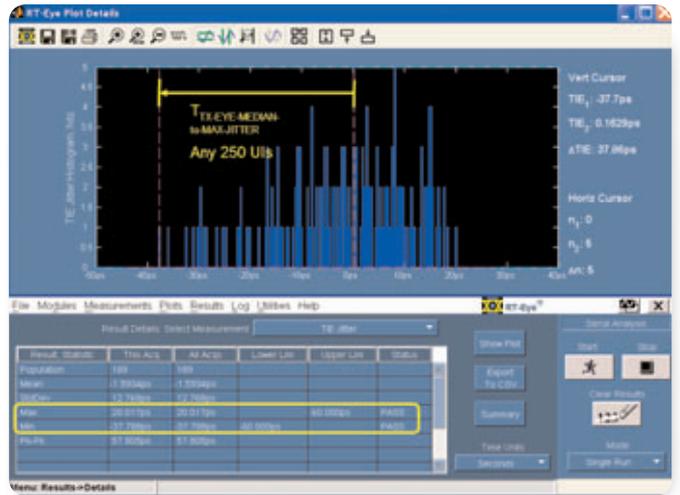
**파형 아이 폭** - 파형 아이 폭은 측정된 컴포지트 지터보다 한 간격 적은 것으로 정의된다. 여기서 지터는 0V 차동 기준 레벨에서 측정한 것이다. 아이 다이어그램에 대한 자세한 내용은 아이 다이어그램 섹션을 참조한다.

### 지터 측정

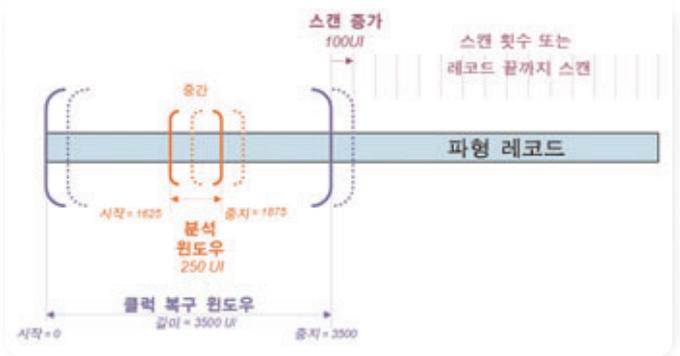
지터 측정 방법론은 PCI Express 개발자와 사양 저자들 사이의 주요 논의 주제였다. 이 섹션에서는 PCI Express에서 지터 분석이 사양의 측정에 적용되면서 어떻게 발전해왔는지 살펴본다.

**중간-최대 지터** - 원래 Gen1 PCI Express 사양(Rev1.0a)에서는 "중간-최대 지터"를 연속되는 임의의 250비트 상에서 측정한 값이라 되어 있었다. 중간-최대 지터는 중간을 타이밍 기준으로 사용하는 TIE(Time Interval Error)의 양 또는 음의 방향의 최대 편차이다. 그림 9는 중간-최대 지터가 250개의 단위 간격에서 TIE의 히스토그램에서 어떻게 측정되는지 나타낸 것이다. 측정 한계(그림 9에서 강조 표시한 부분)가 중간-최대 지터 사양을 나타내는 TIE의 최소 및 최대값 주위에 표시된다.

클럭 복구를 위해서는 연속되는 3,500비트의 평균을 취한 다음 클럭 복구 윈도우의 중심에서 250비트 분석 윈도우를 적용한다. 이 분석 방법은 위상 보간 수신기 동작을 에뮬레이션하기에 좋은 모델을 제공한다. 3500:250 방법은 지터의 3차 필터 함수 방법과 유사하다(1.5MHz의 컷오프 주파수에 -60dB/decade 감쇠). 이 방법에서는 저주파 SSC를 걸러내어 SSC 기능의 사용 여부에 상관없이 이 기술을 시스템에서 사용할 수 있게 한다. 텍트로닉스는 SmartGating 기능을 사용하여 RT-Eye 소프트웨어에

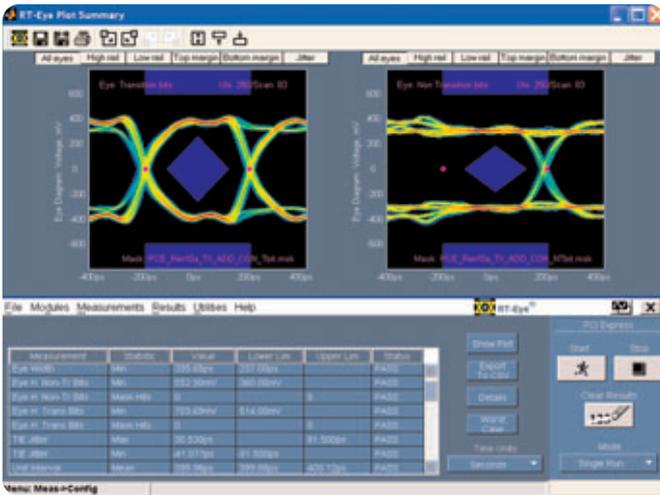


▶ 그림 9. 임의의 250UI 상의 Rev1.0a 중간-최대 이외의 지터



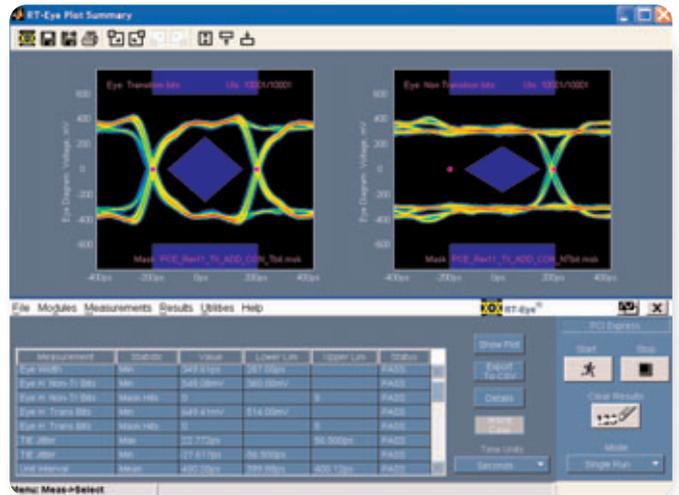
▶ 그림 10. 3500:250 윈도우 지정에 사용되는 SmartGating

서 이 방법을 일반화해왔다. SmartGating(그림 10) 기능을 사용하면 클럭 복구 및 분석 윈도우를 지정하여 시간 간격 오류 측정에서 다른 유효 필터 함수를 나타낼 수 있다. ClockRecovery:Analysis 윈도우를 설정하여 사용자가 정의한 간격으로 파형을 스캔할 수도 있다. 100UI의 간격으로 파형을 스캔하는 3500:250 윈도우를 설정하면 PCI-SIG의 SigTest 소프트웨어에 상관되는 결과를 제공한다.



▶ 그림 11a. Gen1(Rev1.0a) 방식을 이용한 Add-In 카드 테스트

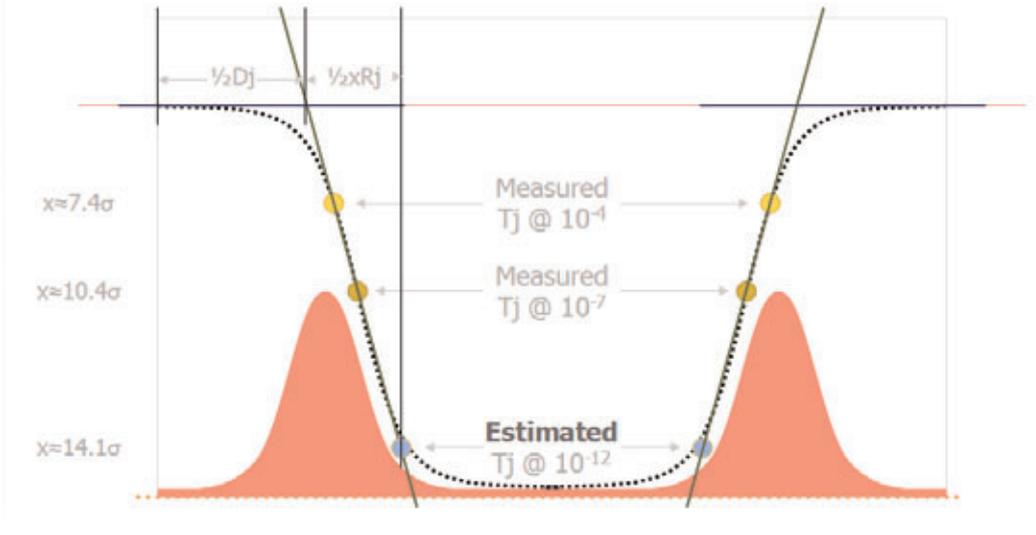
실제 장치를 테스트해본 후 상호 운용성을 보장하려면 보다 강력한 지터 사양이 필요하다는 사실이 밝혀졌다. 새 사양(Rev1.1)에서는 기준 클럭 위상 지터와는 독립적으로 송신기 지터를 측정한다. 1차(1.5MHz의 모서리 주파수에서 -20dB/decade 감쇠) 필터 함수를 지터 데이터에 적용하고 송신기 장치의 RefClk 입력에 인가된 "클린 클럭"으로 측정함으로써 클럭 복구가 달성된다. Rev1.1의 지터는 100만 UI에서 측정되어 지정되며, 1.0a 사양의 경우 "임의의 250UI에서" 지터를 지정한다는 점에서 모호했다. 송신기 구성 요소 및 Add-In 카드 테스트의 경우 새로운 Rev1.1 송신기 지터 사양이 적합성에 사용된다. SSC 기능을 사용하는 시스템의 경우 Rev1.0a 사양으로부터의 원래 3차 함수의 적합성 준수 절차가 유지된다.



▶ 그림 11b. Gen1(Rev1.1) 방식을 이용한 Add-In 카드 테스트

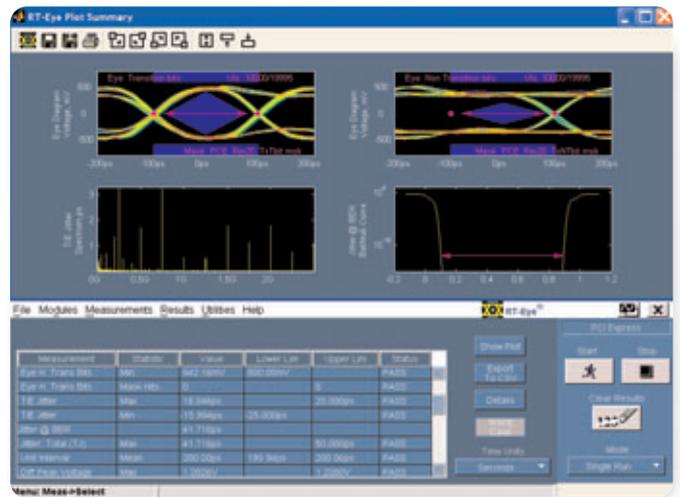
그림 11은 두 가지 사양을 사용하여 테스트되는 Add-In 카드의 예를 나타낸 것이다. 그림 11a는 스캔 모드를 활성화한 상태에서 3500:250 방식을 사용하여 Rev1.0a CBB(Compliance Base Board)로 테스트하는 것이다. 그림 11b는 1차 소프트웨어 PLL을 사용하여 Rev1.1 CBB로 같은 장치를 테스트하는 것이다. Rev1.1의 지터 허용 오차 범위가 더 좁지만(마스크가 더 넓은) DUT에 클린 클럭이 인가되므로 측정된 TIE 지터는 훨씬 작다 (중간-최대 지터가 27.6ps vs. 41.07ps임). 최종 결과는 두 가지 방법론에서 모두 해당 장치가 합격이다.

**Bi-Modal 분포(dual-Dirac)를 가정하고 두 BER에서 Tj 측정 점을 따라 선형화 하고 경사는 Rj, 절편은 Dj**



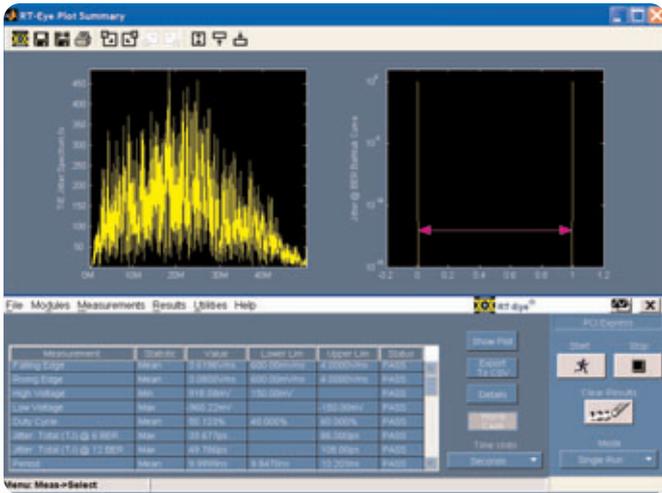
▶ 그림 12a. Dual-Dirac 지터 평가 모델

**Dual-Dirac 지터** – 중간-최대 지터 테스트에서 설명한 바와 같이, Gen1 PCIExpress 사양은 지터 측정을 위한 TIE 히스토그램 접근 방식에 의존한다. Gen2 사양에는 Dual-Dirac 모델을 사용함으로써 지터를 지정하는 추가 단계가 있다. 이 방식에서는 그림 12a에 나타난 것과 같이 전체 지터(Tj), 랜덤 지터(Rj) 및 결정성 지터(Dj)를 평가한다. Dual-Dirac 곡선을 유도하기 위해 여러 가지 획득 및 분석 기술이 개발되었다. TIA(Time Interval Analyzer)에 주로 사용되는 한 방식은 장시간에 걸쳐 TIE(Time Interval Error) 히스토그램을 그리는 것이다. 다른 두 BER 레벨의 Tj를 측정할 수 있다(예:  $10^{-4}$  및  $10^{-7}$  BER). 이들 값을 측정하고 나면  $10^{-12}$  BER에서 Tj를 추정하는 직선을 그릴 수 있다. 이 직선의 경사와 절편을 그려 Rj와 Dj 값을 유추할 수 있다. 이와는 반대로, TDSJIT3 또는 RT-Eye를 사용하는 실시간(RT) 오실로스코프는 "지터 측정에 대한 스펙트럼 접근 방식"을 사용하여  $10^{-12}$  BER에서 Tj를 추정한다. 그런 다음 같은 접근 방식을 이용해  $10^{-9}$ 에서 Tj를 측정한다. 이 두 레벨에서 Tj가 결정되면 같은 직선을

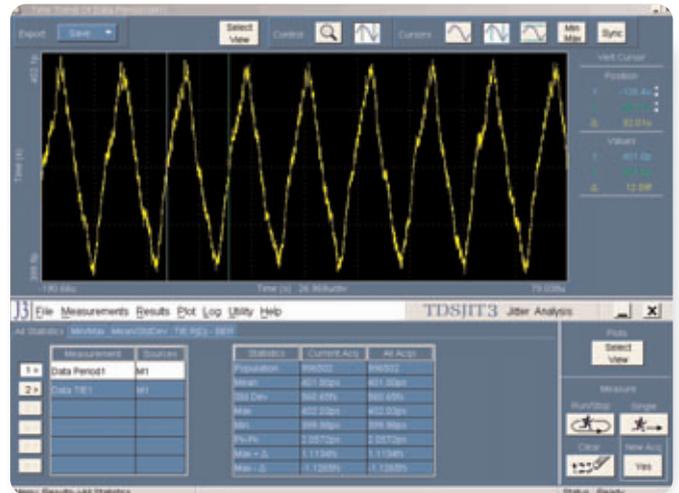


▶ 그림 12b. Gen2 Dual-Dirac 방식을 사용하는 송신기 테스트

그리고 Rj와 Dj를 추정할 수 있다. 텍트로닉스가 개발한 지터에 대한 스펙트럼 접근 방식에는 랜덤 성분과 결정성 성분을 분리하는 특허 기술이 포함된다.



▶ 그림 13. 자동 RefClk 적합성 테스트



▶ 그림 14. TDSJIT3 소프트웨어를 사용하는 확산 스펙트럼 프로파일링

스펙트럼 접근 방식은 지터 측정을 위한 BERT 검색 방식과 상관관계를 맺어왔다. 스펙트럼 접근 방식은 히스토그램을 이용할 때보다 짧은 시간에 정확한 지터 추정치를 제공하므로 직렬 데이터 개발자들 사이에 이 방식이 널리 채택되었다. 그림 12b는 이 기술을 사용하여 테스트한 Gen2 PCI Express 송신기의 결과를 나타낸 것이다.

**기준 클럭(RefClk) 지터** - 이전 섹션에서 설명한 바와 같이, Rev1.1 사양에서는 송신기 지터와 RefClk 지터는 따로 측정해야 한다. PCI Express 송신기와 수신기는 각 PLL의 전달 함수의 변동, 전송 지연의 차이 그리고 수신기에 있는 CDR의 추적 대역폭으로 인해 다른 위상 지터 추적 동작을 보인다. 송신기와 수신기가 최악의 상태로 조합되어 이것이 전파되고 걸러지는 지터의 양으로 기준 클럭을 지정할 필요가 있다. 이것은 Rev1.1 CEM 및 Gen2 기본 사양에 지정되는 지터 마스크 기능을 통해 수행된다.  $10^{-6}$  및  $10^{-12}$  BER에서 허용되는 지터도 지정된다.

그림 13은 RT-Eye 소프트웨어를 사용하여 RefClk에 필수 Rev1.1 CEM 사양을 적용한 결과이다. 전체 지터 외에도, 이 도구는 슬루율, 고전압 및 저전압, 클럭의 듀티 사이클과 같은 파라미터도 측정한다.

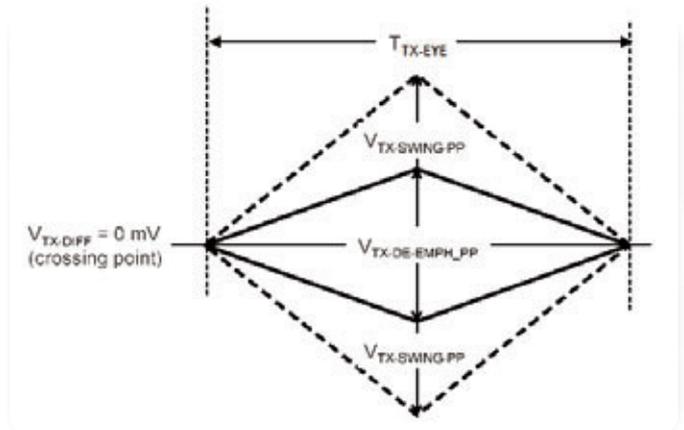
**SSC 프로파일링** - 클럭의 신호 무결성 외에도, PCI Express 사양에서는 클럭 주파수가 30-33kHz의 변조 주파수에서 기본 데이터 전송률에서 -0.5% 확산되는 것으로 지정된다. 이에 따라 데이터 주기가 400ps에서 402ps로 확산된다. 데이터 신호에서 SSC의 프로파일을 얻으려면 데이터 주기를 측정 및 필터링해야 한다. TDSJIT3 Advanced Jitter Analysis 소프트웨어를 사용하여 고성능 실시간 오실로스코프에서 긴 레코드를 분석한다. 그림 14는 데이터 주기 측정 값에 5MHz의 저역 필터를 적용하여 CLB(Compliance Load Board)를 사용해 마더보드에서 SSC 프로파일을 검증한 결과를 나타낸 것이다.

### 실시간 아이 다이어그램 및 마스크 테스트

일련의 데이터 파형을 중첩하여 나타나는 오실로스코프 디스플레이인 "아이 다이어그램"은 PCI Express 송신기 신호의 품질을 설정하기 위한 중요한 도구이다. 아이 다이어그램을 만들려면 데이터에서 클럭을 복구하여 랜덤, 의사 랜덤 또는 적합성 패턴 비트를 전달하는 데이터 스트림을 동기화할 필요가 있다. 소프트웨어적으로 복구된 클럭과 실시간 파형 데이터를 중첩하는 텍트로닉스 특허 기술이 텍트로닉스 실시간 오실로스코프에서 실행되는 RT-Eye(Real Time Eye) 소프트웨어의 기초이다. 이전 섹션에서 설명한 바와 같이, 테스트 대상 장치와 사양 버전에 따라 클럭을 복구하는 기술은 여러 가지가 있다. 클럭을 복구하는 것 외에도, 송신기와 인터커넥트 테스트 포인트는 전이 비트와 디엠퍼시드된 비트를 구분하고 각 비트 유형에 대해 마스크 테스트를 수행해야 한다. 그림 15는 마스크 배치도가 사양에서 정의되는 것을 나타낸 것이다. 그림 11과 12는 RT-Eye 소프트웨어를 사용하여 결과 아이 다이어그램이 어떻게 동시에 표시되는지 나타낸 것이다. 앞서 설명한 바와 같이, Gen1에 대한  $T_{TX-EYE}$  사양은 1UI에서 컴포지트 TIE 지터를 뺀 것으로 정의되는 '파형 아이 마스크'이다. Gen2에서  $T_{TX-EYE}$ 는 Dual-Dirac 모델을 사용하여  $10^{-12}$  BER에서 1UI에서 전체 지터를 뺀 것으로 정의되는 '지터 마스크'로 지정된다. 두 경우 모두 진폭 측정은 오실로스코프에서 획득할 때 전압을 바탕으로 한다.

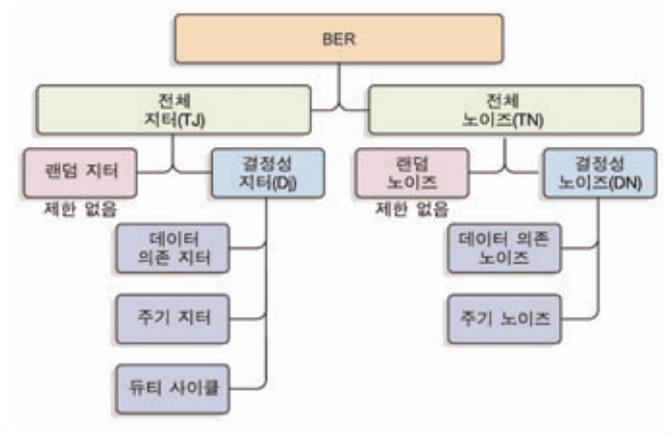
### 노이즈와 노이즈가 지터에 미치는 영향

지터 측정에 대해 지금까지 설명한 분석 기술은 주로 실시간 오실로스코프에 의해 수행된다. 송신기에 대한 3500:250 방식 및 RefClk에 대한 위상 지터 필터와 같은 필터링 기술은 실시간으로 캡처되는 예지 정보에 의존한다. 실시간 획득은 지터의 주파수 성분을 알아내기 위한



▶ 그림 15. PCI Express 파형 마스크 사양

유일한 방법이므로 후처리 알고리즘을 사용하여 주파수 영역에서 필터링될 수 있다. 하지만 실시간 오실로스코프의 수직 노이즈는 지터 및 진폭 영역 모두에 오류를 추가한다. 이것은 실시간 오실로스코프가 프런트엔드에서 아날로그 증폭기를 사용하여 파형을 획득한다는 사실 때문이다. 아날로그 증폭기에 대한 노이즈 x 대역폭 값이 일정하므로 대역폭이 크면 획득된 신호에서 노이즈도 커진다. 또한 실시간 오실로스코프의 A/D 컨버터 분해능은 설계상 8비트로 제한되고 이에 따라 양자화 오류 발생이 불가피해진다. 시스템 노이즈와 양자화가 결합되어 측정 결과에 오류가 추가된다. 많은 경우 이들 오류는 중요하지 않고 무시할 수 있는 수준이지만 PCI Express 개발자가 점점 더 긴 송신 채널을 설계함에 따라 실시간 오실로스코프의 분해능과 S/N 비가 제한될 수 있다. 이런 애플리케이션의 경우 높은 정확도의 측정에 등가 시간 샘플링 오실로스코프를 사용할 수 있다. 또한 고속 직렬 데이터 신호의 지터 뿐만 아니라 노이즈도 분석하는 새로운 소프트웨어 도구들이 개발되었다.

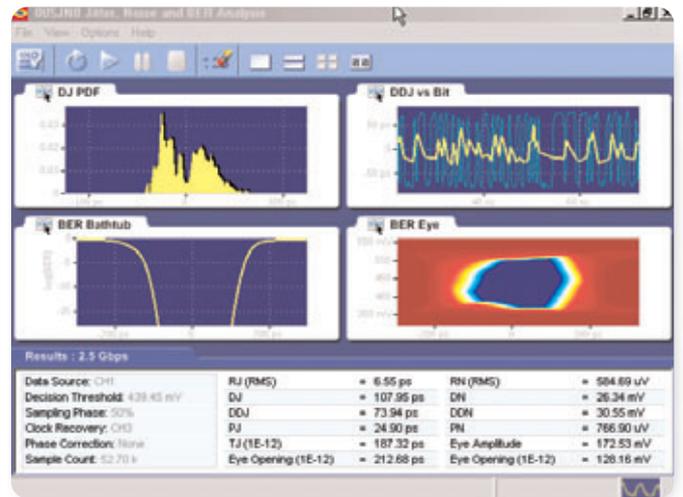


▶ 그림 16a. 지터 및 노이즈 분해

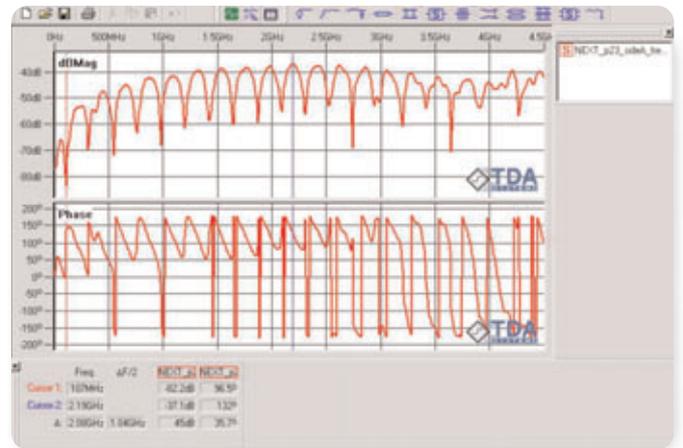
그림 16a에서 그림 왼쪽은 일반적인 직렬 데이터 지터의 분해도를 나타낸 것이다. 그림 오른쪽은 지터가 시간 영역에서 분해될 때와 거의 같은 방법으로 진폭 영역에서 노이즈를 분해하는 샘플링 오실로스코프에서 사용되는 새로운 기술을 추가한 것을 나타낸 것이다. 그 결과는 2차원 PDF(Probability Density Function)를 나타내는 BER Eye이다. 그림 16b는 텍트로닉스 샘플링 오실로스코프에서 TDS8JNB(Advanced, Jitter, Noise 및 BER Analysis 소프트웨어)를 사용하여 아이 클로저의 정확한 원인에 대한 보다 자세한 정보를 제공하는 PCI Express Add-In Card에 대한 분석 결과를 나타낸 것이다.

### 주파수 영역 측정

인터커넥트 링크 적합성 테스트에서는 삽입 손실, 반사 손실 및 주파수 영역 crosstalk와 같은 주파수 영역 측정이 점점 많이 필요해진다. 수신기 입력을 특성화하는 데도 반사 손실 측정이 요구된다. S-파라미터라고도 하는 이런 주파수 영역 측정은 주로 차동 모드에서 수행되는데, 그 이유는 차동 모드 측정이 디지털 시스템의 대역폭 감소와 지터에 직접 관련되기 때문이다. 일부 표준은 공통 모드 측정이나 모드 변환 측정이 요구되기 시작하는 추세다. 이 측정은 진정한 차동 기능이 있고 측정 대역폭

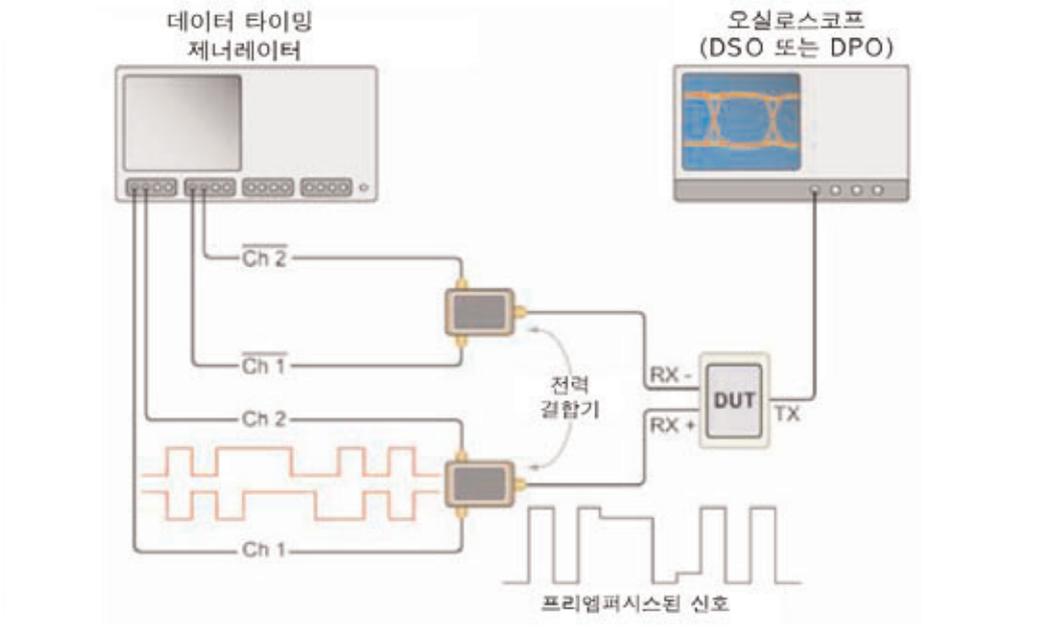


▶ 그림 16b. JNB 소프트웨어에서 도출된 지터 및 노이즈 PDF



▶ 그림 17. 주파수 영역 crosstalk 측정

에 직접 관련되는 상승 시간이 적당한 TDR 가능 오실로스코프로 수행될 수 있다. 그림 17은 텍트로닉스 샘플링 오실로스코프에서 실행되는 80SSPAR IConnect S-Parameter 및 Z-line 소프트웨어를 사용하여 분석한 PCI Express 인터커넥트에 대한 주파수 영역 crosstalk 측정 결과를 나타낸 것이다.



▶ 그림 18. 두 DTG 채널에서 디엠퍼시스턴 신호 만들기

### 수신기 감도 및 지터 허용 오차 측정

Gen1 수신기 테스트에서는 루프백 모드에서 구성된 테스트 대상 장치(DUT)를 구동하기 위한 입력신호가 필요하다. 이 작업에 알맞은 도구는 트레이닝 시퀀스(TS1 & TS2)와 같은 정의된 2.5Gb/s 테스트 패턴을 생성하고 이를 장치에 적용할 수 있는 패턴 제너레이터(데이터 타이밍 제너레이터라고도 함)이다. DUT에서 수신기 섹션의 트레이닝 시퀀스를 인식하면 송신기 섹션에서 유사한 시퀀스를 내보낸다. 이렇게 송신된 시퀀스는 오실로스코프 및/또는 로직 애널라이저로 관찰 및 분석 가능하다. DUT의 성능을 다양한 스트레스 조건에서 특성화할 수 있도록 트레이닝 시퀀스를 변경하는 것이 일반적인 방법이다. 이런 스트레스를 구체적으로 나열하자면, 진폭 레벨 변동, 아이 교차 수준 변경, 차동 스큐 변동 및 추가된 노이즈와 지터 등이 있다.

또한 수신기를 철저히 테스트하려면 데이터 타이밍 제너레이터가 연속 전이 비트를 프리엠퍼시스 처리하여 SerDes 회로를 테스트해야 한다. 그림 18은 2개의 DTG (Digital Timing Generator) 채널을 조합하여 디엠퍼시스턴 신호를 만드는 방법을 보여준다.

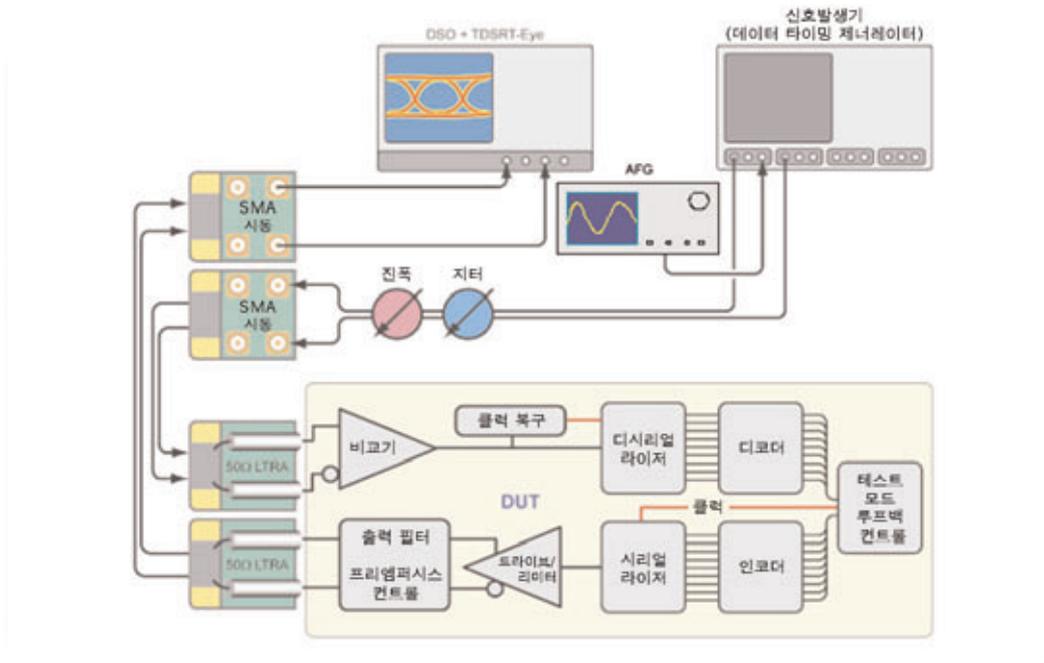
DTG에서 조정할 수 있는 것은 진폭 레벨 뿐만 아니라 다음과 같이 다른 것도 조정할 수 있다.

**타이밍 허용 오차** - 수신기 한계를 검색하기 위해 주파수를 변경할 수 있다.

**교차 수준 허용 오차** - 차동 신호의 D+ 및 D- 레그 사이의 교차 전압을 바꾸어 공통 모드 비대칭을 시뮬레이션할 수 있다.

**스큐 허용 오차** - 차동 신호의 D+ 및 D- 레그 사이의 지연을 바꾸어 차동 스큐를 시뮬레이션할 수 있다.

**지터 허용 오차** - 지터 주파수 변조와 진폭을 바꾸어 장치를 지정된 요구 사항에 맞게 작동시킬 수 있다.



▶ 그림 19. 지터 허용 오차 테스트를 위한 설정

수신기에 대한 지터 허용 오차는 지터가 있는 상태에서 데이터를 성공적으로 복구하는 능력으로 정의된다. 사양을 준수하면 일정 양의 지터가 존재할 때에도 SerDes 및 PLL 회로가 클럭을 복구할 수 있도록 보장한다. 지터 허용 오차에 대한 테스트는 상호 운용성을 보장하는 데 사용되는 보다 중요한 테스트 중 하나다. PCI Express와 같은 애플리케이션에서는 특히 엄격한 지터 테스트가 중요하다. 특정한 진폭 및 주파수 변조 특성을 가진 지터를 줄 수 있는 신호원에 대해서는 절대적 요구 사항이 있다.

PCI Express 기본 사양에서는 지터를 복구된 송신기 UI(단위 간격)에 대한 아이 다이어그램 교차점의 편차로 정의한다. 그림 19에 표시한 것처럼 DTG는 진폭과 주파수

성분 양 측면에서 지터 제어 기능을 제공한다. 이 조합에서 PCI Express 수신기에 대한 철저한 지터 허용 오차 테스트를 실행할 수 있다.

### 아날로그 측정의 신호 충실도 보장

적합성 테스트, 검증 또는 디버그 목적의 여부에 관계없이 모든 PCI Express 측정은 장치 프로빙, 신호 데이터 획득 및 캡처된 정보의 분석으로 구성된다. 올바른 도구를 선택하고 그것을 정확히 적용하는 것이 빠르고 정확한 결과를 보장하는 길이다. 이 섹션에서는 오실로스코프를 선택할 때 테스트 대상 장치에 연결하는 다양한 기술과 아날로그 성능 고려 사항을 설명한다.

## PCI Express™ 측정 솔루션 소개

### ▶ 입문서

#### 테스트 대상 직렬 장치에 연결

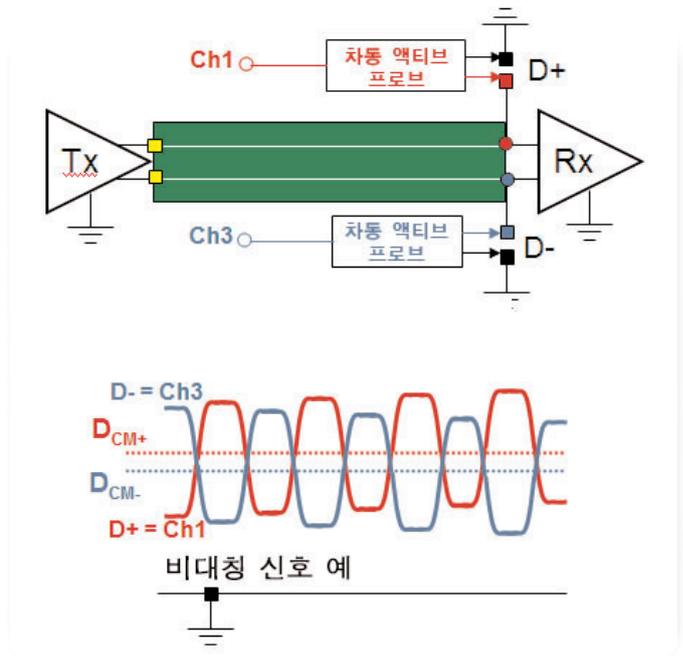
테스트 대상 장치에 연결하는 것으로 측정이 시작된다. 여기서 테스트할 레인의 기계적 인터페이스는 무엇인가라는 질문이 생긴다. 이것은 권장 테스트 정의에서 일반적으로 제기되거나 설계의 액세스 포인트에 따라 생기는 질문이다. 각각 고유의 특징을 가진 다양한 구성이 있다. 기계적 인터페이스는 전기 및 로직 테스트 모두에 대한 프로빙에 지대한 영향을 미친다. 이 프로브는 작은 물리적 특징에 일치해야 하는 동시에 측정 장비에 무결한 고속 차동 신호를 제공해야 한다. 또는 프로브가 SMA 커넥터로 장착된 테스트 포인트와 같은 프로토타입 고정 장치에 적응할 필요가 있다.

프로빙 문제에 대해서는 다음 4가지 접근 방식이 있다.

- ▶ 의사 차동 액티브 프로빙
- ▶ 실제 차동 액티브 프로빙
- ▶ 의사 차동 SMA 연결
- ▶ 실제 차동 SMA 연결

PCI Express 신호는 차동적으로 송신되므로 여기서 설명하는 모든 솔루션이 차동적으로 연결된다는 점에 주의한다.

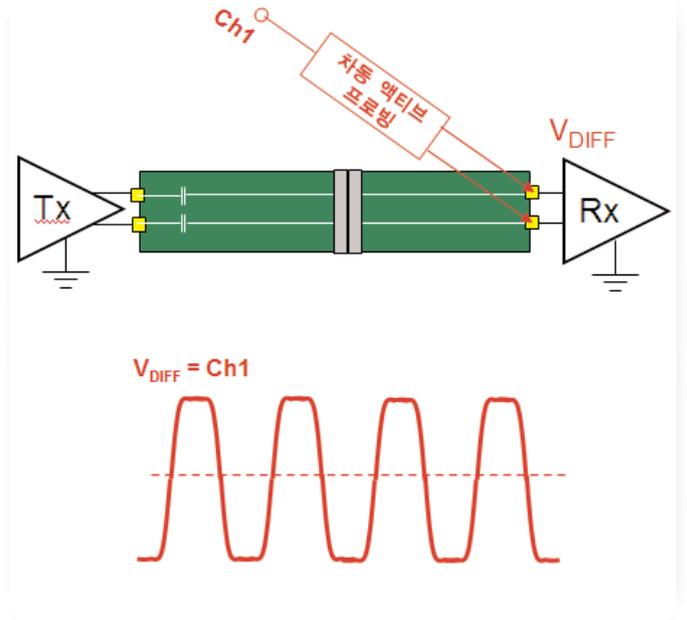
**의사 차동 액티브 프로빙** - 차동 신호의 한쪽에 각 하나씩 두 개의 차동 액티브 프로브를 의사 차동 측정에 사용할 수 있다. 그림 20은 접지에 대해 차동 쌍의 D+ 및 D- 레그에 두 개의 프로브를 납땜할 수 있는 칩-칩 애플리케이션 예를 나타낸 것이다. 오실로스코프의 두 채널은 두 데이터 채널을 캡처한다. 프로브는 신호의 AC 및 DC 성분을 모두 캡처할 수 있으므로 다른 링크에 대한 공통 모드 효과를 살펴보는 데 최적의 도구가 된다. 링크의 수신기는 송신기



▶ 그림 20. 의사 차동 액티브 프로빙

의 차동 진폭만 보지만 공통 모드 전압의 변동으로 교류 사이클에서 불필요한 진폭 변동이 발생할 수 있다. 그림 20에서 측정된 신호는 의사 차동 프로빙 설정으로 캡처한 비대칭 신호 예를 나타낸 것이다. PCI Express 기본 사양에 최대 공통 모드 AC 전압("V<sub>CM</sub>")이 지정되어 있고 공통 모드 DC 전압에 허용되는 범위도 규정되어 있다. D+ 및 D- 파형을 빼면 차동 전압 파형 VDIFF가 구해진다. 이 수학적 파형에서 아이 다이어그램, 진폭 그리고 지터 및 타이밍 측정이 이루어진다. 파형의 양측은 의사 차동 프로빙에서 2개의 별도 오실로스코프 입력 채널로 들어오므로 입력을 데스큐한 다음에 측정 작업을 해야 한다.

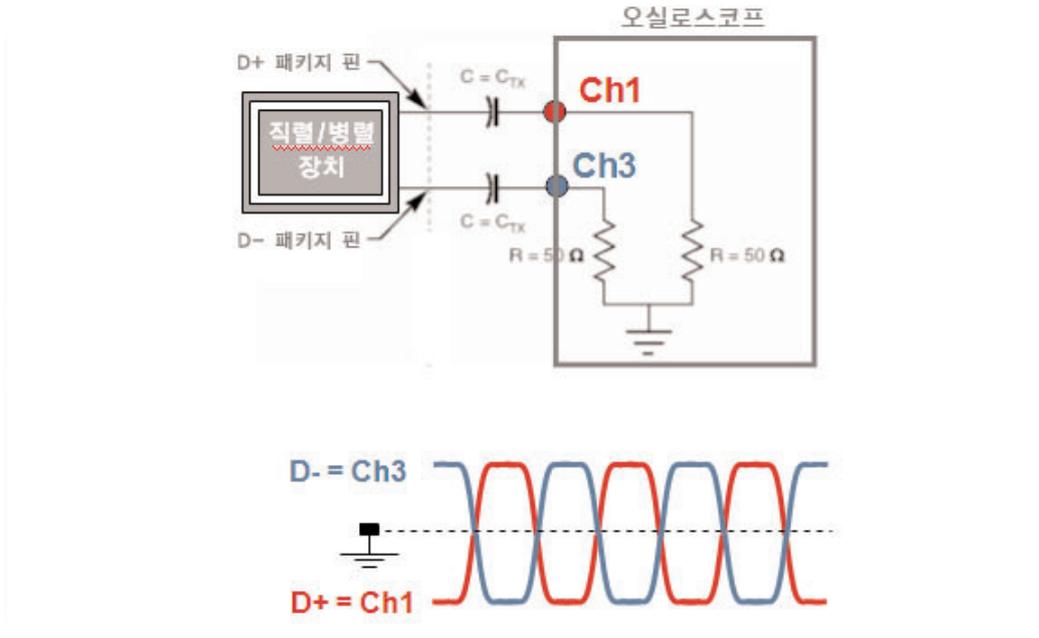
**실제 차동 액티브 프로빙** - 그림 21은 커넥터 기반 카드-카드 직렬 링크의 수신 측을 캡처하는 차동 프로브를 나타낸 것이다. 의사 차동 연결과는 달리, 이 프로브는 단 하나의 오실로스코프 채널만 필요하고 이어지는 수학적 단계를 불필요한 것으로 만든다. 다른 이점 중에서도, 이 프로브는 여러 오실로스코프 채널을 사용하여 여러 레인을 캡처하는 능력을 제공한다. 또한 여러 개의 고속 테스트 포인트를 디버그하는 데도 유용하다. 그림 21의 차동 파형은 한 오실로스코프 채널만 필요하고 데스크큐는 필요하지 않다. 이 경우에는 차동 모드 측정만 수행할 수 있다. 어떤 프로브든 DUT에 약간의 부하를 가하게 된다는 사실에 주의할 필요가 있다. 모든 프로브에는 저마다 주파수가 증가할 때 임피던스가 바뀔 수 있는 회로 모델이 있다. 이것은 관찰 대상 회로의 동작과 측정 결과에 영향을 줄 수 있는데 이는 결과를 평가할 때 반드시 고려되어야 하는 요소이다. "칩-칩" 인터페이스를 설계할 때는 테스트 패드를 보드 설계로 통합하여 설계하고 의도한 프로브의 기계적 요구 사항을 고려하는 것이 중요하다. 반사로 인한 신호 왜곡을 피하려면 프로빙 패드를 수신기 종단 저항에 가능한 한 가까이 두어야 한다.



▶ 그림 21. 실제 차동 액티브 프로빙

## PCI Express™ 측정 솔루션 소개

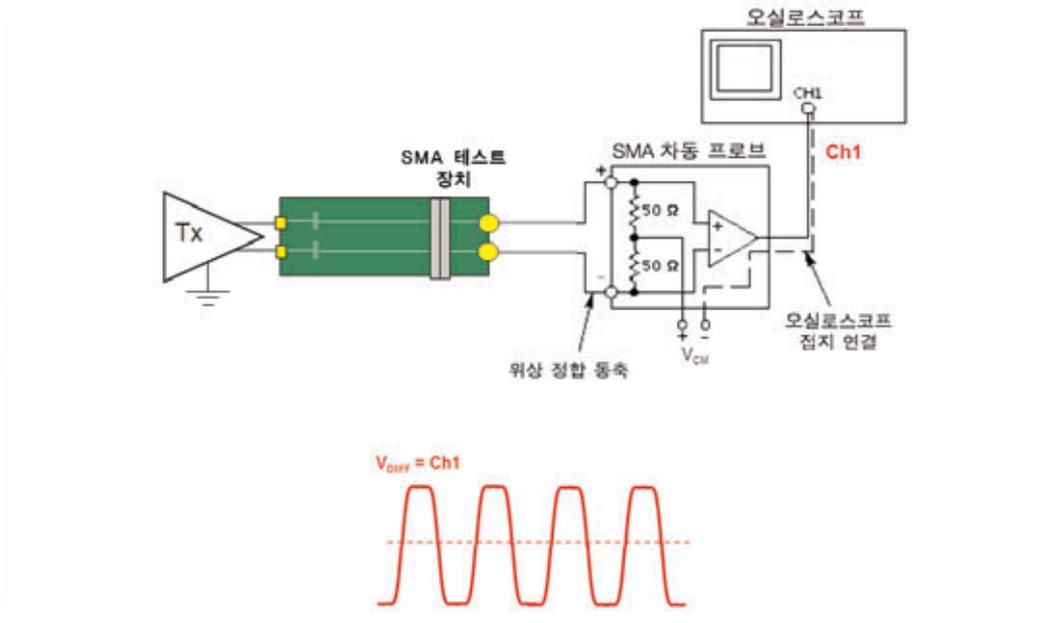
### ▶ 입문서



▶ 그림 22. 의사 차동 SMA 연결

**의사 차동 SMA 연결** - 수많은 적합성 테스트 장치와 프로토타입 회로는 출력에서 특성 부하가 필요하다. 장치/프로토타입에 SMA 고주파 커넥터가 장착되는 경우 SMA 의사 차동 접근 방식은 신호에 대한 액세스를 제공한다. 이것의 한 예가 그림 22에 나타난 송신기 적합성 테스트이다. 여기서 DUT의 출력은 오실로스코프의 두 입력에 직접 연결되고 그 각각은 50Ω의 입력 임피던스를 가진다. SMA 입력은 고성능 오실로스코프에서 흔한 것이고 측정을 수행하려고 차동 프로브를 구매하지 않아도

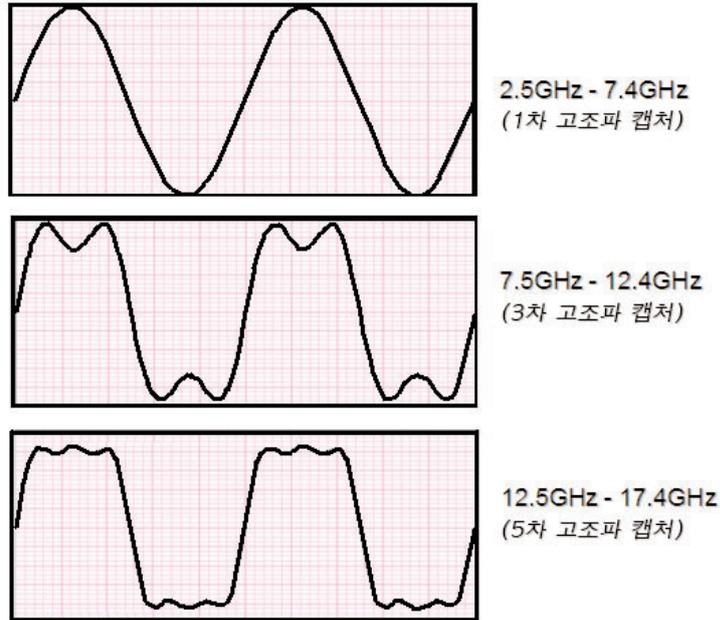
된다. 그림 22에 나타난 것처럼 차동 쌍의 두 레그에서 공통 모드 AC 측정을 할 수 있다. 오실로스코프가 접지에 종단되므로 신호가 교류 결합되어야 한다. 액티브 프로빙의 경우에서와 같이 다른 공통 모드 신호에서 한 공통 모드 신호를 빼면 차동 모드 파형이 생성된다. 이 기법을 사용할 때는 채널이 데스큐되고 DUT에서 오실로스코프 입력으로 연결된 케이블과 관련된 손실을 측정 결과에 고려하도록 주의를 기울여야 한다.



▶ 그림 23. 실제 차동 SMA 프로빙

**실제 차동 SMA 연결** - 그림 23은 송신기 경로 적합성 측정을 위해 설계된 새로운 종류의 오실로스코프 프로브를 나타낸 것이다. SMA 입력 차동 프로브는 상호 운용성 포인트가 "카드-카드" 또는 "카드-케이블" 인터페이스에서 정의되는 적합성 테스트에 적합하다. 100Ω 정합 종단 네트워크는 차동 신호의 두 레그를 임의의 공통 모드 전압에 적절히 종단한다. 공통 모드 전압은 사용자에게 의해 제공되거나 어떤 경우에는 오실로스코프에서 직접 제공될 수도 있다. 그림 23은 단일 종단 신호를 변환하는 실제 차

동 SMA 프로브가 차동 증폭기를 사용하여 차동 상태로 되려는 것을 나타낸 것이다. 이 프로브에서는 채널을 데스큐할 필요가 없다. 텍트로닉스 P7380SMA(SMA 입력이 포함된 차동 신호 획득 시스템)의 경우 정합 SMA 케이블과 관련된 손실은 프로브 제조 시 프로브에서 캘리브레이션되므로 케이블 손실을 캘리브레이션하거나 마진으로 고려할 필요가 있는 의사 차동 SMA 접근 방식에 비해 정확한 측정 결과를 제공한다.



▶ 그림 24. 이상적인 저역 필터의 펄스 응답

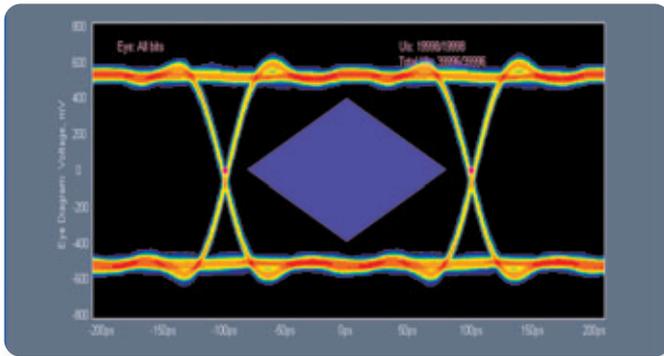
## 아날로그 획득 고려 사항

### 시스템 성능이 측정 정확도를 결정하는 요인

임계치에 가까운 고속 측정을 위한 솔루션을 선택할 때는 오실로스코프와 프로브로 이루어진 쌍을 하나의 시스템으로 간주해야 한다. 측정 장비의 성능이 측정의 일부가 된다. 시스템의 디지털 사양뿐만 아니라 아날로그 획득 특성도 모두 의미 있는 측정 결과를 제공하는 데 일정한 역할을 수행한다. 성능 사양을 이해하는 것도 해결 과제에 적합한 측정이기를 선택하는 데 중요한 역할을 한다.

**획득 시스템의 성능 대역폭 평가** - "대역폭"이라는 용어는 어떤 허용 오차 내에서 오실로스코프의 입력 회로(수직 증폭기)가 허용하는 주파수 범위를 나타낸다. 측정 장비의 샘플 속도는 대체로 이 샘플 범위를 다루도록 최적화된

다. 시스템의 대역폭이 측정을 수행하는 데 적합한지 확인하는 것이 중요하다. 대역폭은 얼마나 되어야 충분할까? 이 질문에 대한 대답은 테스트 대상 신호의 주파수 성분에 따라 결정된다. 오실로스코프의 입력이 이상적인 "브릭 월" 필터이고 5Gb/s PCI Express 신호(101010이 반복되는 패턴 송신)가 완벽한 2.5GHz 구형파라고 하면 오실로스코프 화면에 표시되는 신호는 그림 24와 같을 것이다. 이 세 플롯은 이상적인 대역폭 필터의 BW가 변할 때 어떤 현상이 발생하는지 나타낸 것이다. 3차 고조파만 통과시키는 오실로스코프는 5차 고조파를 통과시키는 오실로스코프에 비해 진폭이 훨씬 더 높고 전이 시간 오류가 높을 것이다. 최상의 신호 충실도를 위해 측정 오류를 최소화하려면 최소한 5차 고조파가 필요하다는 점이 분명하다.



▶ 그림 25. 15GHz 오실로스코프로 캡처된 5Gb/s

실제로는 대부분의 오실로스코프가 "브릭 월" 필터가 아니고 오실로스코프의 롤오프 특성은 신호 충실도에 엄청난 영향을 미칠 수 있다. 예를 들어 15GHz 오실로스코프는 12.5GHz에서 평탄한 주파수 응답(손실 0dB)을 가지도록 캘리브레이션되고 15GHz에서 3dB 떨어지며 17.5GHz (7차 고조파)에서 약간의 에너지를 가진다. 이것은 고속 BERT 제너레이터의 5Gb/s 출력을 측정할 때 그림 25에 나타낸 것과 같이 매우 정확한 아이 다이어그램 응답을 발생시킨다. 그림에 있는 마스크는 Gen2 PCI Express 송신기 전이 비트 마스크를 나타낸다. 대역폭이 낮은 측정 장비를 사용하면 마진이 많지 않다.

**상승 시간** – 그림 24에 나타낸 것처럼 대역폭과 상승 시간에는 상관관계가 있다. PCI Express 기본 사양에는 송신기 장치의 최소 전이 시간이 지정되어 있다. Gen1의 경우 최소 전이 시간이 0.125UI(50ps)이고 Gen2의 경우

0.15UI(30ps)이다. 오실로스코프의 전통적인 상승 시간 사양(10-90% 레벨에서 측정됨)과 이 사양의 전이 시간 측정 결과(20-80% 레벨에서 측정됨)를 혼동하지 않는 것이 중요하다. 이런 이유로 대부분의 오실로스코프 제조업체는 데이터시트에 10-90%와 20-80% 상승 시간 사양을 모두 명기한다. 시스템 상승 시간이 지정된 측정의 상승 시간보다 훨씬 작을 경우 정확도가 더 높아진다. 예를 들어 15GHz 실시간 오실로스코프의 경우 20-80% 상승 시간 사양은 19ps로서, 30ps의 전이 시간으로 가장 빠른 Gen2에서 약 5%의 전이 시간 측정 오류가 발생한다. 5차 고조파 정확도는 송신기 적합성 테스트(SerDes 핀에서)의 최소 요구 사항이다. 대역폭이 최대 70GHz이고 상승 시간이 최소 5ps(10-90%)인 샘플링 오실로스코프로 특성화 목적의 추가적인 정확성을 얻을 수 있다.

CEM과 다른 인터커넥트 테스트 포인트에서 수행하는 다운스트림 측정의 경우 종종 낮은 대역폭(상승 시간이 느림)의 오실로스코프를 사용하는 것으로 충분하다. 그 이유는 신호가 송신기 핀을 떠나 동선 송신 채널을 따라 진행하면 신호가 추가로 필터링되고 신호의 5차 고조파 함량이 줄기 때문이다. 신호의 전이 시간이 해당 단위 간격(UI)의 높은 비율이 되는 지점까지 느껴지는 경우 대역폭이 낮은 측정 장비를 사용하면 상승 시간과 진폭의 오류가 크게 감소한다. 하지만 대역폭이 낮은 오실로스코프로 정확한 측정 결과를 얻게 될지 실제로 알 수 있는 유일한 방법은 5차 고조파 성능을 가진 측정 장비로 같은 측정 작업을 수행하여 그 결과를 비교하는 것이다.

## PCI Express™ 측정 솔루션 소개

### ▶ 입문서

**샘플 속도** – 실시간 오실로스코프에서 아날로그 신호를 정확하게 재구성하는 데 필요한 샘플 속도는 Nyquist 샘플링 원리에 의해 정의된다. Nyquist 샘플링 원리란 파형을 정확히 재구성하기에 충분한 데이터를 캡처하려면 입력 신호의 최고 주파수 함량의 2배 이상 큰 샘플 속도가 필요하다는 것이다. 따라서 15GHz 입력 대역폭을 가진 측정 장비는 40GS/s 샘플 속도로 지원된다. 샘플링 오실로스코프에서 샘플 속도는 진폭 차수가 더 낮지만 주요 성능 척도는 아니다.

**보간** – (PCI Express에서 30-50ps의 전이와 같이) 전이 시간이 빠른 신호의 경우 샘플링된 데이터의  $\sin(x)/x$  보간은 진폭 기반 측정과 아이 다이어그램의 정확성을 향상시킨다. 측정되는 에지에서 발생하는 샘플 포인트가 최소한 3개 이상 있도록 보간 계수를 설정해야 한다. 차동 신호의 스위칭 임계값이나 "제로 레벨"에서 기준 레벨을 취하는 지터 측정의 경우 일반적으로 보간은 결과에 무시할 수 있을 정도의 영향만 미친다. 일부 실시간 오실로스코프는 획득 경로의 일부로  $\sin(x)/x$  보간을 제공한다. 이것은 보간의 기본 수단이다. 이것은 파형과 측정 쓰루풋을 늦추지 않고 정확한 결과를 제공한다.

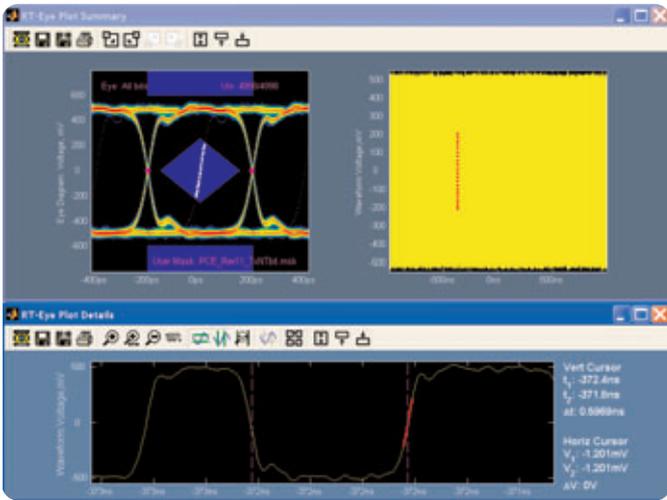
**노이즈 플로어** – 실시간 오실로스코프에서 지터 노이즈 플로어(JNF)는 데이터 종속적인 지터를 모두 제거한 상태에서 한 신호 상의 TIE(Time Interval Error)의 랜덤 성분에 의해 정의될 수 있다. JNF는 스코프 입력에 이상적인 클럭 신호(101010) 반복 패턴을 제공하고 TIE의 표준 편차(RMS)를 측정함으로써 직접 측정할 수 있다. 최고 성능의 실시간 오실로스코프는 일반적으로 400fs RMS 미만의 랜덤 지터 노이즈 플로어를 제공한다. (실시간은 아니지만) 샘플링 오실로스코프를 이용한 유사한 설정으로 낮은 노이즈 플로어와 높은 디지털 해상도로 인해 일반적으로 200fs RMS 미만을 측정한다.

실시간 오실로스코프의 디지털 해상도 DC는 8비트이고 샘플링 오실로스코프는 14비트를 제공한다. 앞서 설명한 바와 같이, 입력 증폭기의 노이즈 요인과 결합된 실시간 오실로스코프의 낮은 해상도로 인해 2배 더 높은 상대 JNF가 유발된다.

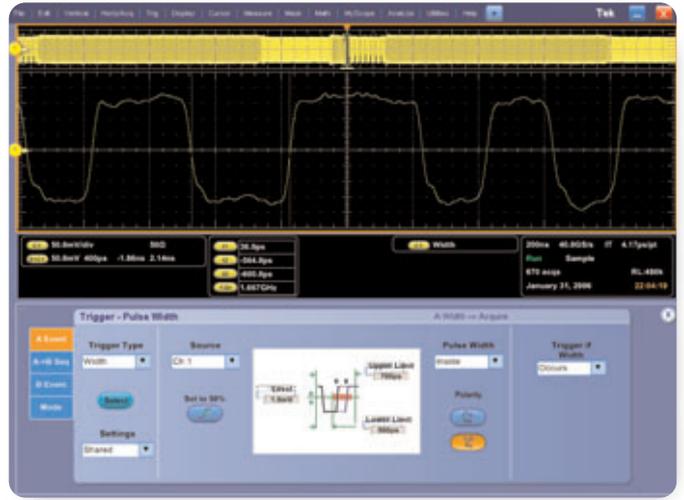
**레코드 길이** – 실시간 오실로스코프의 레코드 길이는 본질적으로 캡처할 수 있는 신호의 주파수 성분을 정의한다. 이것은 특히 지터 측정을 할 때 중요해진다. TIE의 저주파 스펙트럼 성분(지터 스펙트럼)은 이 성분이 캡처되는 경우에만 측정할 수 있다. 레코드 길이가 긴 오실로스코프를 사용하면 최고 샘플 속도에서 이런 주파수를 캡처할 수 있다. 예를 들어 레코드 길이가 100M인 경우 50ps/pt에서 5ms의 파형 데이터를 캡처할 수 있다. 이것은 1,250만 UI의 Gen1 PCI Express 트래픽 또는 150사이클의 확산 스펙트럼 클럭을 나타낸다.

PCI Express에서는 저주파 지터 문제로 인해 통계적 확실성을 위해 100만 UI를 요구하는 Rev1.1 사양이 등장하게 되었다. 단일 획득에서 100만 UI를 캡처하려면 오실로스코프의 레코드 길이가 최소 8M 이상이어야 한다. 고주파 성분을 걸러내고 데이터 신호에서 30KHz SSC 프로파일을 분해하려면 10사이클(333 $\mu$ s) 또는 13M 이상의 데이터를 캡처해야 한다.

**트리거링** – 실시간 오실로스코프에서는 디버그 애플리케이션에서 트리거 성능이 최고가 될 수 있다. 비트 오류를 일으킬 수 있는 신호 변형을 캡처하려면 측정 장비가 신호의 같은 대역폭에서 트리거할 수 있어야 한다. 예를 들어 5Gb/s 신호의 변형은 100ps 차수의 폭에서 글리치가 될 수 있다. 시스템 레벨에서 특정 심벌에서의 트리거링도 중요할 수 있다. 다음 섹션에서는 텍트로닉스 고유의 트리거 시스템을 사용하여 PCI Express 설계 문제를 디버그할 수 있는 몇 가지 사용 예를 설명한다.



▶ 그림 26a. 비트 오류 탐지



▶ 그림 26b. 비트 오류에서 트리거

## Pinpoint® 트리거링 및 데이터 디코딩 도구를 이용한 디버그 및 링크

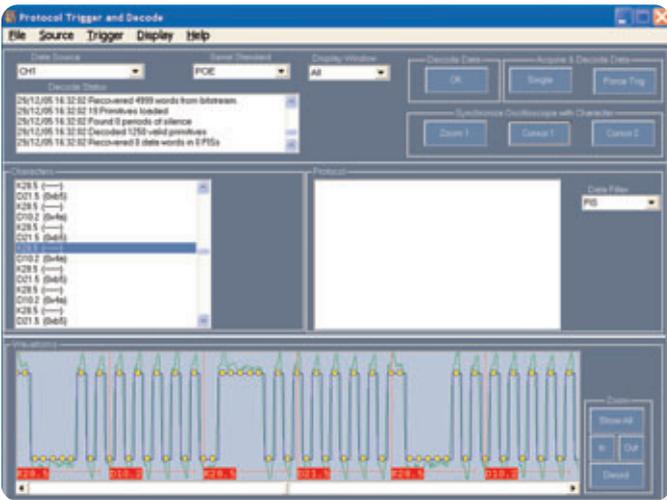
### 비트 오류 찾기 및 트리거

신호 무결성 측정 작업을 수행하는 도중에 설계 문제가 원인일 수 있는 예상치 못한 동작이 발생하는 경우가 종종 있다. 이런 경우에는 문제를 빨리 격리하고 해결하는데 디버그가 중요하다. 종종 측정 장비의 트리거 시스템과 함께 분석 도구를 사용하여 이런 문제를 정확히 짚어낼 수 있다. 그림 26a는 RT-Eye 소프트웨어가 가끔 발생하는 비트 오류를 탐지한 경우를 나타낸 것이다. 한눈에 보더라도 2.5Gb/s 데이터 내에서 랜덤하고 드물게 발생하는 200ps 펄스가 나타나는 것을 알 수 있다. RT-Eye 소프트웨어의 비트 오류 로케이터 기능을 켜면 아이 다이어

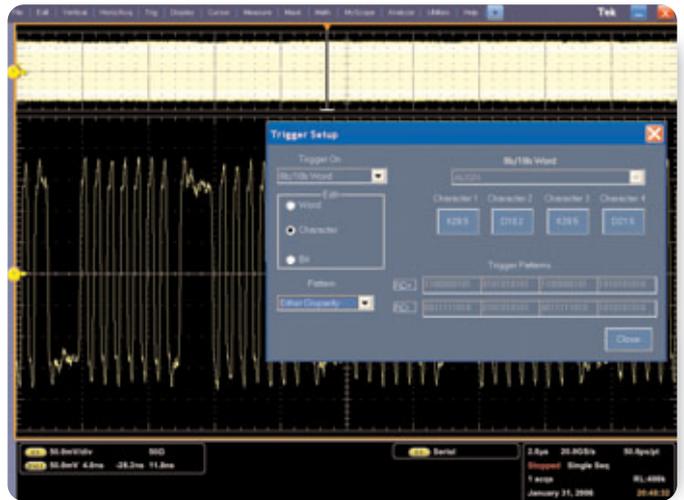
그램(상단 왼쪽)과 획득된 파형(상단 오른쪽)이 동시에 표시된다. 마스크 위반이 발생하면 그 마스크를 위반하는 모든 샘플 포인트가 파형 뷰 상에서 붉은 점으로 표시된다. 파형 플롯 상세도(아래쪽)를 확대하면 변형의 실제 특성을 똑똑히 볼 수 있다. 실패한 비트는 실제로는 600ps 폭의 비트이다. 실패한 비트가 발견되었다면, 이제 이것을 어떻게 디버그할 수 있을까? 펄스 폭이 600ps라는 것을 알고 있으므로 600ps 펄스가 발생할 때만 오실로스코프를 트리거하도록 펄스 폭 트리거를 설정할 수 있다. 그림 26b는 근본 원인에 대해 보다 면밀하게 조사할 수 있도록 데이터 스트림에서 600ps 폭의 펄스를 찾아내는 트리거 설정을 보여준다.

## PCI Express™ 측정 솔루션 소개

### ▶ 입문서



▶ 그림 27a. 파형에서 데이터 디코딩



▶ 그림 27b. 4개의 심벌로 구성된 임의의 조합에서 트리거

### 8b/10b 심벌 검증 및 트리거

PHY의 아날로그 부분에서 발생하는 비트 오류 외에도, 링크를 통해 알맞은 디지털 데이터를 송신하는 것이 중요하다. 잘 훈련된 안목을 가지고 있다면 아날로그 파형을 보고 그것을 심벌(K28.5, D10.2 등)로 변환할 수 있겠지만 그렇게 하는 것은 시간이 걸릴 뿐 아니라 오류 발생 가능성도 높다. PTD(Protocol Trigger and Decode) 소프트웨어와 함께 실시간 오실로스코프를 사용하면(그림 27a)

데이터가 획득된 파형(아래쪽)으로부터 자동으로 디코드되고 디지털 데이터를 검증할 수 있는 심벌 목록(중간)도 제공된다. 그림 27b는 데이터의 임의의 네 심벌(40비트)에서 트리거할 수 있도록 하는 PTD 소프트웨어의 트리거 설정 메뉴를 나타낸 것이다. SerDes 기반 트리거는 실시간으로 불균형과 문자 오류에서 트리거할 수 있도록 해준다.

## 디지털 검증 및 디버깅

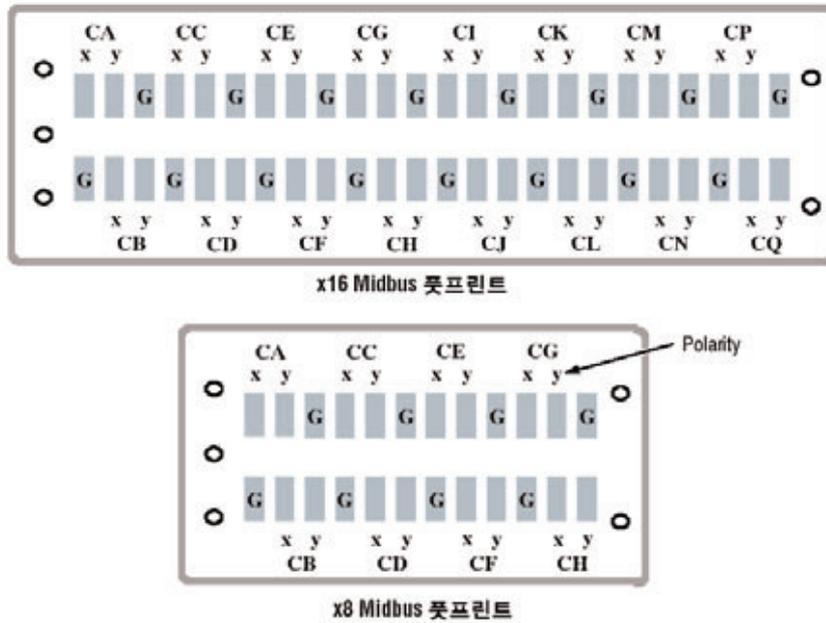
물리 계층 적합성 테스트가 길고도 힘든 제품 개발 프로세스의 클라이맥스인 경우가 종종 있다. 하지만 적합성 테스트를 전후로 하여 다른 문제가 있다. 결국, 장치는 펄스뿐만 아니라 유효한 이진 데이터도 통과시켜야 한다. 지금까지의 논의에서 장치가 데이터 및 프로토콜 레벨에서 올바른 정보를 제공하는 능력이 있는지에 대해서는 아무 것도 검증된 바 없다. 이런 레벨에서의 디버깅, 문제해결 및 설계 검증은 적합성 테스트 준비에 해당하는 프로젝트의 일부이다.

즉 로직 애널라이저를 도입하여 데이터를 개별 펄스가 아닌 전체로서 획득하고 해석해야 한다는 의미다. 로직 애널라이저의 디지털 환경에서 캡처된 데이터는 버스 활동의 타이밍 다이어그램을 만들어낸다. 직렬 데이터는 병렬 형태로 전환되고 측정 장비의 메모리에 저장된다. 적당한 디코딩 도구가 있으면 기록된 이 데이터를 분해하여 엔지니어가 높은 수준의 프로그램 명령이 정확히 수행 중임을 확인하는 데 도움이 될 수도 있다.

이 문서에서는 주로 아날로그 테스트 문제와 솔루션을 다루지만 PCI Express 측정을 위한 오실로스코프와 신호원을 보완하는 로직 애널라이저 시스템을 검토할 만한 가치가 있다.

## PCI Express™ 측정 솔루션 소개

▶ 입문서



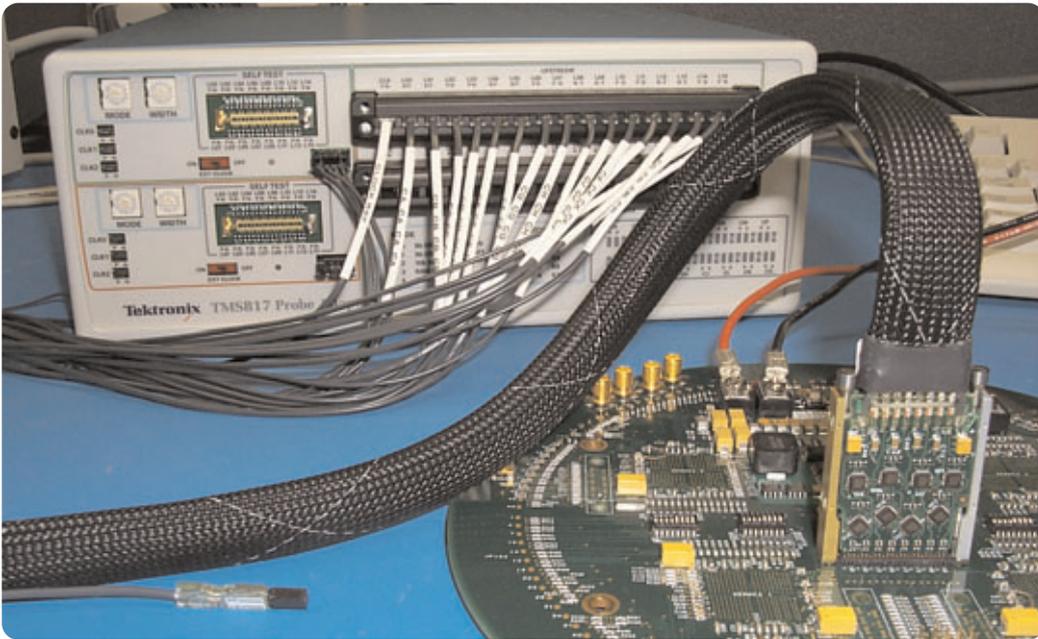
▶ 그림 28. PCI Express Mid-bus 프로브 랜딩 패드

### 올바른 연결을 위한 프로빙 수단

모든 측정 작업은 프로빙으로 시작되고 신호 충실도를 보존하는 것이 여기서는 아날로그 획득만큼이나 중요한 문제이다. 앞서 우리는 오실로스코프에 최대한의 신호 충실도를 제공하기 위해 SMA 커넥터를 프로토타입 장치에 장착하는 방안을 논의했다. 로직 애널라이저는 같은 신호 충실도란 목표를 염두에 두고서 이런 접근 방식에 대해 나름의 해답을 가지고 있다.

2.5Gb/s 이상의 주파수에서는 공통된 로직 애널라이저 프로브를 간단히 고정하기에 충분치 않다. 플라잉 리드와 마이크로 그레버는 그라운드 루프와 예측 불가능한 다른 아날로그 효과를 유발하게 될 것이다. 핀 헤더로 신호를 라우팅하는 것조차도 저전압, 고주파 직렬 신호에 영향을 준다. 이들은 커넥터에 의한 전기 스테르브 또는 손실을 허용하지 않는다.

그 대신 보드 레이아웃 중에 프로빙 방식을 고려해야 한다. PCI Express에 대해 표준화된 방식은 Midbus 프로브 인터페이스이다. 그림 28은 Midbus 프로브의 풋프린트를 나타낸 것이다.



▶ 그림 29. PCI Express Mid-bus 프로브 랜딩 패드

커넥터 기반 액세스 포인트와 달리, 랜딩 패드는 프로브를 사용 중이지 않을 때는 신호에 거의 아무런 영향을 미치지 않는다. 물론, 랜딩 패드는 로직 애널리저 프로브에 정합 패턴을 요구한다. 그림 29의 프로브는 이런 목적으로 특별히 설계된 것이다.

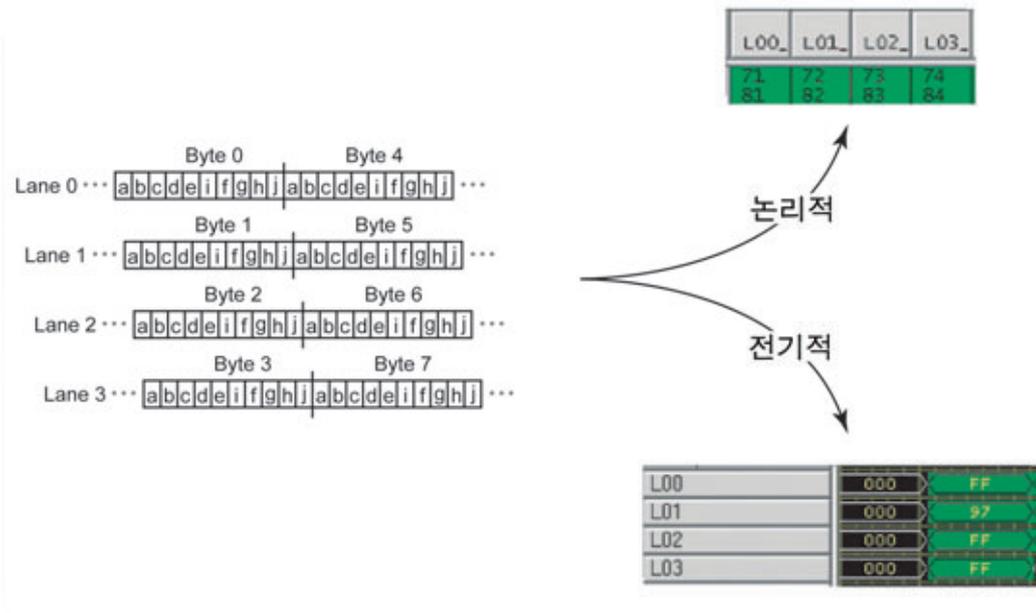
분명히 그 목표는 프로브의 부하 효과를 최소화하는 것이다. 하지만 어떤 프로브든 신호 손실에 일정 부분 영향을 미치게 된다. 고속 신호는 프로브의 임피던스,

특히 용량성 부하에 민감하다. 신호의 대역폭이 증가함에 따라 프로브 커패시턴스 효과도 증가한다. PCI Express 획득에 "이상적인" 프로브는 다음과 같은 특징을 지닌다.

- ▶ 높은 아날로그 대역폭
- ▶ 높은 임피던스
- ▶ 낮은 커패시턴스
- ▶ 최소 스템브

## PCI Express™ 측정 솔루션 소개

### ▶ 입문서



▶ **그림 30.** 이 예에서 로직 뷰는 데이터를 디스크램블, 데스큐 및 디코드하고 비트를 올바른 극성으로 설정한다. 그 결과는 16진수 데이터 스트림으로 표시된다.

### 신호 획득: 패킷에서 병렬까지

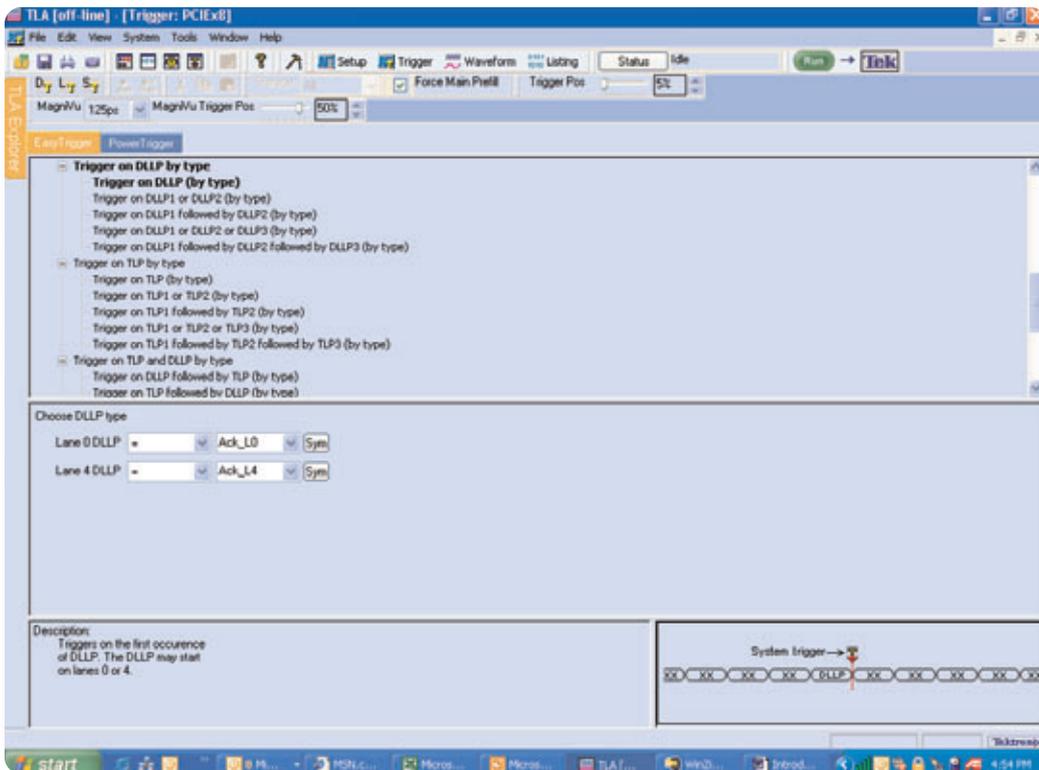
직렬 신호는 폭이 몇 비트 정도 되는 깊은 데이터 패킷을 전달하고 병렬 신호는 1비트 깊이지만 폭은 수 비트에 달하는 "워드" 형태로 나타난다. 로직 애널라이저는 본질적으로 병렬 아키텍처를 갖추고 있으며 데이터를 동시에 받아들이는 여러 채널(비트)이 있다. 하지만 특수 프로세서 및 버스 지원 패키지 덕분에 로직 애널라이저는 병렬 데이터만큼 바로 직렬 데이터를 획득하고 분석할 수 있다. 최첨단 로직 애널라이저임을 나타내는 증표가 다른 어떤 프로세서와 버스 지원 패키지의 폭이다.

그림 30은 로직 애널라이저 디스플레이가 직렬 데이터를 분석하는 방법과 그것을 논리적, 전기적 하위 블록 형식으로 표시하는 방법을 보여준다.

### 문제해결 효율성 제고에는 트리거링이 핵심 관건

로직 애널라이저의 한 가지 주요 특징은 트리거링 시스템의 유연성이다. PCI Express와 같은 특정 직렬 표준에 맞춰 설계된 지원 패키지와 결합 시 로직 애널라이저는 지정된 트랜잭션을 쉽게 분리하고 캡처하기 위한 첨단 트리거링 기능을 제공한다.

로직 애널라이저가 제어 심벌과 같은 트랜잭션이나 다른 패킷 요소에서 트리거링(속도에서)을 허용할 때 디버그 작업이 빠르게 진행된다. 일부 측정 장비에는 그림 31에



▶ 그림 31. 로직 애널라이저 트리거 템플릿

나타낸 것과 같은 트리거링 템플릿도 포함된다. 이런 트리거링 템플릿은 사용자가 관심 이벤트를 지정하는 "양식"을 채울 수 있도록 해주는 초기 설정(공장 출하 시 설정 또는 사용자 정의)이다. 템플릿 필드는 각 직렬 프로토콜의 고유한 요구 사항에 맞게 최적화될 수 있다.

### 결과 분석

획득이 완료되면 저장된 데이터를 의미 있는 결과로 디코드하고 적당한 방식으로 표시해야 한다. 버스 지원 패키지에는 그림 32에 나타난 것과 같이 항목을 나열한 창을 사용하여 패킷 스타일 뷰에 캡처된 데이터를 분해, 디코드 및 표시하기 위한 정교한 소프트웨어 도구가 포함된다. 이것은 X8 PCI Express 버스에서 획득한 것이다. 그림 32a는 로직 애널라이저에 나타나는 디스플레이를 보여준다. 이 디스플레이에는 패킷/제어 심벌 요약,

패킷/제어 심벌의 필드 디코딩 세부 정보 및 원 데이터의 세 요소가 포함된다. 컬러 코딩은 이 세 요소 각각에서 텍스트를 구별하고 패킷/제어 심벌 요약의 패킷과 제어 심벌을 구분한다. 색상도 상세 정보 열에서 요청 및 응답 패킷의 트랜잭션 및 작업 수준을 구분해준다. 그림 32b는 같은 데이터의 파형 뷰를 나타낸 것이다.

최적의 지원 패키지가 구비된 경우 로직 애널라이저는 송신 및 수신 포트에 상관된 온보드 프로세서 활동의 딥 캡처 및 이들 포트의 딥 동기 디스플레이와 같은 첨단 분석 기능을 제공한다. 디스어셈블러는 물리 계층에서 제어 심벌 디코딩 및 개별 필드의 표시 기능, 물리, 전송 및 로직 프로토콜 계층에서 개별 필드의 패킷 디코딩 및 표시, 송신 및 수신 데이터 포트 양측의 동기 디코딩 기능을 제공한다.



## PCI Express 관리 솔루션의 개요

이 시점에서 직렬 적합성 측정에 고성능 측정 장비의 리소스가 필수적이라는 사실이 분명해진다. 5가지 종류의 측정 장비가 거의 모든 디버그 작업뿐 아니라 PCI Express 검증 및 적합성 테스트에 사용된다.

### 오실로스코프

액티브 PHY의 전기적 부분을 측정하기 위해 선택하는 도구가 고성능 오실로스코프이다. 최첨단 디지털 오실로스코프는 매우 양호한 신호 무결성으로 멀티기가비트 범위에서 파형을 캡처할 수 있다.

직렬 비트 스트림에서 클럭이 복구되면 그 파형으로부터 오실로스코프가 아이 다이어그램을 만들 수 있다.

오실로스코프가 만든 아이 다이어그램은 신호 특성을 잘 보여준다. 광범위한 내장 측정 라이브러리를 사용하여 아이 다이어그램과 획득된 파형 모두의 정량적 평가를 즉시 수행할 수 있다.

전용 도구를 이용한 추가 처리를 통해 TIE(Time Interval Error)가 산출된다. TIE를 분석하여 랜덤 및 결정성 지터(DJ)를 분리해낼 수 있으며 이 분석 결과를 통해  $10^{-12}$ BER(비트 오류율)에서 전체 지터도 추정할 수 있다.

여러 측정 장비의 기능을 하나로 결합하는 것을 제외하고, 오실로스코프에는 프로빙 유연성, 풍부한 디스플레이 기능, 트리거링 기능 등과 같은 다른 이점도 있다.

## 실시간(RT) 오실로스코프

실시간 오실로스코프는 연속적으로 인접하는 데이터 레코드를 캡처한다. 직렬 링크 분석의 경우 오실로스코프는 각 비트에서 최소한 여러 개의 샘플을 캡처할 필요가 있다. 오늘날의 최첨단 디지털 스토리지 오실로스코프(DSO), 디지털 포스퍼 오실로스코프(DPO) 및 디지털 직렬 분석기(DSA)는 최대 8Gb/s까지 신호를 잘 특성화할 수 있는 최대 15GHz 대역폭으로 최대 25ps 샘플 간격(샘플링 속도 40GS/s)으로 샘플링할 수 있다. 실시간 오실로스코프의 연속적인 실시간 레코드 기능은 다음과 같은 특별한 이점을 제공한다.

- ▶ DSP(Digital Signal Processing) 소프트웨어 알고리즘은 디지털화된 직렬 데이터 비트 스트림에서 내장 클럭을 복구할 수 있다. 이 (sw 기반) 클럭 복구 방식은 가장 유연한 것이며, 클럭 복구 하드웨어의 필요성과 불가피한 지터 발생을 없앤다.
- ▶ 최적의 실시간 오실로스코프에서 신호 경로는 측정 장비의 최대 또는 거의 최대에 가까운 BW를 수행하므로 이들 실시간 오실로스코프의 hw 트리거가 지닌 광범위한 트리거링 기능을 사용하여 관심 있는 데이터 또는 이벤트에서 트리거할 수 있으며, 종종 다른 방법으로는 볼 수 없는 희귀한 이벤트를 캡처한다.
- ▶ 데이터를 실시간으로 캡처함으로써 최소한의 제약 조건으로 분석할 수 있고, 예컨대 지터 스펙트럼 정보가 모든 지터 유형에 완전하고 앨리어싱되지 않고 완전히 랜덤한 데이터도 캡처하여 저장/디코드할 수 있도록 측정 장비의 전 대역폭이 캡처된다.
- ▶ 마지막으로, 데이터 캡처의 완전성은 예상도, 예측도 하지 못한 동작의 디버그에서 매우 중요하다.

## 등가 시간(ET) 샘플링 오실로스코프

"샘플링 오실로스코프" 및 "통신 (신호) 분석기"로도 알려진 등가 시간 샘플링 오실로스코프는 초고속으로 신호 무결성을 분석하기 위한 오실로스코프이다. 최대 대역폭이 70GHz 이상인 이 측정 장비는 1Gb/s 이하에서 40Gb/s 이상에 이르기까지 다양한 광학 및 전기 신호를 분석할 수 있다. 샘플링 오실로스코프는 실시간 속도로 캡처하려 하지 않기 때문에 보다 정확한 신호 캡처를 수행할 수 있는 기회를 가진다. 따라서 샘플링 오실로스코프는 높은 디지털 해상도와 우수한 노이즈 성능을 제공하며 이 두 가지 특징 모두 오늘날의 직렬 링크에 일반적인 저전압 신호 획득에 유리하다. 마찬가지로, 샘플은 "등가 시간" 시퀀스에서만 캡처되므로 서로 femtosecond 단위 이내의 간격으로 존재할 수 있어 샘플 간 간격이나 보간에 대해 신경 쓰지 않아도 된다. 이에 반해 지터 분석은 보다 복잡하고 때로는 예컨대 반복적 패턴으로 측정되는 신호를 제약한다.

또한 샘플링 오실로스코프는 대역폭이 높기 때문에 TDR 및 S-파라미터 측정 기능도 제공하므로 직렬 데이터 장치에서 S-파라미터 측정을 수행하는 데 별도의 VNA(Vector Network Analyzer)가 필요치 않다.

또한 샘플링 오실로스코프에는 클럭 복구 기능이 포함될 수 있으며 이 경우 이 기능은 하드웨어적으로 제공된다. 일부 실시간 오실로스코프는 각각 나름의 이점이 있는 하드웨어 클럭 복구 기능을 사용하여 RT(실시간) 및 ET(등가 시간) 판독 기능을 모두 제공한다.

## 신호 발생기

상당한 수준의 고속 엔지니어링 기술에는 "실제" 조건에서 작동하는 설계 기술이 포함된다. 이런 조건을 가능한 한 근접하게 모방하는 데 알맞은 도구는 프로그램 가능 신호원이다. 오늘날과 같은 높은 데이터 전송률에서 테스트 신호를 생성하려면 고속 DTG(Data Timing Generator)와 AWG(Arbitrary Waveform Generator)가 필요하다. 이런 측정 장비가 없으면 새로운 물리 계층 설계를 테스트하고 검증할 방법이 없을 것이다. 수많은 신호원이 오실로스코프를 이용해 캡처한 신호를 재생할 수 있다. 이렇게 캡처한 신호는 기준 신호 역할을 하거나 테스트 대상 장치에 스트레스를 주는 요소로 수정될 수 있다.

DTG(데이터 타이밍 제너레이터)는 특히 오늘날 가장 첨단으로 손꼽히는 측정 장비에서 최대 96채널까지 병렬 데이터 채널의 다중 스트림을 생성하는 데 특히 유용하다. 이 도구는 3.3Gb/s의 데이터 전송률을 제공한다. 이와 동시에 이 첨단 측정 장비는 독립 레벨, 상승/하강 및 지터 제어를 포함한 수많은 신호 조작 기능을 제공한다.

고속 디지털 신호는 필연적으로 아날로그 속성을 가진다. AWG(임의 파형 제너레이터)는 버스 채널에서 아날로그 성분(일반적으로 계획적인 손상)을 가진 자극 신호를 제공할 수 있다. 어떤 유형 또는 어떤 형태의 파형이라도 제공할 수 있는 AWG가 설계와 제조에 전체적으로 적용된다. 현재 AWG의 샘플 속도는 4GS/s(2GHz 대역폭)를 초과한다. 이는 4Gb/s의 데이터 전송률에 해당하는 속도이다.

## 로직 애널라이저

포맷된 직렬 데이터(개별 펄스 특성과는 반대임)를 측정하는 데 널리 쓰이는 도구가 로직 애널라이저다. RT 및 ET 오실로스코프와는 달리, 로직 애널라이저는 이진 데이터를 캡처하고 이를 클럭, 사이클 및 에지 전이로 표현한다. 로직 애널라이저의 목적은 직렬 송신의 순수한 디지털 측면의 획득 및 분석 작업을 단순화하는 것이다. 직렬 버스 디버그 작업을 수행하려면 로직 애널라이저가 고속 버스의 요구 사항, 즉 높은 샘플 속도, 딥 메모리, 유연한 트리거링과 동기화 등과 같은 특징에 적합한 기능을 제공해야 한다. 그리고 오실로스코프와 마찬가지로, 적은 영향만을 미치는 프로빙 도구를 제공해야 한다.

## 요약

PCI Express 기술은 이미 도처에 사용되고 있고 컴퓨터 시장에서 끊임없이 보다 빠른 데이터 전송률을 요구함에 따라 그 중요성이 더욱 커질 수밖에 없다. 설계와 검증 작업을 맡은 엔지니어는 개발 일정이 빠듯하고 표준이 빠르게 변화하는 환경에서 새롭고 많은 면에서 낯설 수도 있는 개념인 직렬 적합성 측정이라는 기술을 터득해야 한다.

다행히도 PCI-SIG와 같은 업계 작업 그룹이 있어 설계, 아키텍처 및 적합성 요구 사항에 대한 기술과 분석 정보를 안정화하고 보급하는 역할을 한다.

이와 동시에, 실시간 및 샘플링 오실로스코프에서 로직 애널라이저 및 신호 발생기에 이르기까지 다양한 측정 도구는 엔지니어가 PCI Express 측정 과제를 수월하게 다루는데 도움이 된다. 이들 솔루션은 가장 복잡한 직렬 신호도 캡처, 표시 및 분석할 수 있는 높은 성능을 제공한다. 이런 혁신적이고 자동화된 도구 덕분에, 엔지니어는 적합성 및 검증 테스트를 신속하고 수월하게 수행하여 출시 기간을 앞당길 수 있다.

### DSA70000 시리즈

DSA70000 시리즈는 새로운 실시간 DPO로서 해결하기 까다로운 신호 무결성 문제를 풀기 위한 업계 최고의 솔루션이다.

### TDS6000B/C 시리즈

TDS6000B/C DSO 시리즈는 검증, 디버그 및 적합성 문제를 해결할 수 있도록 설계된 기능 세트와 함께 최고의 성능을 제공한다. Pinpoint 트리거는 문제를 보다 빨리 해결하기 위한 1,400여 가지 조합을 제공한다.

### TDS8200 시리즈

TDS8200 시리즈는 수십 GHz의 대역폭이 필요한 애플리케이션에 대한 연구, 설계 평가 및 제조 테스트를 위해 설계된 제품이다.

### TLA7000 시리즈

TLA7000 시리즈는 포착하기 어려운 문제의 소스를 캡처하고 분석하기 위해 획기적인 디지털 시스템 분석 도구를 제공한다. TLA7000 시리즈는 이렇듯 포착하기 어려운 문제의 소스를 캡처하는 것 외에도, 큰 디스플레이와 빠른 시스템 데이터 쓰루풋으로 원하는 가시성을 얻는 데 필요한 속도를 제공한다.

### DTG5000 시리즈

DTG5000 시리즈는 다기능 벤치톱 폼 팩터에서 펄스 제너레이터의 기능과 데이터 제너레이터의 파워를 결합한다. 이 제품의 플랫폼은 모듈식으로 되어 있어 기존 요구 사항과 새롭게 부각된 요구 사항에 맞춰 측정 장비성을 쉽게 설정함으로써 장비 비용을 최소화할 수 있다.

### 텍트로닉스 연락처:

ASEAN / 남양주 (65) 6356 3900

남아프리카 +27 11 254 8360

네덜란드 090 02 021797

노르웨이 800 16098

대만 886 (2) 2722-9622

대한민국 82 (2) 528-5299

덴마크 +45 80 88 1401

독일 +49 (221) 94 77 400

러시아 및 CIS +7 (495) 7484900

룩셈부르크 +44 (0) 1344 392400

멕시코, 중앙아메리카 및 카리브해 52 (55) 56666-333

미국 1 (800) 426-2200

발칸, 이스라엘, 남아프리카 및 다른 ISE 국가들 +41 52 675 3777

벨기에 07 81 60166

브라질 및 남미 55 (11) 3741-8360

스웨덴 020 08 80371

스위스 +41 52 675 3777

스페인 (+34) 901 988 054

영국 및 아일랜드 +44 (0) 1344 392400

오스트리아 +41 52 675 3777

이태리 +39 (02) 25086 1

인도 (91) 80-22275577

일본 81 (3) 6714-3010

중국 86 (10) 6235 1230

중동, 아시아 및 북아프리카 +41 52 675 3777

중앙유럽, 우크라이나 및 발트국 +41 52 675 3777

중앙 유럽 및 그리스 +41 52 675 3777

캐나다 1 (800) 661-5625

포르투갈 80 08 12370

폴란드 +41 52 675 3777

프랑스 및 북아프리카 +33 (0) 1 69 86 81 81

핀란드 +41 52 675 3777

홍콩 (852) 2585-6688

기타 지역: 1 (503) 627-7111

최종 업데이트 일자 2006년 2월 28일

텍트로닉스 최신 제품 정보 리소스: [www.tektronix.com](http://www.tektronix.com)



Copyright © 2006, Tektronix. All rights reserved. 텍트로닉스 제품은 현재 등록되어 있거나 출원중인 미국 및 국제 특허의 보호를 받고 있습니다. 이 문서에 포함되어 있는 정보는 이전에 발행된 모든 자료에 실린 내용에 우선합니다. 사양이나 가격 정보는 예고 없이 변경될 수 있습니다. 텍트로닉스 및 TEK은 텍트로닉스, Inc.의 등록 상표입니다. 본 문서에 인용된 다른 모든 상표는 해당 회사의 서비스 마크, 상표 또는 등록 상표입니다.

1/06 FLG/ET

4HK-19375-0

**Tektronix**  
Enabling Innovation