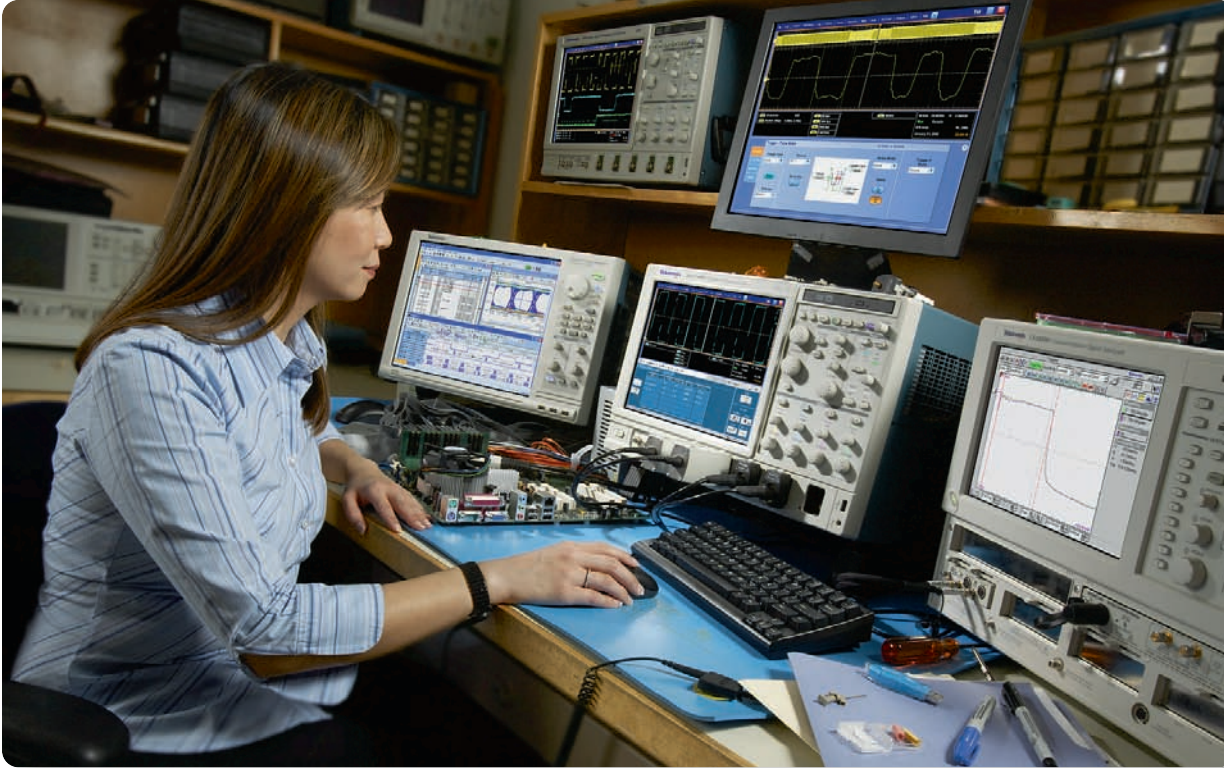


# 유효 비트

디지털화 계측기의 동적 성능을 평가하는 유효 비트 테스트



## 유효 비트 개념

디지털화 시스템의 설계 또는 구매를 할 때 실질적인 디지털화 성능을 평가하는 수단이 필요합니다. 주어진 아날로그-디지털 컨버터 (ADC), 파형 디지털라이저 또는 디지털 스토리지 오실로스코프의 출력력이 실제로 주어진 아날로그 입력 신호를 어떻게 추적할까요?

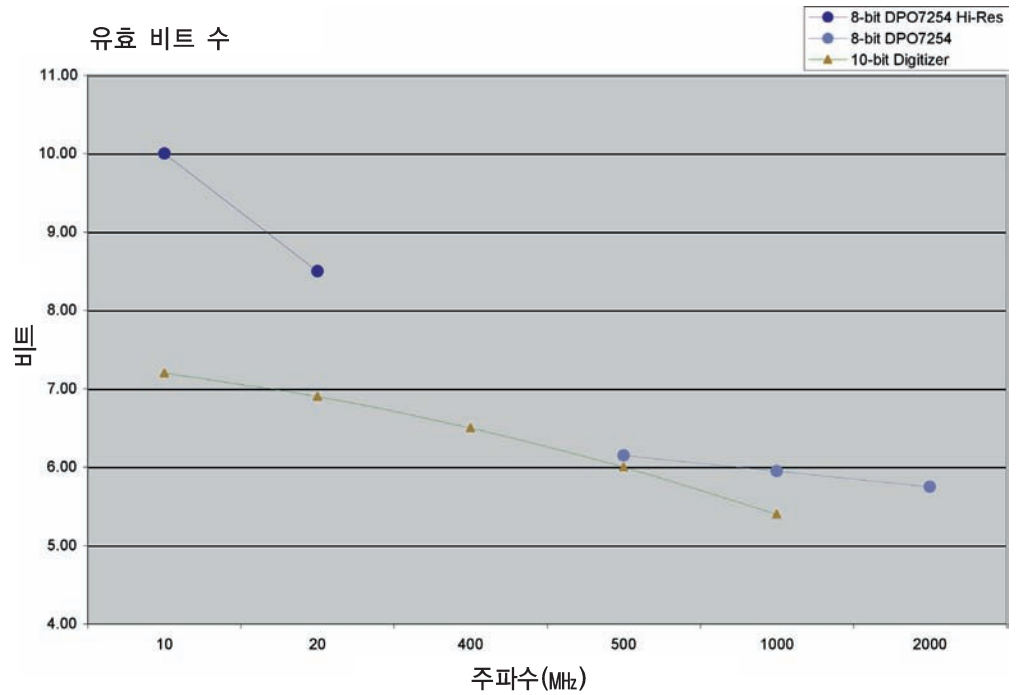
가장 기본적인 수준에서, 디지털화 성능은 간단한 분해능의 문제로 보입니다. 원하는 진폭 분해능을 얻기 위해, 필수 "비트" 수(양자화 레벨)를 지닌 디지털라이저를 선택하고 필요 샘플링 속도에서 디지털라이저를 실행한다는 것과 같은 간단한 해답이 나올 수 있습니다.

그러나 불행히도, 이는 완전한 완벽한 오해를 불러 올 수 있습니다.

"8 비트 디지털라이저"가 느리게 변하는 신호 또는 DC에서 8비트의 정확도와 분해능에 가깝게 제공할 수 있지만, 이는 보다 높은 신호의 경우에는 맞지 않습니다. 사용된 디지털화 기술과 다른 시스템 요소에 따라, 동적 디지털화 성능은 신호 속도가 증가할 때 크게 저하될 수 있습니다. 8 비트 디지털라이저는 특정 대역폭에 도달하기 전에 6 비트, 84비트 또는 더 낮은 유효 비트 성능으로까지 저하될 수 있습니다.

## 유효 비트

### ▶ 애플리케이션 노트



▶ 그림 1. 디지털라이저 성능을 비교할 때 전체 주파수 범위를 테스트하는 것이 중요합니다.

ADC 장치, 디지털화 계측기 또는 테스트 시스템을 설계할 경우, 디지털화 성능에 영향을 미치는 여러 가지 요소를 이해하고 어떤 전반적인 성능 평가 수단을 갖추는 것이 중요합니다. 유효 비트 테스트는 동적 디지털화 성능을 위한 성능 지수를 확립하는 수단을 제공합니다. 유효 비트는 ADC 장치 설계 또는 선택에서부터 여러 가지 단계에서 평가 도구로 이용할 수 있을 뿐만 아니라 전반적인 시스템 동적 성능 사양을 제공하는데 이용할 수 있습니다.

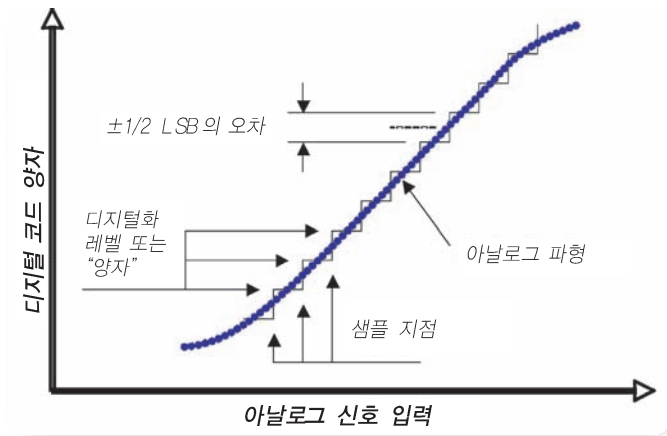
디지털화 시스템 구매 결정 시에도, 유효 비트는 중요한 평가 도구입니다. 일부 예에서, 유효 비트는 시스템 또는 계측기 사양의 일부로 명시되어 있을 수 있습니다. 이는 파형 디지털화 계측기에 상당히 일반화되고 있습니다. 그렇지만, 유효 비트는 개별적인 계측기 또는 시스템 구성요소에 항상 특정되는 것은 아닙니다. 그러므로, 비교 목적으로 유효 비트 평가를 수행하는 것이 필요할 수 있습니다. 장비가 시스템에 결합되어야 할 경우, 유효 비트 평가는 동적 디지털화 시스템 성능에 대한 전반적인 시스템 성능 지수를 제공할 수 있습니다.

본질적으로, 유효 비트는 여러 가지 주파수 신호를 표시하기 위해 디지털화 장치 또는 계측기의 성능을 특정하는 수단입니다. 기본 개념은 그림 1에 예시되어 있고 유효 비트 대 주파수의 좌표로 보여주고 있습니다.

그림 1의 좌표는 2개의 디지털라이저 대 주파수의 유효 비트 수를 보여줍니다. 이득-대역폭 또는 보드(Bode) 선도와 같이, ENOB는 일반적으로 (항상 그렇지는 않지만) 주파수와 더불어 감소됩니다. 주요 차이점은 ENOB 좌표가 아날로그 이득 (또는 감쇠) 정확도보다는 디지털화 정밀도 또는 디지털 비트의 정확도를 비교한다는 것입니다.

## 유효 비트

▶ 애플리케이션 노트



▶ 그림 2. 양자화 오차

그림 1의 좌표는 디지털화된 신호의 주파수가 증가할 때 유효 디지털화 정확도가 떨어진다는 것을 보여줍니다. 다시 말하면, 8비트 디지털라이저는 DC 및 저주파수 또는 저속 신호 슬로프에서만 8 유효 비트의 정확도를 제공합니다. 디지털화되는 신호가 주파수 또는 속도에서 증가할 때, 디지털화 성능은 보다 낮은 값의 유효 비트로 저하됩니다.

디지털화된 신호에서 이 저하는 디지털화된 신호에서 노이즈 레벨의 증가로 분명하게 나타납니다. 여기에서 “노이즈”는 입력 신호와 디지털화된 출력 사이에서 임의 또는 의사난수 오류를 말합니다. 디지털화된 신호에서 이 노이즈는 신호 대 잡음 비율(SNR)로 표현할 수 있습니다.

$$SNR = rms \text{ signal} / rms \text{ error} \quad [\text{Eq. 1.}]$$

여기에서 rms(신호)는 디지털화된 신호의 실효치이고 rms(오차)는 노이즈 오차의 실효치입니다. 유효 비트(EB)에 대한 관계는 다음과 같이 주어집니다.

$$EB = \log_2(SNR) - \frac{1}{2} \log_2(1.5) - \log_2(A/FS) \quad [\text{Eq. 2.}]$$

분해능 또는 유효 비트 (N)	양자화 레벨	신호 대 잡음 비율 -dB (6.08N+1.8dB)
4	16	26.12
6	64	38.28
8	256	50.44
10	1,024	62.60
12	4,096	74.76
14	16,384	86.92
16	65,536	99.08

▶ 표 1. 디지털라이저는 ±1/2 LSB의 오차입니다.

여기에서 A는 디지털화된 신호의 정점간 입력 진폭이고 FS는 디지털라이저 입력의 정점간 풀 스케일 범위입니다. 흔히 사용되는 기타 공식은 다음과 같습니다.

$$EB = N - \log_2(rms \text{ error} / ideal \text{ quantization error}) \quad [\text{Eq. 3.}]$$

여기에서 N은 디지털라이저의 공칭(정적) 분해능입니다. 그리고 다음 공식이 있습니다.

$$EB = -\log_2(rms \text{ error} * \sqrt{12/FS}) \quad [\text{Eq. 4.}]$$

이들 모든 공식은 디지털화 프로세스에 의해 발생된 노이즈 또는 오차 레벨에 기초한다는 점을 유념하십시오. 등식 3의 경우, “이상적인 양자화 오차”라는 용어는 입력 신호의 이상적인 N-bit 디지털화에서 rms 오차입니다. 등식 2와 3은 디지털화 파형 기록기에 대한 IEEE 표준을 통해 정의됩니다(IEEE 표준 1057). 등식 4는 등식 3의 대체 형식입니다. 이는 이상적인 양자화 오차가 1개의 최하위 비트(LSB) 피크-피크에서 균등하게 분포된 것으로 가정하여 유도됩니다. 이 가정을 기초로 이상적인 양자화 오차를  $FS/(2^n \sqrt{12})$ 로 대체할 수 있습니다. 여기에서 FS는 디지털라이저의 풀 스케일 입력 범위입니다.

이들 등식에서 주목해야 할 또 다른 중요한 것은 풀 스케일 신호(FS)에 기초한다는 점입니다. 실제 테스트에서, 풀 스케일보다 낮은 테스트 신호(예: 50% 또는 90%)가 사용될 수 있습니다. 이렇게 하면 유효 비트 결과를 개선시킬 수 있습니다. 결과적으로, 유효 비트 사양 또는 테스트를 비교할 때 주파수뿐만 아니라 테스트 신호 진폭을 고려해야 합니다.

## 유효 비트

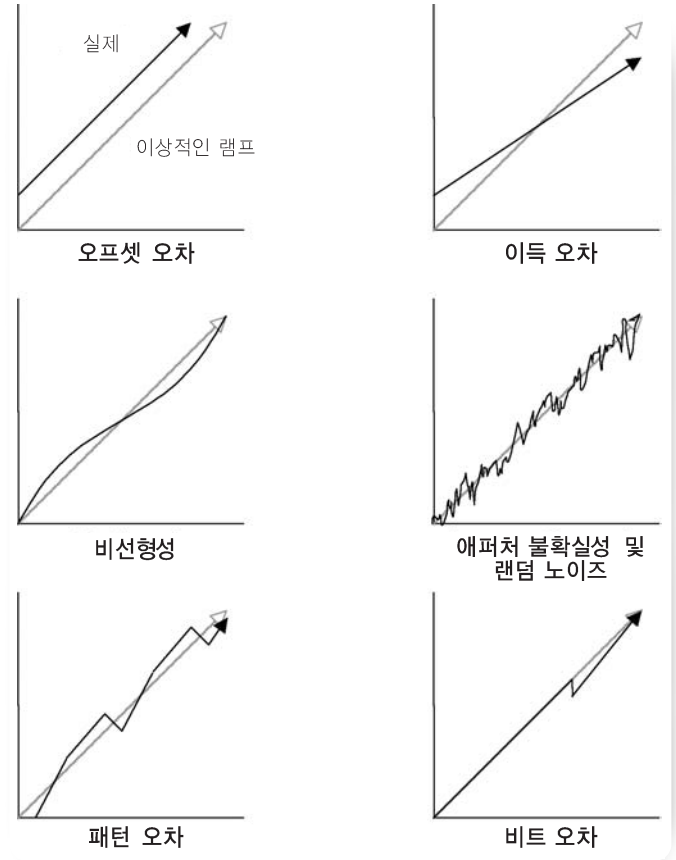
### ▶ 애플리케이션 노트

#### 디지털화 프로세스의 오차 원인

디지털화와 관련된 노이즈 또는 오차는 다양한 원인에서 비롯됩니다. 이상적인 디지털라이저에서도, 양자화에서 비롯되는 최소 노이즈 또는 오차 레벨이 있습니다. 이 "양자화 오차"는  $\frac{1}{2}$  LSB(최하위 비트)에 해당합니다. 그림 2와 표 1에 나온 바와 같이, 이 오차는 디지털화에 따른 고유 부분입니다. 이는 이상적인 디지털화와 관련된 분해능 한계치 또는 불확실성입니다. 실제의 디지털라이저는 이 기본 이상적 오차 플로어에 추가 오차를 더합니다. 이러한 추가 실제 오차는 다양한 일반 카테고리일 수 있습니다.

- DC 오프셋 (또한 인터리브드 샘플링 방법과 관련된 AC 오프셋 또는 "패턴" 오차, 때때로 "고정 패턴 왜곡"이라고 부름)
- 이득 오차 (DC 및 AC)
- 비선형성(아날로그) 및 비단조성(디지털)
- 위상 오차
- 랜덤 노이즈
- 주파수(시간축) 부정확도
- 애퍼처 불확실성 (샘플 시간 지터)
- 디지털 오차(예: 준안정성, 미싱 코드 등으로 인한 데이터 손실)
- 트리거 지터와 같은 기타 오차 원인

그림 3은 보다 많은 기본 오차 카테고리의 일부를 도해한 것으로 영항에 대한 시각적 개념을 보여줍니다. 디지털라이저에 나타나는 많은 오차는 증폭기 또는 아날로그 네트워크와 관련되어 있거나 특정된



▶ 그림 3. 비이상적인 디지털화와 관련된 오차에는 DC 오프셋, 이득 오차, 적분 및 미분 비선형성, 샘플 지터링 및 기타 노이즈 기여요소(고착 비트, 드롭 비트 등)를 포함합니다

전통적인 오차입니다. 예를 들면, DC 오프셋, 이득 오차, 위상 오차, 비선형성 및 랜덤 노이즈는 아날로그 파형의 입력에서 디지털화된 파형 값의 출력까지 어떤 파형 캡처 프로세스에서도 발생할 수 있습니다.

## 유효 비트

### ▶ 애플리케이션 노트

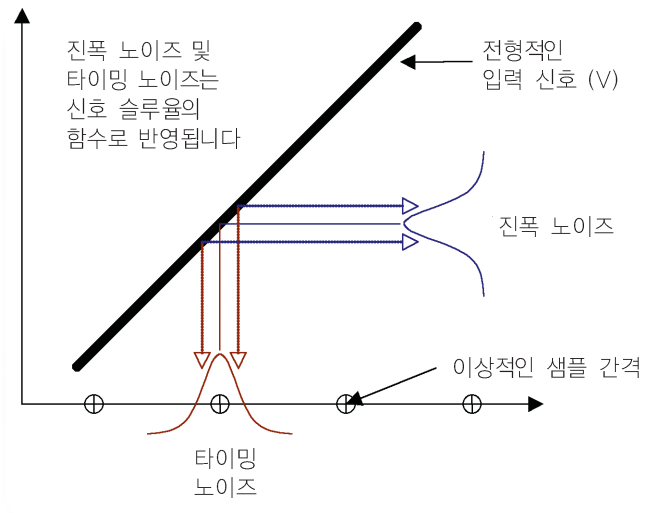
반면에, 애퍼처 불확실성과 시간축 부정확도는 파형 디지털화를 수반하는 샘플링 프로세스와 관련된 현상입니다. 애퍼처 불확실성의 기본 개념은 그림 4에 예시되어 있습니다.

그림 4에서 중요한 점은 애퍼처 불확실성이 진폭 오차로 인해 발생하고 오차 크기는 슬로프 의존적이라는 것입니다. 신호의 슬로프가 가파르면 시간 지터 샘플로부터 비롯된 오차 크기가 더 커집니다. 애퍼처 불확실성은 보다 높은 신호 주파수 또는 슬로프에서 유효 비트의 감소에 대한 많은 이유 중 한 가지 이유에 불과합니다. 그렇지만, 애퍼처 불확실성은 입력 신호 주파수 및 진폭 관련 문제를 조사하기 위한 유용하고 도식적인 예로 사용됩니다.

애퍼처 불확실성의 영향을 보다 잘 파악하기 위해, 제로 교차(zero crossing)에서 정현파 진폭의 샘플링을 생각해 볼 수 있습니다. 저 주파수 정현파의 경우, 제로 교차점에서 슬로프는 낮으므로 애퍼처 불확실성으로부터 최소 오차를 일으킵니다. 그렇지만, 정현파의 주파수가 증가할 때, 제로 교차점에서 슬로프는 증가합니다. 그 결과 동일한 양의 애퍼처 불확실성 또는 지터에서 진폭 오차는 더 커집니다. 보다 큰 오차는 보다 낮은 SNR과 유효 비트의 감소를 의미합니다. 다시 말하면, 다시 말해 디지털라이저의 성능은 주파수 증가와 더불어 저하됩니다. 이는 다음 등식을 통해 구체적으로 표현됩니다.

$$f = \frac{1}{\sqrt{6 \cdot \pi \cdot \Delta t \cdot 2^n}} \quad [\text{Eq. 5.}]$$

등식 5에서,  $f$ 는 주어진 rms 애퍼처 불확실성  $\Delta t$ 와 함께  $n$  비트로 디지털화될 수 있는 풀 스케일 정현파의 주파수입니다. 애퍼처 불확실성이 일정하고 주파수가 증가한 경우, 비트 수,  $n$ 은 등식 5에서 등가를 유지하기 위해 감소해야 합니다.



▶ 그림 4. 애퍼처 불확실성 또는 샘플 지터는 슬로프 및 타이밍 지터의 함수인 진폭 오차에 기여합니다. 이와 유사하게, 진폭 노이즈는 타이밍 측정에 영향을 미칠 수 있습니다.

그렇지만, 증가한 주파수에 대비하여 필요한 비트 감소와 관련한 방식이 있습니다. 이는 그림 4에 나온 개념과 관련이 있습니다. 정현파의 진폭이 풀 스케일에서 감소되면, 제로 교차 슬로프가 감소합니다. 그러므로, 진폭 오차가 감소하여 보다 나은 유효 비트 수를 나타냅니다. 이는 여러 가지 디지털라이저로부터 유효 비트 수를 비교할 때 중요한 사실을 나타냅니다. 유효 비트는 주파수뿐만 아니라 테스트 파형의 진폭에 따라 좌우됩니다. 일대일 테스트 또는 디지털라이저의 비교에는 주파수뿐만 아니라 입력 파형의 진폭 사양(일반적으로 풀 스케일의 50% 또는 90%)을 포함시켜야 합니다.

또한, 입력 증폭기 롤-오프, 포착 후 필터링(post-acquisition filtering) 및 기타 프로세스는 디지털화 계측기 내부에서 신호 진폭을 감소시킬 수 있습니다. 이는 유효 비트 사양에서 계측기의 실제적, 현실적 동적 성능을 과장할 수 있습니다.

## 유효 비트

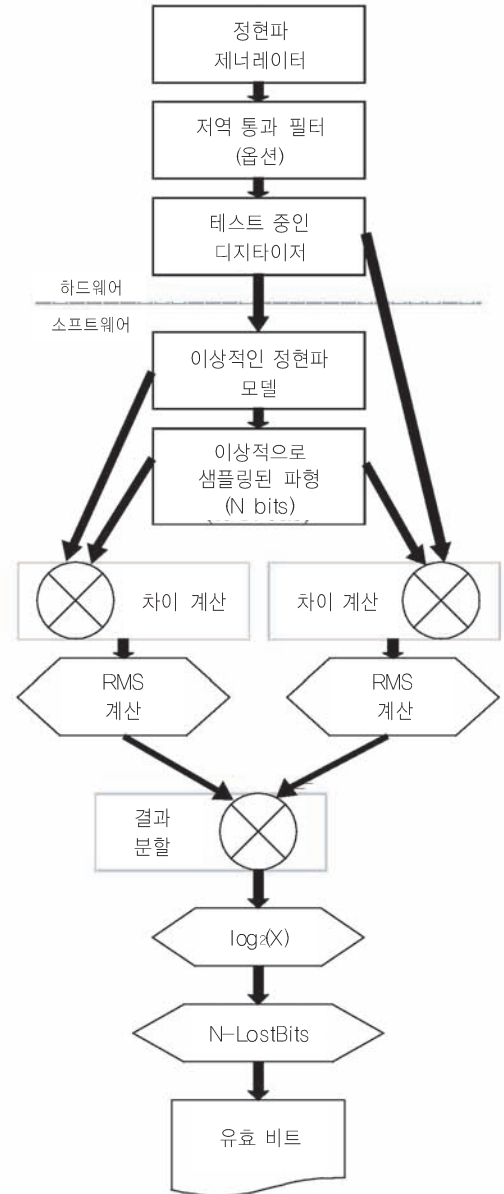
▶ 애플리케이션 노트

### 유효 비트 측정 프로세스

이제까지 언급된 오차 원인 및 고려 사항 이외에도, 디지털화 오차의 가능한 다른 원인이 있습니다. 예를 들면, 샘플-홀드(sample-and-hold) 또는 트랙-홀드(track-and-hold)가 없는 고속 실시간 디지털화에서, 최하위 비트는 빠르게 변하는 신호를 따르기 위해 매우 높은 속도에서 변해야 합니다. 이는 이들 하위 비트에 대한 데이터 라인 및 버퍼 입력에 높은 대역폭 요건을 가합니다. 이들 대역폭 요건이 충족되지 않으면, 고속으로 변하는 하위 비트는 “드롭”되어, 디지털라이저의 유효 비트 성능을 감소시킵니다. 이는 물론 디지털화 장치 이전과 이후의 다른 많은 가능한 오차 원인에 포함됩니다.

디지털화 시스템 내에서 각각의 개별 오차 원인을 구별하고 측정하는 것보다는 전반적인 성능을 측정하는 것이 더 쉽습니다. 다시 말해 이상적인 입력 신호가 주어진 경우, 출력 신호에서 디지털화 시스템의 전반적인 오차 기여요소는 어떤 것이 있을까요? 우선 그 시작은 등식 2, 3 또는 4에 정의된 바와 같이 디지털화 시스템의 SNR과 결과적인 유효 비트를 결정하는 것입니다. 이는 비교를 위해 쉽게 이해할 수 있고 보편적인 성능 지수를 제공합니다.

기본 테스트 프로세스는 그림 5에 예시되어 있습니다. 이 프로세스는 디지털라이저에 이어 디지털화된 파형을 분석하는 컴퓨터에 알려진 고품질 신호를 인가하는 것을 수반합니다. 정현파는 고품질 정현파가 비교적 쉽게 발생하고 특성화할 수 있으므로 테스트 신호로 사용됩니다. 일반적인 테스트 요건은 정현파 제너레이터의 성능이 테스트 대상 디지털라이저의 성능을 상당히 초과해야 한다는 점입니다. 그렇지 않으면, 테스트는 신호 소스 오차로부터 디지털화 오차를 구별할 수 없습니다. 테스트 대상 디지털라이저로부터 예상할 수 있는 것보다



▶ 그림 5. 유효 비트 측정 프로세스

## 유효 비트

### ▶ 애플리케이션 노트

상당히 낮은 레벨로 소스 고조파를 낮추기 위해서 소스에 필터를 추가하는 것이 필요할 수 있습니다. 유효 비트 수를 얻기 위해, 완전한 (이상적인) 정현파가 계산되어 디지털화된 정현파에 공급됩니다. 이 완전한 정현파는 다음과 같이 나타낼 수 있습니다.

$$A \cdot \sin(2\pi ft + \Theta) + C \quad [\text{Eq. 6.}]$$

여기에서 A는 정현파의 진폭이고, f는 주파수입니다.  $\Theta$ 는 위상이고, t는 시간이며 C는 DC 오프셋입니다. 이 정현파를 공급하는 실제 프로세스는 신속하게 최적의 결과를 이루도록 설계된 여러 가지 소프트웨어 알고리즘 유형 중 어떤 유형을 사용할 수 있습니다. 이 결과는 디지털라이저에 대한 아날로그 입력의 표시로 간주됩니다. 그렇지만, 아날로그 신호 파라미터는 디지털라이저의 출력으로부터 계산되기 때문에 DC 오프셋, 이득, 위상 및 주파수 오차가 포함되지 않는다는 점을 유념해야 합니다. 이들 배제된 오차는 특정한 관심 오차에 적절한 히스토그램 테스트 또는 다른 테스트와 같이 개별적인 테스트로 측정해야 합니다. 이상적인 입력 정현파의 모델을 계산한 후, 정현파의 이상적인 샘플링과 디지털화를 결정하기 위해 추가적인 계산이 이루어집니다. 이는 N-bit 디지털라이저인 경우 테스트 대상 N-bit 디지털라이저가 발생시키는 바의 것을 시뮬레이션합니다. 그런 다음 계산된 이상적인 정현파와 완전히 샘플 처리되고 디지털화된 버전 간의 차이가 계산됩니다. 이에 대한 rms 값은 등식 3에 사용된 이상적인 양자화 오차를 제공합니다. 유효 비트 등식(3과 4)에 이용된 rms 오차 값은 실제 디지털화된 정현파로부터 이상적인 정현파를 빼고 결과의 rms 값을 구해 얻습니다.

그렇지 않으면 대체 방법으로, rms 오차와 신호의 rms 값을 구해 등식 2에서 이용하는 SNR을 계산하는데 사용할 수 있습니다.

최종 계산(등식 2, 3 또는 4 이용)을 통해 디지털라이저에 대한 유효 비트 수를 구합니다. 여러 주파수에 대해 입력 신호 진폭을 일정하게 유지하여, 해당 디지털라이저 또는 디지털화 시스템에 대한 추가적인 유효 비트 수를 계산할 수 있습니다. 이 때 이들 수는 주파수에 대해 좌표화하여 그림 1에 예시된 바와 같은 디지털라이저 성능 곡선을 구할 수 있습니다.

유효 비트는 많은 주요 디지털라이저 시스템 오차를 쉽게 이해하고 비교할 수 있는 성능 지수로 일괄 분류됩니다. 그렇지만, 앞서 설명한 바와 같이 유효 비트는 풀 스케일 디지털라이저 진폭의 입력 신호 비율에 따라 좌우됩니다. 풀 스케일 진폭보다 낮게 테스트된 디지털라이저는 일반적으로 100% 풀 스케일로 테스트된 경우보다 약간 더 나은 유효 비트 수를 보여줍니다. 풀 스케일보다 낮은 테스트는 대부분의 디지털라이저 입력이 실제 사례에서 디지털라이저의 오버드라이브를 방지하기 위해 입력 신호가 풀 스케일 이하로 유지되도록 설정되므로 허용됩니다. 사용된 테스트 원리가 풀 스케일이든 부분 스케일이든 간에, 입력 테스트 신호 진폭 사양은 유효 비트 결과를 동반해야 합니다.

또한 유효 비트 좌표를 개발하기 위해 주파수를 선택하는데 있어 주의를 기울여야 합니다. 테스트 신호 주파수가 디지털라이저의 샘플링 속도와 고조파적으로 관련된 경우, 테스트 결과를 간섭하는 맥놀이 주파수(BF) 가능성이 있습니다. 따라서, 테스트 신호를 디지털라이저의 샘플링과 비동기로 유지하는 것이 가장 좋습니다.

## 유효 비트

### ▶ 애플리케이션 노트

컨버터 오차	유효 비트 테스트	FFT 테스트	스펙트럼 평균 테스트	히스토그램 테스트
미분 비선형성	<b>예</b> rms 오차의 일부	<b>예</b> 상승된 노이즈 플로어로	<b>예</b> 상승된 노이즈 플로어로	<b>예</b> %LSB로 숫자적 판독
적분 비선형성	<b>예</b> rms 오차의 일부	<b>예</b> 기저대역으로 에일리어싱된 기본 고조파로	<b>예</b> 기저대역으로 에일리어싱된 기본 고조파로	<b>예</b>
미싱 코드	<b>예</b> rms 오차의 일부	<b>예</b> 상승된 노이즈 플로어로	<b>예</b> 상승된 노이즈 플로어로	<b>예</b> 제로 카운트와 함께 "빈"으로
애퍼처 불확실성	<b>예</b> rms 오차의 일부	<b>예</b> 상승된 노이즈 플로어로	<b>예</b> 상승된 노이즈 플로어로	<b>아니오</b> 평균화하여 제거
노이즈	<b>예</b> rms 오차의 일부	<b>예</b> 상승된 노이즈 플로어로	<b>예</b> 상승된 노이즈 플로어로 숫자적 판독	<b>아니오</b> 평균화하여 제거
이득 오차	<b>아니오</b>	<b>아니오</b>	<b>해당없음</b>	<b>예</b> 피크-피크 분포로 표시
오프셋 오차	<b>아니오</b>	<b>아니오</b>	<b>해당없음</b>	<b>예</b> FS 피크-피크 값의 %로 판독

### ▶ 표 2. A/D 컨버터 동적 성능 테스트의 요약.

디지털 트리거링은 주의를 요하는 또 다른 영역입니다. 일반적으로, 테스트 신호의 캡처는 단발 모드에서 이루어져야 합니다. 이는 유효 비트 측정으로부터 트리거 지터의 악영향을 제거하고 디지털이 자체에 대한 평가를 집중시킵니다.

그렇지만, 보다 높은 대역폭(또는 디지털 스토리지 오실로스코프의 경우 스윙 속도)에서 작동하기 위해, 많은 디지털이저는 반복 트리거링과 등가 시간 샘플링을 이용하여 입력 파형의 많은 반복을 통해 충분한 샘플 보수를 형성해야 합니다. 트리거 지터 및 장기 드리프트 영향은 등가 시간 디지털이저와 관련된 노이즈 레벨을 증가시킬 수 있습니다. 이는 노이즈를 감소시키기 위해 신호 평균화를 이용하고 디지털이저의 유효 비트를 증가시키면 대부분 처리됩니다. 신호 평균화가 유효 비트 테스트와 함께 사용될 경우, 사용된 신호 평균화의 양은 유효 비트 결과와 함께 명시되어야 합니다.

또한 일부 디지털화 계측기에 사용된 내장 신호 평균화는 디지털이저 자체보다 더 높은 분해능으로 계산하는 기능을 채용할 수 있다는 것에 주의를 요합니다.

예를 들면, 8비트 디지털화 계측기는 신호 평균화를 위해 내부 16비트 계산을 이용할 수 있습니다. 이 고분해능 평균화는 8비트 디지털이저를 10 또는 11 비트 디지털이저인 것처럼 보이게 할 수 있습니다. 이는 물론 평균화된 입력 신호가 사용될 때 보다 높은 유효 비트 테스트 결과를 초래할 수 있습니다. 일반적으로, 공평한 비교 목적으로 양쪽 디지털이저를 공통 작동 모드로 설정하지 않는 한, 단발 기준으로 신호를 캡처하는 디지털이저와 신호 평균화를 사용하는 디지털이저를 비교하는 것은 부적절합니다.



## 기타 동적 성능 테스트

유효 비트 테스트 이외에도, 디지털라이저의 동적 성능을 평가하는데 사용할 수 있는 다른 테스트 방법이 있습니다. 이들 방법에는 FFT 테스트, 스펙트럼 평균 테스트 및 히스토그램 테스트가 포함됩니다. 일반적으로, 이들 테스트는 유효 비트 테스트를 통해 구한 결과를 증가시키거나 디지털라이저 성능의 일부 특정한 관점에 대한 특정 정보를 얻는데 사용됩니다. 표 2에서는 이러한 여러 가지 테스트를 통해 이루어진 오차 측정의 요약을 보여줍니다.

간단히 말하면, 간단히 말해 FFT 테스트는 적분 비선형성으로 인한 디지털라이저의 노이즈 플로어 및 고조파 왜곡을 측정할 수 있습니다. 이는 단순히 디지털화된 정현파 테스트 신호의 FFT를 계산하여 이루어집니다. FFT 계산이 디지털화된 정현파보다 훨씬 더 높은 정밀도라고 가정하면, FFT 결과의 노이즈 플로어는 디지털라이저의 노이즈 플로어입니다. 또한, 비선형성에서 비롯된 고조파는 FFT 결과에 나타납니다. 고조파의 진폭은 소스 파형에서 최소 고조파 왜곡을 가질 때 디지털라이저 비선형성의 정도를 나타냅니다. 결과의 해석은 데이터에 사용된 윈도우의 유형에 의해 영향을 받으며, FFT 적용 전에 데이터로부터 평균치의 제거 여부와는 관계 없다는 점에 유의해야 합니다.

스펙트럼 평균화는 테스트 파형의 반복 획득이 주파수 영역 크기로 변환되는 것을 제외하고 FFT 테스트와 유사합니다. 계산된 크기는 축점(point-by-point) 평균화되어 스펙트럼 평균을 얻습니다. 이는 디지털라이저 성능에 있어 보다 간소한 보기를 제공하여 노이즈 플로어와 고조파의 해석을 더욱 용이하게 해줍니다. 그렇지만 유용한 해석을 위해, 결과는 테스트 신호 진폭 및 주파수 정보를 동반해야 합니다.

히스토그램 테스트는 디지털화된 신호 코드 밀도를 관찰하는 다른 접근법을 취합니다. 순수 정현파 입력은 테스트 대상 디지털라이저에 의해 디지털화됩니다. 명백한 디지털 출력 코드의 상대적인 발생 수를 코드 밀도라고 합니다. 이는 제로에서 풀 스케일까지 각 코드의 발생 주파수를 보여주는 규격화된 히스토그램으로 표시됩니다. 출력 “제로” 코드 밀도는 미싱 코드를 나타내고 이상적인 값에서 밀도의 편이는 선형성 오차를 나타냅니다.

이들 추가적인 테스트의 사용 여부는 해당 디지털라이저에 요구되는 오차 사양의 양에 따라 좌우됩니다. 그림 1과 표 2에 나온 바와 같이, 유효 비트는 디지털라이저 동적 성능에 대해 양호한 전체 보기를 제공합니다. 이는 특정한 오차 원인을 보다 상세하게 밝히기 위해 추가적인 테스트로 확장될 수 있습니다. 그렇지만, 유효 비트는 대역폭이 증폭기 및 오실로스코프에 대한 기본 사양인 것만큼이나 여전히 기본 사양의 가장 보편적인 방법입니다.

## 유효 비트

▶ 애플리케이션 노트

### 참고문헌

Bednarek, C., "Dynamic Characterization of A/D Converters," **Handshake**, Tektronix, Inc., Summer 1988 pp. 9–11.

Bird, S.C., and J.A. Folchi, "Timebase Requirements for a Waveform Recorder," **Hewlett-Packard Journal**, Nov. 1982, pp. 29–34.

DeWitt, L., "Dynamic Testing Reveals overall Digitizer Performance," **Handshake**, Tektronix, Inc. Spring/Summer 1980, pp. 9–12.

Dornberg, J., H.S. Lee, and D. Hodges, "Full Speed Testing of A/D Converters," **IEEE Journal of Solid State Circuits**, Vol. SC-19, No. 6, Dec. 1984, pp. 820–827.

Harris, F.J., "On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform," **Proceedings of the IEEE**, Vol. 66, No. 1, Jan 1978, pp. 51–83.

**IEEE Standard 1057**, Standard for Digitizing Waveform Instruments.

Jenq, Y.C., "Digital Spectra of Non-Uniformly Sampled Signals, Theory and Applications, Part I Fundamentals of Waveform Digitizers," **IEEE Transactions on Instrumentation and Measurement**, Vol IM-37, No. 2, June 1988.

Jenq, Y.C., and P. Crosby, "Sinewave Parameter Estimation Algorithm with Application to Waveform Digitizer Effective Bits Measurement," **IEEE IMTC/88**, San Diego, CA., April 19–22, 1988.

Jenq, Y.C., "Measuring Harmonic Distortion and Noise Floor of an A/D Converter Using Spectral Averaging," **IEEE IMTC/88**, San Diego, CA., April 19–22, 1988.

Jenq, Y.C., "Asynchronous Dynamic Testing of A/D Converters," **Handshake**, Tektronix, Inc., Summer 1988, pp. 4–7.

Peets, B.E., A.S. Muto, and J.M. Neil, "Measuring Waveform Recorder Performance," **Hewlett-Packard Journal**, Nov. 1982, pp. 21–29.

Ramreriz, R.W., "Digitizer Specifications and Their Applications to Waveforms," **Electronics Test**, Sept. 1981.

## 유효 비트

▶ 애플리케이션 노트

**텍트로닉스 연락처:**

ASEAN / 대양주 (65) 6356 390 0  
오스트리아 +41 52 675 3777  
발칸, 이스라엘, 남아프리카 및 다른 ISE 국가들 +41 52 675 3777  
벨기에 07 81 60166  
브라질 및 남미 55 (11) 3741-8360  
캐나다 1 (800) 661-5625  
동유럽 중부, 우크라이나 및 발트해 연안 +41 52 675 3777  
중앙 유럽 및 그리스 +41 52 675 3777  
덴마크 +45 80 88 1401  
핀란드 +41 52 675 3777  
프랑스 및 북아프리카 +33 (0) 1 69 86 81 81  
독일 +49 (221) 94 77 400  
홍콩 (852) 2585-6688  
인도 (91) 80-22275577  
이탈리아 +39 (02) 25086 1  
일본 81 (3) 6714-3010  
룩셈부르크 +44 (0) 13 44 392400  
멕시코, 중앙아메리카 및 카리브해 52 (55) 56666-333  
중동, 아시아 및 북아프리카 +41 52 675 3777  
네덜란드 090 02 021797  
노르웨이 800 16098  
중국 86 (10) 6235 1230  
폴란드 +41 52 675 3777  
포르투갈 80 08 12370  
대한민국 82 (2) 528-5299  
러시아 및 CIS +7 (495) 7484900  
남아프리카 +27 11 254 8360  
스페인 (+34) 901 988 054  
스웨덴 020 08 80371  
스위스 +41 52 675 3777  
대만 886 (2) 2722-9622  
영국 및 아일랜드 +44 (0) 13 44 392400  
미국 1 (800) 426-220 0  
기타 지역 1 (503) 627-7111  
최종 업데이트 일자 2006년 2월 23일

텍트로닉스 최신 제품 정보 리소스: [www.tektronix.com](http://www.tektronix.com)

Copyright © 2006, Tektronix. All rights reserved. 텍트로닉스 제품은 현재 등록되어 있거나 출원중인 미국 및 국제 특허의 보호를 받고 있습니다. 이 문서에 포함되어 있는 정보는 이전에 발행된 모든 자료에 실린 내용에 우선합니다. 사양이나 가격 정보는 예고 없이 변경될 수 있습니다. 텍트로닉스 및 TEK은 텍트로닉스, Inc. 의 등록 상표입니다. 본 문서에 인용된 다른 모든 상표는 해당 회사의 서비스 마크, 상표 또는 등록 상표입니다.

3/06 FLG/WWW

4HK-19448-0

**Tektronix**  
Enabling Innovation

