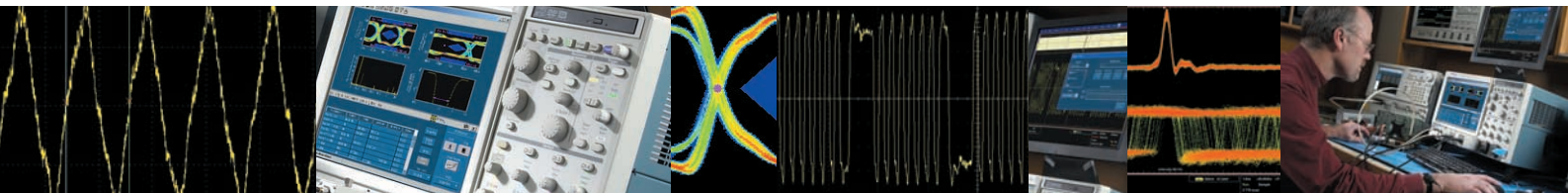


An Introduction

PCI Express測定入門



目 次

PCI Express設計の検証、デバッグ、コンプライアンス	3
アーキテクチャと仕様の概要	4
物理レイヤの特性	5
物理レイヤのコンプライアンス・テスト：デジタル信号をアナログで観測	8
検証とコンプライアンス測定	8
振幅測定	9
タイミング測定	9
ジッタ測定	10
リアルタイム・アイ・ダイアグラムとマスク・テスト	14
ノイズがジッタに及ぼす影響について	14
周波数領域測定	15
レシーバ感度とジッタ・トレランス測定	16
アナログ測定による信号忠実度の確認	17
被測定シリアル・デバイスへの接続	18
アナログ・アキュイジションに関する考察	22
Pinpoint®トリガとデータ・デコード・ツールを使ったリンクのデバッグ	25
ビット・エラーの特定とトリガ	25
8B/10Bシンボルの検証とトリガ	26
デジタル・バリデーションとデバッグ	27
プロービングとは正しい接続を意味する	28
トリガ・ツールによる効率的なトラブルシューティング	30
結果の解析	30
マルチバス・システムの全容の観測	31
パワー・マネジメント・トランザクションの取込み	32
PCI Express測定ソリューションのまとめ	34
オシロスコープ	34
リアルタイム（RT）オシロスコープ	34
等価時間（ET）サンプリング・オシロスコープ	34
シグナル・ジェネレータ	35
ロジック・アナライザ	35
まとめ	35

PCI Express設計の検証、デバッグ、コンプライアンス

初代（Gen1）のPCI Expressが広く展開されており、コンポーネント、システム、カードなど、対応する製品も市場に出まわってきました。PCI Express スロット、GPU（グラフィカル・プロセッサ・ユニット）、PCI Expressスロットを使用したネットワーク・カードを装備したマザーボードやラップトップ・コンピュータも出まわってきました。ベンダの実験室やPCI-SIG（PCI Special Interest Group）によるプラグ・フェーストによる厳密なテストにより、短期間でGen1デバイスが普及しました。PCI Express Card Electrical Mechanical（CEM）Rev1.0aのコンプライアンスおよびインターオペラビリティ（相互運用性）テストはPCI-SIGによって施行され、いくつかのベンダがPCI-SIGインテグレータのリストに載るようになりました。Rev1.0aが展開されるにつれ、異なったPCI Express設計間における信頼性の高い接続（主に物理層において）のための仕様の変更が必要になりました。この変更を反映させたものがBase SpecificationとCEM仕様のRev1.1となり、SIGはワークショップでRev1.1仕様のテストを開始しました。PCI-SIGは、Base SpecificationとCEM仕様のレビューとともに、バスと周辺機器の拡張を可能にする、初めてのCable Specificationも発表しています。Gen2では、ベースとなるデータ・レートが2.5Gbpsから5Gbpsへと2倍になり、システム設計にケーブルが加わることで、さらに複雑なものになっています。これにより、デバイスの検証やコンプライアンス・テストにおいても、新たな問題が発生するものと考えられます。

PCI-SIGのインテグレータ・リストに載るためのパス／フェイル・テストに合格するだけでなく、様々な条件における設計検証も必要になります。例えば、室温でテスト・フィクスチャの電源を使用してワークショップでのテストに合格したとしても、温度や電源を変更した場合はどうでしょうか。デバイスを他のベンダのデバイスと組合わせた場合、あるいは他のバスからのクロストークでデバイスがトラブルを起こすことはありませんか。

この入門書では、PCI Expressにおける検証、デバッグ、コンプライアンスだけでなく、基本原理、測定テクニック、確実な設計に必要なツールについても説明します。この入門書は、Gen1デバイスに対応し、これからGen2デバイスのテストを始める方、あるいはPCI Expressを始めたばかりの方であっても、PCI Expressのアーキテクチャ、仕様、測定ソリューションが理解できるように説明しています。

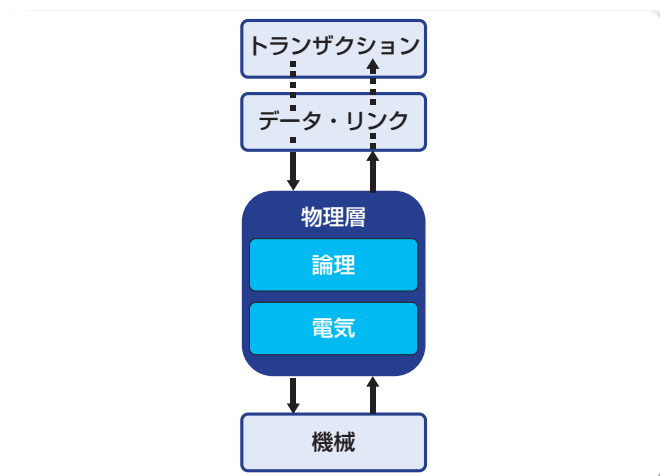
PCI Expressデベロッパ向の参考リンク

当社PCI Express ホームページ：

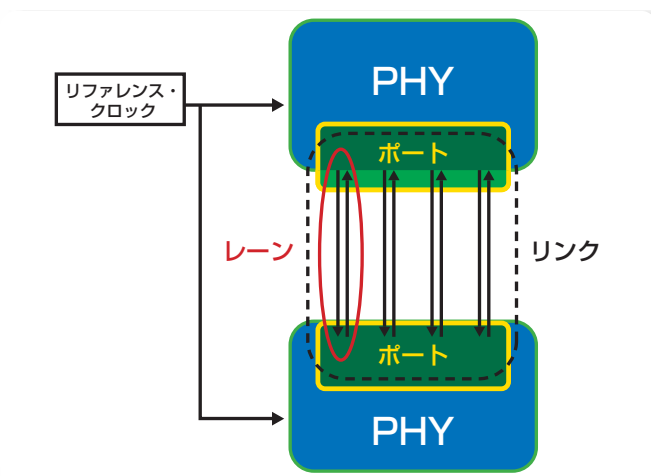
<http://www.tektronix.co.jp/pci-express/>

PCI-SIGコンプライアンス・テスト・ホームページ：

<http://www.pcisig.com/specifications/pciexpress/compliance/>



▶ 図1 : PCI Expressリンクのレイヤ



▶ 図2 : PCI Express PHYリンクのインプリメンテーション

レーン幅によるロウ・ビット・レート

信号レート	×1	×4	×8	×16	×32
Gen1 - 2.5Gbps/レーン	2.5	10	20	40	80
Gen2 - 5Gbps/レーン	5	20	40	80	160

▶ ロウ・ビット・レート

アーキテクチャと仕様の概要

他のシリアル・データ規格と同様、PCI Expressは図1に示すようにレイヤ（層）の重なりと見ることができます。各レイヤは、隣り合ったレイヤの動作をバッファリングしながら互いに通信します。

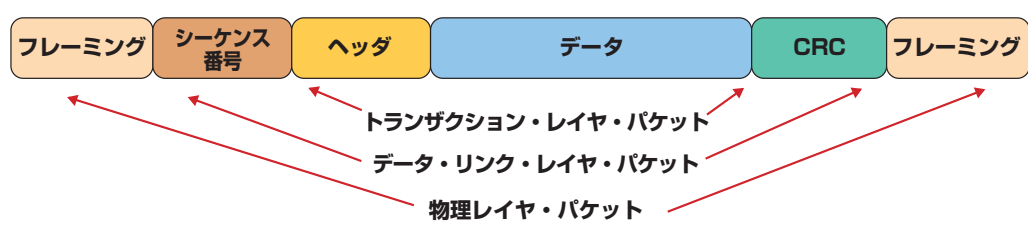
この重なりは、伝送メディアを電気信号が通る物理レイヤ、この信号を意味あるデータとして解釈するための論理レイヤ、トランザクション・レイヤなどで構成されます。各レイヤは、独自の規格とコンプライアンス手順があります。

シリアル・データ・リンクの物理レイヤ（PHY）パーティションを、図1に示します。PHYはプロトコル・スタックの上位レイヤから分離し、論理と電気の2つのレイヤから構成されます。PHYの電気領域では高速シリアル・パケットを送受信し、電力管理を担います。

PHYの論理レイヤでは、リセット、初期化、エンコード、デコードを処理します。電気と論理のサブブロックは、規格特有の機能も組み込んでいます。

PHY構成する2のブロックには、独自のテスト要件があります。電気的なインタフェース測定では、データ・アイ・ダイアグラムとシステム・リファレンス・クロックのアナログ波形特性が最も重要になります。論理レイヤでは、デジタル・パケットを解釈し、データ内のエンベデッド・クロックをリカバリするなどが必要になります。

図2は、4×PCI Expressリンクの代表的な物理レイヤのトポロジを示します。PCI Expressリンクは、レーンと呼ばれるデュアル・シンプレックス通信（双対単方向伝送）の集合体です。各レーンは、送受信の差動ペアにより合計で4本の伝送線路で構成されます。



▶ 図3 : PCI Expressパケットのレイヤ

各レーンは、2.5Gbps (Gen1) または5Gbps (Gen2) で伝送します。仕様では、構成によって×1、×4、×8、×16、×32レーンがサポートされています。リンクのロウ・ビット・レートは、レーンあたりのベース・ビット・レートの倍数になります。

図2に示すように、データはエンベデッド・クロックで伝送される一方、送受信回路でリファレンス・クロック (RefClk) を共有した場合、スペクトラム拡散クロック (SSC) を使用時にPLL回路がトラッキングできます。SSCは、コンピュータのマザーボードからの電磁放射 (EMI) を最小化するために使用されます。リファレンス・クロックは、30kHz~33kHzの周波数で、100MHz~99.5MHzにわたり変調されます。

パケット・データ

PCI Expressのデータは、図3のように、複数のレイヤからパケット化されます。

- ▶ PHYのサブブロックは、各パケットの始めと終わりにフレーミングを追加します。サブブロックは、シンボル転送と配置を制御します。
- ▶ データ・リンク・レイヤは、エラー・チェックとリトライ・サービスを行います。パケットには、ACK (アクノリッジ)、電源管理情報などが含まれます。
- ▶ トランザクション・レイヤは、初期化、インストラクションの生成、プロセス、およびフロー制御を行います。

物理レイヤの特性

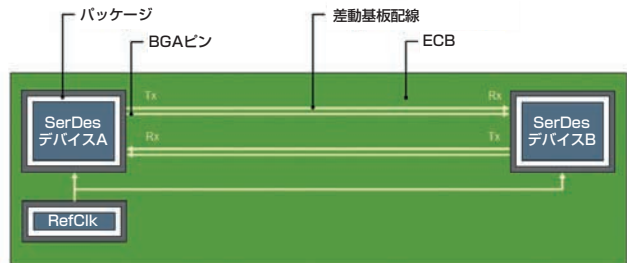
物理レイヤは、先に説明したように、パケット化された差動信号です。回路基板、コネクタ、ケーブルからなる物理レイヤは、機能的な見方をすると、単にバイナリ信号で表されるデータのパスといえます。このバイナリ信号が、オシロスコープによる物理レイヤのデバッグ、検証、コンプライアンス・テストの対象となります。

PCI Expressでは、いくつかのバス構成が定義されています。図4、5、6に、代表的な3種類の構成を示します。

PHYのレーンは、それぞれに送受信の差動ペアを持っています。送信ペアと送信メディアは、チャンネルと呼ばれます。信号は、チャンネル内で3種類の伝送線路を伝播します。

チップ・トゥ・チップ (図4)

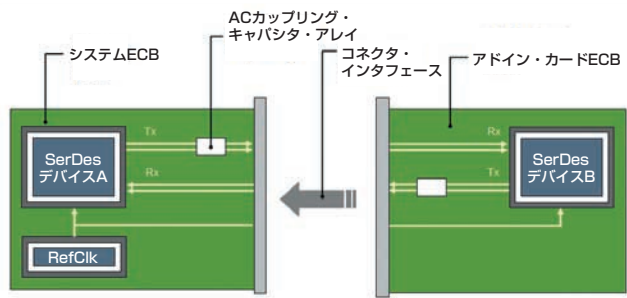
チップ・トゥ・チップ・レーンは、通常、エッチングされた回路基板 (ECB) 上に存在し、このECBが送信メディアとなります。代表的なアプリケーションとしては、一つのデバイスから別のデバイスに、大量のデータを送信しなければならないようなシステム・マザーボード上のPCI Expressバスが挙げられます。



▶ 図4：チップ・トゥ・チップ・レーン

カード・トゥ・カード (図5)

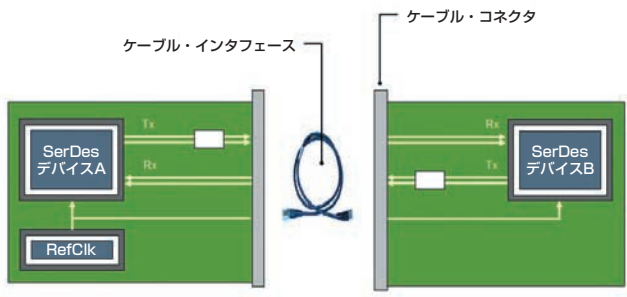
アドイン・カードのように、コネクタがレーンの一部になっている場合、リンクの送信サイドではACカップリングの仕様が必要になります。これにより、送受信デバイス間の共通モード・バイアス電流を低減できます。ローコストのリンクではFR4 (ガラス・エポキシ) 素材の基板上に長く引かれ、また安価なコネクタが使用されることがあり、ジッタ、クロストーク、レイアウトによる不平衡などが発生します。このような構成におけるテスト・ポイントは、デスクトップおよびサーバ・アプリケーションではCEM仕様に、ラップトップ・コンピュータなどのモバイル機器ではPCMCIA (Personal Computer Memory Card International Association) ExpressCardのドキュメントに規定されています。



▶ 図5：レーンのコネクタ部

カード・トゥ・ケーブル (図6)

レーンでのケーブル接続は、また別な損失とジッタ・ソースとなります。ケーブルの送受信サイドのためのテスト・ポイントは、PCI Express Cable Specification Rev.1.0で規定されています。このトポロジでは、リファレンス・クロックと3本のサイドバンド信号が、最大×16送受信ペアと並列にケーブルを通ります。

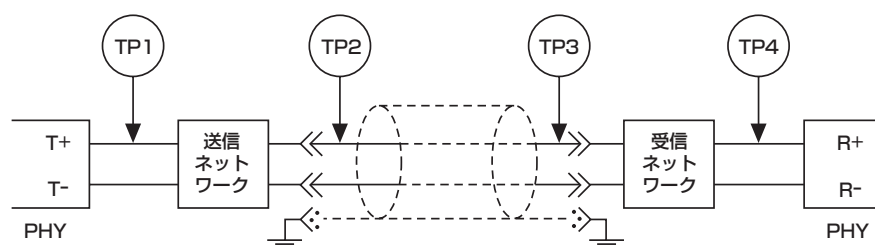


▶ 図6：レーンのケーブル接続部

リファレンス・クロック

高速シリアル・データ信号の経路では、リファレンス・クロック (RefClk) のシグナル・インテグリティのテストも重要です。リファレンス・クロックのパラメータは、Gen1のCEM仕様およびGen2のBase Specificationの本文の一部で規定されています。Gen1仕様のRev1.0aからRev1.1への変更点は、主にリファレンス・クロック・ジッタの影響を考慮した結果によるものです。Gen2 CEMのシステム・テストでは、コモン・モー

ド・ジッタを除去するために、データとRefClkを同時に取込む必要があります。このテスト方法は「デュアル・ポート法」と呼ばれています。



▶ 図7：PCI Express のテスト・ポイント

コンプライアンスとインターオペラビリティ

コンプライアンス・テストとインターオペラビリティ（相互運用性）テストは、いずれの規格においても成功への鍵となります。特に、規格のライフサイクルの初期、すなわち詳細が定まっておらず解釈が変化するような場合は特に重要です。

PCI Express規格では、送受信の損失量を重要視しています。また、システム・レベルでテストを実行する際のテスト・ポイントについても規定しています。コンプライアンス・ポイントは、本来、システム・コンポーネント（通常は異なるベンダからのもの）が相互運用するポイントです。図7では、相互接続された要素から構成された完全なシステムにおける、一般的な相互運用ポイントをまとめています。PCI Expressでは、TP1とTP4はBase Specificationで規定され、TP2とTP3はインタフェースの構成により、CEMおよびCable Specificationで規定されています。

これらのテスト・ポイントは、規格の中でテスト機器のためのプローブ接続ポイントとして明記されています。カード・トゥ・カードまたはカード・トゥ・ケーブル接続でも、測定においてコンプライアンス・ポイントにコネクタが含まれているのか、含まれていないのかを理解することは重要です。コンプライアンス・テスト・ポイントはコネクタ内部には存在しませんので、コネクタをつないだ状態とつないでいない状態におけるコネクタ性能は大きく異なります。さらに、ECBのチャンネル長またはケーブル損失も結果に影響を及ぼします。PCI Express Gen1の仕様（およびPCI-SIGのテスト手順）では、ほとんどの部分でテスト・フィクスチャと機器用ケーブルの損失については触れていませんでした（またはテスト・マージンに含まれていました）。5Gb Gen2では、この点は仕様の要求に含まれています。さらに、システム・レベルにおけるレシーバ感度のテスト手順についてもより明確に規定される傾向にあります。Gen1では、レシーバ感度のテスト手順は、デベロッパの解釈に任されています。

物理レイヤのコンプライアンス・テスト： デジタル信号をアナログで観測

PCI Expressは、デジタルの領域で動作します。しかし、コンプライアンス・テストの多くは、アナログで測定します。なぜでしょうか。すべてはデジタル・データではないのでしょうか。

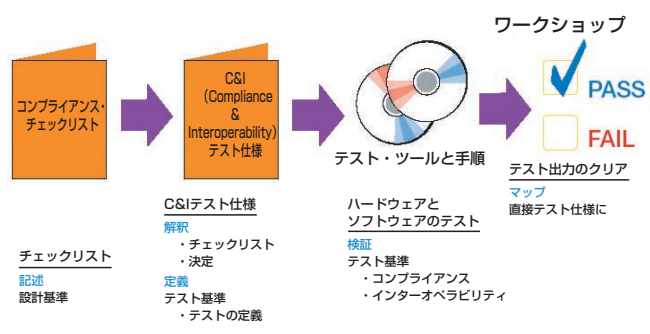
答えは、条件付で「はい」です。しかし重要な例外があります。デジタル信号は、キャパシタンス、ノイズ、電源変動、クロストークなどの不完全な世界に存在しています。これらの現象により、理想的なデジタル信号は変形し、ときにはデータとして伝送できないことがあります。このことから、仕様により信号の歪と劣化が制限されています。被測定デバイスが規格に沿うためには、この制限値内に入っている必要があります。テスト手順とテスト・ポイントは、規格で詳細に規定されています。PCI-SIGは、コンプライアンス・テストの詳細なテスト手順をコンプライアンス・テストのホームページに記載しています。この手順には、使用する計測器と機種名も含まれています。さらに、PCI-SIGでは信号品質テスト（SigTest）ソフトウェアも提供しています。SigTestでは、リアルタイム・オシロスコープを使用して、システム・カードやアドイン・カードのコンプライアンス・ポイントで取込んだ波形データのシグナル・インテグリティを測定します。

PCI Expressの代表的なコンプライアンス・テスト手順を図8に示します。

SigTestまたはRT-Eye®ソフトウェア

PCI Expressのデベロッパから寄せられる質問の一つに、「SigTestは無料であり、合否までわかるのに、なぜオシロスコープに解析ツールを追加しなければならないのか？」というものがあります。これは、設計マージンにどれくらい余裕があるかによって異なります。当社のRT-Eye、TDSJIT3、DPOJET、80SJNBなどの信号品質解析ソフトウェアは、設計に対する豊富な検証、デバッグ、コンプライアンス機能を装備しています。詳細を以下に説明します。

コンプライアンス・テストのためのテスト・フィクスチャテスト・ポイントが定義されたならば、プローブ・ポイントのためのテスト・ファクスチャを開発する必要があります。PCI-SIGでは、システム・テスト用にCLB（Compliance Load Board）、アドイン・カード・テスト用にCBB（Compliance Base Board）を提供しています。PCMCIAでは、ノートブッ



▶ 図8: PCI-SIGのコンプライアンスとインターオペラビリティ・プロセス

ク・システム送信テスト用に、EC-SI-P（ExpressCard PCI Express Test Fixture Module）およびExpressCard用にPEC-1X（ExpressCard Test Fixture Board/Slot）を提供しています。

検証とコンプライアンス測定

PCI ExpressのBase Specificationには、送受信における振幅、タイミング、ジッタ、アイ・ダイアグラム測定が含まれています。これらの測定は、通常、シグナル・インテグリティ測定として知られています。チャンネルでは、挿入ロス、リターン・ロス、周波数領域のクロストークなども指定されています。CEMとCable Specificationでは、システム・レベルのコンプライアンス・ポイントにおいて、ジッタ、アイ・ダイアグラム・マージンが規定され、プラグ・フェストでテストされます。これらのテストを迅速に選択し、実行するために、自動測定／解析ツールが使用されます。プラグ・フェストにおいてコンプライアンスとインターオペラビリティを確認するために実施される、主要な測定項目、およびシステム・コンポーネントが仕様を満足することを検証するための測定項目を以下に記します。

- ▶ 振幅測定
- ▶ タイミング測定
- ▶ ジッタ測定
- ▶ RT-Eyeダイアグラム／マスク・テスト
- ▶ ノイズとジッタ
- ▶ 周波数領域測定（挿入ロス、リターン・ロス）
- ▶ レシーバ感度とジッタ・トレランス（耐性）測定

振幅測定

送信メディアを確実に伝わり、受信回路に正しく1と0が伝わるだけの電圧レベルと安定性があるかを確認します。このテストでは、ワーストケースのコンディションにおける十分な電圧トランスがあることを確認します。

差動電圧 — ピーク・ピーク差動電圧仕様は、トランスミッタが適切な電圧レベルで送信していることを保証するための基本的な仕様です。トランスミッタの最小差動電圧は、最悪のメディア条件下で（すなわち損失が最大のときに）レシーバに到達可能な差動電圧の最小値として定義されています。これは、データ伝送を確実に行うための値です。PCI Expressの仕様では、差動ピーク電圧は、以下のように規定されています。

$$V_{TX-DIFF-P} = 2 \times |V_{TX-D+} - V_{TX-D-}|$$

データ信号からクロックをリカバリした後の波形データから測定。

差動ピーク・ピーク電圧は、オシロスコープのメニューに表示される従来のピーク・ピーク測定とは等価ではないことにご注意ください。混乱の元になっているのですが、この測定では、PCI Express独自のアルゴリズムが必要になります。

ディエンファシス — ビットが変化したビット（トランジション・ビット）の後の2番目およびそれに続くビットの振幅と、トランジション・ビットの振幅の比です。プリエンファシスまたはイコライゼーションとも呼ばれます。ディエンファシスは、デスクトップ・コンピュータで使われる、低コストのFR4（ガラス・エポキシ素材の）基板やコネクタなどの損失の多いメディアの周波数特性を補正するために、シリアル・データ伝送システムで使用されます。トランジション・ビットの振幅を、それに続くビットよりも大きくすることで、レシーバのピンにはアイの開いた信号が届きます。

コモン・モード電圧測定（AC、DC） — トランスミッタにおけるコモン・モードの不均衡やノイズは、差動信号に好ましくない影響を及ぼすことがあります。このような場合は、トラブルシュートのために、差動信号をシングルエンド成分に展開することができます。このテクニックでは、差動ペアの片側のみに結合されるクロストークやノイズの影響を明らかにすることができます。

波形のアイの高さ — アイの高さは、データのアイ開口の振幅領域です。レシーバ回路の実際のサンプル・ポイントになりますので、非常に変動する測定です。アイは、0.5UI（ユニット・インターバル）ポイントで測定され、UIタイミング・リファレンスはリカバリ・クロックによって定義されます。アイ・ダイアグラムの詳細については、「アイ・ダイアグラム」の項をご参照ください。

タイミング測定

信号にタイミング違反はないか、伝えようとしているデータが保持できるように信号トランジションが十分に高速か。このテストでは、分布容量、クロストークなどに起因するアベレーションや信号の劣化を測定しますが、測定する側のツール・セットにはきわめて高い性能が要求されます。

ユニット・インターバルとビット・レート — エンベデッド・クロック周波数の変動は、数多くの連続したサイクルのエンベデッド・クロックの平均値を観測することで測定できます。PCI Expressでは、平均値が指定された値から300ppm以上異なる（SSCなしで）場合、デバイスは適合しません。

PCI Express測定入門

▶ 入門書

立上り／立下りトランジション時間 — トランスミッタ測定では、トランジション時間が正確に測定できるツールが最も重要となります。Gen2のPCI Expressにおける最小トランスミッタ立上り時間は、30ps（20～80%の基準レベルでの測定において）です。速すぎる立上り時間はEMIの問題が起きることがある一方、遅すぎる立上り時間はデータ・エラーの原因となります。

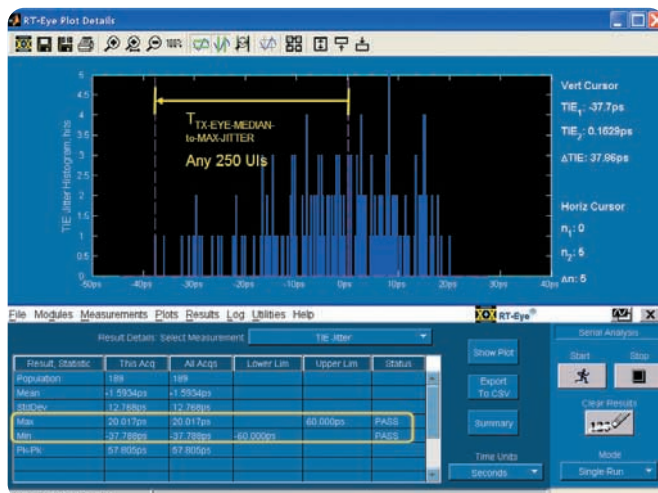
波形のアイ幅 — 波形のアイ幅は、1インターバルから、測定された合成ジッタだけ少ない時間と定義されます。アイ・ダイアグラムの詳細については、「アイ・ダイアグラム」の項をご参照ください。

ジッタ測定

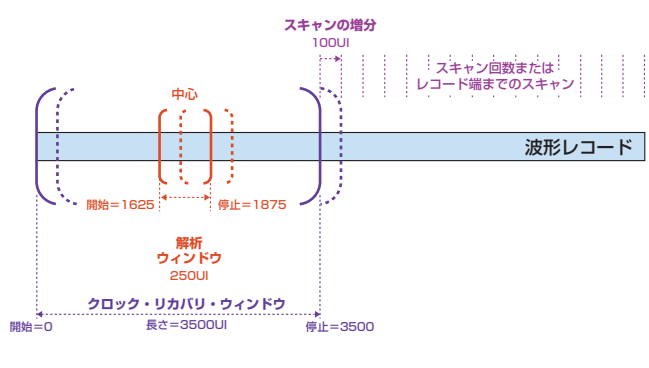
ジッタ測定方法は、PCI Expressデベロッパや仕様立案者における重要な話題となっています。ここでは、PCIExpressの仕様で測定されるジッタ解析の進化について説明します。

メディアン・マックス・ジッタ (Median-Max-Jitter) — 最初のGen1 PCI Express仕様 (Rev1.0a) では、メディアン・マックス・ジッタは、連続する任意の250ビットで測定されます。メディアン・マックス・ジッタは、メディアン (median: 中央値) をタイミング基準としてTIE (Time Interval Error: 本来あるべきエッジ時間位置からのずれ) の正負方向における最大偏差をいいます。250 UI (ユニット・インターバル) におけるTIEのヒストグラムから測定したメディアン・マックス・ジッタを、図9に示します。図9のハイライト表示されている部分にはTIEの最小値、最大値の値があり、これがメディアン・マックス・ジッタの仕様となります。

クロック・リカバリでは、連続した3500ビットから最小二乗法 (least squares)、偏差最小化法 (minimized deviation) などの演算でクロックをリカバリ (再生) し、その中央250ビット・ウィンドウが測定対象となります。この解析手法は、位相補間レシーバ動作のエミュレーションに最適なモデルとなります。「3500:250」手法は、ジッタの3次フィルタ機能 (-60dB/decadeの減衰、1.5MHzのカットオフ周波数) に近似します。これにより、低周波数のSSCを除去し、SSCがオンまたはオフのシステムで使用できる技術となります。

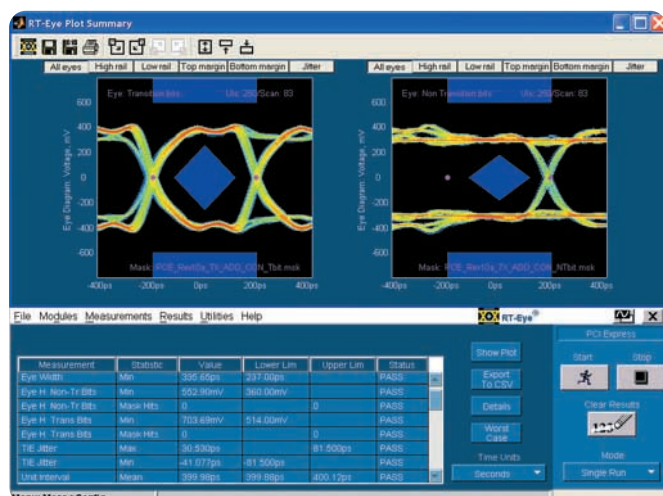


▶ 図9: 250 UIにおける、Rev1.0aによるメディアン・マックス・ジッタ測定例

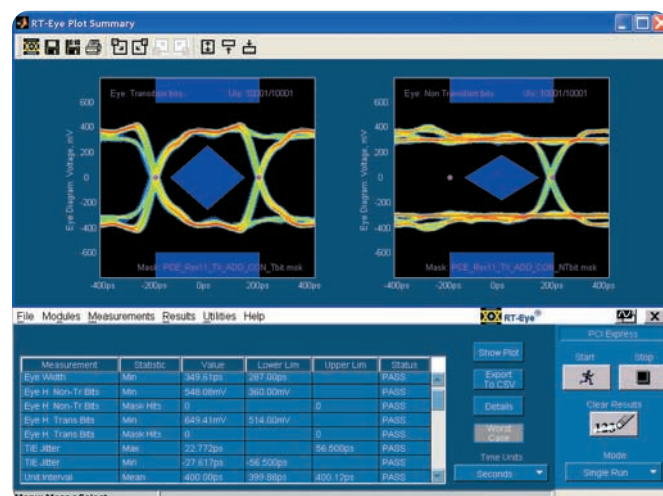


▶ 図10: 3500:250ウィンドウによるSmartGating機能

当社は、この手法をRT-EyeソフトウェアによるSmartGating機能で実現しています。図10に示すSmartGating機能では、クロック・リカバリと解析ウィンドウを設定し、TIE測定での効果的なフィルタ機能を有効にします。また、クロック・リカバリ／解析ウィンドウは、ユーザ定義した増分で波形をスキャンするように設定することもできます。3500:250ウィンドウに設定すると、100UIの増分で波形をスキャンし、PCI-SIGのSigTestソフトウェアと時間相関をとった結果が得られます。



▶ 図11a: Gen1 (Rev1.0a) 手法によるアドイン・カードのテスト例



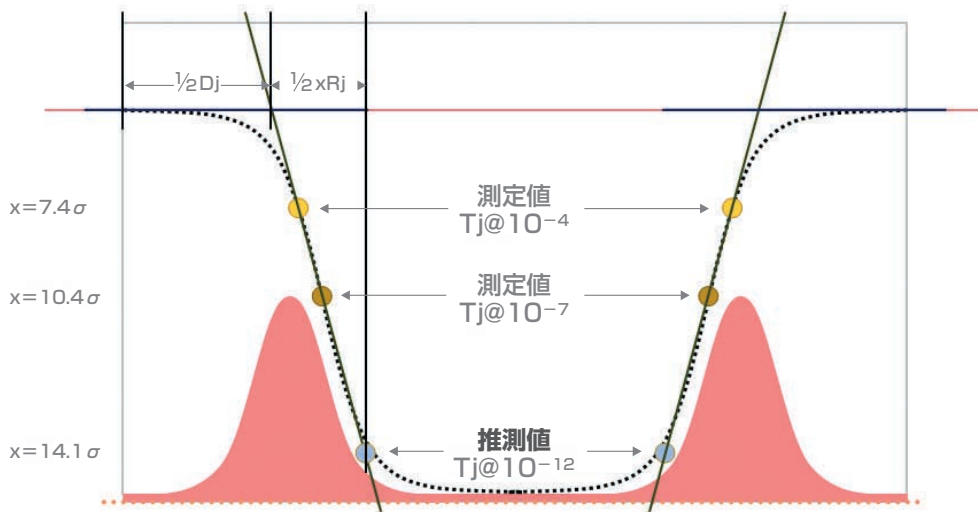
▶ 図11b: Gen1 (Rev1.1) 手法によるアドイン・カードのテスト

実際にデバイスをテストするにつれ、確実なインターオペラビリティのためには、より頑健な仕様が必要になりました。新しい仕様 (Rev1.1) では、リファレンス・クロックの位相ジッタから影響を受けないようにトランスミッタ・ジッタを測定します。クロック・リカバリは、1次 (-20dB/decadeの減衰、1.5MHzのコーナ周波数) のフィルタ機能によりジッタ・データに適用され、トランスミッタ・デバイスのRefClkに入力される「クリーンなクロック」(ジッタが極めて抑えられたクロック) によって測定することで実行されます。Rev1.0aでは「任意の250UI以上」と曖昧だったジッタ仕様が、Rev1.1では100万UI以上のサンプルから測定することになっています。トランスミッタ・コンポーネントとアドイン・カードでは、Rev1.1のトランスミッタのジッタ仕様は、コンプライアンスのために使用

されます。SSCがオンになったシステムでは、当初のRev1.0a仕様の3次フィルタの機能がコンプライアンスとして使用されます。

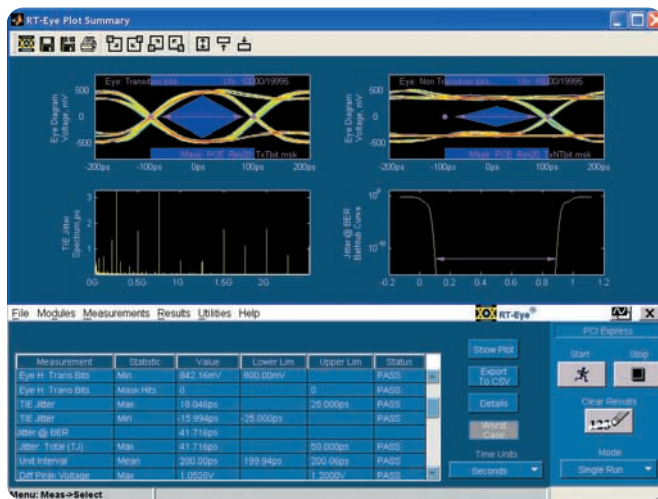
2種類の仕様による、アドイン・カードのテスト例を図11に示します。図11aは、Rev1.0a CBBを使用し、3500:250手法によりスキャン・モードを有効にしてテストしています。図11bは、Rev1.1 CBBを使用し、同じデバイスを1次のソフトウェアPLLを使用してテストしています。Rev1.1はより厳しいジッタ・トレランス (広いマスク) を持っていますが、DUTにはクリーン・クロックが供給されますので、測定されるTIEジッタはより小さくなり、メディアン・マックス・ジッタは41.07psに対して27.6psとなります。最終の結果としては、どちらの手法においてもデバイスは合格しています。

Dual-Dirac (バイモーダル超関数) による推測。2種類のBERにおいてTjを測定し、2点間の直線において、傾きはRjを、切片をDjとする。



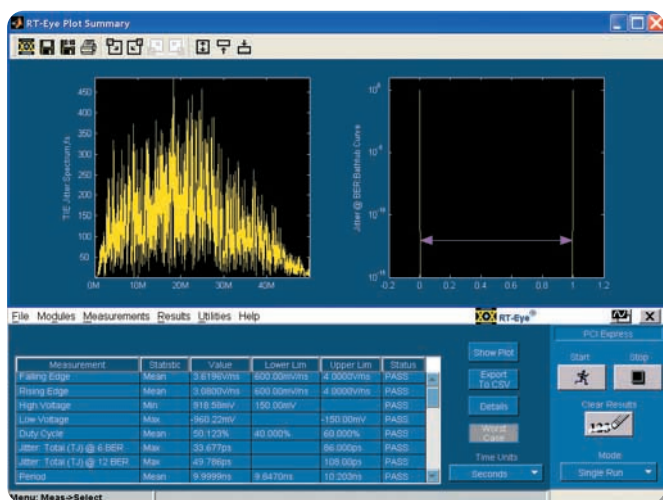
▶ 図12a : Dual-Diracモデルによるジッタ推定

Dual-Diracジッタ — メディアン・マックス・ジッタ・テストで説明したように、Gen1 PCI Expressの仕様は、測定ジッタのTIEヒストグラムに依存しています。Gen2の仕様では、Dual-Diracモデルを使用してジッタを規定しています。この手法では、トータル・ジッタ (Tj)、ランダム・ジッタ (Rj)、データミニスティック・ジッタ (Dj) が、図12aに示すように推測されます。多数の波形取込みと解析手法により、Dual-Dirac曲線が導かれます。一つの手法としては、TIA (タイム・インターバル・アナライザ) を使用して長時間のTIE (タイム・インターバル・エラー) をヒストグラムとして構築します。10⁻⁴BERと10⁻⁷BERという2種類のBERレベルでTjを測定します。2つのTjを測定したならば、2点間を結ぶ直線を引き、10⁻¹²BERにおけるTjを推測します。傾きはRj、切片はDj ($\delta\text{-}\delta$) と導き出されます。一方、TDSJIT3またはRT-Eyeソフトウェアをインストールしたリアルタイム・オシロスコープでは、ジッタ測定用に「スペクトラム・アプローチ」を使用して10⁻¹²BERにおけるTjを推測します。同様のアプローチで、10⁻⁹のTjが測定されます。このように、2点におけるTjが決まると同様に直線が引かれ、RjとDj ($\delta\text{-}\delta$) が推測されます。当社開発のスペクトラム・アプ



▶ 図12b : Gen2 Dual-Dirac手法によるトランスミッタ・テスト例

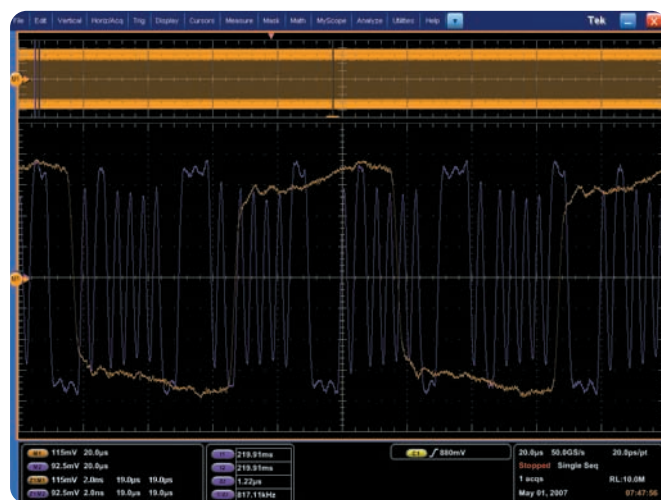
チは特許技術が採用されており、ジッタのランダム成分とデータミニスティック成分も分離されます。



▶ 図13：差動RefClkコンプライアンス・テスト例

スペクトラム・アプローチは、ジッタ測定においてBERTのスキミング手法と相関がとれていました。ヒストグラム・ベースの技術よりも短時間で正確なジッタ推測が可能のため、シリアル・データ・デベロッパの間で広く採用されてきました。図12bに、この技術を使用してGen2 PCI Expressのトランスミッタをテストした例を示します。

リファレンス・クロック (RefClk) ジッタ — 先に説明したように、Rev1.1の仕様では、トランスミッタ・ジッタとRefClkジッタは別々に測定する必要があります。PCI Expressのトランスミッタとレシーバは、それぞれのPLL、伝送遅延の差、レシーバ内のCDRのトラッキング帯域などの変動により、異なる位相ジッタの動きを示します。トランスミッタとレシーバのワーストケースの組合せによって伝播し、フィルタリングされるジッタ量でリファレンス・クロックを規定する必要があります。これは、Rev1.1 CEMおよびGen2 Base Specificationで規定されているジッタのマスク機能によって実行します。また、仕様では許容ジッタは 10^{-6} と 10^{-12} BERで規定されています。RT-Eyeソフトウェアを使用して、RefClkデバイスをRev1.1 CEM仕様に適用した結果を図13に示します。トータル・ジッタだけでなく、クロックのスルー・レート、ハイとローの電圧、



▶ 図14：TDSJIT3ソフトウェアを使用したスペクトラム拡散プロファイル例

デューティ・サイクルも測定されています。Gen2では、データのジッタ・コンプライアンスのためにデュアル・ポート法を使用します。この方法では、各チャンネル50GS/sの取込レートをもった4チャンネル・オシロスコープを使用し、RefClkとデータ信号を同時に取込みます。仕様によると、100万UIを取込むためには10Mポイントの記録長が必要です。図14に示すように、クロック信号 (M1) はCh1-Ch2で演算され、データ信号 (M2) はCh3-Ch4で演算されています。RefClkデータを同時に取込むことで、データ・ジッタ解析においてRefClkのコモン・モード・ジッタを無視することができます。

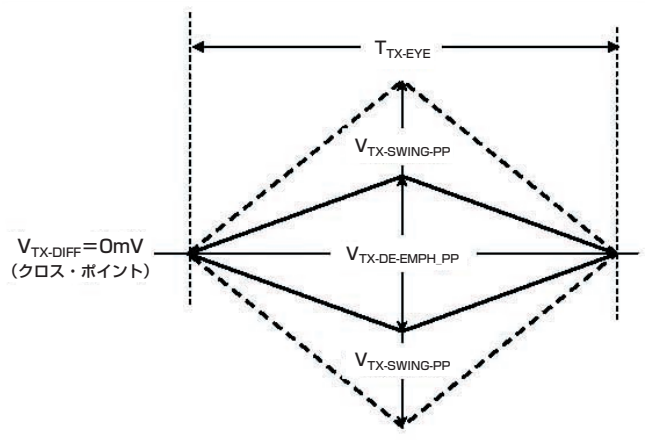
SSCプロファイル — クロックのシグナル・インテグリティに加え、PCI Expressの仕様では、30~33kHzの周波数で、0%から-0.5%までクロックが拡散することを許可しています。これは、データ・ピリオドが400~402psに拡散することを意味します。データ信号からSSCプロファイルを得るためには、データ・ピリオドが測定、フィルタされる必要があります。TDSJIT3 v2.0 Advancedジッタ解析ソフトウェアは、高性能リアルタイム・オシロスコープで取込んだ長い記録長のSSCプロファイルを解析することができます。

リアルタイム・アイ・ダイアグラムとマスク・テスト

連続したデータ波形の重ね書きからなるオシロスコープの表示である「アイ・ダイアグラム」は、PCI Expressのトランスミッタ信号品質を評価するための重要なツールです。アイ・ダイアグラムを生成するには、ランダム、擬似ランダムまたはコンプライアンス・パターン・ビットと同期するためにデータ・ストリームで搬送されるクロックを、データからリカバリする必要があります。当社のリアルタイム・オシロスコープで実行するRT-Eye（リアルタイム・アイ）ソフトウェアには、当社特許の技術が採用されており、ソフトウェアによるリカバリ・クロックとリアルタイム波形の重ね書き機能が装備されています。先にも説明したように、クロックのリカバリには、被測定デバイスや仕様のバージョンによっていくつかの手法があります。クロックのリカバリに加えて、トランスミッタとインターコネクタのテスト・ポイントにおいては、トランジション・ビットとディエンファシス・ビットを分離し、マスク・テストはビット・タイプごとに実行される必要があります。仕様で定められているマスク形状の定義を、図15に示します。図11と図12には、RT-Eyeソフトウェアを使用して同時に表示されるアイ・ダイアグラムの例を示します。先にも説明したように、Gen1における T_{TX-EYE} の仕様は、1UIより合成TIEジッタ分を差し引いた波形の「アイのマスク」です。Gen2では、 T_{TX-EYE} はDual-Diracモデルを使用した 10^{-12} BERにおけるトータル・ジッタだけ少ない1UIで定義される「ジッタのマスク」と定められています。どちらのケースでも、測定される振幅は、オシロスコープで取込まれた電圧を元にしていきます。

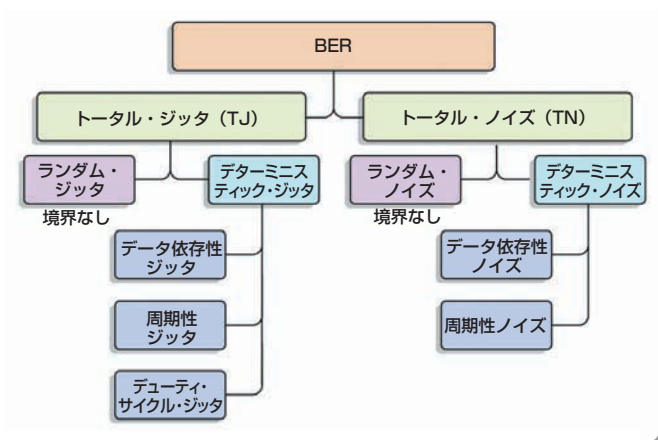
ノイズがジッタに及ぼす影響について

ここまで説明してきたジッタ測定における解析手法は、主にリアルタイム・オシロスコープを使用したものでした。RefClkのトランスミッタおよび位相ジッタ・フィルタにおける3500:250手法などのフィルタ技術は、リアルタイムに取込むエッジ情報に頼ったものです。リアルタイムな取込みは、ジッタの周波数成分を確実に知る唯一の方法です。したがって、ポスト処理のアルゴリズムを使用することで、周波数領域でフィルタす



▶ 図15: PCI Express波形のマスク仕様

ることができます。しかし、リアルタイム・オシロスコープの垂直ノイズは、ジッタと振幅領域の両方で誤差を加えることとなります。このため、リアルタイム・オシロスコープでは、フロント・エンドにアナログ・フィルタを使用して波形を取込んでいます。アナログ増幅器のノイズと帯域の積は一定ですので、帯域が広いほど、取込んだ信号にはより多くのノイズが載ります。また、リアルタイム・オシロスコープのA-D（アナログ・デジタル）コンバータの分解能は設計上8ビットに制限されるので、避けられない量子化エラーが発生します。システム・ノイズと量子化の組み合わせにより、測定にエラーが加わります。多くのケースでは、このエラーは大きくならないので無視できますが、PCI Expressの開発エンジニアは長い伝送チャンネルを設計するので、リアルタイム・オシロスコープの分解能とS/N比は制限されます。このようなアプリケーションでは、高精度測定のために等価時間サンプリング・オシロスコープが使用されます。さらに、高速シリアル・データ信号のジッタ解析だけでなく、ノイズの解析も可能なソフトウェア・ツールも開発されています。



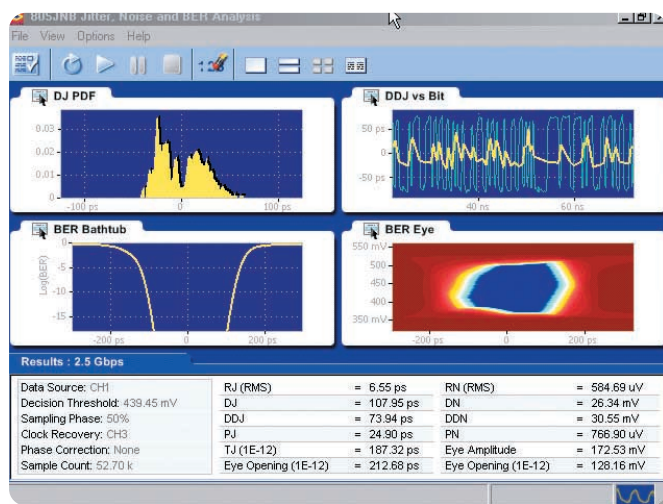
▶ 図16a：ジッタとノイズの分解

図16aの左側には、従来からのシリアル・データ・ジッタ分離を示しています。右側では、ジッタを時間領域で分解したように、サンプリング・オシロスコープを使った場合のノイズ分離を示しています。結果はBERアイとして2次元のPDF（確率密度関数：Probability Density Function）として表されます。図16bは、当社サンプリング・オシロスコープにインストールされた80SJNB（Advanced、ジッタ、ノイズ、BER、シリアル・データ・リンク解析）ソフトウェアにより、PCI Express アドイン・カードのアイ開口の詳細解析を行った例です。

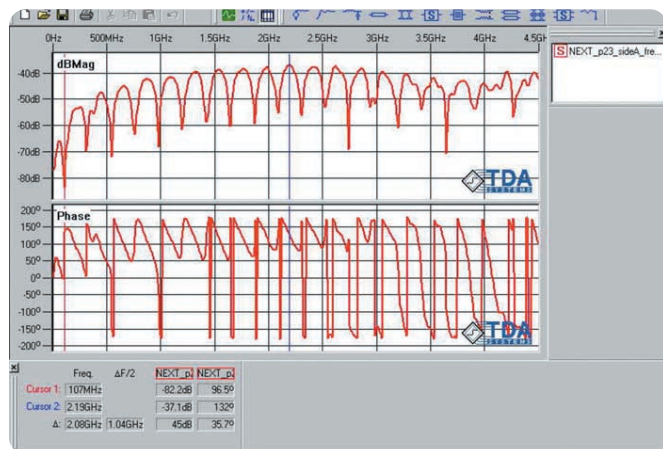
周波数領域測定

インターコネクต์・リンクのコンプライアンス・テストでは、挿入ロス、リターン・ロス、周波数領域のクロストークなど、周波数領域測定に対する要求が増えていきます。リターン・ロス測定は、レシーバ入力特性評価が必要になります。これらの周波数領域測定はSパラメータとも呼ばれ、帯域の低下とデジタル・システムのジッタに関係しますので、主に差動モードで測定されます。コモン・モード測定またはモード変換測定を要求する規格もできました。

この測定は、真の差動測定、測定する帯域に直接関係する、適切な立上り時間をもった、TDR測定可能なオシロスコープで実

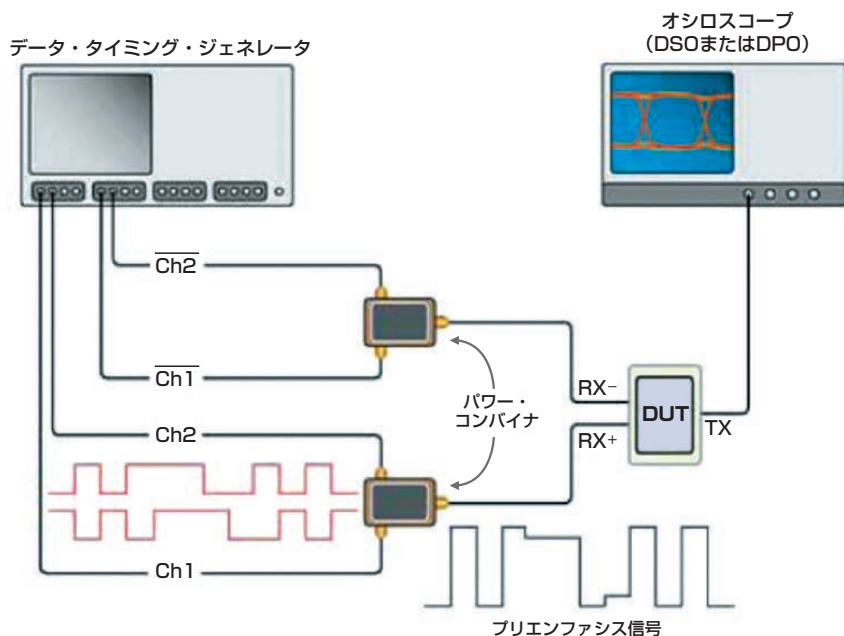


▶ 図16b：80SJNBソフトウェアによるジッタとノイズのPDF



▶ 図17：周波数領域におけるクロストーク測定

行します。図17に、当社サンプリング・オシロスコープにインストールした80SSPAR IConnect Sパラメータ/Zライン・ソフトウェアで解析した、PCI Expressインターコネクットの周波数領域におけるクロストーク測定の例を示します。



▶ 図18：DTGの2チャンネルから生成したディエンファシス信号

レシーバ感度とジッタ・トレランス測定

Gen1のレシーバ・テストでは、ループバック・モードで構成された被測定デバイス（DUT）をドライブするための信号ソースが必要になります。これには、トレーニング・シーケンス（TS1およびTS2）などの2.5Gbpsで定義されたテスト・パターンを生成し、デバイスに印加するパターン・ジェネレータ（データ・タイミング・ジェネレータとしても知られています）が最も経済的なツールとなります。DUTのレシーバ・セクションによってトレーニング・シーケンスが認識されると、トランスミッタ・セクションは同様のシーケンスを送ります。この転送されたシーケンスは、オシロスコープあるいはロジック・アナライザで観測します。通常は、いろいろな厳しい条件でDUTの性能の特性評価が行えるよう、トレーニング・シーケンスを変えてみます。厳しい条件としては、振幅レベルの変動、アイ交差レベルの変更、差動スキューの変動、ノイズやジッタの付加などがあります。DTGは振幅レベルが調整できるだけでなく、以下の項目についても調整することができます。

タイミング・トレランス — 周波数を変更してレシーバ・リミットを探ることができます。

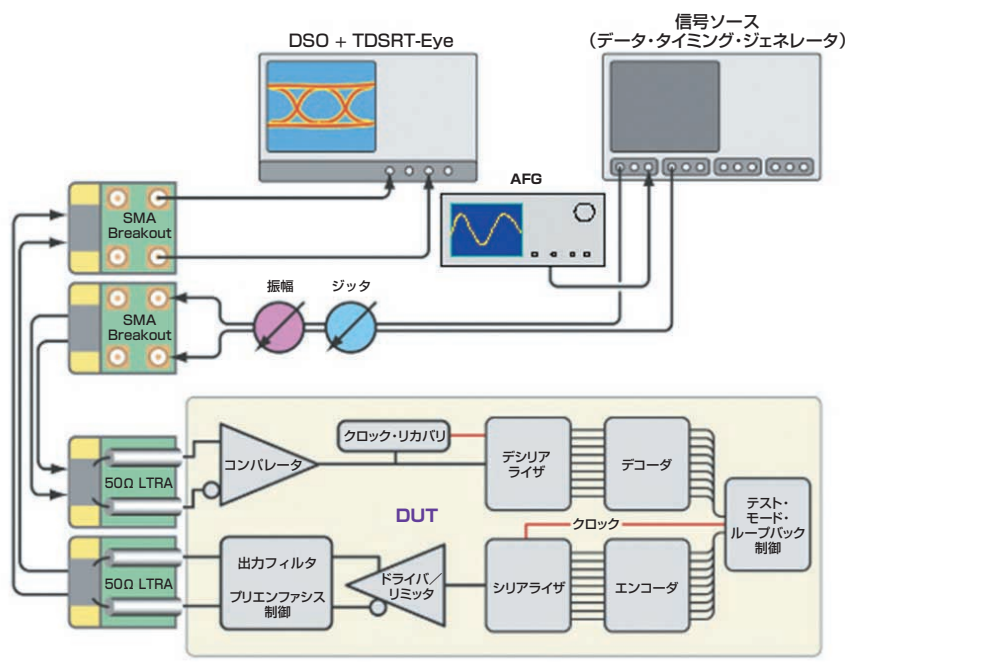
交差レベル・トレランス — 差動信号のD+とD-間のクロス電圧を変更し、コモン・モードの対称性をシミュレーションすることができます。

スキュー・トレランス — 差動信号のD+とD-間の遅延を変更し、差動スキューをシミュレーションすることができます。

ジッタ・トレランス — ジッタ周波数の変調や振幅を変更することで、仕様に対するデバイスの動作を確認できます。

5Gbpsで動作するGen2デバイスでは、高速のジェネレータが必要になります。AWG7102型などの任意波形ジェネレータでは、データの出力だけでなく、ダイレクト・シンセシス機能により、イコライゼーション、ディエンファシス、プリエンファシス、あるいは変調ジッタ信号を出力することができます。

レシーバのジッタ・トレランスは、ジッタが存在していてもデータを完全に再生できる能力と定義されます。ある量のジッタがあっても、SERDESおよびPLL回路がクロックをリカバリできることを保証する場合、仕様に適合します。ジッタ・トレランスのテストは、インターオペラビリティを保証する上で最も重要なテストの一つです。厳しいジッタ・テストは、PCI Expressなどのアプリケーションでは特に重要です。特定の振幅と周波数の変調特性を持つジッタを供給できる信号源が絶対条件になります。

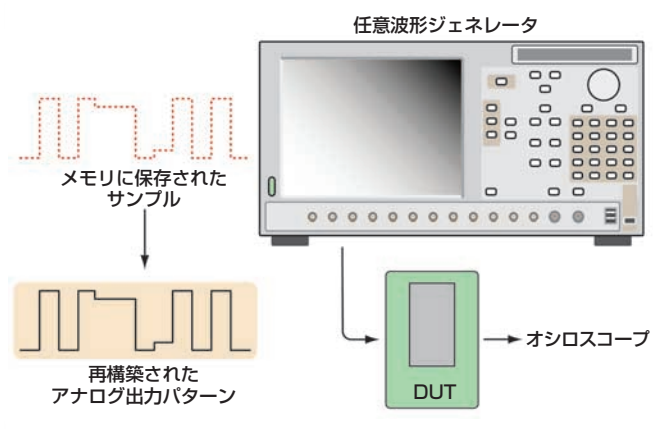


▶ 図19：ジッタ・トレランス・テストのためのセットアップ

PCI ExpressのBase Specificationでは、ジッタは、再生されたトランスミッタのUI（ユニット・インターバル）に対するアイ・ダイアグラムのクロス・ポイントの変動です。図19に示すように、DTGは振幅と周波数の両方の成分に対してジッタを制御することができます。この組合せにより、PCI Expressのレシーバのジッタ・トレランス・テストが実現できます。

もう一つの方法として、ダイレクト・シンセシス技術を使用することにより、伝送線路の伝播後の信号を作り出し、システムがどのような影響を受けるか確認できます。DTGで生成した信号を修正、変調するための補助機器などは必要ありません。優れたダイレクト・シンセシス機能を持ったAWGは、どのような形状のジッタでもテスト信号に組込むことができます。ランダム・ジッタ、デターミニスティック・ジッタのどちらの要素でもモデリングすることができます。量的、質的なジッタの効果を変化させることができるAWGの機能は、有益であり、使いやすいものです。

これは、ノイズや、オーバシュートなどでも同様です。AWGプラットフォームの基本的なアーキテクチャにより、どのような信号形状でも定義することができるため、信号動作の細部まで簡単にモデル化できます。細部ではあっても詳細に生成できますので、現実の波形を作り出すことができます。AWGを使用することで、FR4での配線、コネクタ、ケーブルを伝わる信号の内容を近似することができます。



▶ 図20：任意波形ジェネレータは、メモリに保存されたサンプル波形を再構築します

アナログ測定による信号忠実度の確認

コンプライアンス・テスト、検証またはデバッグ目的のいずれの場合でも、PCI Expressのどの測定においてもデバイスのプロービング、信号データの取込み、取込んだ情報の解析が必要になります。正しい計測器を選択し、正しく使用することが正確な結果をすばやく得ることにつながります。ここでは、被測定デバイスへの接続方法と、オシロスコープを選択した場合のアナログ性能に関して考察します。

被測定シリアル・デバイスへの接続

測定は、まず被測定デバイスの接続から始まります。ここで、次のような質問があります。「テストするレーンの機械的なインタフェースは何ですか？」通常は、推奨されているテスト条件あるいは設計上におけるアクセス・ポイントと答えます。いろいろな構成のインタフェースがあり、それぞれに異なる特性を持ちます。

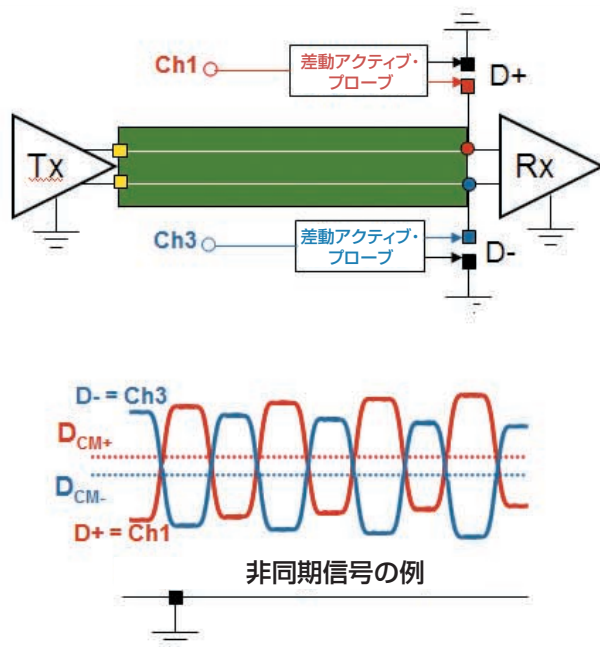
機械的なインタフェースは、電気的テストやロジック・テストにおけるプロービングに大きく影響します。高速の差動信号を損なうことなく計測器に導きながら、物理的な寸法を持つ必要があります。あるいは、SMAコネクタに合うようなテスト・ポイントなどのプロトタイプのフィクスチャが必要になることもあります。

プロービングには、以下に示す5種類のアプローチがあります。

- ▶ 擬似差動アクティブ・プロービング
- ▶ 真の差動アクティブ・プロービング
- ▶ 擬似差動SMA接続
- ▶ 真の差動SMA接続
- ▶ TriModeプロービング

PCI Express信号は差動で伝送されますので、これらすべてのソリューションは差動で接続されることになります。

擬似差動アクティブ・プロービング — 擬似差動測定では2本の差動アクティブ・プローブを使用し、それぞれを差動信号の片側に接続します。図21では2本のプローブをグランドを基準に、差動ペアのD+、D-に半田付けしたチップ・トゥ・チップ・アプリケーションの例を示しています。オシロスコープの2つのチャンネルを使って2チャンネルのデータを取込みます。プローブはAC、DCの両方の成分を取込みますので、差動リンクの共通モード効果を観測するのに適しています。リンクのレシーバはトランスミッタからの差動スウィングのみを見る一方、共通モード電圧の変動は切り替わるサイクルにおいて好まし

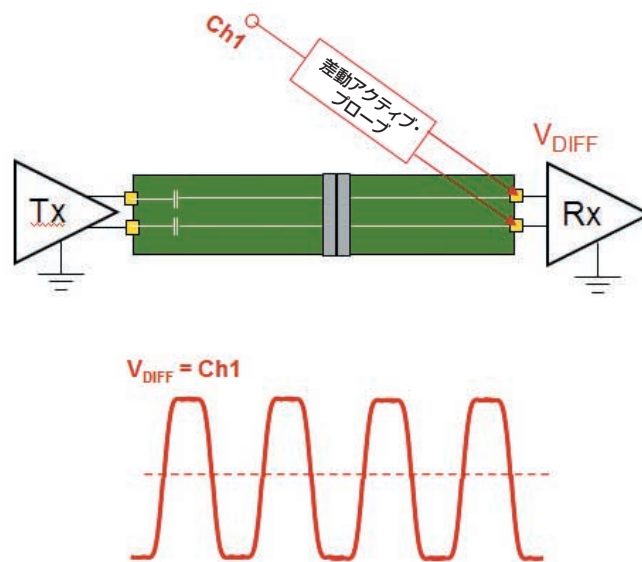


▶ 図21：擬似差動アクティブ・プロービング

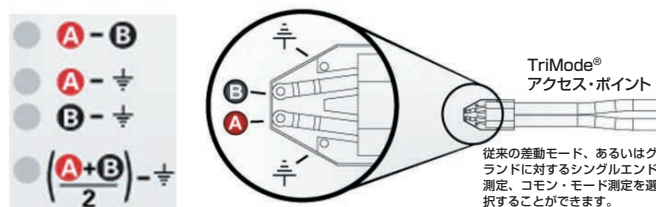
くない振幅変動の原因となります。擬似差動プローブで取込まれた非同期信号の例を、図21に示します。PCI ExpressのBase Specificationでは、最大共通モードAC電圧 (VCM) と許容可能な共通モードDC電圧レンジが規定されています。差動電圧波形 (VDIFF) は、D+波形とD-波形を引き算して得られます。アイ・ダイアグラム、振幅、ジッタやタイミング測定は、この演算波形を元にします。擬似差動プロービングでは、差動の各波形はオシロスコープの別々のチャンネルに入力されますので、測定前に各入力はデスキューしておく必要があります。

真の差動アクティブ・プロービング — 図22に、コネクタ接続によるカード・カード・シリアル・リンクのレシーバ・サイドを差動プローブで取込む例を示します。擬似差動接続と違い、このプロービングではオシロスコープの1チャンネルのみを使用し、波形の引き算も必要ありません。これにより、オシロスコープの複数チャンネルをレーンの測定にあてることができます。また、複数の高速テスト・ポイントのデバッグにも有効に利用できます。図22に示す差動波形は、オシロスコープの1チャンネルのみを使用しており、デスクューの必要もありません。このケースでは、差動モードのみの測定となります。どのプロービングも、被測定デバイス (DUT) になんらかの負荷を加えることになることにご注意ください。どのプローブも、周波数が高くなるとインピーダンスが変化するような回路モデルを持っています。これにより、観測する回路動作は影響を受け、測定にも影響が現れることがありますので、結果を検証する場合には考慮が必要です。チップ・トゥ・チップのインタフェースを設計する場合、テスト・パッドを基板設計に組み込み、使用するプローブの機械的な寸法を考慮することが重要になります。プロービング・パッドは、反射による信号劣化を防ぐため、できる限りレシーバの終端抵抗近傍に設置します。

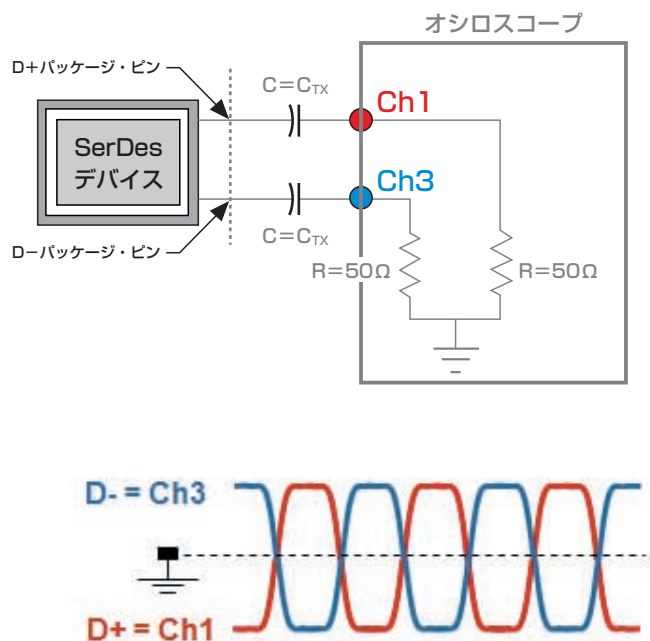
TriModeプロービング — 当社が新しく開発したプロービング技術で、差動信号のD+とD-信号は、(A)または(B)を選択することで取込むことができ、(A-B)で差動信号Vdiffを、(A+B)/2でコモン・モード信号を取込むことができます。この技術により、先に説明した2通りの測定を1回のプローブ接続で実行することができます。図23に、プローブ・チップと接続方法を示します。



▶ 図22：真の差動アクティブ・プロービング



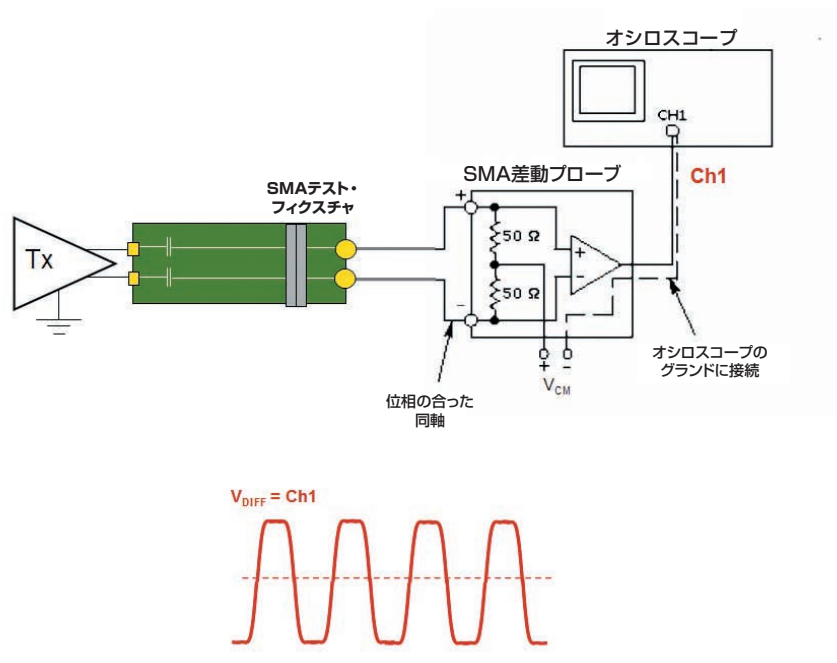
▶ 図23：TriModeプロービング



▶ 図24： 擬似差動SMA接続

擬似差動SMA接続 — 多くのコンプライアンス・テスト・フィクスチャやプロトタイプ回路では、その出力に接続される負荷条件が規定されています。フィクスチャ／プロトタイプがSMA高周波コネクタに対応できる場合、SMA擬似差動で信号にアクセスできます。トランスミッタのコンプライアンス・テストの例を、図24に示します。ここでは、DUTの出力はオシロスコープの2入力に直接接続され、各入力インピーダンスは50Ωに設定されています。SMA入力は、高性能オシロスコープでは一般的であり、測定のために差動プローブを購入する必要があります。

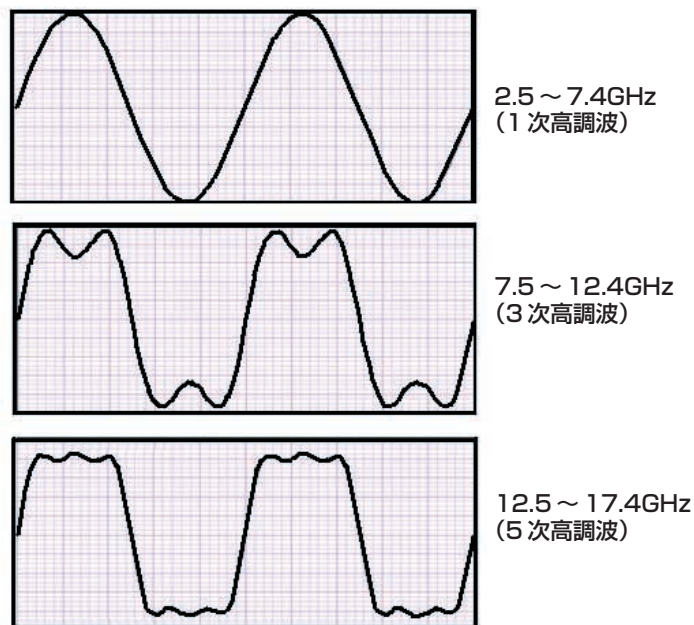
せん。図24に示すように、差動ペアの各信号で共通・モードのAC測定が行えます。オシロスコープはグランドに終端されていますので、信号はACカップリングにします。アクティブ・プローブを使用する場合、一つのコモン・モード信号からもう一方のコモン・モード信号を引き算して差動モード信号を生成します。この場合、各チャンネルはデスキューし、測定においてはDUTからオシロスコープ入力までのケーブルによる損失を考慮する必要があります。



▶ 図25：真の差動SMAプロービング

真の差動SMA接続 — 図25には、トランスミッタ・パスのコンプライアンス測定用に設計された新しいオシロスコープ・プローブを示します。SMA入力の差動プローブは、カード・トゥ・カードまたはカード・トゥ・ケーブル・インタフェースでインターオペラビリティ・ポイントが規定されているコンプライアンス・テストに最適です。100Ωで終端されたネットワークにより、差動の各信号はコモン・モード電圧に適切に終端されます。

コモン・モード電圧は、外部入力またはオシロスコープから直接供給されます。図25では、差動増幅器によってシングルエンド信号を差動に変換する、真の差動プローブを示しています。これにより、チャンネル間のデスキューは不要になります。当社P7380SMA型はSMA入力をもった差動信号アキュイジション・システムであり、整合のとれたSMAケーブルによる損失は製造時に校正されています。



▶ 図26：理想的なロー・パス・フィルタのパルス応答

アナログ・アクイジションに関する考察

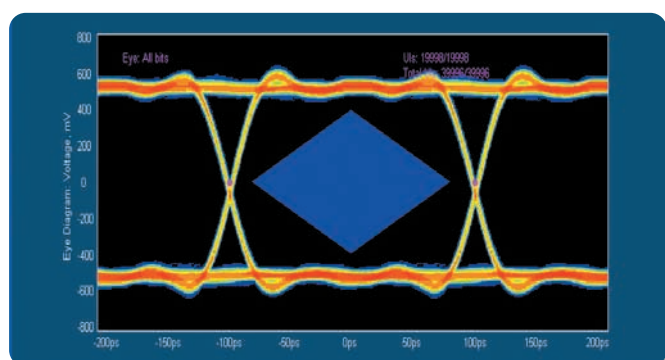
測定精度に影響するシステム性能

重要な高速測定ソリューションとしてオシロスコープとプローブの組合せを考える場合、システムとして考える必要があります。計測器の性能が測定の一部になります。システムのアナログ・アクイジション性能は、デジタル仕様と同様に測定結果に影響を及ぼします。性能仕様を理解することも、正しい計測器を選択する上で重要となります。

アクイジション・システム性能の検証

周波数帯域 — 「周波数帯域」は、オシロスコープの入力回路（垂直増幅器）が、特定の許容値内で受け入れることができる周波数レンジを意味します。オシロスコープのサンプル・レート

は、このレンジが取扱えるように最適化されています。測定する上で、システムの周波数帯域が適切であることを確認することが重要になります。どのくらいの周波数帯域があれば十分なのかは、被測定信号の周波数成分によって異なります。オシロスコープの入力が理想的な「ブリック・ウォール」のようなフィルタとした場合、5GbpsのPCI Express信号（101010を繰り返す伝送パターン）は2.5GHzの方形波であり、オシロスコープには図26のように表示されます。3種類の曲線は、周波数帯域に理想的な帯域フィルタが組込まれていることを示しています。3次の高調波しか通さないオシロスコープでは、5次の高調波を通すオシロスコープに比べて、振幅は大きく表示され、トランジション時間のエラーも大きくなります。優れた信号忠実性のためには、測定エラーを最小にするためにも少なくとも5次の高調波が必要になります。



▶ 図27：15GHzのオシロスコープで取込んだ5Gbpsの信号

実際には、ほとんどのオシロスコープは「ブリック・ウォール」のようなフィルタではなく、オシロスコープのもつロールオフ特性により、信号忠実性に対して多大な影響を及ぼします。例えば、15GHzのオシロスコープは、12.5GHzにおいてフラットな周波数応答（0dB損失）になるように校正されています。15GHzでは3dB低下し、17.5GHz（7次高調波）でもいくらかのエネルギーがあります。この結果は、図25に示すように、高速BERTジェネレータの5Gbps出力と同様な、非常に正確なアイ・ダイアグラムとなります。表示されているマスクは、Gen2 PCI Expressトランスミッタ・トランジション・ビット・マスクです。これより低い周波数帯域のオシロスコープでは、これほどのマージンは得られません。

立ち上がり時間 — 図27に示すように、周波数帯域と立ち上がり時間には関連性があります。PCI ExpressのBase Specificationでは、トランスミッタ・デバイスの最小トランジション時間を

規定しています。最小トランジション時間は、Gen1では0.125UI（50ps）、Gen2では0.15UI（30ps）となっています。トランジション時間測定の仕様（20～80%レベルで測定）は、オシロスコープの立ち上がり時間の仕様（10～90%レベルで測定）とは異なりますので注意が必要です。このため、ほとんどのオシロスコープ・メーカーでは、データ・シートにおいて10～90%と20～80%の立ち上がり時間の仕様を記載しています。システムの立ち上がり時間が、仕様で規定されている測定値よりも十分に小さい場合は、精度が高いと言えます。例えば、15GHzのリアルタイム・オシロスコープの場合、20～80%の立ち上がり時間の仕様は19psであり、最速のGen2トランジションである30psに対して約5%のトランジション時間測定エラーになります。

5次の高調波精度は、トランスミッタのコンプライアンス・テスト（SERDESのピンにおいて）の最小要件です。さらに詳細な特性評価には、周波数帯域が70GHz、立ち上がりが5ps（10～90%）のサンプリング・オシロスコープが必要になります。

CEMやその他のインターコネクト・テスト・ポイントにおけるダウンストリーム測定では、周波数帯域の低い（立ち上がり時間の遅い）オシロスコープで十分です。これは、一度トランスミッタのピンを離れた信号が伝送路に伝わった場合、高周波損失により信号はさらにフィルタリングされ、5次の高調波成分は減少します。信号のトランジション時間が、ユニット・インターバルの高いパーセンテージのポイントまで遅くなると、帯域の低いオシロスコープを使用した場合、立ち上がり時間と振幅のエラーは大幅に低減されます。しかし、低い帯域のオシロスコープで正確に測定できるかを知るためには、5次高調波性能のオシロスコープによる結果と比較する必要があります。

サンプル・レート — リアルタイム・オシロスコープでは、アナログ信号を正確に再生するために必要とされるサンプル・レートは、ナイキストのサンプリング定理で定義されます。この定理では、波形を正確に再現するためには、入力信号の最も高い周波数成分の2倍以上のサンプル・レートを持っていることが必要とされています。したがって、15GHz入力帯域のオシロスコープは、40GS/sのサンプル・レートでサポートされています。サンプリング・オシロスコープのサンプル・レートは桁のオーダーで低くなっていますが、それは後述の等価時間サンプリングのため性能を決定する主要な要素ではありません。

補間 — PCI Expressにおける、30~50psのような高速なトランジション時間では、サンプルされたデータを $\sin(x)/x$ 補間することで、振幅をベースとした測定やアイ・ダイアグラムの精度が向上します。補間ポイントは、測定しようとするエッジに最低でも3ポイントあることが必要です。リファレンス・レベルがスイッチング・スレッシュホールドまたは差動信号のゼロ・レベルとなるジッタ測定では、一般的に、補間がもたらす影響は無視できます。リアルタイム・オシロスコープの中にはアキュジション・パスの一部として $\sin(x)/x$ 補間をもっているものもあり、この場合は $\sin(x)/x$ 補間が初期設定になっています。これにより、波形や測定のスループットを低下させることなく、正確な結果を得ることができます。

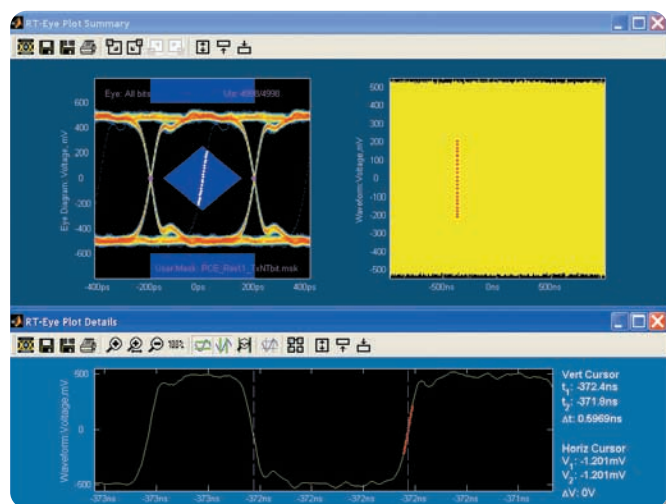
ノイズ・フロア — リアルタイム・オシロスコープでは、ジッタ・ノイズ・フロア (JNF) は、すべてのデータ依存性ジッタを除外したタイム・インターバル・エラー (TIE) のランダム成分と定義されます。これは、101010を繰り返す理想的なクロック信号をオシロスコープに入力し、TIEの標準偏差 (RMS) を測定することで直接測定できます。高性能リアルタイム・オシロスコープのランダム・ジッタ・ノイズ・フロアは、一般的に400fs_{rms}以下です。サンプリング・オシロスコープ (リアルタイムではありません) では、低いノイズ・フロアとデジタイザの高分解能により、同様の設定で一般的に200fs_{rms}以下の測

定が可能です。リアルタイム・オシロスコープでは8ビットのデジタイザ分解能ですが、サンプリング・オシロスコープでは14ビットとなっています。リアルタイム・オシロスコープの低い分解能と、入力増幅器のノイズ分布の組み合わせにより、JNFは2倍になっています。

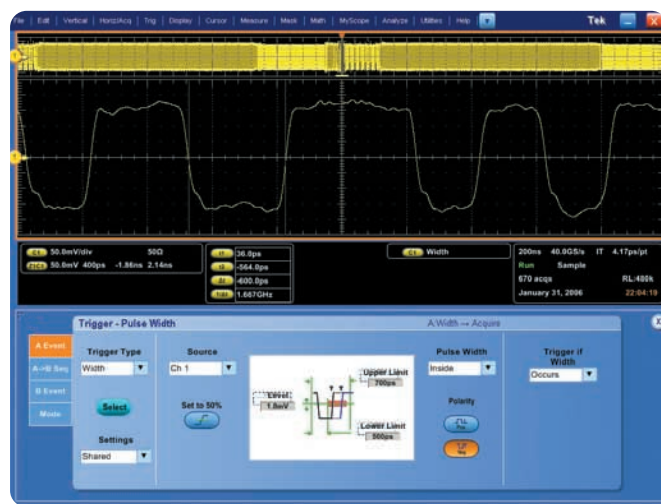
レコード長 — リアルタイム・オシロスコープのレコード長は、取込める信号の周波数成分を規定します。これは、特にジッタ測定において重要になります。TIE (ジッタ・スペクトラム) の低周波数スペクトル成分は、取込まなければ測定できません。長いレコード長を装備したオシロスコープでは、最高のサンプル・レートでこの周波数を取込むことができます。例えば、100Mポイントのレコード長では、50ps/ポイントの波形データを5ms取込むことができます。これは、12,500,000UIのGen1 PCI Expressトラフィックまたは150サイクルのスペクトラム拡散クロックに相当します。

PCI Expressにおいて、低周波数ジッタの問題はRev1.1の仕様に引き継がれ、1,000,000UIの統計的な確実性が必要となっています。1,000,000UIを一回で取込むためには、オシロスコープのレコード長は最低でも8Mポイント必要になります。高周波成分をフィルタし、データ信号から30kHzのSSCプロファイルを抽出するためには、10サイクル (333 μ s) 以上または13Mポイントのデータを取込むことが必要になります。

トリガ — デバッグ・アプリケーションでは、リアルタイム・オシロスコープのトリガ機能は最も重要になります。ビット・エラーの原因となる異常信号を取込むためには、信号と同じ帯域でトリガできる必要があります。例えば、5Gbpsの信号に、100ps幅程度のグリッチがあるとします。システム・レベルでは、特定のシンボルにトリガできることが重要になります。次の章では、当社のトリガ・システムにより、PCI Expressの設計問題をデバッグする例を説明します。



▶ 図28a: ビット・エラーの検出



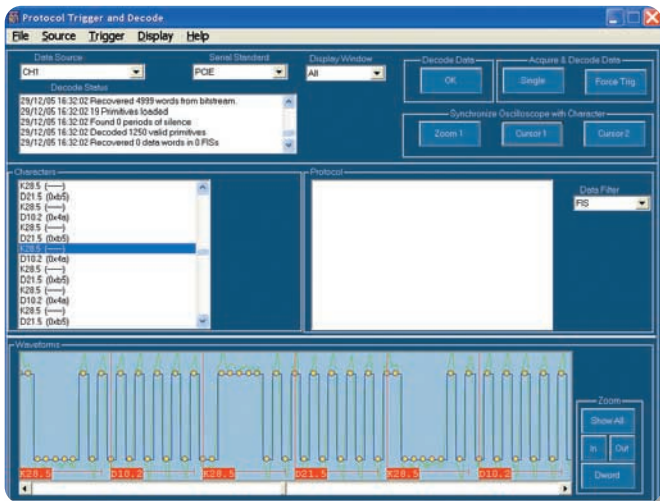
▶ 図28b: ビット・エラーにトリガ

Pinpoint®トリガとデータ・デコード・ツールを使ったリンクのデバッグ

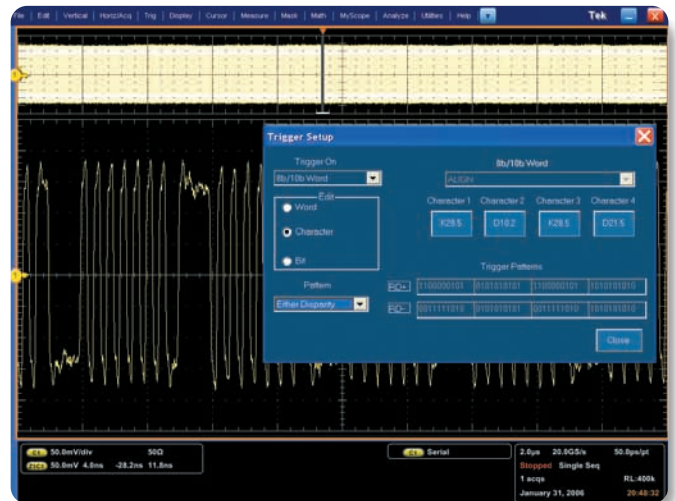
ビット・エラーの特定とトリガ

シグナル・インテグリティの測定中に、設計上の問題と思われる、予期せぬ現象が現れることがあります。このような場合、問題をすばやく特定し、解決することが必要になります。このような問題をピンポイントで検出するために、オシロスコープのトリガ・システムと同時に解析ツールを使用することがあります。図28aは、RT-Eyeソフトウェアで間欠的に発生するビット・エラーを検出した例を示します。一見して、2.5Gbpsのデー

タに、200psのパルスがランダムに、間欠的に発生していることがわかります。RT-EyeソフトウェアのBit Error Locatorをオンにすると、アイ・ダイアグラム（左上）と取込んだ波形（右上）が同時に表示されます。マスク違反が発生すると、違反したすべてのポイントが赤い点として表示されます。波形をズーム表示すると（下）、異常信号の詳細が表示されます。異常ビットのパルス幅が600psであることがわかりましたので、パルス幅トリガを設定して、600psのパルスだけにトリガします。図28bには、根本原因を詳細に調査するために、データ・ストリームの中から600ps幅のパルスにピンポイントにトリガするための設定を示しています。



▶ 図29a : 波形からデータをデコード



▶ 図29b : 4つのシンボルの任意の組合せでトリガ

8B/10Bシンボルの検証とトリガ

PHYのアナログ部に発生するビット・エラーの他に、デジタル・データが正しくリンクを伝送しているかも重要になります。アイからアナログ波形が確認でき、アナログ波形からK28.5、D10.2などのシンボルに机上で変換することは可能ですが、これは退屈でエラーを起こしやすい作業です。PTD (Protocol Trigger and Decode : プロトコル・トリガ/デコード) ソフトウェア (図29a参照) をインストールしたリアルタイム・オ

シロスコープを使用すると、取込んだ波形 (下) から自動的にデータをデコードし、シンボルをリスト表示しますので、デジタル・データの検証が可能になります。図29bに示すPTDソフトウェアのトリガ・メニューでは、任意の4つのシンボル・データでトリガする設定を示しています。SERDESによるトリガでは、ディスパリティおよびキャラクタ・エラーにリアルタイムにトリガできます。

デジタル・バリデーションとデバッグ

物理レイヤのコンプライアンス・テストは、長期間で困難な製品開発プロセスの最初のプロセスとなります。アナログ・コンプライアンスでは、設計エンジニアはプロトコルが正しいことを検証し、システム統合においてデバイスに互換性があることを確認します。結局のところ、デバイスはさまざまなシステム構成で合格しなければなりません。デバッグと設計検証は、コンプライアンス・テストだけでなく、物理レイヤの電気サブブロックから論理サブブロック、さらにデータ・リンク・レイヤ、トランザクション・レイヤまで及びます。

プロトコル・スタックでは、物理レイヤの論理サブブロックを観測するために、8B/10Bシンボルのデータを取込み、表示することのできる専用のアナライザが必要です。この作業には、ロジック・アナライザが使用されてきました。プロトコル・アナライザは、プロトコルの上位層を取込むために設計されており、特定のシリアル・バスでしか使用できません。シリアルとパラレルの両方のフォーマットでさまざまなバスや汎用信号を同時に観測しなければならない場合、ロジック・アナライザは最適なツールとなります。

プロトコル・アナライザは、バスが正常に機能している場合は十分に機能します。一方、ロジック・アナライザは、リンク・トレーニング、電源管理状態などの詳細な情報を含む、バスの物理レイヤを表示することができます。

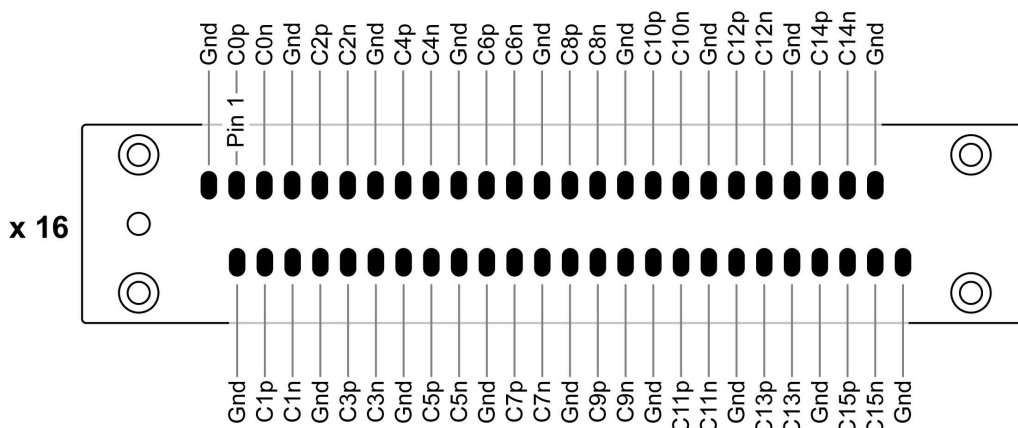
ロジック・アナライザでは、取込んだデータをクロスバス解析用に波形ウィンドウで、あるいはアナログ波形と相関をとったり、ステート・リスト・ウィンドウで表示したりすることができ、プロトコル・デコードやエラー検出が可能になります。適切な解析ツールと組み合わせることで、この記録されたデータは自動的に解釈され、ハイレベルなプログラム・インストラクションが正しく実行されているか確認したり、また、PCIeリンクで発生するエラーの原因を特定したりすることができます。

従来、ロジック・アナライザでシリアル・データを取込むためには、複雑な外部プリプロセッサを介してDUTとインタフェースする必要がありました。しかし、デジタル・システムでシリアル・バス・アーキテクチャが一般的になると、より効率的なソリューションが求められるようになりました。現在では、当社TLA7Sxx型シリアル・アナライザ・モジュールなどのシリアル・モジュールにより、ロジック・アナライザでシリアル信号を取込むことができるようになりました。このシリアル・モジュールは、メインフレームでパラレル・モジュールと互換性があります。このシリアル・モジュールの登場によりシリアル信号の取込みが簡単になり、設計エンジニアはシリアルとパラレルの機能を混在させることができます。

表1に、ロジック・アナライザとプロトコル・アナライザの利点を比較します。

シリアル取込み機能	ロジック・アナライザ	プロトコル・アナライザ
パケット・トリガ	○	○
物理レイヤ解析	○	
汎用デバッグ	○	
シリアル・データとパラレル・データの相関表示	○	
相関のとれたデジタル信号とアナログ信号を一つのディスプレイに表示	○	

▶ 表1：ロジック・アナライザとプロトコル・アナライザの機能比較



▶ 図30：16チャンネル、フル幅、Mid-busフットプリント・プロファイルとピン配置

プロービングとは正しい接続を意味する

すべての測定はプロービングから始まり、信号の忠実性はアナログ取込みと関連がありますので、ここでは大きな関心事となります。先にも説明したように、プロトタイプデバイスをSMAコネクタでオシロスコープに接続することは、最大の信号忠実性が確保できます。ロジック・アナライザで高速シリアル・データを取込む場合でも、同様の配慮が必要です。プロービングによってエッジは鈍り、パルスは遅れ、データ・ストリームにおいてエラーの原因となることがあります。

2.5Gbps以上の周波数では、通常のロジック・アナライザ・プローブでは十分ではありません。フライング・リードとマイクログラバはグラウンド・ループや予期せぬアナログ効果を生じてしまいます。実践的な方法としては、ロジック・アナライザに接続され、集中的にターミネートしているピンの集合で構成されている“ヘッダ”に信号を配線することです。しかし、この方法でも、低電圧、高周波数のシリアル信号には影響を及ぼします。高速に変化するデータのエッジは、コネクタで生ずる電

気スタブや損失に対して耐性がありません。PCI Expressの取込みで理想的なプロービングは、周波数、インピーダンスが高く、容量は小さく、最小のスタブ効果であることです。

PCI Expressやその他の高速シリアル・プロトコルでは、次の2種類のプロービングが一般的です。1つは「インターポーザ」プローブで、既存のPCI Expressのスロットにプラグインします。もう1つは「Mid-bus」プローブで、パッドでできているフットプリントの上に取り付け、信号波形への影響を最小にします。Mid-busプローブを使用する場合、事前によく計画し、基板上のスペースも小さくする必要がありますが、ランド・パッドはプローブを接続しない状態でも信号に影響を及ぼしません。また、システム検証で優れた視認性が必要となるチップ間の相互接続において理想的なプローブです。図30は、1方向、16チャンネルのMid-busバス・プローブのピン配置を示しています。プローブのフットプリントは、ピン数の少ない8チャンネル・プローブのフットプリントと同等です。



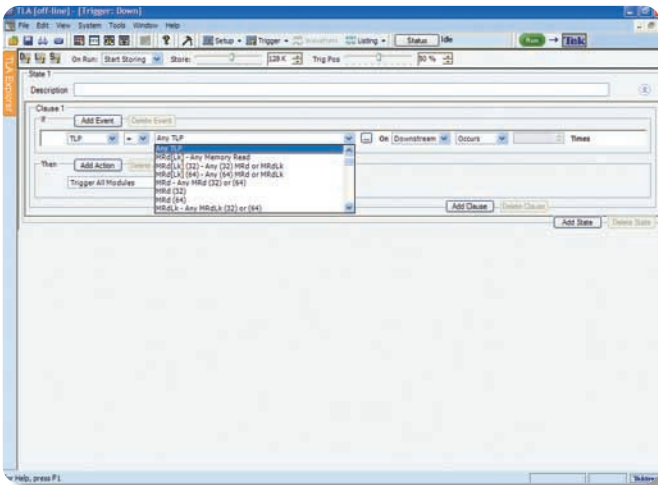
▶ 図31：回路基板表面の専用テスト・パッドに接続したMid-busシリアル・プローブの例。基板上での面積をとりません。

新しいシリアル・アナライザは、Mid-busプローブ、インターポータ・プローブの両方に対応します。重要なことは、どちらもアクティブ・バッファ構造ですので、能動的に信号を観測し、信号を取出し、シリアル・アナライザ・モジュールにバッファします。

従来と同じ設計では、異なったエッジ特性をもつ新しい信号を作ってしまう。物理レイヤからは真の信号を取込むことが

できず、その結果ある種のエラーは人工的に補正されます。アクティブ・バッファ構造は、フル・スピードで真の信号を観測できる唯一のソリューションです。

図31には、TLA7012型ロジック・アナライザ・メインフレームにプラグインしたPCI Expressシリアル・アナライザ・モジュールに接続したMid-busプローブを示しています。



▶ 図32：プロトコルベースのトリガによる簡単なセットアップ

トリガ・ツールによる効率的なトラブルシューティング
ロジック・アナライザの特長的な機能の一つに、トリガ・システムの柔軟性が挙げられます。ロジック・アナライザを使用し、ヘッダ、ペイロードまたはロー・シンボルなどのパケット要素にリアルタイムにトリガできると、デバッグ作業は簡単になります。

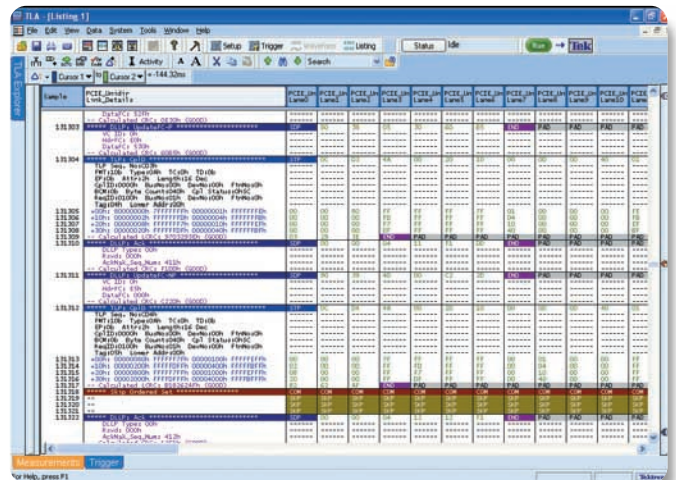
TLA7Sxx型にはプロトコル専用のトリガ・ユーザ・インタフェースがあり、シリアル・トリガを簡単に設定することができます。シリアル・アナライザの優れたトリガ機能により、特定のトランザクション、パケット、オーダ・セット、リンク・イベント、リンク・エラーをすばやく特定し、取込むことができます。

図32に示すように、さまざまなトリガ・テンプレートが用意されており、メニューから選択し、フォームを埋めることで特定のイベントを設定することができます。入力フィールドは、PCI Expressシリアル・プロトコルの仕様に最適化されています。

結果の解析

取込みが完了したならば、保存されたデータは意味あるものにデコードされ、データ・ウィンドウに表示されます。シリアル・アナライザのPCI Expressパッケージには、取込んだデータをリスト・ウィンドウによりパケット・スタイルで逆アセンブル、デコード、表示できる、洗練されたソフトウェア・ツールが含まれています。図33は、×16 PCI Expressバスの取込み例です。

表示には、パケット・サマリ、パケット／コントロール・シンボルの詳細なデコード、およびロウ・データの3要素が含まれます。3つの要素はカラー・コードによってテキストが色分けされており、コントロール・シンボルとパケットはパケット／コントロール・シンボル・サマリによって区別されます。

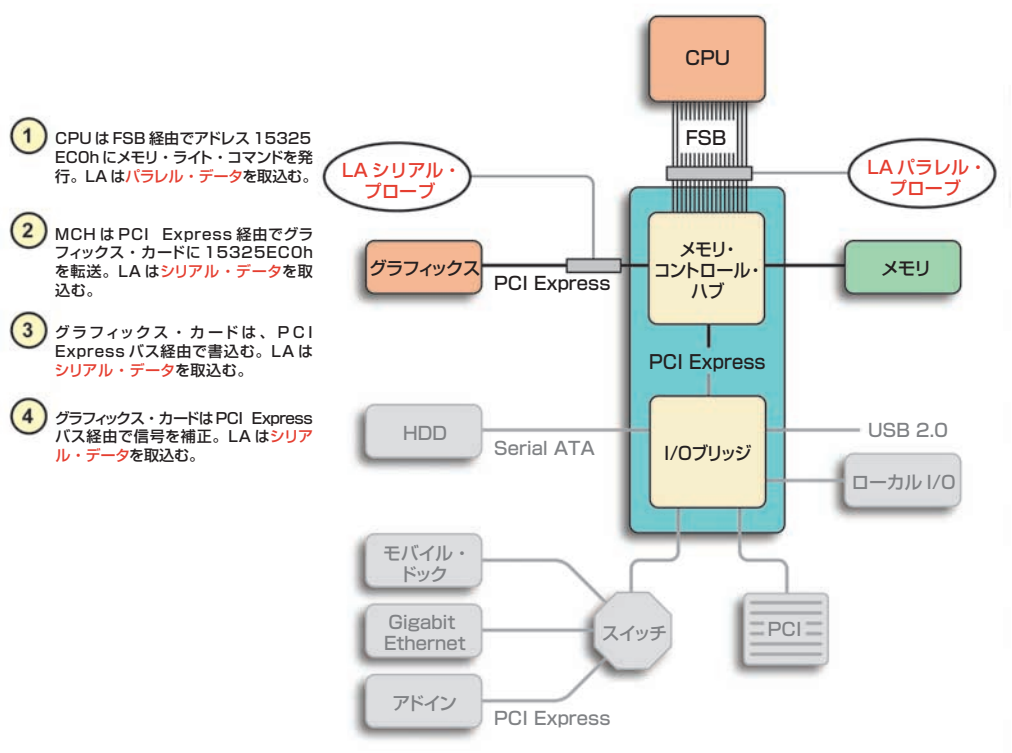


▶ 図33：シリアル・リスト表示によるPCI Expressパケットとシンボルの詳細表示



▶ 図34：デジタル波形で表示された、時間を合わせたパケット・データ。アナログ波形と相関がとれています。従来のロジック・アナライザのタイミング表示と同じですが、デコードされたシリアル・データが表示されています。

図34は、シリアル・データの波形表示例です。シリアル・アナライザでは、ロジック・アナライザ共通のタイムスタンプを使って、シリアル・バスを他のすべてのシステム・バスと時間的に相関をとりながら取込むなど、優れた逆アセンブリ機能があります。逆アセンブル機能では、すべてのプロトコル・レイヤのコントロール・シンボルをデコードし、個々のシンボルを表示します。他のシステム・バスだけでなく、ロジック・アナライザでプロービングされる送受信データ・ポートを同時にデコードすることができます。さらに、iViewを使うと、アナログ波形とデジタル波形の時間的な相関をとることができます。



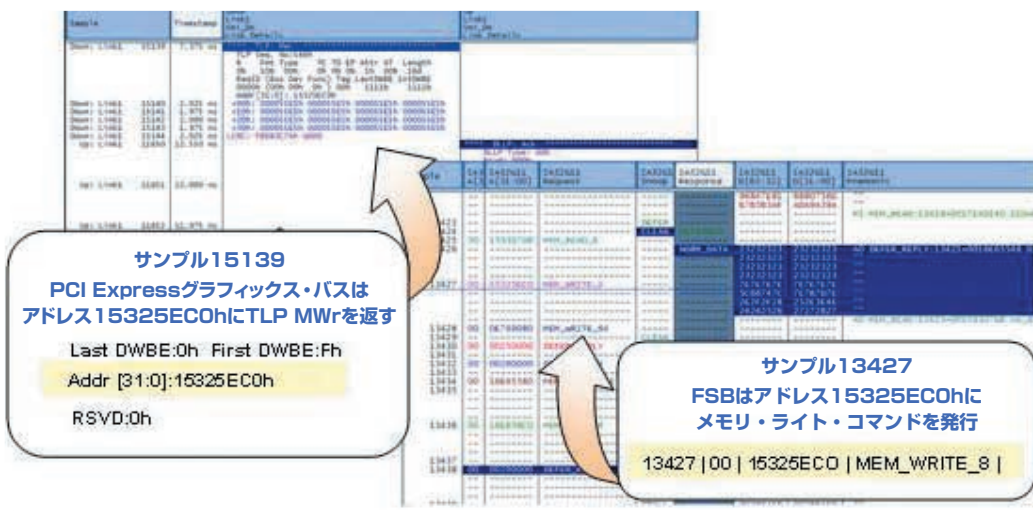
▶ 図35：代表的なマザーボードのブロック図とパラレル、シリアルのテスト・ポイント

マルチバス・システムの全容の観測

先にも説明したように、シリアル・モジュールを装備したロジック・アナライザは、一つのシステムにおける任意およびすべてのバスを、シリアル、パラレルの関係なく、時間相関をとりながらデータを取込むことができます。すべてのバスを同時に取込むことはめったにありませんが、フルセットのPCI Expressレーンと、例えば重要なレジスタのフロント・サイド・バスまたはパラレル出力を同時に取込むことは一般的です。この例を詳しく説明します。

図35に、代表的なマザーボードの構造を簡単に示します。関係ない部分は灰色で記していますが、時間相関をとりながら取込み、解析することが必要になることもあるかもしれません。

CPUがグラフィック・カードに対してMemory Write命令を発行する場合を考えてみます。番地は12325EC0h（32ビットを16進で表します）を仮定します。



▶ 図36：マザーボードのシリアル・バス、パラレル・バスから時間相関をとって取込みます。

命令はCPUを出てフロント・サイド・バス (FSB) を通り、メモリ・コントロール・ハブ (MCH) に届きます。パラレル・ロジック・アナライザ・プローブはFSBからデータを取込みます。データは、TLA7AA4型などのアクイジション・モジュールで記録します。取込み結果を図36に示します。前面に見えるウィンドウがFSBから取込んだ結果です。

命令を受け取ったMCHは、グラフィック・カードに対して15325E0hのメモリ・アドレスに書込むように指示します。命令は、MCHに接続されているシリアルPCI Expressバスからグラフィック・カードに送られます。ロジック・アナライザのMid-busコネクタレス・シリアル・プローブは、バスのパッドに取付けられ、シリアル・トラフィックを取込みます。TLA7S16型PCI Expressモジュールで取込んだ結果は、図36の後ろ側のウィンドウに表示されています。この例では、トランザクションは正しく実行され、グラフィック・カードは指定されたアドレスに書込みました。

2つのイベント発生におけるサンプルに注目します。FSBイベントは、グラフィック・カードからの応答よりも1712サンプル前に記録されています。2つのイベントは、時間的に相関がとれています。1712サンプル離れているということは、この種のすべてのトランザクションに共通の一定の時間間隔です。

パワー・マネジメント・トランザクションの取込み

モバイル・コンピュータ・デバイスの新しい世代が発表されるたびに、ASPM (アクティブ・ステート・パワー・マネジメント) の重要性は増えています。また、グリーン製品を声高に謳うようになると、デスクトップ・コンピュータ、サーバ・システムの低消費電力化、パワー・マネジメントは重要になってきました。このため、すべてのコンピュータ・プラットフォームにおけるパワー・マネジメント機能の検証は、緊急の課題になっています。

sample	PCIe_Unidir Link_Details	PCIe_Uni Lane0	PCIe_Uni Lane1	PCIe_Uni Lane2	PCIe_Uni Lane3	PCIe_Uni Lane4	PCIe_Uni Lane5	PCIe_Uni Lane6	PCIe_Uni Lane7	PCIe_Uni Lane8	PCIe_Uni Lane9	PCIe_Uni Lane10	PCIe_Uni Lane11	PCIe_Uni Lane12	PCIe_Uni Lane13	PCIe_Uni Lane14	PCIe_Uni Lane15
6971	Logical Idle	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
6972	Logical Idle	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
6973	-----> Logical Ordered Set ----->	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM
6974	---	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL
6975	---	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL
6976	---	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL	IDL
6977	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	F15	F15	F15	COM	F15
6978	Not Aligned	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15
6979	Not Aligned	F15	COM	F15	F15	COM	COM	F15	F15	F15	F15	F15	F15	COM	F15	COM	F15
6980	Not Aligned	F15	F15	COM	COM	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
6981	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	F15	F15	F15	F15	COM	F15
6982	Not Aligned	F15	COM	F15	F15	COM	COM	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15
6983	Not Aligned	F15	COM	F15	F15	COM	COM	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
6984	Not Aligned	COM	F15	COM	COM	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
6985	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	F15	F15	COM	F15	COM
6986	Not Aligned	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15
6987	Not Aligned	F15	COM	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15	COM	F15	COM	F15
6988	Not Aligned	F15	F15	COM	COM	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
6989	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
6990	Not Aligned	F15	F15	COM	COM	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
6991	Not Aligned	F15	COM	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15	COM	F15	COM	F15
6992	Not Aligned	F15	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
6993	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	F15	F15	COM	F15	COM	F15
6994	Not Aligned	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15	F15
6995	Not Aligned	F15	COM	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15	COM	F15	COM	F15
6996	Not Aligned	F15	F15	COM	COM	F15	F15	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15
6997	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	F15	F15	COM	F15	COM	F15
6998	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	F15	F15	COM	F15	COM	F15
6999	Not Aligned	F15	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7000	Not Aligned	F15	F15	COM	COM	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7001	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7002	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7003	Not Aligned	F15	COM	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15	COM	F15	COM	F15
7004	Not Aligned	F15	F15	COM	COM	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7005	Not Aligned	COM	F15	F15	F15	F15	F15	F15	COM	F15	COM	F15	F15	COM	F15	COM	F15
7006	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7007	Not Aligned	F15	COM	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15	COM	F15	COM	F15
7008	Not Aligned	F15	F15	COM	COM	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7009	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7010	Not Aligned	F15	F15	F15	F15	F15	F15	F15	F15	COM	F15	F15	F15	COM	F15	COM	F15
7011	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7012	Not Aligned	F15	COM	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15	COM	F15	COM	F15
7013	Not Aligned	COM	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7014	Not Aligned	F15	F15	F15	F15	F15	F15	F15	F15	COM	F15	COM	COM	F15	F15	F15	F15
7015	Not Aligned	F15	COM	F15	F15	COM	COM	COM	F15	F15	F15	F15	F15	COM	F15	COM	F15
7016	Not Aligned	F15	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev	DesLev
7017	-----> Skip Ordered Set ----->	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM	COM
7018	---	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP
7019	---	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP
7020	---	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP	SKP
7021	-----> DLP UpdateFC-NP ----->	SDP	80	00	00	15	22	77	END	PAD	PAD	PAD	PAD	PAD	PAD	PAD	PAD
7022	VC ID: 00	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
7023	HdrFC: 20h	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
7024	DataCRC: 855h	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
7025	-- Calculated CRC: 2277h (good)	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
7026	-----> DLP UpdateFC-P ----->	SDP	80	20	40	00	40	40	END	PAD	PAD	PAD	PAD	PAD	PAD	PAD	PAD
7027	VC ID: 00	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
7028	HdrFC: 83h	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
7029	DataCRC: 804h	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----
7030	-- Calculated CRC: A7Ah (good)	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

▶ 図37：ロジック・アナライザは10個のF15パケットの時間スパンに同期し、L0s~L0のトランジションにおけるエラー取込みの可能性が広がります。

ロジック・アナライザは、パワー・マネジメント状態の出入りで発生するイベントの解析に最適なツールです。観測が必要になる信号が、システム内の1つまたは複数のPCI Expressバスに存在することがあります。このような場合は、複数のPCI Expressリンクを取込めるロジック・アナライザが必要になります。

パワー・マネジメント状態の変化の観測で最も重要な要件は、パワー・ステートを出るときのリンクにすばやく同期する能力です。トランザクションがすばやく完了してもツールがすばやく反応できなければ、問題発生時のすべてのサイクルを見落とししてしまいます。

2つのPCI Expressステートとその間のトランジションが信号取込の目的です。PCI Expressバスの通常の動作状態(決められた伝送とパケットの受け取り)は、L0と呼ばれます。低消費

電力ステートの1つはL0 StandbyまたはL0sと呼ばれます。ビットを有効にし、L0sからL0ステートへのトランジションでシンボル・ロックするためにF15 (Fast Training Sequence) オーダ・セットを使用します。トランジションの最初のサイクルにおけるF15パケットを取りこぼすことは避けられないため、ロジック・アナライザではこの取りこぼしを最小にする必要があります。

図37は、ロジック・アナライザで取込んだ、L0sからL0へのトランジション・シーケンスを示しています。この取込みには、TLA7S16型PCI Expressモジュールを使用しています。この表示からもわかるように、10個のF15パケット時間で同期が実行されています。残りのすべてのF15パケットも取込み、引き続きL0サイクルを取込みます。

PCI Express測定ソリューションの まとめ

ここまでの説明で、シリアル・コンプライアンス測定には高性能な計測器が必要であることがわかりました。PCI Expressの検証とコンプライアンス・テスト、またデバッグ作業には、5種類の計測器が使用されます。

オシロスコープ

アクティブなPHYの電気的な部分の測定には、高性能オシロスコープを使用します。最新のデジタル・オシロスコープは、マルチギガバイト・レンジの波形を、優れたシグナル・インテグリティで取込むことができます。

シリアル・ビット・ストリーム、波形からクロックがリカバリされると、オシロスコープはアイ・ダイアグラムを表示します。オシロスコープに表示されたアイ・ダイアグラムは、信号特性をよく表しています。優れた測定機能が内蔵されていますので、アイ・ダイアグラムや取込んだ波形の定量的な評価がただちに実行できます。

専用ツールにより、タイム・インターバル・エラー (TIE) も測定できます。TIEを解析することでランダム・ジッタとデータミニスティック・ジッタを分離し、 10^{-12} ビット・エラー・レート (BER) におけるトータル・ジッタを推測することもできます。

複数の計測器の機能を一台にまとめているだけでなく、オシロスコープにはフローピングの柔軟性、優れた波形表示機能、トリガ機能などの優れた点があります。

リアルタイム (RT) オシロスコープ

リアルタイム・オシロスコープは、連続した、切れ目のないデータ・レコードを取込みます。シリアル・リンク解析では、オシロスコープは各ビットから少なくともいくつかのサンプルを取込む必要があります。最新のデジタル・ストレージ・オシロスコープ (DSO)、デジタル・フォスファ・オシロスコープ (DPO)、デジタル・シリアル・アナライザ (DSA) には、最高サンプル間隔20ps (50GS/sのサンプリング・レート)、最高周波数帯域20GHzの性能により、8Gbpsまでの信号を詳細に評価することができます。連続的な波形取込みが可能なリアルタイム・オシロスコープには、以下のような特長があります。

- ▶ デジタル・シグナル・プロセッシング (DSP) ソフトウェアのアルゴリズムにより、デジタル化されたシリアル・データ・ビット・ストリームからエンベデッド・クロックをリカバリすることができます。これはソフトウェア・ベースによるクロック・リカバリであり、柔軟性があるだけでなく、クロック・リカバリのためのハードウェアが必要なく、ジッタを防ぐこともできます。
- ▶ リアルタイム・オシロスコープは、機器のもつ周波数帯域またはその限界近くまで純粋な信号パスをもっていますので、ハードウェアによる優れたトリガ機能により、特定のデータやイベントにトリガし、他の方法では検出できないような稀なイベントでも見つけることが可能になります。
- ▶ データがリアルタイムに取込めますので、オシロスコープの帯域限界まで取込み、すべてのジッタ・タイプにおいてエイリアシングのないスペクトル情報が得られます。また、完全にランダムなデータであっても取込むことができ、保存やデコードが可能です。
- ▶ データを完全に取込むことができますので、予測が難しい回路動作のデバッグには最適です。

等価時間 (ET) サンプリング・オシロスコープ

非常に高速なシグナル・インテグリティの解析には、等価時間サンプリング・オシロスコープ (一般的にはサンプリング・オシロスコープ、またはコミュニケーション (シグナル) アナライザと呼ばれます) が適しています。70GHz超の周波数帯域があり、1Gbpsから40Gbps、あるいはそれ以上の光/電気信号の解析が行えます。サンプリング・オシロスコープは、リアルタイムで取込む性能はそれほど高くありませんが、より正確に信号を取込むことができ、優れた垂直軸分解能とノイズ性能により、シリアル・リンクで一般的となっている低電圧信号の取込みに威力を発揮します。また、等価時間シーケンスで取込まれることにより、各サンプル間隔はフェムト秒の単位となり、サンプル間隔や補間などの問題がなくなります。一方、ジッタ解析は難しく、測定が繰り返しパターンのある信号となる、などの制約が伴います。

広帯域の周波数性能のため、サンプリング・オシロスコープはTDRやSパラメータなどの測定が可能であり、シリアル・データ・デバイスのSパラメータ測定のために別途VNA（ベクトル・ネットワーク・アナライザ）を用意する必要がありません。

サンプリング・オシロスコープにはクロック・リカバリ機能を装備しているものもありますが、この場合はハードウェアによるクロック・リカバリとなります。リアルタイム・オシロスコープの中には、ハードウェアによるクロック・リカバリ機能により、リアルタイム（RT）と等価時間（ET）の両方でアイの観測を実現しているものもありますが、どちらのモードにもそれぞれの利点があります。

シグナル・ジェネレータ

高速回路設計では、現実の条件でテストすることも重要となります。可能な限り現実に近い条件を作り出すのに最適なツールがプログラマブル・シグナル・ジェネレータです。今日のデータ・レートでテスト信号を生成するには、データ・タイミング・ジェネレータ（DTG）と任意波形ジェネレータ（AWG）が必要となります。これらのツールなしには、新しい物理レイヤのテストや検証は考えられません。シグナル・ジェネレータの多くは、オシロスコープで取込んだ信号を再現することができます。基準信号として、あるいは被測定デバイスにストレスを加えるために手を加えることもできます。

データ・タイミング・ジェネレータは、パラレル・データのチャンネルの複数のストリームを生成するのに特に適しており、最新のジェネレータでは、最高で96チャンネルが可能です。データ・レートは3.3Gbpsです。また、独立したレベル設定、ジッタなどがコントロールできます。

高速のデジタル信号は、必然的にアナログの性質を持ちます。任意波形ジェネレータでは、バス信号にアナログ要素（通常は故意に欠陥信号）を加えて信号を生成します。どのようなタイプ、形状の信号も生成できますので、設計、製造分野で広く使用できます。現在販売されているAWGでは、サンプル・レートは20GS/s以上、データ・レートでは5.8GHzを実現しています。

ロジック・アナライザ

PCI Expressの物理レイヤの論理サブブロック、データ・リンク・レイヤ、トランザクション・レイヤの測定には、ロジック・アナライザが適しています。リアルタイム・オシロスコープ、等価時間オシロスコープとも違い、ロジック・アナライザはリンクのすべてのレイヤのプロトコルを、パケット・レベル、シンボル・レベルで逆アSEMBルし、リンクのすべてのレーンでリンク・イベント・トリガを実行できます。ロジック・アナライザの使用目的は、シリアルとパラレル両方の伝送のデジタル的な問題を取込み、解析することにあります。シリアル・バスをデバッグするためには、物理レイヤの取込み、ロング・メモリ、柔軟性のあるトリガ機能、他のシステム・バスとの同期など、高速バスで要求される機能を装備している必要があります。また、オシロスコープと同様、プロービングによって物理レイヤ信号に与える影響が少ないことも必要になります。

まとめ

PCI Expressテクノロジーは、コンピュータ市場のデータ・レートの絶え間ない高速化に伴い、その重要性が増しています。設計／検証エンジニアは、厳しい開発スケジュールや頻繁に変更される規格にも対応しつつ、シリアル・コンプライアンス測定など、新しく、なじみのない専門知識を習得する必要があります。

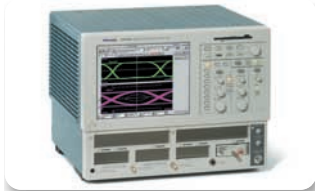
幸いなことに、PCI-SIGなどのワーキング・グループが、設計、アーキテクチャ、コンプライアンスなどの仕様に関する技術を安定化し、情報を普及すべく活動しています。

同時に、PCI Expressに関する問題を解決するための、リアルタイム・オシロスコープ、サンプリング・オシロスコープ、ロジック・アナライザ、シグナル・ジェネレータなどの測定ツールもあります。これらのツールには、複雑なシリアル信号を取込み、表示し、解析するだけの性能があります。このような革新的な自動ツールにより、コンプライアンス・テストやバリデーション・テストがすばやく簡単に実行でき、製品の市場投入までの時間を短縮することが可能になります。



DS70000シリーズ

DS70000シリーズは、新世代のリアルタイムDPOで、最先端のシグナル・インテグリティ問題を解決するベスト・ソリューションです。



DS8200型

DS8200型は、研究、設計検証、製造テストなど、数十GHzを必要とするアプリケーションに最適なサンプリング・オシロスコープです。



TLA7000シリーズ

TLA7000シリーズは、デジタル・ハードウェアやソフトウェアの製品開発用のロジック・アナライザです。高速処理能力、新ナビゲーション・システムによる操作性、大容量データを同時観測可能な大型ディスプレイ、そして柔軟な拡張性で迅速なデバッグを実現させる新世代ロジック・アナライザです。



DTG5000シリーズ

DTG5000シリーズは、汎用性のあるパルス・ジェネレータ機能を併せ持った、ベンチトップ・タイプのデータ・タイミング・ジェネレータです。柔軟性の高いモジュール構造で、ジッタが少ない高精度クロックを簡単に発生したり、多チャンネルにわたるシリアル信号を発生することができ、複雑なテスト工程を短縮することができます。



AWG7000シリーズ

AWG7000シリーズは、高品質な信号発生、妥協なきサンプル・レート、周波数帯域、信号忠実度に加え、かつてない操作性を兼ね備えた任意波形ジェネレータです。難しい信号発生課題に対して、最も優れたソリューションを提供します。

Tektronix お問い合わせ先：

日本

本社 03-6714-3111
SA営業統括部 03-6714-3004
ビデオ計測営業部 03-6714-3005

大宮営業所 048-646-0711
仙台オフィス 022-792-2011
神奈川営業所 045-473-9871
東京営業所 042-573-2111
名古屋営業所 052-581-3547
大阪営業所 06-6397-6531
京都オフィス 075-323-9048
福岡営業所 092-472-2626

湘南カスタマ・サービス・センタ 0120-7-41046

地域拠点

米国 1-800-426-2200
中南米 52-55-542-4700
東南アジア諸国/豪州 65-6356-3900
中華人民共和国 86-10-6235-1230
インド 91-80-2227-5577
欧州 44-0-1344-392-400
中近東/北アフリカ 41-52-675-3777

他30カ国

Updated 01 June 2007

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ(www.tektronix.co.jp)またはwww.tektronix.comをご参照ください。



TEKTRONIXおよびTEKは、Tektronix, Inc.の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

11/07 FLG/WOW

4HZ-19375-1

Tektronix

Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティB棟6階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

TEL 03-6714-3010 E-mail ccc.jp@tektronix.com

電話受付時間/9:00~12:00/13:00~18:00 月曜~金曜(休祝日は除く)

当社ホームページをご覧ください。 www.tektronix.co.jp
製品のFAQもご覧ください。 www.tektronix.co.jp/faq/

●記載内容は予告なく変更することがありますので、あらかじめご了承ください。

2007年11月発行 © Tektronix