



简化设计验证的 最佳伴侣



Tektronix
Enabling Innovation

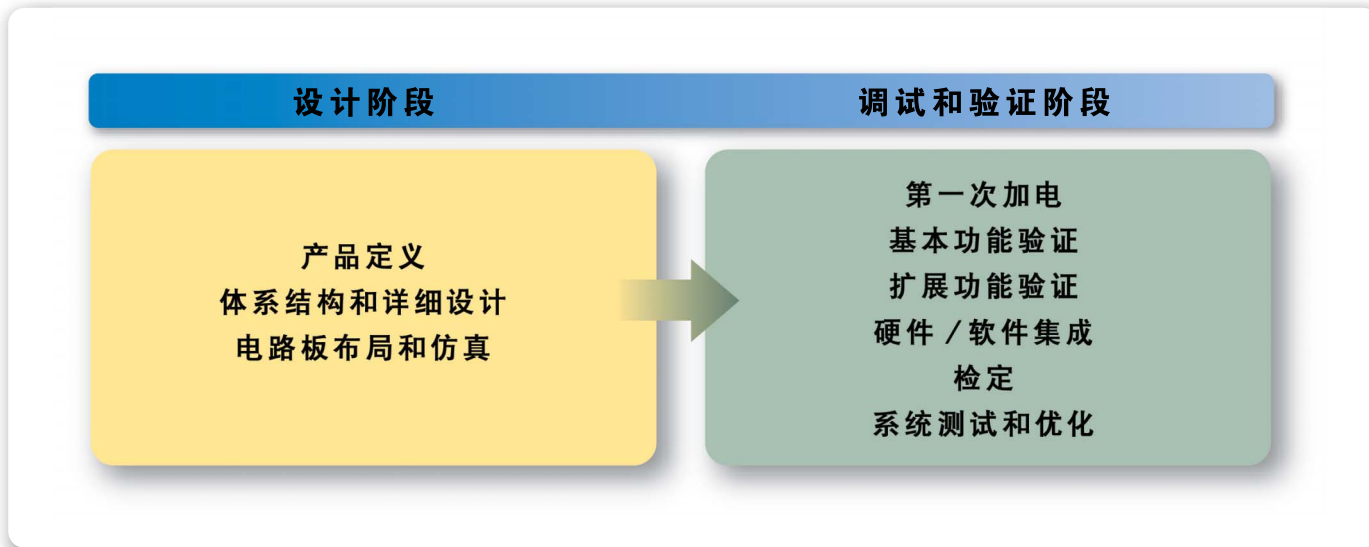


简化设计验证的最佳伴侣

► 基础读物

目 录

1. 引言和概述	1
1.1 设计流程概述	1
1.2 设计项目概述	3
2. 设计阶段	4
2.1 高效的开发流程	4
2.2 确定潜在问题区域	5
2.3 策划调试和验证	7
2.3.1 以我们的设计为例	8
2.3.2 探测决策	10
2.3.3 探测小结	11
2.4 小结	12
3. 调试和验证阶段	12
3.1 第一次加电	13
3.2 基本功能验证	13
3.2.1 电源分析	15
3.2.1.1 电源开关损耗	15
3.2.1.2 电源波纹	16
3.2.2 基本功能验证	17
3.2.2.1 微处理器复位调试	17
3.2.2.2 微处理器引导调试	17
3.2.3 小结	17
3.3 扩展功能验证	18
3.3.1 使用集成解决方案	18
3.3.2 迅速检测信号完整性问题的快捷方式	25
3.3.3 小结	27
3.4 硬件/软件集成	28
3.4.1 调试微处理器引导代码	28
3.4.1.1 使用逻辑分析仪源码窗口	30
3.4.2 小结	30
3.5 检定	31
3.5.1 为设计人员及为最终用户准备的技术规范	31
3.5.2 建立时间和保持时间测试	32
3.5.3 小结	33
3.6 系统测试和优化	34
3.6.1 小结	35
4. 小结和结论	36
4.1 设计阶段	36
4.2 调试和验证阶段	36
4.3 总结	36



► 图1 - 设计流程概述

1 引言和概述

本读物面向的是由于时间限制和成本限制等现实条件，而希望学习怎样简化当前数字系统调试和验证工作的专业技术人员。

设计工具和电子设计自动化(EDA)软件的发展，使得设计团队必须处理更加复杂的设计，同时保持或缩短要求的设计时间。调试和验证阶段也需要类似地提高生产效率，以满足当前紧迫的时间表。本读物重点介绍这些问题和技术，在验证设计时帮助您提高生产效率，在调试出现的问题时提高您的效率。为演示这些概念，我们将从概念到成品，介绍基于微处理器的新型嵌入式系统的发展。

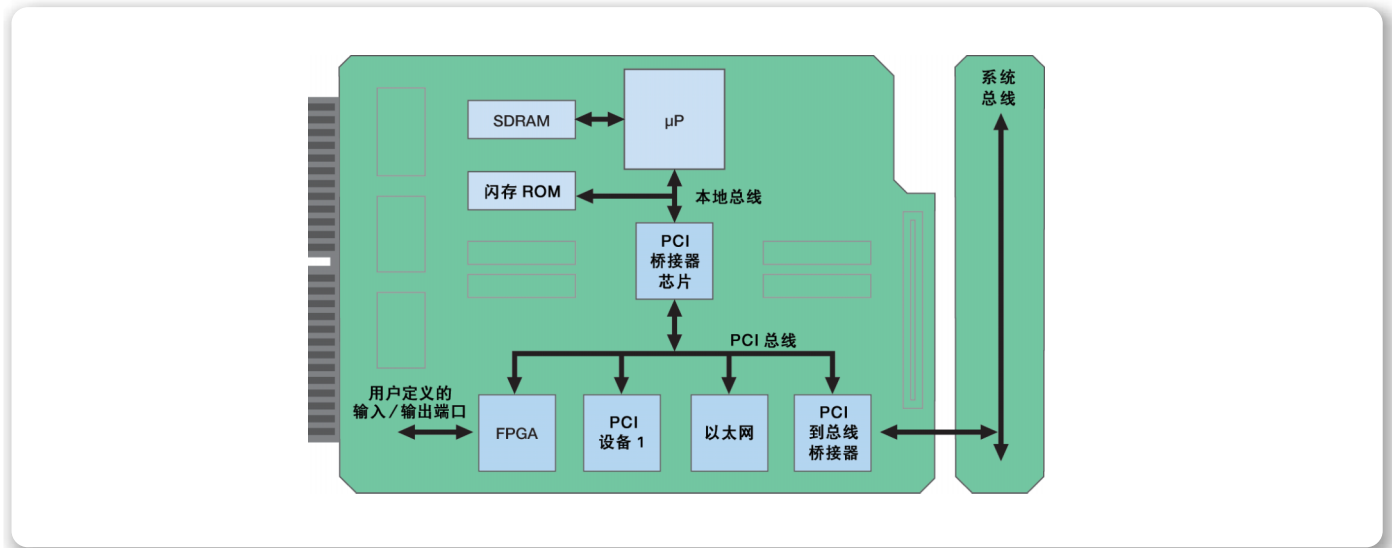
1.1 设计流程概述

图1高度概括了把系统推向市场所需的典型步骤。在设计阶段，将产生概念，权衡备选方案，找到最终设计。调试和验证阶段验证设计的正确性，解决功能和可靠性中发现的任何问题，保证能够可靠地完成设计。

设计阶段 - 设计阶段由多个步骤组成，每个步骤都有一套自己的任务及完成这些任务使用的工具：体系结构决策要在系统仿真工具的帮助下完成；详细的机械设计要在热量分析工具和高级建模程序的协助下完成；设计意图使用寄存器传输语言(RTL)代码获得；电路板设计使用电路原理图设计软件完成。

简化设计验证的最佳伴侣

► 基础读物



► 图2 - 嵌入式系统设计实例

在提炼设计概念，从抽象到具体逐个完成上述步骤时，需要通过详细规划或以默认方式制订决策，这会缩短或提高验证设计要求的时间。了解这个过程中每个步骤所作的决策对设计验证和调试有哪些影响至关重要。这种了解将加快开发速度(提前找到问题，使返工达到最小)，按时把新产品投放市场。由于开发产品的市场竞争日趋激烈，绝大部分利润将流向最迅速、提供了最高性能的可靠的产品。

调试和验证阶段 - 作为工程师，最令人兴奋、回报最大的时间包括：在实验室中第一次对新电路板加电；在没有进行任何测试、系统逐个功能投入实际使用的那几天宝贵时间。在整个调试阶段保持这种兴奋和生产效率要求认真规划，以避免降低生产效率的常见缺陷。编制测试流程文档、知道最可能遇到的问题、很好地了解当前测试工具，这一切都可以防止兴奋变成沮丧。



1.2 设计项目概述

我们的设计实例是基于处理器的嵌入式系统，这在许多复杂的系统中十分常见，如通信设施设备、打印机和视频设备。如图2所示，本例中使用的的设计由处理器、存储器、连接处理器和外设的内部通信总线及外围输入/输出设备组成。为满足成本要求，该系统将采用精心测试、广泛使用的技术，如SDRAM、PCI和以太网接口。

高度集成的处理器提供了一个集成式存储控制器，支持以166 MHz速率运行的SDRAM，降低了成本。这一速度足够快，可以提供所需的存储带宽，提高信号完整性。

PCI将作为电路板上的芯片到芯片总线使用。它不需要新型

PCI Express新增的性能(和成本)。为达到要求的性能，要求使用66MHz、64位PCI实现方案。这种本地PCI总线使用FPGA与专有系统总线隔开，FPGA把这两条总线桥接起来。

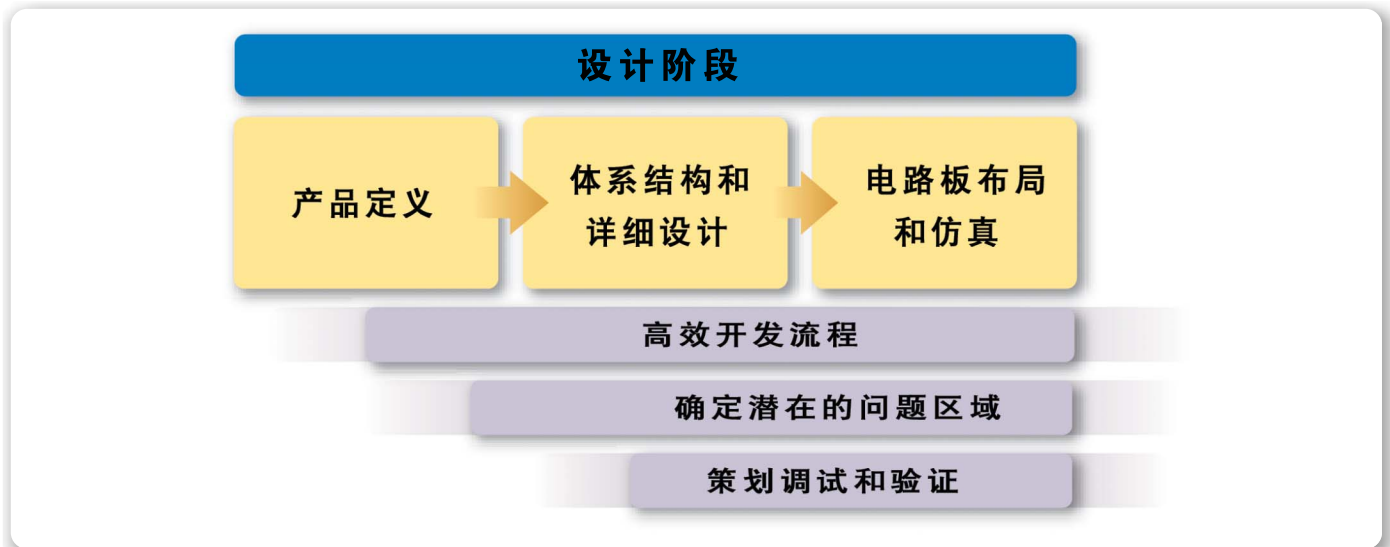
以太网端口不仅为最终客户提供了一条通信路径，还在调试阶段提供了一个调试端口。我们没有使用新兴的千兆位以太网实现方案，而是采用更加经济的10/100以太网。

尽管这一设计没有采用某些最新、最尖端的技术，但必须验证这一新型电路板的每个功能，必须找到和修复漏洞，必须进行设计验证。这要求解决方案中包括灵活易用的实时示波器、逻辑分析仪及其它，以把这两部仪器集成到一个系统中，有效查看和分析系统。



简化设计验证的最佳伴侣

► 基础读物



► 图12 - 开发微处理器的基本功能验证

2 设计阶段

如图3所示，设计流程从左到右，在设计阶段提出一个抽象的概念，然后逐步精炼这个概念。每一步都增加了更多的细节，如定义了体系结构模块，详细地设计各个部分，进行电路板布局。

在每一步，都会制订影响整体生产效率的决策。有些决策影响非常明显，比如：对信号提供方便的信号访问能力；为软件调试工具提供连接。有些决策影响不太明显，比如：技术选择；元器件选择；及机械封装概念。通过下述方式，可以实现最高的生产效率：

- 采用高效的开发流程
- 了解可能在哪儿发生问题
- 设计时同步考虑调试和验证

2.1 高效的开发流程

每个产品开发团队都应该拥有文档化的开发流程。这个流程定义了必要的考核点和防范措施，提高产品能够满足客户需求的信心。必需定义捕获和验证客户要求的机制。必需全面审核产品成本和开发成本，保证获得希望的财务回报。体系结构审核、设计审核和代码审核等流程会迫使设计人员询问问题，以便在团队中实现最佳的工程设计作法。

首先，遵守开发流程似乎会提高开销，降低生产效率。但是，精心定义的(但灵活的)开发流程会大大改善生产效率，它提高了第一个设计能够真正抓住客户需求的概率，明确要求清楚地定义结构，降低得到运营系统要求的电路板周转次数和软件版本数量。



2.2 确定潜在问题区域

如果我们能够预测未来，我们就能够回答这个问题！但事实上，设计人员很少知道哪儿会发生设计调试问题。过去的经验和教训有助于改变这种情况。在我们从一个设计转向另一个设计时，我们获得了一些洞察力。但是，如果这是我们第一个设计怎么办呢？或者我们第一次要完成具有足够快的时钟频率或边沿速率、以确保信号完整性，会怎么样呢？我们应该预期什么？从最广义的角度上讲，我们将遇到两种问题：功能问题和信号完整性相关问题。

功能问题—发生功能问题的原因很多：对购买的器件操作理解错误；FPGA中已经实现的RTL级知识错误；或硬件/软件交互不正确等等。高效开发流程的团队可以在设计审核和电路板仿真过程中找到许多功能问题。纸面设计审核特别适合

考察电源分配和时钟分配，及找到双向缓冲方向控制信号上逻辑电平反相等常见问题。但是，在纸面审核过程有许多问题是很难发现的，最终，纸面审核取决于审核人员的勤勉程度。

由于FPGA超过100万的门数、高效设计工具及产品开发周期优势，当前许多系统中采用FPGA，来实现大部分功能。设计工具的发展可以以很高的抽象水平完成设计，更迅速地合成复杂的设计，用更少的时间完成放置和路由周期。相比之下，设计测试平台、编写激励模型、管理测试用例可能会被看作限制生产效率的因素。但事实上，在设计阶段发现的问题和漏洞修复起来要更容易、更便宜。提早发现的问题越多，调试时间越少，开发成本越低。但是，仿真也有局限性，例如，与越过时钟边界的信号同步有关的问题很难发现，测试用例通常不完整，复杂的硬件/软件交互很难建模。



简化设计验证的最佳伴侣

► 基础读物

信号完整性问题—信号完整性一词与噪声、失真和异常事件有关，其会在模拟域中损伤信号。大量的变量可能会影响信号完整性，如信号路径设计、阻抗和负载、传输线效应、甚至包括电路板上的电源分配。设计人员要负责在第一地点使这些问题达到最小，在其出现时解决这些问题。

信号劣化的基本来源有两个：

- 数字问题—一般与定时有关。总线连接、建立时间和保持时间超限、亚稳定状态和竞争情况都可能给总线或设备输出带来错误的信号行为。
- 模拟问题—低幅度信号、低速或快速跳变时间、毛刺、过冲、串扰和噪声，这些现象可能源于电路板设计或信号端接，但也有其它原因。

毋庸置疑，数字和模拟信号完整性问题之间是相辅相承的。例如，门输入上的低速上升时间可能会导致输出脉冲延迟，进而在数字环境下行方向导致总线竞争。全面的信号完整性测试和调试解决方案需要同时使用数字工具和模拟工具。

资深工程师知道，只有在设计流程中一直保持警惕，才能实现信号完整性。随着设计发展，信号完整性问题很容易复杂化，追踪起来会更加困难。在第一个原型电路板中没注意到的微小的畸变，在电路板与其它系统合并时，可能会导致整个系统瘫痪和崩溃。

鉴于这些事实，信号完整性始于何处呢？设计人员必需在设计阶段一开始就注重信号完整性工作。对所有嵌入式系统设计来说，有一些东西是共同的。首先，优秀的时钟分配至关重要。在电路板中怎样生成和分配时钟影响着电磁干扰(EMI)及满足定时要求的余量(或未能满足)等问题。由于体系结构定义的影响，应及早制订决策。元器件选择也有影响。我们是使用通用缓冲设备还是内置PLL的专用IC来消除在电路板中分配时钟的偏移？

要求认真规划的系统设计的最后一个方面是电源分配。这必需包括电源设计、局部稳压、为关键模拟部分生成干净的电源及电路板结构等各个方面。



2.3 设计同步考虑调试和验证

在了解我们的设计中可能遇到的问题类型之后，我们可以开始编制验证和测试计划。这一计划将通过下述方式，消除意外事件和潜在的绊脚石：

- 确定要测试的功能及完成方式
- 确定需要验证的接口和信号
- 确定需要进行的测量类型

在设计阶段就应该编制这一计划。最糟糕的情况是在设计阶段没有考虑调试和验证需求，限制或消除了设计人员进行高

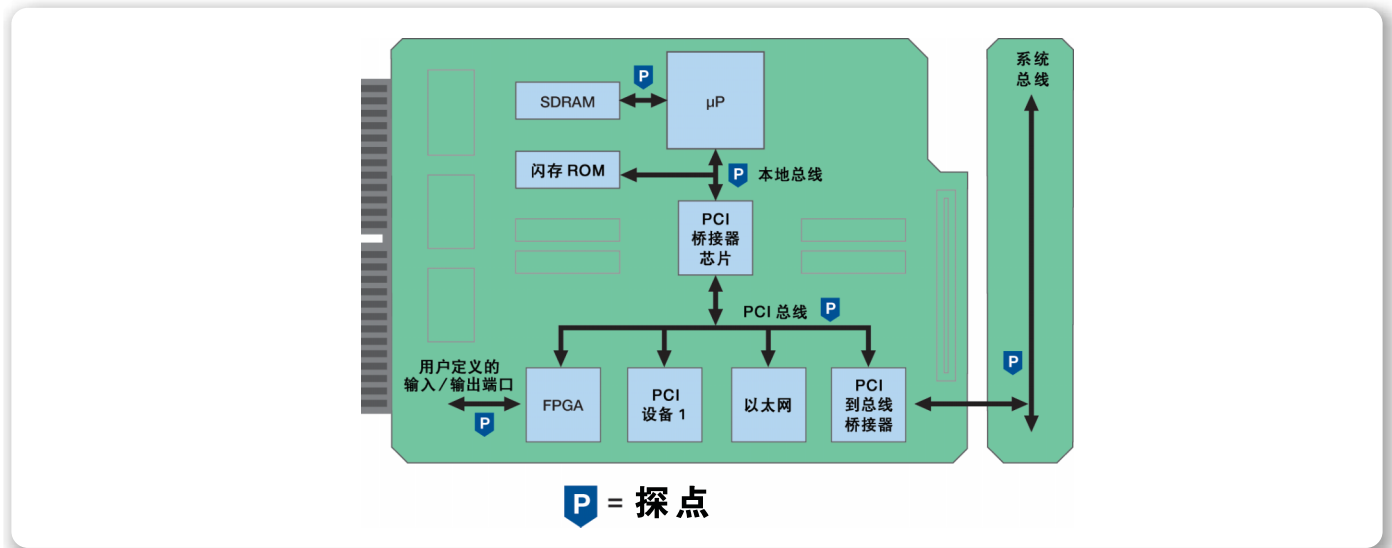
效调试的能力。没有任何工程师能够聪明到或优秀到不用检查和调试当前的复杂设计。

怎样才能使设计调试起来更简单呢？一种方式是逻辑分析仪和示波器提供方便、容易的探点。但即使这一点也不会过于简单。我们实际需要提供接入点的位置在哪儿？到处都有当然好，但在大多数情况下，这是不可行的。另外，为方便调试的设计要求与限制电路板上的空间要求是相互矛盾的。设计人员可能需要在指配的空间中获得要求的功能，更别说增加测试连接了。那么怎样才能解决这种冲突呢？



简化设计验证的最佳伴侣

► 基础读物



► 图4 - 逻辑分析仪探点

2.3.1 以我们的设计为例

我们将以我们的设计为例，先提出一系列问题：

- 对微处理器的探察的能力的重要程度如何？我应该只把重放在硬件调试探察能力上还是同时考虑软件调试？
- 我需要查看哪条内部总线？我能使用示波器测试点完成这一点还是同时需要逻辑分析仪测试接入？
- 哪儿有设计余量问题？怎样验证？温度因素和其它环境因素如何？
- 如果不能查看信号会怎么样？这对我的时间表有什么影响？我需要重做电路板吗？

- 测试点和探头怎样与信号交互？它们是否会由于电容负载过高而导致电路不能达到预期能力？

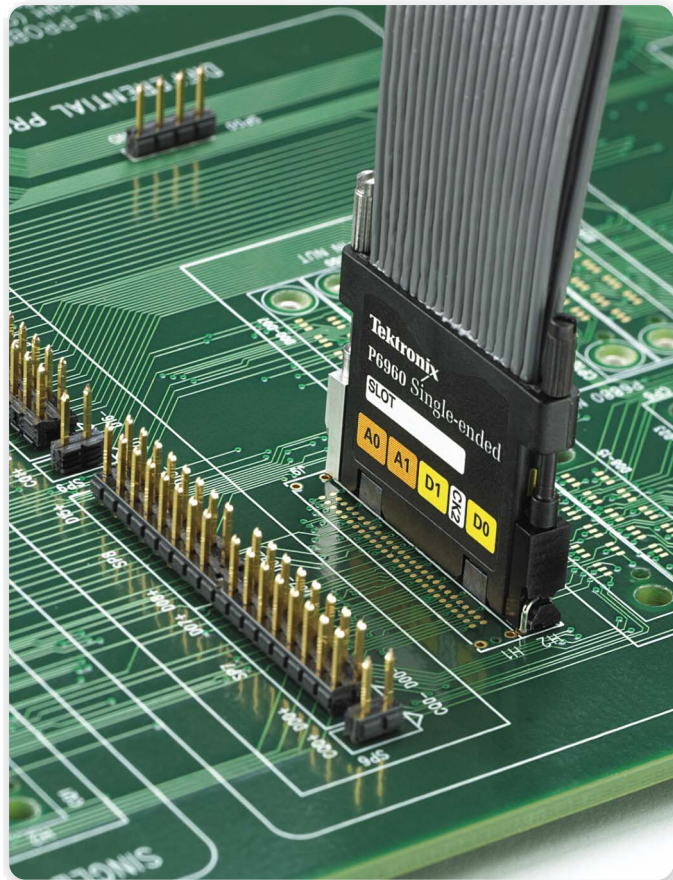
作为起点，最好能够使用逻辑分析仪接入所有总线，如图4所示。为什么呢？

本地总线 - 接入本地总线可以监测和调试引导问题，这里是未知硬件和软件第一次相遇的地点。

SDRAM接口 - 系统数据结构和系统代码将存储在SDRAM中。查看能力使我们能够实时跟踪软件执行。它可以进行软件性能分析，调试硬件/软件交互。



► 图5 - 通用逻辑分析仪探头



► 图6 - 高密度逻辑分析仪探头

PCI总线—实现性能目标意味着有效使用提供的PCI带宽。简单方便地测试接入本地PCI总线，不仅可以解决吞吐量问题，还可以对系统中的两个FPGA进行功能调试。

客户自己定义输入/输出接口—一种FPGA实现了功能，可以使我们的产品与竞争对手区别开来。单纯的模拟并不能在这个FPGA中找到与功能和定时有关的所有问题。

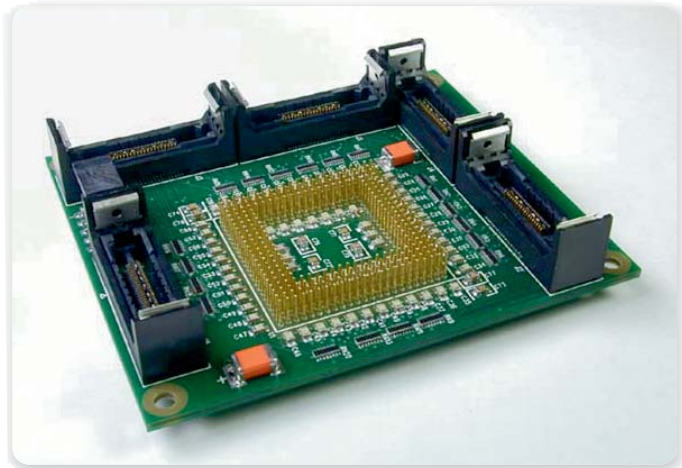
系统总线—这条专有总线是系统的关键。能够捕获所有系统总线，可以更简便地解决系统问题。

我们怎样把逻辑分析仪连接到这些点上呢？我们实际上有两种选择。第一，我们可以使用通用探头(如图5所示)，连接到电路板上。在我们需要查看相对较少的信号时，这种方法非常方便，但我们需要考虑把大量的探头挂到PCI之类的总线所引起的混乱和性能问题。

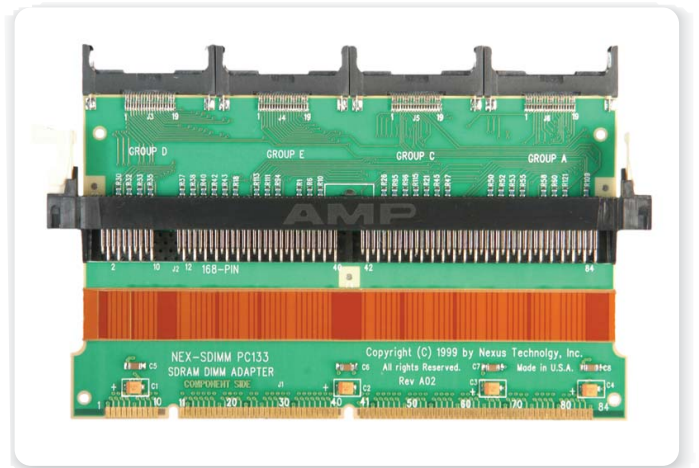
第二种选择是直接在电路板上增加连接器或接入点。这克服了使用通用探头的混乱和性能问题，但要求占用宝贵的电路板空间。图6说明了典型的高密度探头及其怎样连接到电路板上。

简化设计验证的最佳伴侣

► 基础读物



► 图7 – 逻辑分析仪使用的 μP 适配器(图片由Ironwood Electronics 提供)



► 图8 – 逻辑分析仪探测使用的DIMM内插夹具(图片由Nexus Technologies提供)

2.3.2 探测决策

由于我们已经确定接口的总线宽度，因此最好对确定的接口使用高密度逻辑分析仪探头。这时我们认识到没有足够的电路板空间。但在我们排除任何可能的接入点之前，我们需要考虑所有备选方案。可能有很多方式，能够在不影响电路板空间的情况下进行探测。

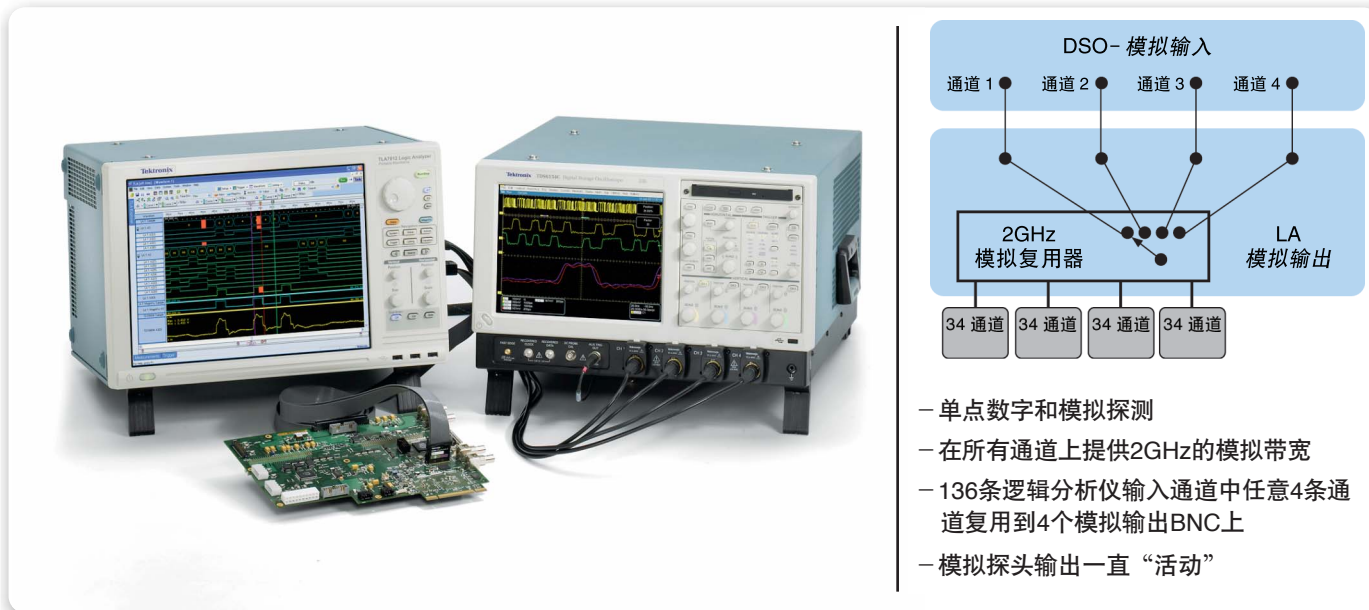
例如，我们可能能够对微处理器使用探头适配器。这种适配器一般焊接到电路板上，代替微处理器。微处理器通常放在高速插座中，在电路板外围周围增加逻辑分析仪测试点。图7是典型的适配器。使用适配器可以节约电路板空间，并能够接入关键的本地总线和SDRAM信号。遗憾的是，我们的微处理器没有立即可以使用的适配器，因此接入本地总线的唯一方式是使用高密度逻辑分析仪探头。

接入SDRAM接口有两种选择。第一，如果设计基于DIMM插座，那么可以使用内插夹具。典型的内插夹具如图8所示。如果没有提供DIMM插座，那么必需在电路板设计中包括测试接入点。幸运的是，我们将使用单个DIMM插座，因此可以使用内插夹具板接入SDRAM。



► 图9 – 逻辑分析仪探测使用的PCI内插夹具(图片由Nexus Technologies提供)

PCI总线同样存在两种选择。典型的PCI内插夹具如图9所示。由于PCI总线是一条嵌入式总线，没有任何PCI插槽，我们不能使用PCI内插夹具。查看内部PCI总线要求在电路板中设计测试接入点。



► 图10 – iCapture™多路复用

- 单点数字和模拟探测
- 在所有通道上提供2GHz的模拟带宽
- 136条逻辑分析仪输入通道中任意4条通道复用到4个模拟输出BNC上
- 模拟探头输出一直“活动”

将以这一方式依次考察每条总线和接口。对每条总线和接口，我们必需问自己前面列出的问题。然后，表1中汇总了我们的电路板实例使用的调试策略。

2.3.3 探测小结

可能很明显的是，没有足够的电路板空间容纳希望的接入点，在这种情况下，必需去掉接入点、以使影响达到最小。幸运的是，在本例中，我们拥有必要的电路板空间，以全面利用上面列明的策略。

示波器接入如何呢？可能有的信号并不是我们必需接入的这些接口的一部分。

需要考虑的因素包括电源、时钟和复位。记住，要为示波器探头提供足够数量、容易使用的接地点。如果不使用示波器

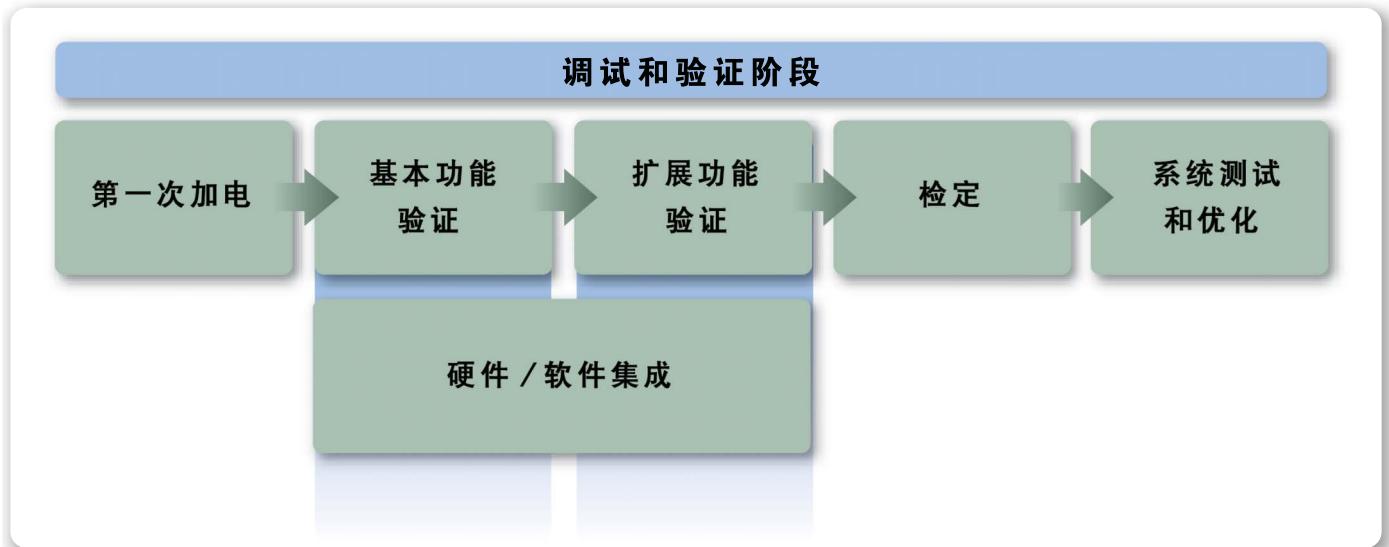
总线	接入方法
本地总线	含在设计中的高密度逻辑分析仪探点
SDRAM	DIMM内插夹具
内部PCI总线	含在设计中的高密度逻辑分析仪探点
FPGA I/O	含在设计中的高密度逻辑分析仪探点
系统总线	客户自定义内插夹具

► 表1 – 逻辑分析仪接入点策略

探头，另一种方式是某些逻辑分析仪提供了探测解决方案，可以同时捕获数字信息和模拟信息。这些探头允许用户选择性地把模拟信号从逻辑分析仪路由到示波器。基本概念如图10所示。

简化设计验证的最佳伴侣

► 基础读物



► 图11 - 调试和验证阶段

2.4 小结

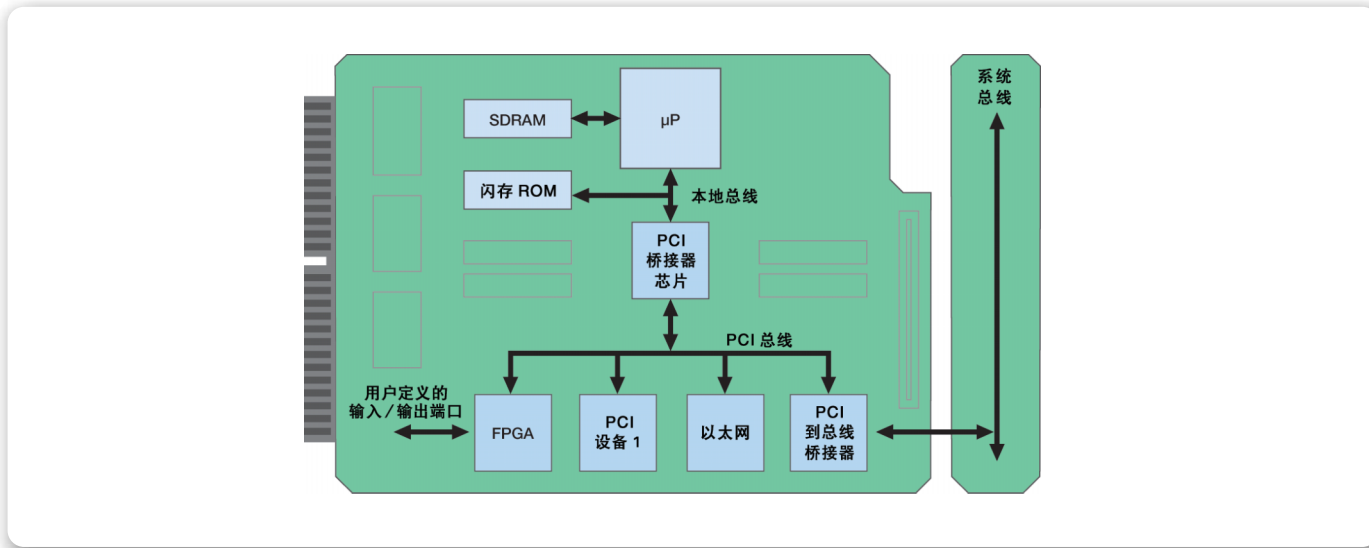
在本节中，我们看到高效的调试和验证始于产品开发周期中的设计阶段。等到电路板制成后才考虑调试和验证需求，通常会导致电路板很难(如果不是不可能的话)调试和验证。高效的设计流程是使调试和验证时间达到最小的第一步。您的团队编制文档并加以遵循的设计流程的目标，是提早找到和校正许多可能的错误，而不用等到调试和验证阶段。

了解在哪儿可能发问题是第二个关键问题。功能故障和信号完整性问题是需要特别注意的两个领域。应密切考察时钟分配、复位和电源，确定任何潜在问题。对高速电路应认真布局 and 布线，以使信号完整性问题达到最小。

最后，在设计中增加相应的测试接入点大大简化了调试和验证工作。在设计阶段，设计同步考虑调试和验证与保证逻辑正确一样重要。

3 调试和验证阶段

最后，在进行了大量的艰苦工作和认真规划后，电路板回来了。现在开始调试和验证流程。如图11所示，调试和验证分成六个基本步骤。我们的设计需要经过每个步骤，然后产品才能出货。下面几节将详细介绍各个步骤。



► 图12 - 开发微处理器的基本功能验证

3.1 第一次加电

烟雾测试可能是最容易理解的步骤。在验证电源和接地没有短路后，我们对电路板通电。这时有烟明显是有问题的，没烟则是好的。

3.2 基本功能验证

第一个实际步骤是进行基本功能验证。这一步涉及运行设计核心。我们能否让微处理器运行？在加电时，是否一切正常？时钟是否运行？复位是否正确工作？电源是否在电路板中正确分配？一旦验证了这些关键项目，我们需要确认微处理器正确引导。我们故意忽略系统其余部分，把重点放在设计核心上，如图12所示。

在哪儿可能出现问题？太多了！我们不仅要处理可能的功能错误和可能的信号完整性问题，我们可能还要处理电路板构建错误。

这时，为有效调试问题，我们必需精确地查看信号相互之间的关系。在这一阶段不仅需要进行详细分析，我们还必需能够查看信号。它们是否符合设计笔记和白电路板上画出的顺序？我们必需查看在什么电压水平系统会复位。我们必需观察上电顺序，我们必需查看微处理器引导顺序和本地总线周期。为查看这些项目，首选工具是实时示波器和逻辑分析仪。这两种工具可以有效查看我们的设计。

简化设计验证的最佳伴侣

► 基础读物

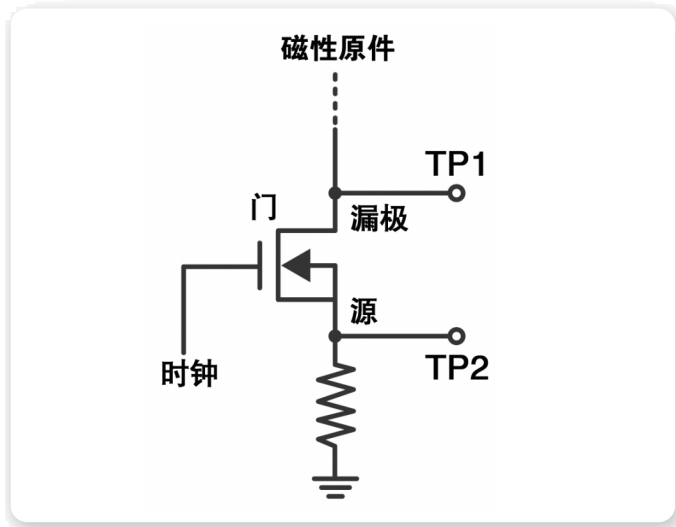
大多数工程师在前期会使用实时数字存储示波器(DSO)或数字荧光示波器(DPO)。这两种工具不仅提供了必要的性能(带宽、取样速率等),还提供了丰富的触发选择和探测选项。最重要的是,这些实时平台可以简便地探测测试点,从电源噪声到高速信号,可靠地采集波形。

DSO特别适合复现率低或复现率高、具有快速边沿或窄脉宽的信号。DSO还特别适合捕获单次事件和瞬变,如电源上电顺序和复位操作。对我们的设计项目,TDS6000系列提供了适当的解决方案。

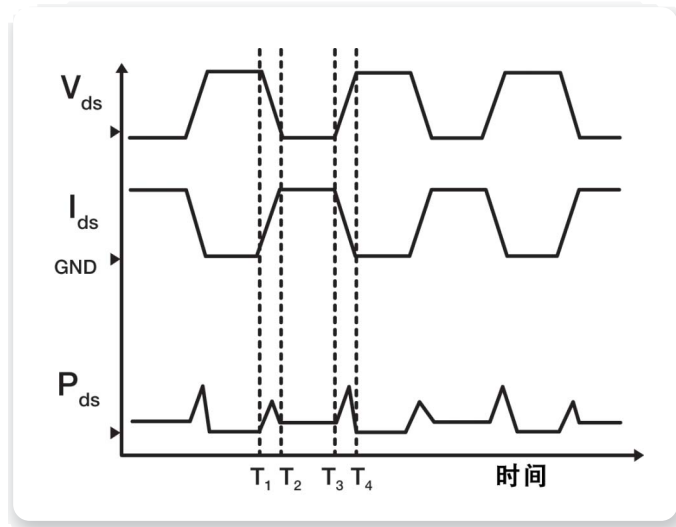
DPO为数字调试及找到间歇性信号提供了适当的工具。DPO杰出的波形捕获速率在扫描信息后可以比其它示波器更迅速

地覆盖扫描,用颜色表示详细的发生频次,提供了无可比拟的清晰度。在本例中,TDS5000B提供了一个DPO解决方案,满足了数字系统设计应用的确切需求。

在任何高速示波器测量中,探头选择都至关重要。如果我们不能精确地从电路板中采集信号,那么即使最优秀的工程师也不能有效调试问题。我们在设计阶段设计同步考虑调试策略在精确采集信号中明显发挥着重要使用,但使用适当的探头同样至关重要。示波器和探头相结合,构成一个测量系统。如果可能,探头应提供与示波器本身相同的带宽。除绝对额定带宽外,探头应对信号的负载影响达到最小。在理想条件下,测量系统的带宽(包括探头带宽)至少应该是要观察的信号频率的三倍(3X)。然后,我们可以转向电源验证。



► 图13 - 开关式电源(SMPS)



► 图14 - 开关设备操作

3.2.1 电源分析

我们的设计中使用的DC电源是开关式电源(SMPS)，其因能够有效处理变动的负荷而闻名。功率“信号路径”包括无源器件、有源器件和磁性器件。图13说明了简化了SMPS示意图，其中说明了包括有源、无源和磁性单元的功率转换段。

SMPS技术依赖功率半导体开关设备，如金属氧化物半导体场效晶体管(MOSFET)和绝缘栅双极晶体管(IGBT)。这些设备提供了快速开关时间，能够抵抗错误的电压高峰。同样重要的是，它们在On或Off状态下消耗的功率非常小，以低热量实现了高效率。开关设备在很大程度上决定着SMPS的整体性能。

让我们使用TDS6000系列，量化开关式电源的两个关键方面：开关损耗和电源纹波。

3.2.1.1 电源开关损耗

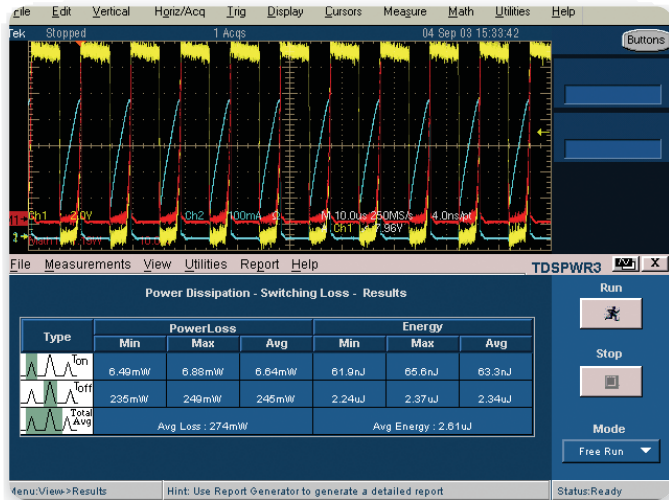
电源中的开关损耗决定着电源的效率。因此，应尽快测量这一指标。必需分析电源在稳定工作状态及在动态负载变化期间的开关损耗。

为测量开关设备上的功率损耗，我们先考察一下相关的开关设备信号，如图14所示。

在设备关闭时，经过开关设备的电压高，在通电期间(On状态下)，电压低(电压饱和)。在设备Off状态下，没有电流。但是，在通电期间，电流达到最大值。如果我们考察一下功率波形，最大瞬时功率损耗发生在转换过程中。从开关设备Off状态转换到On状态期间的功率损耗称为TOn损耗，从开关设

简化设计验证的最佳伴侣

► 基础读物

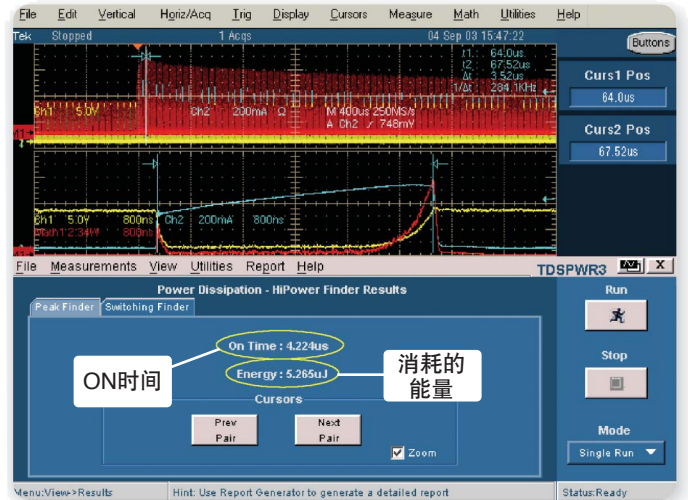


► 图15 - 开关损耗测量

备On状态转换到Off状态期间的功率损耗称为TOff损耗。通电期间的功率损耗称为传导损耗。在整数周期中的功率损耗称为总平均功率损耗。在上图中，从T1到T2的功率损耗是TOn损耗，从T3到T4的功率损耗是TOff损耗，从T1到T4的功率损耗是周期功率损耗。

TDS6000系列及TDSWPWR2软件为进行这一测量提供了自动化程度更高的解决方案，用户只需按一个键就可以进行测量。

如图15所示，这一测量提供了可以用来优化设计的信息。例如，知道TOn和TOff有助于确定能否降低总功率损耗；可以使用总功率损耗值，优化散热器设计；通过找到任何功率损耗过高的情况，可以分析电源的可靠性。

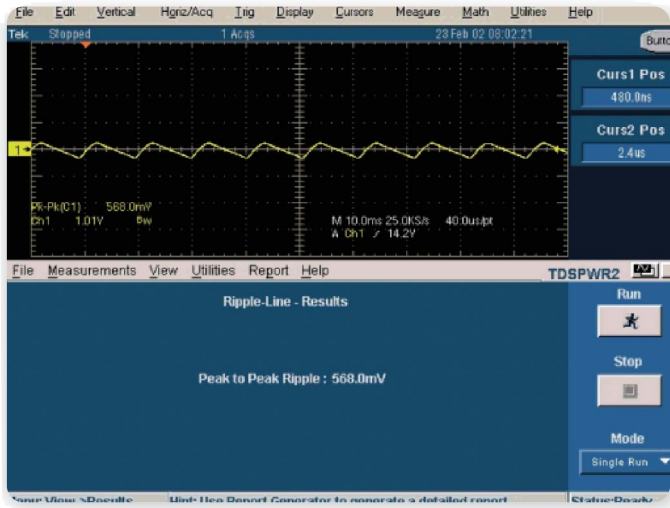


► 图16 - HiPower Finder测量

在大多数系统中，电源必需根据负载随时间变化情况提供电源。在这些负载变化过程中，开关设备上的开关损耗将会变化。为保证瞬时功率损耗落在规定极限内，设计人员必需捕获事件，分析其功率损耗。TDSWPWR2的HiPower Finder功能自动进行这一测量，提供了所需的信息，如图16所示。

3.2.1.2 电源纹波

最后，必需分析每个电源的纹波。纹波是落在输出电压上的不想要的频率成分。我们也只需按一个键，就可以得到想要的结果，如图17所示。



► 图17 - 电源纹波测量

3.2.2 基本功能验证

尽管DSO或DPO可以解决基本功能验证阶段的许多调试挑战，但这是不够的。什么时候示波器不够了呢？

3.2.2.1 微处理器复位调试

最常见的情况是需要查看4个以上的信号的定时关系。例如，在微处理器进行复位时，我们必需监测5-7个控制信号，外加地址和数据线。对8位控制器，这通常要监测21个信号，对32位微处理器，通常需要监测75个信号。独立式TLA系列逻辑分析仪适合这类调试，提供了可以采集34条通道、68通道、102通道或136条通道的型号。如果需要更多的通道，模块化TLA系列可以实现更多的通道。

为查看信号之间的定时关系，应使用逻辑分析仪的异步时钟模式。在异步时钟中，逻辑分析仪生成自己的内部时钟信号，用来从被测系统中取样数据。所有样点都以固定间隔定期获得。采用异步时钟进行的采集通常称为定时采集。

3.2.2.2 微处理器引导调试

示波器不足的另一情况是需要监测微处理器或总线操作。例如，在我们的设计中需要验证或调试微处理器引导操作，逻辑分析仪可以监测微处理器与闪存ROM的接口，显示引导代码操作。这可以提取数据，与在一个波形显示屏中查看75个信号相比，可以更好地查看系统操作。

查看微处理器引导顺序采用逻辑分析仪的同步时钟模式。在同步时钟模式下，我们的电路板生成一个时钟信号，用来驱动什么时候采集逻辑分析仪样点。时钟信号可以是固定频率，否则极易出错。同步时钟下进行的采集通常称为状态采集。

3.2.3 小结

基本功能验证阶段验证设计的关键功能。我们能够让足够的功能可靠运行、以便验证其它特性和接口吗？基本功能验证通常涉及电源、复位、时钟和关键控制信号的验证。示波器和逻辑分析仪为些验证提供了理想的工具。



简化设计验证的最佳伴侣

► 基础读物



► 扩展功能验证

3.3 扩展功能验证

一旦稳定的而且最小的系统运行，那么就需要验证其它模块。在理想情况下，应一次验证一个模块、一个功能、一个接口。在每一项完成时，我们再转向下一项。需要验证的、超越我们设计核心的第一个功能是本地总线到本地PCI总线桥接器芯片。这需要验证驱动器是否正确引导和编程桥接器芯片，是否生成适当的总线周期，以及是否满足定时参数。

3.3.1 使用集成解决方案

为保证工期，必须迅速确定问题的真正原因，是模拟问题还是数字问题？这意味着要使用可以同时处理这两个领域的工具和调试方法。较好的解决方案是结合使用我们已经使用的仪器：DPO或DSO和逻辑分析仪。我们已经看到，DSO为观察各个事件提供了最佳工具，如失真、跳变时间及关键建立



► 图6 - 高密度逻辑分析仪探头

时间和保持时间定时值。数据在系统中传输时，逻辑分析仪捕获基本形式的逻辑信号，即带有相关定时信息的二进制值。捕获模拟域和数字域之间的交互对高效调试至关重要。

某些现代解决方案，特别是泰克TLA系列逻辑分析仪和TDS系列DPO，包括多种特性功能，以集成两部仪器，共享触发和时间相关的显示画面。如图18所示，iLink™系列工具可以实现逻辑分析仪和示波器的协作。在本节中，我们将考察这些仪器怎样一起工作，以向下深入到下层设计问题。

iLink™系列工具:把两种强大的测量工具结合起来

尽管逻辑分析仪和示波器一直是数字调试的首选工具，但并不是每个设计人员都能看到集成这两个核心仪器所能带来的明显优势。

通过遍历数字信息流，触发电路故障及捕获相关事件，逻辑分析仪加快了调试和验证速度。示波器深入查看数字定时图，显示原始模拟波形，迅速揭示信号完整性问题。

多款泰克逻辑分析仪都提供了iLink™系列工具，这是业内独有的一种逻辑分析仪/示波器集成软件。iLink™系列工具在部分TDS系列示波器型号中增加了泰克TLA系列逻辑分析仪的处理能力。

一套强大的iLink™系列工具特性把时间相关的数字信号和模拟信号带到逻辑分析仪显示屏上。逻辑分析仪以数字形式采集和显示信号，相连的TDS系列示波器则以模拟形式捕获同一信号，并在逻辑分析仪屏幕上显示信号。同时查看这两个视图可以简便地查看信息，如数字域中的定时问题怎样在模拟领域中产生毛刺。

iLink™系列工具是一种综合的软件包，旨在加快问题检测和调试速度：

- iCapture™多路复用通过一个逻辑分析仪探头同时进行数字和模拟信号采集。
- iView™显示画面在逻辑分析仪显示屏上提供了时间相关的逻辑分析仪和示波器综合测量。
- iVerify™分析使用示波器生成的眼图提供多通道总线分析和验证测试。

如前所述，遇到的一套常见问题包括电路板构建问题，如开路 and 短路。为保证工期，我们必须能够迅速确定电路板上的开路或短路。遗憾的是，在试图引导本地PCI总线时，我们似乎遇到了电路板构建问题。

确定这类问题的一种常用技术是使用存储或调试脚本。这些

简单的软件程序将对一个地址范围或对一个地址读写预先定义的数据。人们熟悉的一项测试是交替1测试。对一个地址交替编写一个由0x55和0xAA组成的码型，可以让每一个数据位在0和1之间开关式切换。通过循环运行，可以使用示波器探测每个数据位，验证所有切换及没有任何位固定在1、0或处于三态情况。

简化设计验证的最佳伴侣

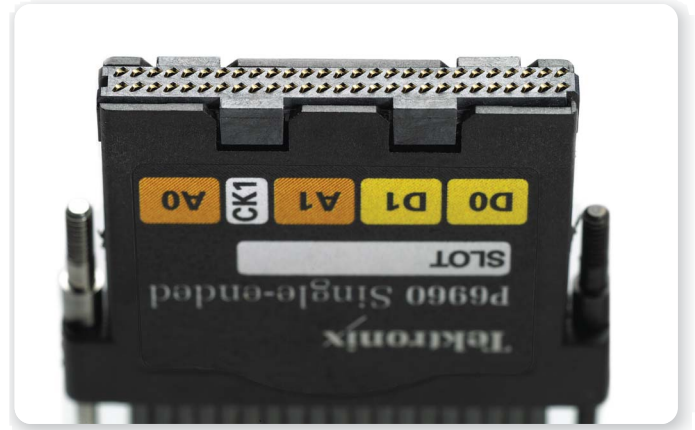
► 基础读物

这似乎很简单，但实践起来通常非常困难。监测一个数据位的流程如下：

1. 在示意图中找到数据位，确定可能的探头位置；
2. 研究电路板图，找到最简便的探头位置。我们是否要在IC管脚上探测？通过过孔探测？还是要增加一个测试点？在本例中，我们确定，我们将在U34管脚18上探测PCI_AD0 (PCI总线地址/数据总线位0)。
3. 通过目测或使用电路板图，在电路板上找到U34。
4. 找到U34的管脚18，把示波器探头连接到管脚上。遗憾的是，这实现起来并不总是那么容易。精细间距的部件和BGA使情况进一步复杂化。

然后把这个3分钟的流程再重复31次，为检查这一条32位总线，这一任务需要90分钟的时间。可以通过更简单、更高效的方式完成这一工作。

记住，我们调试策略的一部分是为PCI总线设计专用测试点。我们的设计包括P6960高密度逻辑分析仪探头使用的连接盘，如图19所示。P6960不使用昂贵的板上连接器，而是使用D-



► 图19 - D-Max™无连接器探头

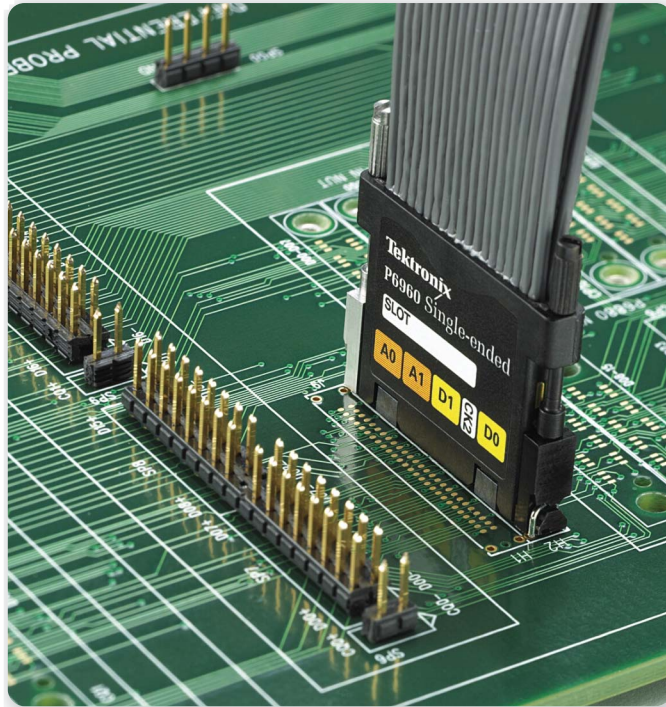
Max™无连接器探测技术连接到电路板焊盘上。

同样重要的是，它采用专门设计，通过TLA系列iCapture™多路复用器，为连接到逻辑分析仪上的示波器提供选择的模拟信号。iCapture™复用器允许逻辑分析仪通过同一个探头同时采集数字信号和模拟信号，如图10所示。

现在，P6960探头到电路板采用一条连接，只需简单地点击鼠标，就可以验证全部32个位是否正确切换，而不必使用示波器探测电路板上32个不同的信号。流程非常简单：

1. 把34通道D-Max™无连接器探头连接到电路板上，如图20所示。
2. 把逻辑分析仪模块的CH1模拟输出连接到没有使用的任何示波器通道上。
3. 在TLA程序中，使用Analog Feeds对话框，把感兴趣的信号分配到其中一个模拟输出上。在这种情况下，我们把PCI_AD31:0分配给CH1输出。通过为CH1选择Analog Feed Cycling复选框，可以简便地把32个信号的每个信号路由到示波器。
4. 点击右箭头键，把下一个选择的信号路由到示波器。在示波器上考察信号，验证其正在切换。
5. 重复第4步，直到考察所有信号。

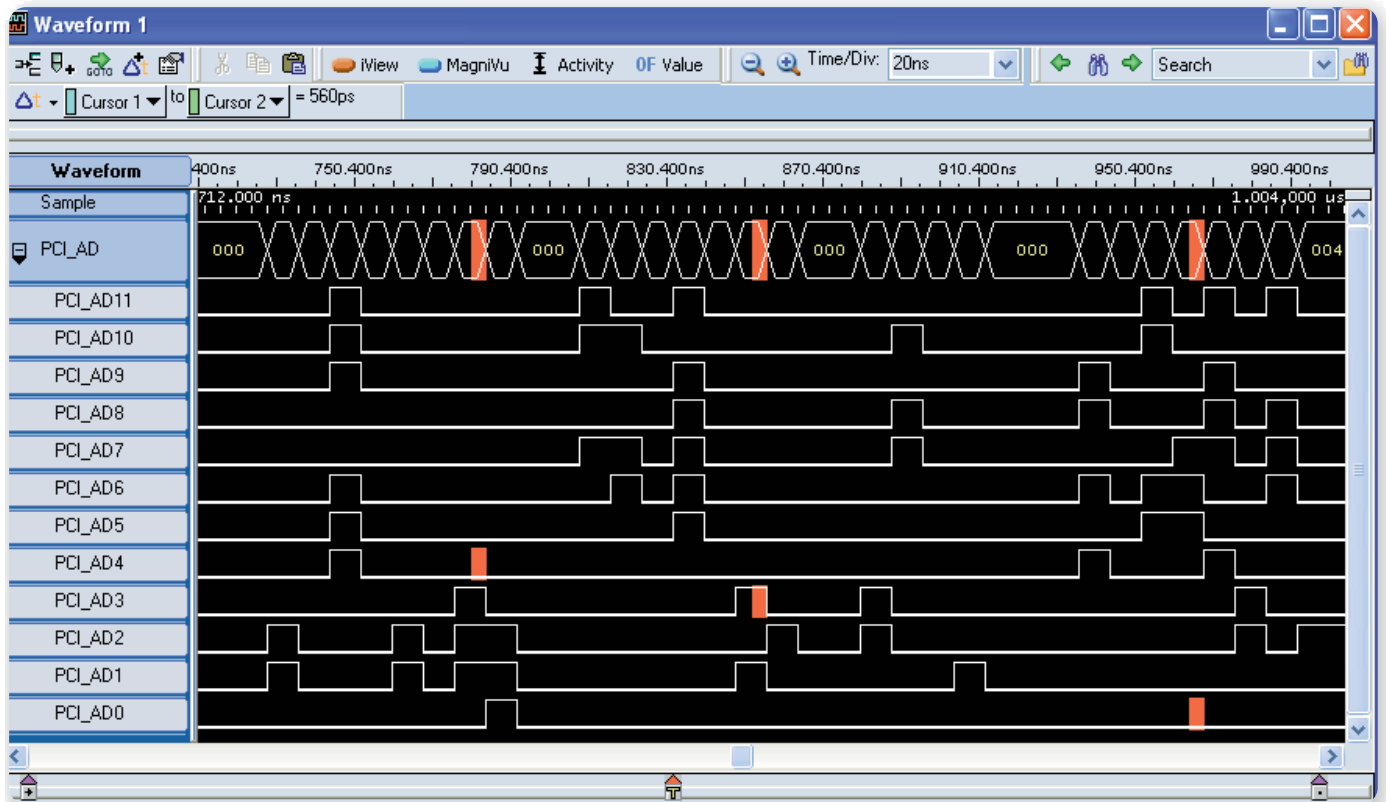
考察整个32位总线的90分钟的任务已经缩减到按32次鼠标，只需90秒的时间。迅速使用这一技术，发现有一个焊接搭接使PCI_AD7和PCI_AD13相连。



► 图20 – D-Max™无连接器探头到电路板连接

简化设计验证的最佳伴侣

► 基础读物



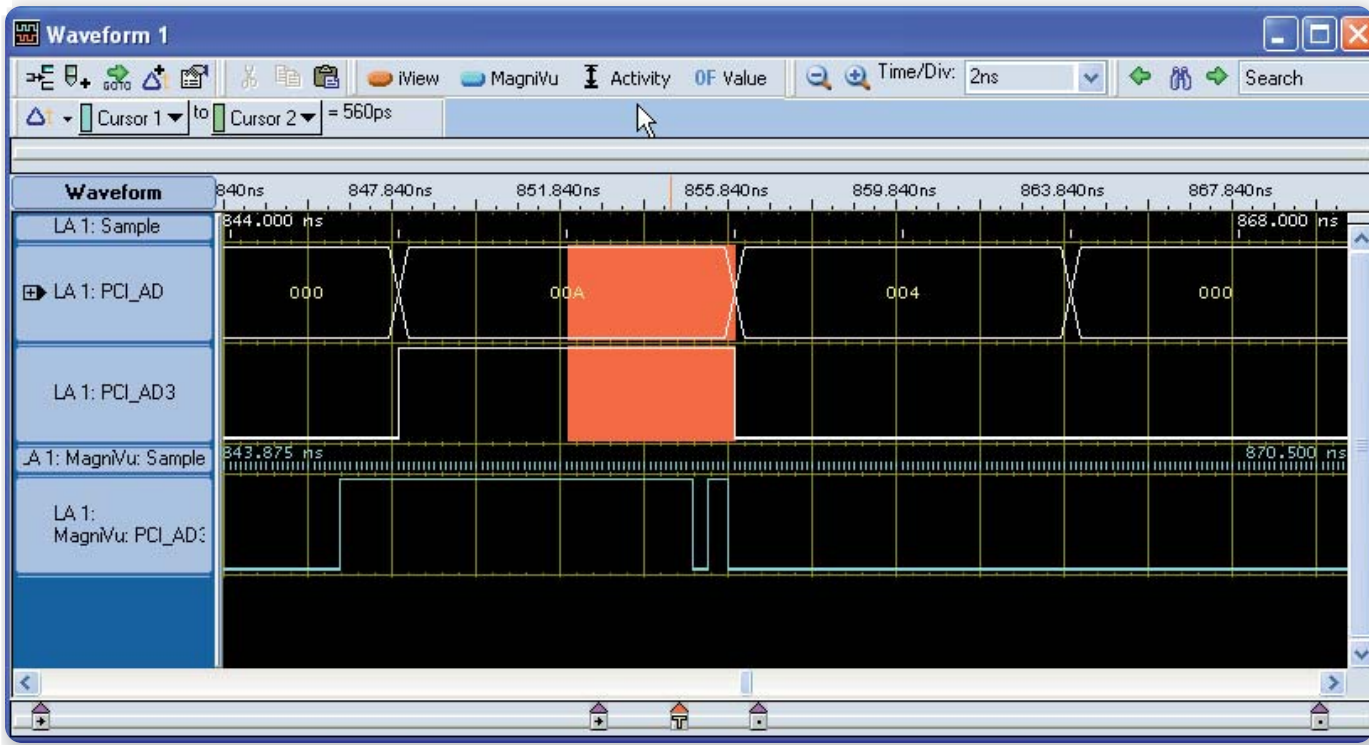
► 图21 - 逻辑分析仪触发了毛刺，标记各个毛刺位置

在我们转向其它功能模块时，将出现其它调试挑战。在本例中，在开始时数据从本地总线可靠地传送到PCI总线，就象仿真所示的那样。但在一些处理之后，本地PCI总线上开始出现错误。PCI_AD总线(PCI地址/数据总线)上本应是0x0008的值显示为0x0000，而且不止一次，而是重复显示。它没有表现为“固定”有问题或错误路由的信号，这会导致连续发生同一错误。问题的错误特点表明合法的数据位出现了某些间歇性事件错误，改变了十六进制结果的值。问题的重复特点表明原型数据定位或组合中的错误导致了毛刺。

在什么情况下会出现PCI_AD总线错误呢？

在使用逻辑分析仪的毛刺捕获触发器及引导显示模式后，错误的实际特点开始显现。这种模式在检测到毛刺时触发逻辑分析仪，也会在定时显示屏中标记其位置。逻辑分析仪把“毛刺”定义为在样点之间发生一次以上的信号跳变。图21是TLA系列逻辑分析仪得到的显示画面。

注意在图21中显示了两种“波形”。在屏幕顶部，汇总了一条PCI_AD总线，总线波形体现了各自总线的字值。总线波形一目了然地表明许多单独信号的状态，在调试时节约了时间。此外，可以配置显示屏，划分各条信号线，再次标记毛刺位置。



► 图22 – 逻辑分析仪的MagniVu™采集显示画面揭示了PCI_AD3信号中的错误

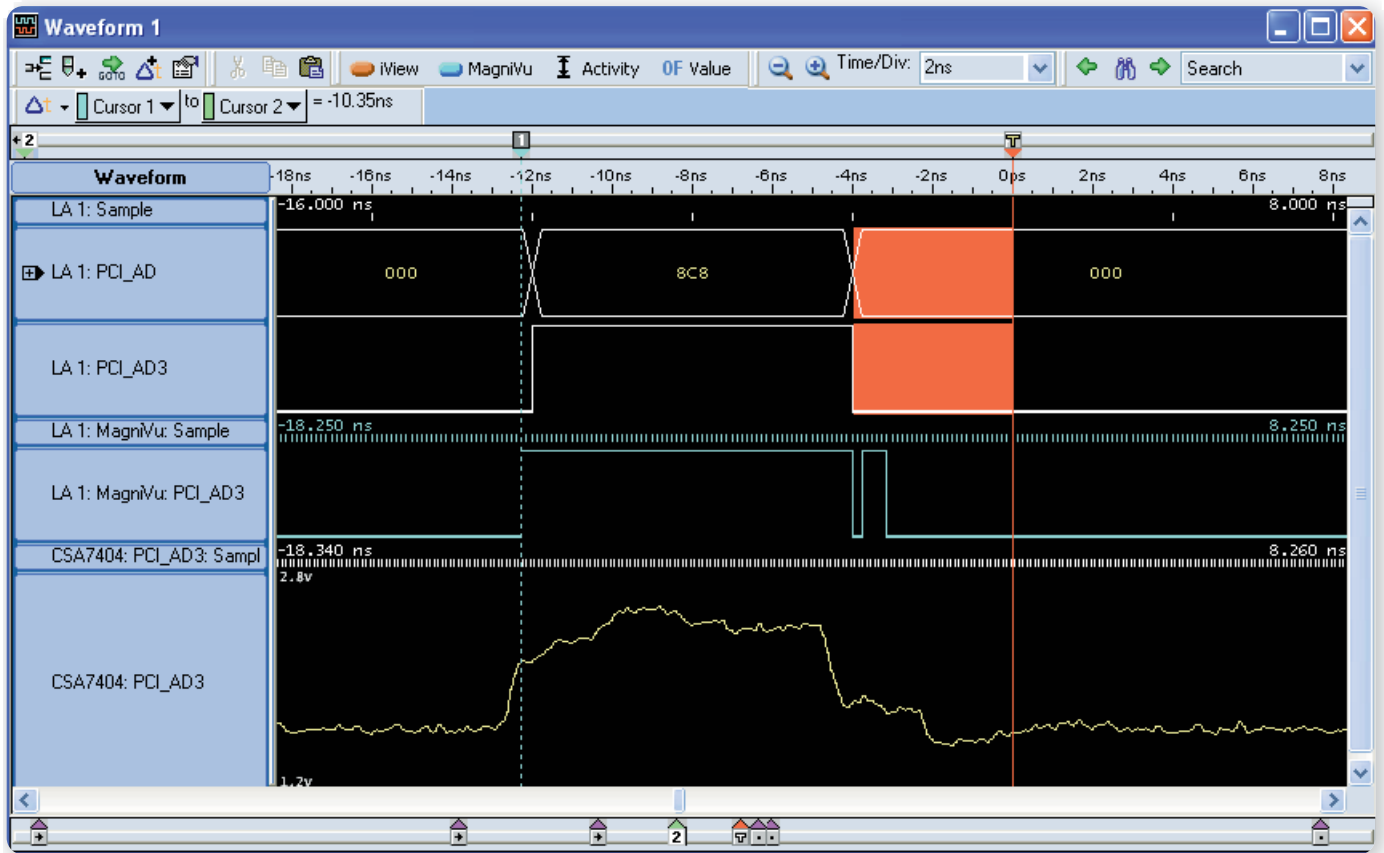
在图21中，时钟之间的周期是4.00ns。在本例中，TLA系列逻辑分析仪的MagniVu™采集以125ps间隔捕获触发点周围的信号值，这些信息可以显示为任何信号各自的高分辨率视图。这一功能通过同一个探头同时采集高分辨率数据，作为主要定时数据。

图22显示了在增加MagniVu™采集波形时的显示画面。这里显示了125ps时钟记号及更加详细的PCI_AD3信号视图，以及总线波形视图。信号显示了在周期后半部分出现简单的跳变。由于我们已经知道周期产生了不正确的总线值，这一跳变可能是错误的原因。但是，是什么导致无效的跳变呢？

数字信号畸变通常来自模拟信号完整性问题。前面所示的iLink™系列工具(图18)可以简便地考察数字异常事件的模拟特点。模块化TLA系列的iCapture™多路复用器通过逻辑分析仪内部的模拟多路复用器，从D-Max™无连接器探头把任意四个信号发送到相连的TDS系列示波器。由于它同时为模拟信号和数字信号提供了一条路径，探头消除了双重探测及相关的双重加载设备信号。iView™是iLink™系列工具的另一种功能，在逻辑分析仪屏幕上显示了得到的时间相关的数字波形和模拟波形。

简化设计验证的最佳伴侣

► 基础读物



► 图23 – iView™测量显示了PCI_AD3上数字错误底层的模拟行为

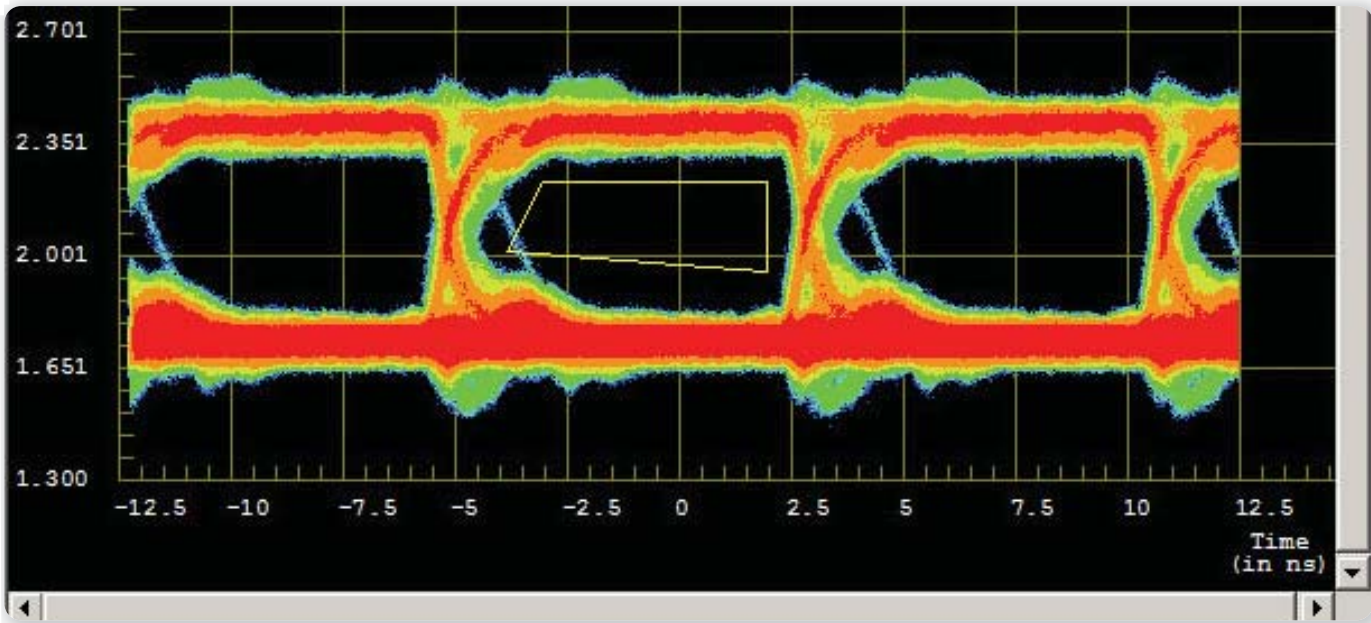
图23显示了当模拟信号PCI_AD3在屏幕上与数字信号对准时得到的TLA系列屏幕。这一图片揭示了全部情况：在发生数字毛刺时，逻辑门限区域的模拟信号幅度劣化。它似乎在瞬时下降到门限电压之下，产生了短暂的“低”或逻辑0电平。然后它提高了足够的程度，越过门限，返回“高”或逻辑1电平，然后在周期边界再次切换到逻辑0。

这种模拟行为是毛刺的根源，引起总线上十六进制输出错误。这种不稳定性不会以同样的方式影响每个下降沿，许多脉冲会无差错传送。当然，有必要审核设计模型，确定应该在什么时候发生有效边沿，是在这个总线周期中不稳定波形的前

面还是在它的后面。

资深工程师将认识到这一失真的波形提供的线索。这种劣化的逻辑电平通常是传输线不正确端接所导致的反射引起的。在我们的设计中，信号的快速边沿在信号目的地遇到缺失的端接电阻器。结果是错误地、但破坏性地侵蚀了上升沿和下降沿。

总之，结合使用逻辑分析仪/示波器调试系统需要使用下面列明的四种信号格式。从高级全局视图直到放大查看各个信号，配备iLink™系列工具的仪器提供了这些信号格式。



► 图24 - iVerify™分析采用眼图格式，一次显示多个信号及其边沿跳变

- 总线波形一目了然地表明了总线上某个地方发生了问题。
- 深定时波形精确揭示了涉及哪条信号线。
- 高分辨率MagniVu™定时波形以更高的分辨率指明错误的时间位置。
- DSO提供的、通过iCapture™多路复用器和iView™接口连接的模拟波形捕获信号的特定模拟特点，揭示潜在原因。

3.3.2 迅速检测信号完整性问题的快捷方式

配备iLink™系列工具的逻辑分析仪还提供了另一个调试工具：iVerify™分析功能，它为逻辑分析仪屏幕提供了模拟多通道眼图分析功能。

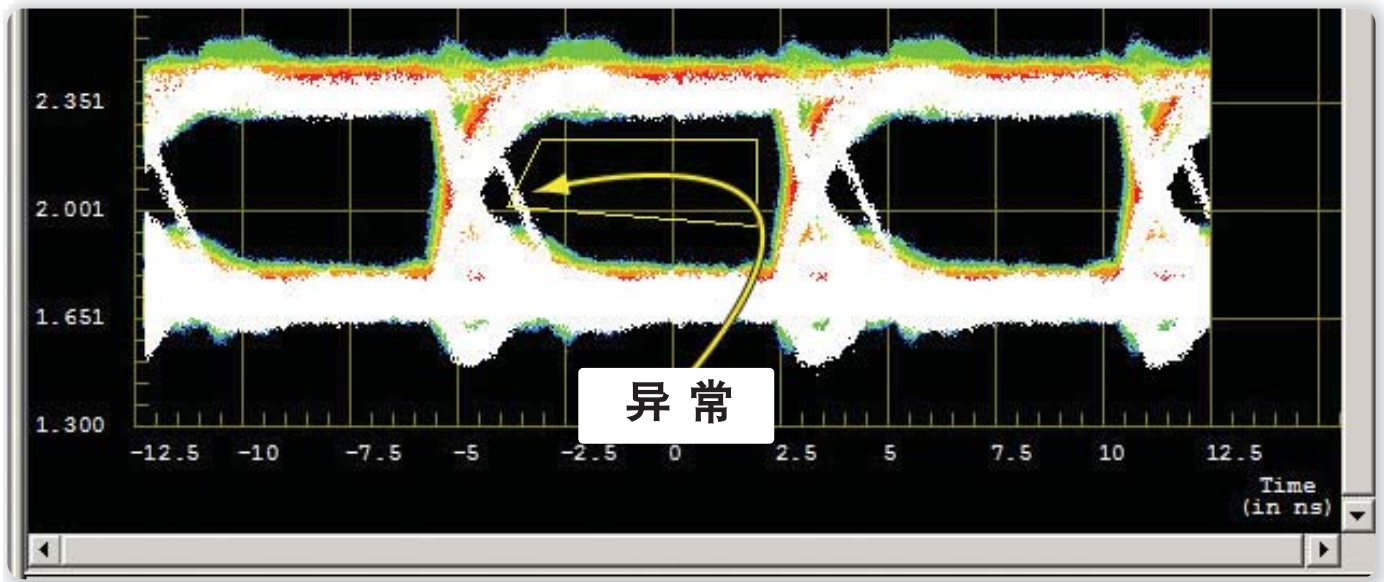
眼图是一种可视工具，用来观察时钟输入总线上的数据有效窗口及整体信号完整性。它是许多当前总线要求的一致性测试工具，特别是串行类型总线，但任何信号线都可以用眼图来查看。

通过把多个眼图融入一个视图中，同时涵盖正向脉冲和负向脉冲的前沿和后沿，iVerify™分析加快了调试速度。

图24说明了得到的iVerify™分析显示画面。这里，32个信号(整个AD总线)重叠在一起。“一次32个信号”的优势非常明显，在32位总线和64位总线中，每种快捷方式都有所裨益。可以选择任何一组信号连接到D-Max™无连接器探头上。

简化设计验证的最佳伴侣

► 基础读物



► 图25 - iVerify™分析工具把错误波形放到前面，并高亮度显示，可以简便地进行评估

由于眼图在一个视图中表示了所有可能的逻辑跳变，它还可以快速评估信号是否正常。它揭示了模拟问题，如低速上升时间、瞬变、衰减水平等等。某些工程师开始评估时先考察眼图，然后再跟踪任何畸变。

图24中的眼图揭示了信号中的异常事件，细蓝线的蓝色表明转换相对频次较低。但它证明至少有一个信号的边沿落在正

常范围之外。模板功能有助于确定导致问题的特定信号。通过画出模板，使有问题的边沿穿过模板区域，可以隔离、高亮度显示相关信号，并把其带到图像的前层。结果如图25所示，有问题的信号被放到前面，用白色高亮度显示。

在本例中，异常的边沿表明了PCI_AD3信号问题。问题的根源是串扰，信号在电路板相邻走线上导致边沿变化。



简化设计验证的最佳伴侣

► 基础读物

3.3.3 小结

在大多数情况下，功能验证阶段将揭示多个问题。这些问题可能是由功能问题或由信号完整性相关问题导致的。逻辑分析仪是测试数字功能时的第一道防线。但是，数字问题可能

源自模拟信号问题，包括由于端接不正确引起的边沿劣化，或这里所示的串扰。通过结合使用逻辑分析仪和示波器，在同一屏幕上评估时间相关的数字信号和模拟信号，可以简便地解决影响任何一个领域的问题。



简化设计验证的最佳伴侣

► 基础读物



► 硬件/软件集成

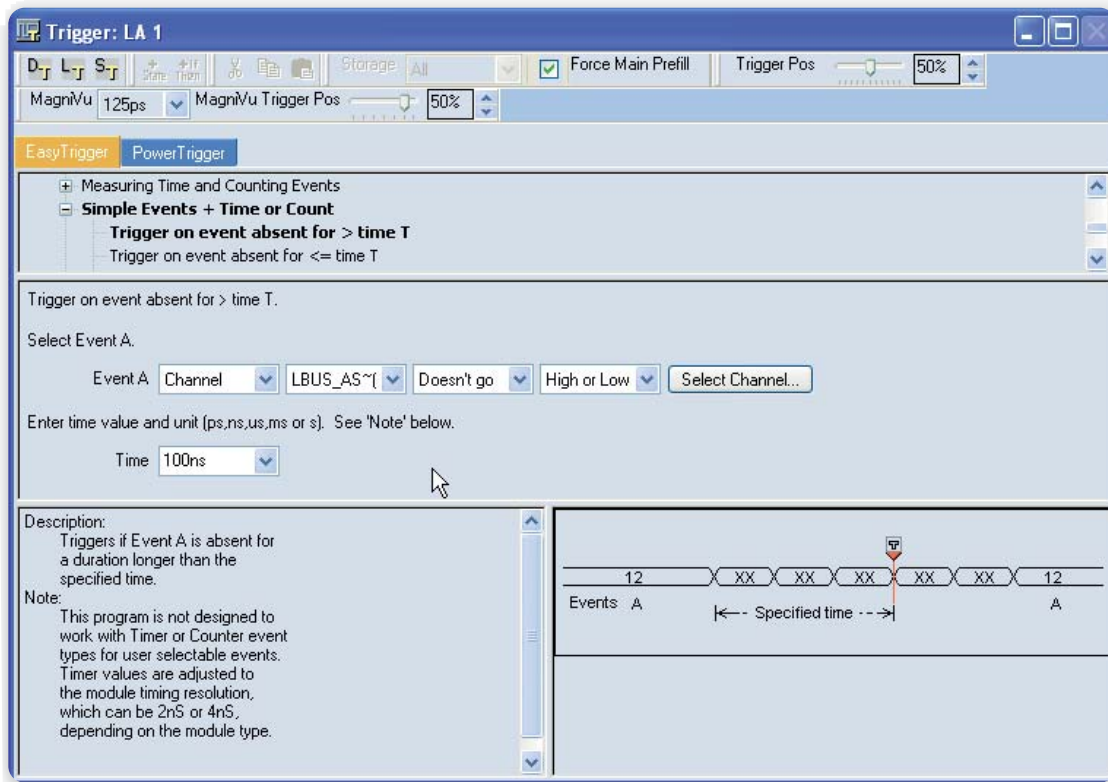
3.4 硬件/软件集成

硬件/软件集成实际上在基本功能验证阶段就开始了，在整个扩展功能验证阶段将延续。硬件/软件集成问题很难调试，要求一个工具能够同时考察系统中的硬件和软件。逻辑分析仪能够把特定信号与处理器的指令执行流程关联起来。这使得团队的硬件和软件成员能够确定为什么某些指令导致了存储错误或为什么软件采取意外分支。

3.4.1 调试微处理器引导代码

嵌入式系统中的微处理器引导通常极具挑战性。未知硬件第一次与未知软件碰到一起。指令序列崩溃可能会司空见惯！嵌入式系统与非嵌入式系统(如PC)的差异在于，它们一般没有防止使目标系统崩溃的错误操作。鲁棒的操作系统通常有各种机制，把系统与行为错误的操作隔开，嵌入式系统则通常没有。因此在我们的引导代码崩溃时，整个系统会瘫痪，适合调试问题的信息会丢失。

在我们的原型实例中，我们在引导微处理器时遇到了问题。系统有时意外崩溃。由于不知道崩溃的根本原因，因此不可能在故障机制上触发采集。在调试崩溃故障时，对故障症状或本应发生、却没有发生的某些东西触发采集通常要更加容易。在我们的实例中，我们在缺少其中一个本地总线信号时触发采集。在这个选通信号的切换频次不够时，微处理器不能实现预期功能。我们也可以直接把“看门狗”或“心跳”脉冲直接嵌入系统中。只要“心跳”有脉搏，那么系统就会正确运行。如果心跳停止，那么我们知道故障变得很严重了。



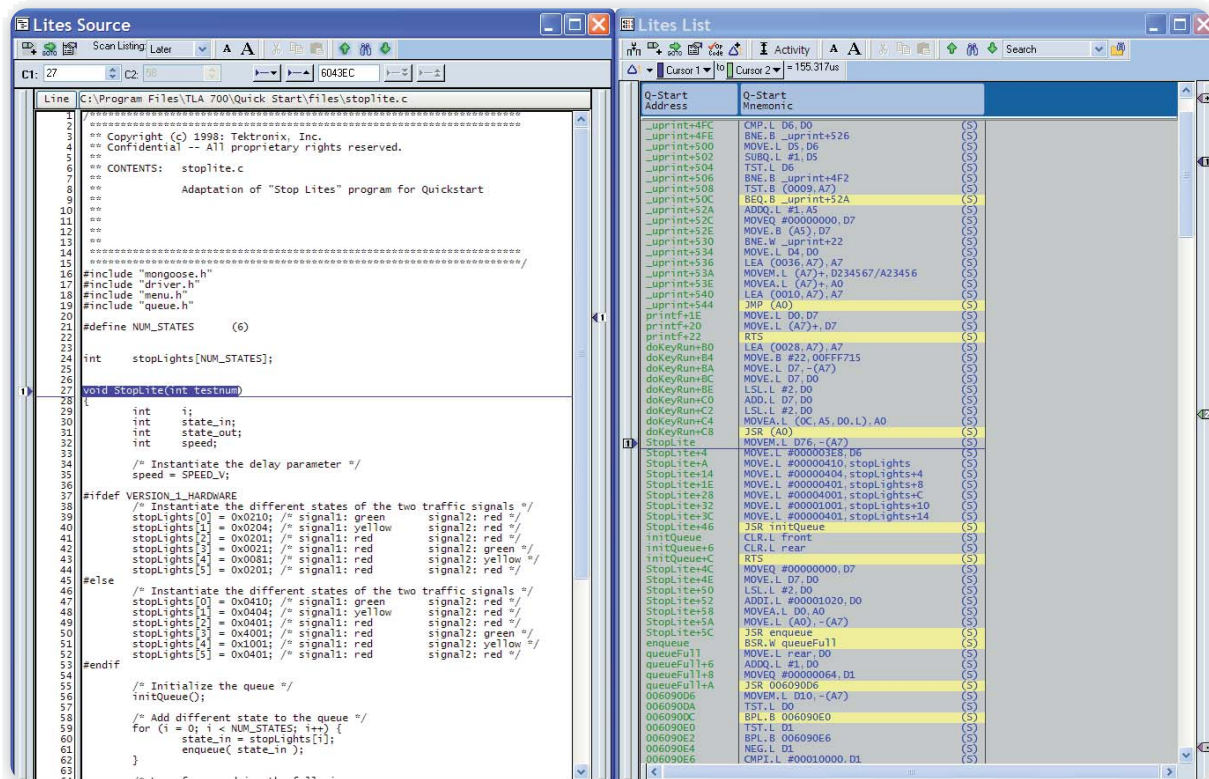
► 图26 – 逻辑分析仪超时触发器

幸运的是，可以非常简便地把我们的逻辑分析仪设置成“nothing”（无活动）时触发采集，详细地显示系统状态。在没有活动时触发采集称为超时触发。我们可以把分析仪设成监测一条线路或一组线路；如果没有发生任何活动，且在我们

指定的时期内没有逻辑变化，那么逻辑分析仪将触发采集。图26是来自TLA系列逻辑分析仪中EasyTrigger™菜单的超时触发屏幕。

简化设计验证的最佳伴侣

► 基础读物



► 图27 - 源码窗口

3.4.1.1 使用逻辑分析仪源码窗口

一旦捕获了故障症状，我们使用逻辑分析仪的源码窗口把捕获的数据与源码关联起来，如图27所示。

从捕获的第一条指令开始，我们观察到处理器以预期方式执行指令，直到出现分支，处理一个意外中断。这导致代码分支到存储器中的一个尚未初始化的位置。在很短的时间后，处理器停止运行，崩溃了。

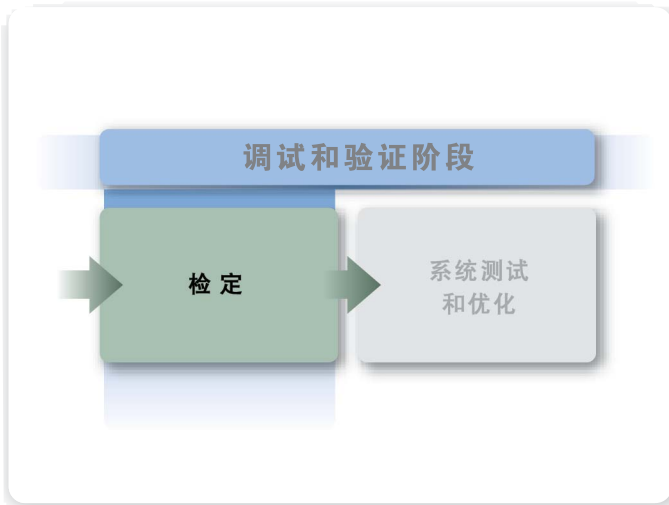
通过简单地改变硬件，在引导过程中掩盖中断，这个问题得

到解决。为提高安全性，我们重新排列了引导顺序，以在引导顺序中在软件内尽早屏蔽中断。

3.4.2 小结

在集成硬件和软件时遇到的许多挑战来自不能确切确定故障的原因。这是硬件问题还是软件问题？逻辑分析仪能够同时捕获硬件和软件执行，为判断和解决硬件/软件集成挑战提供了理想的工具。

在验证全套功能后，设计方案可以准备转向检定阶段。



► 检定

3.5 检定

现在必须检定电路板，确定其性能余量、极限和容限。这些信息保证了我们能够获得可以投入生产的可靠设计方案。

在许多情况下，必须在广泛的温度、湿度、高度、振动等条件下测试这些参数。通常要考虑功耗，电池使用时间也是许多产品中的考虑因素。必须评估及存档设备抗击EMI的能力及其自己的EMI辐射。

早期设计流程步骤中使用的大部分设备，如实时示波器、高带宽探头和专用测量和分析软件，也用来考察成品的极限。到流程中这一点时，信号完整性问题应该不是问题，除非外部因素(负载、EMI等)导致偏差。

检定可以包括详细的极限测试。在这个流程中，设备受到电压变化的影响，如评估其能否在比理想条件差的环境下正常运行。另一种方法是人为把有问题的信号驱动到输入中。损伤可能包括勉强的信号幅度、低速上升时间和过冲之类的畸变。任意波形发生器(AWG)如泰克AWG系列是生成这些症状的理想工具。

3.5.1 为设计人员及为最终用户提供的技术规范

大多数电子产品的技术规范分成两级：

- 公布的为最终用户提供保证的技术规范。这些技术规范出现在产品手册、产品资料中。
- 没有公布的标准规范，旨在支持设计流程，在公布的技术规范之上提供保护频带。保护频带是保证正常生产的产品落在公布的技术数据范围内的余量。

这两套技术规范通常汇总到一个工程设计规范中，作为整个开发项目的指导准则。最后一轮测量可以证实已经满足全系列技术规范，包括公布的规范和没有公布的规范。根据涉及的设备类型，这些测量可能包括建立时间/保持时间和其它定时容限、脉冲幅度和上升时间、时钟频率稳定性、噪声特点、抖动、特定阻抗极限等参数。本读物讨论的仪器中都有效提供了所有这些测量功能。



简化设计验证的最佳伴侣

► 基础读物



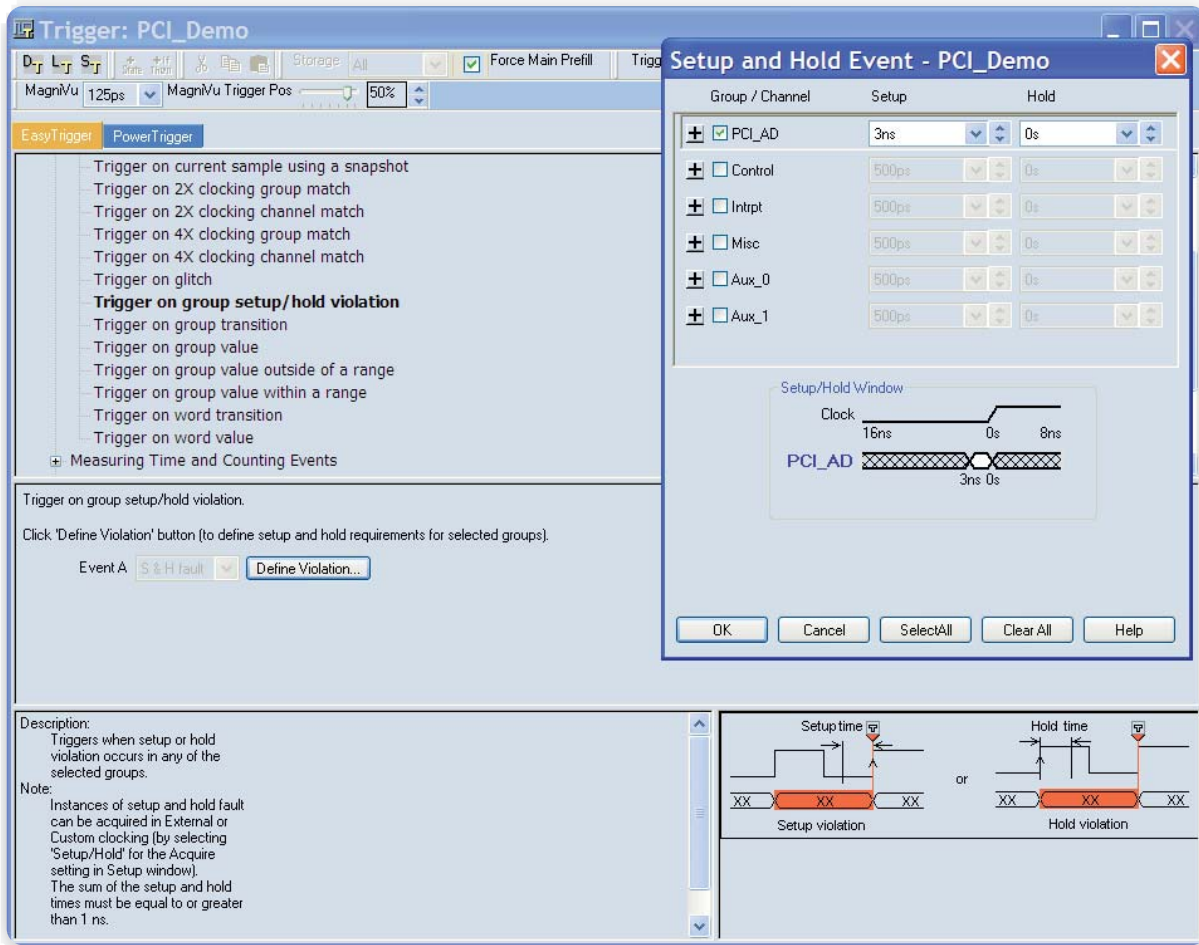
3.5.2 建立时间和保持时间测试

定时余量不足是导致生产线中断及现场可靠性问题的最大因素之一。建立时间/保持时间是最关键的同步定时参数之一。因此，保证设计方案拥有充足的建立时间/保持时间余量至关重要。遗憾的是，测量和记录设计中的建立时间和保持时间余量可能会耗费大量的时间。

通过使用示波器，可以通过两种方法测量建立时间和保持时间。第一，可以探测时钟和一条数据线。示波器可以设置成在建立时间或保持时间超限时触发采集。其明显的缺点是一

次只能测试一个位。使用示波器时另一种方法是捕获时钟信号及最多三条额外的数据线，然后使用应用程序对数据进行后期处理，您需要编写这个程序，寻找任何定时超限。这种方法可能会略微缩短要求的测试时间，但要求占用宝贵的开发时间来编写程序。

逻辑分析仪实际上是一次验证多个信号的建立时间和保持时间余量的理想工具。通过一次触发和显示所有信号上用户定义的任何建立时间/保持时间超限，TLA系列逻辑分析仪可以自动搜索建立时间/保持时间超限。我们以内部PCI总线为例。



► 图28 – 建立时间/保持时间触发器

PCI_AD线路有3ns的要求建立时间及0s的要求保持时间。通过利用高密度逻辑分析仪探头，我们可以简便地把逻辑分析仪连接到PCI_AD信号上。然后，逻辑分析仪配置成触发和高亮度显示任何建立时间和保持时间超限，如图28所示。在我们离开办公室参加晚会时，我们按逻辑分析仪的Run/Stop键，然后回家了。逻辑分析仪会在整个晚上监测PCI_AD总线，确定任何线路上的任何超限。如果发生任何超限，逻辑分析仪将触发和捕获问题。在第二天早上回到办公室时，迅速查看逻辑分析仪可以告诉我们测试状况。如果逻辑分析仪触发采

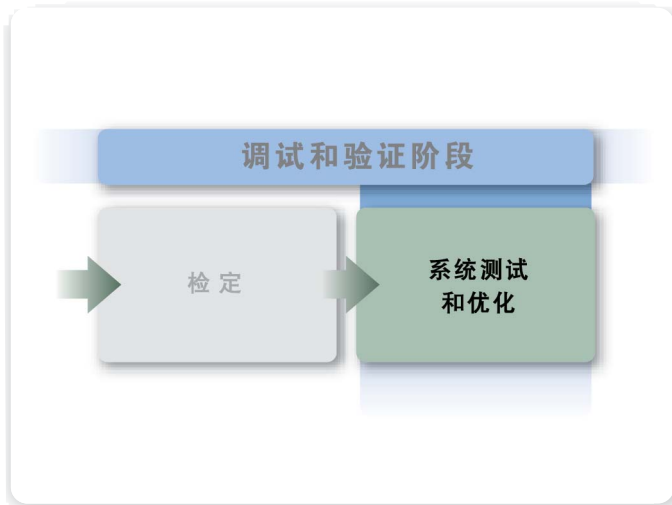
集，那么遇到了超限；如果没有触发采集，那么没有建立时间/保持时间超限。这种方法要比传统示波器方法简便得多。

3.5.3 小结

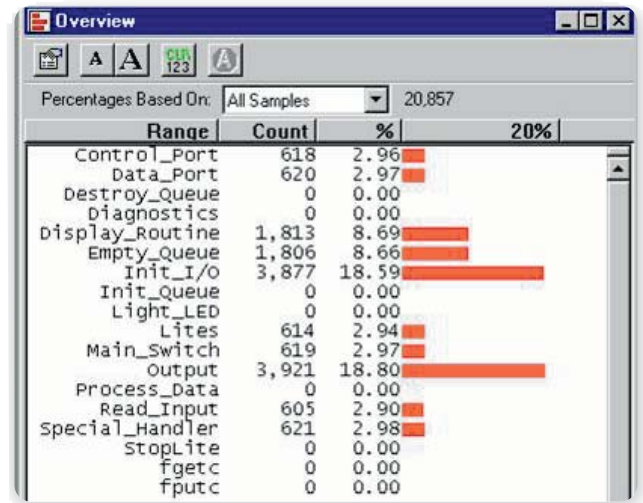
检定阶段要求的许多任务都要求重复进行许多测量。例如，必须在几个不同的工作温度上评估建立时间和保持时间余量。测试工具的发展大大简化了减少了进行这些测量要求的时间。

简化设计验证的最佳伴侣

► 基础读物



► 系统测试和优化



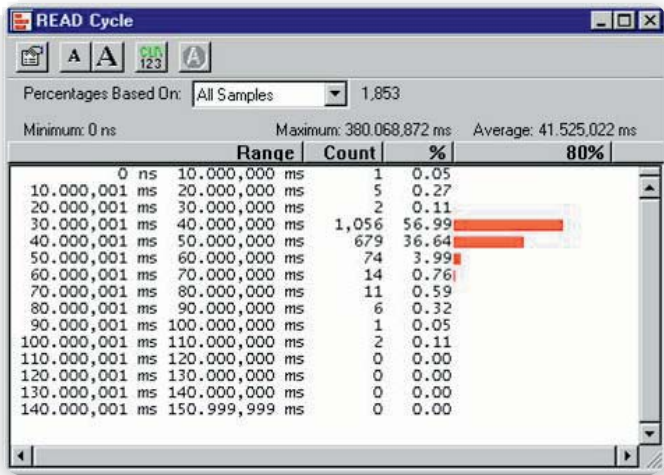
► 图29 - 排列概况

3.6 系统测试和优化

当前的嵌入式应用软件正变得越来越大、越来越复杂，很难查看整个软件流程和执行时间的“概况”。嵌入式软件开发人员经常能够使代码正确运行，但却没有达到性能目标。这通常要求在项目接近结束时进行性能优化。通常被援引的经验法则是“20%的代码执行80%的时间”；但是，大问题是哪个20%的代码？这类调节通常必不可少，以满足产品的吞吐量要求。

逻辑分析仪可以提供一个概况，显示几百个软件模块中哪些模块消耗了处理器的绝大部分执行时间。性能分析(PA)表明软件在哪儿花费了时间。这些信息可以迅速确定在优化后可以最有效地改善性能的程序。

如图29所示，排列概况把采集的数据分成用户定义的排列，进行分组，并使用直方图格式显示每个排列中的命中情况。这一视图特别适合显示哪些软件模块消耗了大多数执行时间。



► 图30 - 单一事件

还应确定时间关键型程序的概况，如中断/异常处理程序，验证其达到了设计目标。TLA系列逻辑分析仪的Single Event (单一事件)是一种性能分析测量模式，它使用逻辑分析仪的定时器和计数器，显示单个程序的执行时间范围/数量。得到的显示画面如图30所示，显示了在多次运行时执行一个事件使用的最小时间、最大时间和平均时间。

除分析软件性能外，我们还需要确定PCI总线概况，确定哪些PCI代理占用带宽。通过排列概况功能，这可以很容易实现。

我们只需定义与每个代理的I/O和存储空间相匹配的排列即可。

3.6.1 小结

系统测试阶段验证设计是否满足所有要求的工作参数。响应时间是否足够快？系统是否有足够的带宽、有效管理所有数据？TLA系列逻辑分析仪中的性能分析有助于确定系统瓶颈，为优化硬件和软件提供所需的信息。

简化设计验证的最佳伴侣

► 基础读物

4 小结和结论

在我们的嵌入式系统开发流程中，我们一直把重点放在更简便地完成关键测量的领域上。

4.1 设计阶段

设计阶段制订的决策对我们评估功能、检测和解决功能和信号完整性问题及进行系统调整的能力有着很大影响。我们了解到，在我们遵守高效的开发流程时，在我们考虑在哪儿可能发生问题时，及在我们策划调试时，我们可以在设计阶段实现最高的生产效率。

4.2 调试和验证阶段

第一次通电是调试和验证流程六个不同步骤中最容易理解的步骤。但是，第一个实际步骤是基本功能验证步骤，以便运行系统核心。

实时DSO或DPO通常是调试问题使用的第一部仪器。我们已经看到，这些实时平台可以从电源噪声到高速信号，简便地探测测试点，可靠地采集波形。在需要查看4个以上信号的关系或需要查看软件执行情况时，逻辑分析仪提供了理想的解决方案。

随着验证和调试的功能模块越来越多，将遇到电路板构建问题或信号完整性问题的概率也在提高。我们已经看到，TLA系列逻辑分析仪的iCapture™多路复用器简化了确定电路板构建问题的流程，并能够触发和标记毛刺，加快了信号完整性问题的检测速度。

解决复杂的硬件/软件集成问题可能会非常耗时。是硬件问题还是软件问题？这是经常提出的问题。我们已经了解到，可以使用逻辑分析仪，把硬件事件与软件执行关联起来，帮助解决硬件/软件集成问题。

我们还看到，TLA系列逻辑分析仪中的特定功能，如建立时间和保持时间触发器和性能分析工具，有助于简化检定阶段及系统测试和优化阶段。

4.3 总结

本读物演示了必需在开发周期早期开始考虑调试和验证。规划不足会严重影响我们发现毛刺、异常事件和损伤的能力，而这些毛刺、异常事件和损伤几乎会发生在开发周期的任何一点，必须在继续进行下一步之前消除这些问题。通过结合使用几近完美的示波器、逻辑分析仪和信号源提供的自动采集和分析工具，可以迅速解决当前这些棘手的调试挑战。



简化设计验证的最佳伴侣
▶ 基础读物



简化设计验证的最佳伴侣

► 基础读物

泰克科技(中国)有限公司

上海市浦东新区川桥路1227号
邮编: 201206
电话: (86 21)5031 2000
传真: (86 21)5899 3156

泰克北京办事处

北京市海淀区花园路4号
通恒大厦1楼101室
邮编: 100088
电话: (86 10)6235 1210/1230
传真: (86 10)6235 1236

泰克上海办事处

上海市静安区延安中路841号
东方海外大厦18楼1802-06室
邮编: 200040
电话: (86 21)6289 6908
传真: (86 21)6289 7267

泰克广州办事处

广州市环市东路403号
广州国际电子大厦2807A室
邮编: 510095
电话: (86 20)8732 2008
传真: (86 20)8732 2108

泰克深圳办事处

深圳市罗湖区深南东路5002号
信兴广场地王商业大厦G1-02室
邮编: 518008
电话: (86 755)8246 0909
传真: (86 755)8246 1539

泰克成都办事处

成都市人民南路一段86号
城市之心23层D-F座
邮编: 610016
电话: (86 28)8620 3028
传真: (86 28)8620 3038

泰克西安办事处

西安市东大街
西安凯悦(阿房宫)饭店322室
邮编: 710001
电话: (86 29)8723 1794
传真: (86 29)8721 8549

泰克武汉办事处

武汉市武昌区民主路788号
白玫瑰大酒店924室
邮编: 430071
电话: (86 27)8781 2760/2831
传真: (86 27)8730 5230

泰克香港办事处

香港铜锣湾希慎道33号
利园3501室
电话: (852)2585 6688
传真: (852)2598 6260

了解更多信息

TEKTRONIX维护一个全面的和不断扩展的应用文章, 技术简介和其他资源的集锦, 可帮助工程师使用最新的技术, 请访问: WWW.TEKTRONIX.COM



版权所有 © 2005, Tektronix, Inc. 版权所有。Tektronix 产品受美国和外国专利权(包括已取得的和正在申请的专利权)的保护。本文中的信息将取代所有以前出版的资料中的信息。保留更改产品价格和价格的权利。TEKTRONIX 和 TEK 是 Tektronix, Inc. 的注册商标。引用的其它所有商标名称均为他们各自公司的服务标志、商标或注册商标。 08/05 FLG/WOW 52C-18668-1

Tektronix
Enabling Innovation