

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议

跟上更加复杂、更短设计周期的步伐

不只计算机存储器系统一直需要更大、更快、功率更低、物理尺寸更小的存储器，嵌入式系统应用也有类似的要求。本应用指南介绍了逻辑分析仪在检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议中的能力。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

引言

DRAM的异步操作特性在连接同步处理器时导致了許多设计挑战。SDRAM (同步 DRAM)采用专门设计, 以实现 DRAM 与计算机系统其余部分同步操作, 而不需定义基于序列模式的存储器操作。SDRAM 的技术演进, 如DDR SDRAM, 已经迅速提高了存储器的数据速率性能。DDR, DDR2 和 DDR3 SDRAM 都通过从存储控制器主机向存储器发送的存储器命令进行控制。

DDR, DDR2 和 DDR3 SDRAM

一直都有这样的需求, 就是存储器要容量更大、速度更快、功耗更低以及物理尺寸更小。这些需求推动着 DRAM 技术的进步。近几年中, 主流 DRAM 技术有很多主要提升, 如 SDRAM (同步 DRAM), DDR (双数据率) SDRAM, DDR2(双数据率2)SDRAM, DDR3(双数据率3)SDRAM。

DDR(双数据率)SDRAM 通过提升时钟速率、猝发式数据以及在一个时钟内传输两个数据位, 提升了内存的数据速率性能。

DDR2(双数据率2)SDRAM在DDR的基础有一些进步。DDR2 SDRAM 时钟速率更高, 这样就增加了内存的数据速率。但在时钟速率增长的情况下, 可靠的内存处理对信号完整性的要求更为苛刻。随着时钟速率增长, 电路板上的信号路径变成了传输线, 这样正确的布线和信号走线末端端接变得至关重要。

DDR3 SDRAM 是革命性的技术提升, 它将 SDRAM 速度推到了 800Mb/s 以上。DDR3 SDRAM 支持六种数据速率和时钟速度。DDR3-800/1066/1333 SDRAM 在 2007 年实现, 而 DDR3-1600 在 2008 年。预计 DDR3-1866/2133 会在 2009 年实现。DDR3-1066 SDRAM 相比 DDR2-800 SDRAM 有更小的功耗, 这是因为 DDR3 SDRAM 的工作电压是 1.5V, 只有 DDR2 SDRAM 1.8V 工作电压的 83%。而且, DDR3 SDRAM 的数据 DQ 驱动器使用了比 DDR2 SDRAM 的 18 欧姆更高的 34 欧姆匹配阻抗。DDR3 SDRAM 的存储容量从 512Mb 起, 将来会提升到 8Gb。DDR3 SDRAM 数据输出宽度配置包括 X4、X8 和 X16。DDR3 SDRAM 有 8 组, 而 DDR2 SDRAM 根据存储容量大小可能是 4 组或 8 组。

SDRAM	数据率 MT/S	时钟 MHz	VDD V
DDR-266	266	133	2.5
DDR-333	333	166	2.5
DDR-400	400	200	2.5
DDR2-400	400	200	1.8
DDR2-533	533	267	1.8
DDR2-667	667	334	1.8
DDR2-800	800	400	1.8
DDR2-1066	1066	533	1.8
DDR3-800	800	400	1.5
DDR3-1066	1066	533	1.5
DDR3-1333	1333	667	1.5
DDR3-1600	1600	800	1.5

表 1. SDRAM 标准

DDR2 和 DDR3 SDRAM 都有 4 个模式寄存器。DDR2 定义了前两个寄存器, 其余两个保留, 以待为未来应用需要。DDR3 使用了所有的 4 个。一个明显的区别是, DDR2 模式寄存器为读取操作定义了 CAS 延迟时间, 写延时比寄存器中的读延时少一个周期即可。而 DDR3 SDRAM 模式寄存器则为 CAS 读延时和写延时制定了独立的设置。DDR3 SDRAM 使用 8n 预取结构, 这样可以在 4 个时钟周期内传输 8 个数据字。DDR2 SDRAM 使用 4n 预取结构, 于是可以在 2 个时钟周期内传输 4 个数据字。DDR3 SDRAM 模式寄存器被设置为支持突发模式, 这种模式在读取或写入命令中将地址 12 线设为低, 以把本来的 8 个数据字传输缩短为 4 个数据字。突发模式和同时使用在 DDR2 与 DDR3 中的地址 10 线读写预充电功能的概念十分类似。

另外一些值得注意的地方: DDR3 SDRAM 的特点包括了数据选通(DQS)是差分的, 而 DDR2 SDRAM 的数据选通可以使用寄存器设置来配置为单端或差分。DDR3 SDRAM 同时还有一根新的引脚, 就是低有效的异步 RESET# 脚, 它能在不论当前状态如何的情况下将 SDRAM 带入一个已知的状态, 从而提升系统的稳定性。DDR3 SDRAM 和 DDR2 SDRAM 使用了同类的 FBGA 封装。

在 DIMM 上, DDR3 SDRAM 命令、时钟和地址线都有匹配端接。而使用 DDR2 DIMM 的内存系统中, 命令、时钟和数据都在主板上做端接。DDR3 DIMM 上的端接允许 SDRAM 上的每根命令、时钟和地址引脚都连接到同一根在 DIMM 做了端接的走线上的 fly-by 拓扑结构。这种结构改善了信号完整性, 能够让 DDR3 工作在比 DDR2 的树形结构更高的速度上。Fly-by 拓扑结构为 DDR3 SDRAM 的内存控制器计算写入操作中时钟和数据选通 DQS 之间的时延引入了一个新的写入电平判断功能。DDR3 SDRAM 在防止将错误的 DIMM 插入主板上也和 DDR2 SDRAM 有区别。

SDRAM 设计实现方案从电路板结构直到软件操作, 要求全面进行检验和测试, 以保证存储器可靠运行。如果没有全面检验设计实现方案, 而导致存储器系统中频繁地发生随机错误, 那么产品的可靠性就会大打折扣。

同时支持状态采集和定时采集的逻辑分析仪为检验和调试存储器命令和协议提供了最佳仪器。它还可以使用高达 20ps 的定时采集分辨率, 在功能上检验存储器信号的电气特点。本应用指南重点介绍使用逻辑分析仪, 检验存储器系统是否正确进行命令和协议操作。

DDR3 逻辑分析仪解决方案

泰克逻辑分析仪配合 Nexus Technology 的 DDR3 内存支持包, 可以捕获 DDR3 读/写数据和 DDR3 命令。只有泰克的 TLA7BB4 逻辑分析仪模块能足够快到满足迄今所有 DDR3 速率的测试要求。它拥有在每条通道上高达 20ps(50GS/s)的时间分辨率, 这样内存设计人员可以使用它捕获和分析毛刺、定时错位和信号完整性问题。

本指南中的大多数实例都是采用 512 Mb DDR2 SDRAM, 配置为 64 Meg x 8 个输出。内部配置是 16 Meg x 8 个

输出 x 4 组。这里介绍的技术使用了 TLA7AA4 模块, 同时适用于嵌入式系统、计算机、工作站和服务器的使用的大多数 SDRAM、DDR SDRAM、DDR2 SDRAM 和 DDR3 SDRAM。泰克推荐在测试 DDR3 SDRAM 和多数 DDR2 SDRAM 时使用 TLA7BB4 模块。如需更多测试建议, 请联系您当地的泰克服务专员。一如既往地, 用户应检查使用的存储器的技术数据, 以确定其规范、功能和操作。

逻辑分析仪探测

在过去 10 年中, 逻辑分析仪探测一直在不断进步。最初, 逻辑分析仪探头要么使用抓斗夹连接到 IC 脚上, 要么连接到安装在电路板的方形针脚上。随着数字设计变得越来越复杂, 速度不断提升, 逻辑分析仪探测技术还使用过电路板上的快接式阻抗受控 Mictor 连接器。

尖端数字设计把数字时钟速率推进到接近 1 GHz。其结果是, 探测的信号完整性变得异常关键。在这些超高信号频率上, 连接器的阻抗不匹配及占用电路板空间一般较大的特性, 推动探头革新为高密度无连接器探头。这些高密度无连接器探头直接连接到电路板焊盘和走线上, 电路上不使用或不安装连接器。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南



图 1. 仪器化 DIMM

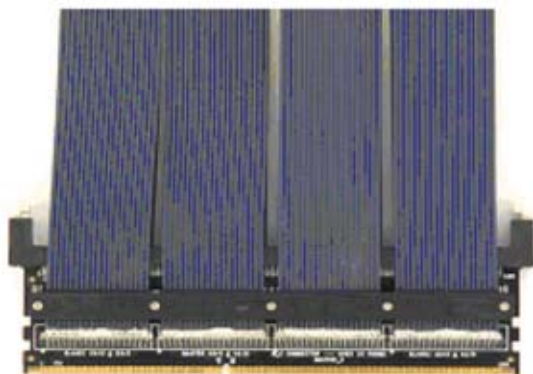


图 2. DIMM 内插器



图 3. 安装在内存 IC 和 DIMM 之间芯片内插器

直接探测

这种探测方式中, Mictor 连接器或无连接器的接触点被布置电路板上。DDR 信号被引到这些连接器或触点上以供逻辑分析仪探头探测。这些要求认真考虑怎样使用逻辑分析仪来检验和调试存储器系统。通过分析连接到存储器系统上的逻辑分析仪探头的仿真结果, 可以确定最佳探测位置, 测量信号及探头负荷对存储器系统操作的影响。最好在设计存储器系统电路板之前完成这一仿真。

在某些情况下, 最终产品设计不允许电路板上留有探测测试点。有几种方式可以检验和调试这些设计。其中一种是先设计一块大型检验电路板, 其中全面配备逻辑分析仪和示波器测试点。在检验和调试完成后, 再设计缩减了测试点或没有测试点的、面积更小的电路板。

探测附件

一个替代方案是使用探测附件来探测电路板上的 DDR SDRAM 信号。这里诸如 Nexus Technology 和 FuturePlus 这些公司提供了几类不同的探测附件, 包括:

仪器化 DIMM

这类加长的 DIMM 上有逻辑分析仪连接器, 这些连接器被是根据 JEDEC 的规范设计的。仪器化的 SO-DIMM 和 FB-DIMM 也已经面世。这些公司提供的解决方案支持所有的 DDR SDRAM 信号测试。

DIMM 内插器

这类产品安装在内存 DIMM 和主板之间。DIMM 内插器使用了混合设计, 所以不需要其它的连接器的。各种不同配置和速率的内插器都能在市场上找到。

命令	S0#	RAS#	CAS#	WE#
模式寄存器	0	0	0	0
刷新	0	0	0	1
预充电	0	0	1	0
激活行	0	0	1	1
写入列	0	1	0	0
读取列	0	1	0	1
无操作	0	1	1	1
取消选定	1	X	X	X

表 2. SDRAM 命令

芯片内插器

有些类型的内插器安装在存储器 IC 和电路板之间。这种设计需要使用焊接的方式,将内存颗粒焊接在内插器上,或者将内存颗粒安装座焊接在内插器上。

逻辑分析仪通道和组设置

SDRAM 存储器命令同步到存储器时钟(CK)的上升沿。4 个命令信号是芯片选择(S0# 或 CS#)、行地址选择(RAS#)、列地址选择(CAS#)和写入启用(WE#)。符号 # 表明信号低电平有效(参见表 2)。某些存储器可能有额外的信号,如时钟有效 (CKE),这是一个高电平有效的信号。

检验存储器命令要求逻辑分析仪探测五个信号: CK, S0#, RAS#, CAS# 和 WE#。TLA 设置只需一两分钟的时间,先从默认系统设置开始。然后,在逻辑分析仪设置窗口中,为五个命令信号(CK, S0#, RAS#, CAS# 和 WE#)分配探头通道,使用 S0#, RAS#, CAS# 和 WE# 通道创建命令组名称。通过创建命令组,可以在逻辑分析仪波形窗口、列表窗口、触发、过滤和搜索中使用符号命令名。

并不是所有逻辑分析仪通道都是一样的。时钟通道用于外部时钟输入,判定通道用来判定时钟边沿,其余逻辑分析仪通道则是正常数据采集通道。例如,建议在使用 136 通道逻辑分析仪模块时,把 SDRAM 存储器 CK 信号连接到逻辑分析仪 CK1 或 CK3 输入通道上,把 SDRAM 存储器命令信号(S0#, RAS#, CAS# 和 WE#)连接到逻辑分析仪 A1, A3, C3 或 E3 通道上。

之所以使用这些特定逻辑分析仪通道,是因为逻辑分析仪模块能够重新配置成使用半通道模式或 1/4 通道模式采集更快、更长的记录长度。例如,使用 TLA7BB4 在全部 136 条通道上使用内部定时,逻辑分析仪最大定时分辨率是 635ps(1.6GS/s),最大记录长度是每条通道 64 Mb。在 1/4 通道模式下,可用的通道数量下降到原始通道数量的 1/4,变成 34 条通道;定时分辨率提高了 4 倍,达到 156 ps(6.4GS/s);记录长度提高了 2 倍,每条通道达到 128 Mb。

为实现最大的灵活性,最好从全通道、半通道和 1/4 通道内部时钟输出模式下使用的 CK1, CK3, A1, A3, C3 和 E3 通道入手。此外,在状态采集模式下,TLA7BB4 逻辑分析仪模块可以使用半通道模式和 1/4 通道模式采集更快的数据速率和更快的时钟速率。查看逻辑分析仪手册,看能否重新配置,通过降低通道数量或存储器容量,来提高定时分辨率。在测量设置中没有使用所有逻辑分析仪通道时,应先使用这些通道。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

Waveform	Activity
LA 1: Sample	
LA 1: CLK	↕

图 4. 活动箭头指明了 DDR2 SDRAM 时钟转换。

Waveform	Activity
LA 1: Sample	
LA 1: CLK	—

Waveform	Activity
LA 1: Sample	
LA 1: CLK	—

图 5. 和 6 DDR2 SDRAM 时钟，逻辑高或低中没有边沿转换，活动的横线指明了这一点。

逻辑分析仪门限设置和信号活动

逻辑分析仪门限取决于信号类型和被测的存储器类型。门限决定着信号的逻辑高低，具体视门限电压电平值而定。例如，DDR2 SDRAM 对 S0#, RAS#, CAS# 和 WE# 命令信号使用 0.9 V 门限。DDR2 SDRAM VREF(DC) 同样也使用 0.9 V 门限。DDR2 SDRAM CK 是一个差分信号，逻辑分析仪门限设为 0 V，而某些设计人员则使用高于 0V 的 50 mV 的小偏置。设计中带有差分时钟和单端数据信号正变得越来越常见。因此，泰克逻辑分析仪探头是为探测差分时钟、差分判定符信号和单端数据信号而设计的。

DDR3 SDRAM 的 VREF(DC) 是 0.750V，逻辑电平要低于 DDR2 SDRAM。

为了说明这个过程，我们先恢复出厂默认设置。然后，在设置窗口中，把时钟和命令信号增加到探头通道中，然后为命令信号创建一个命令组，并设置相应的门限值。触发配置设为立即触发。也就是说，它设置成在看到的第一个样点上触发采集。这与任意事件触发相同。一旦按下 Run 按钮，立即触发将立即采集数据。在波形窗口中，样点标记和时钟信号添加到波形画面中。点击 Activity 按钮，查看每个波形标签旁边的信号活动情况。

Activity(活动)指示符可以在运行逻辑分析仪前有效检查实际信号。对时钟来说，应该有一个垂直的双箭头标示，表明检测到时钟转换(参见图 4)。如果没有波形活动标示(参见图 5 和图 6)，则进行下述检查：存储器系统已经加电运行，相应探头通道连接到存储器系统的相应测试点上，逻辑分析仪门限是差分时钟信号的正确电平。

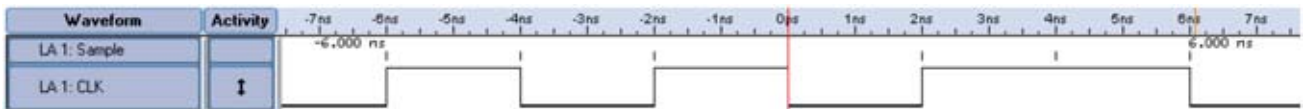


图 7. 以 2 ns 定时分辨率测量的 DDR2 SDRAM 时钟。

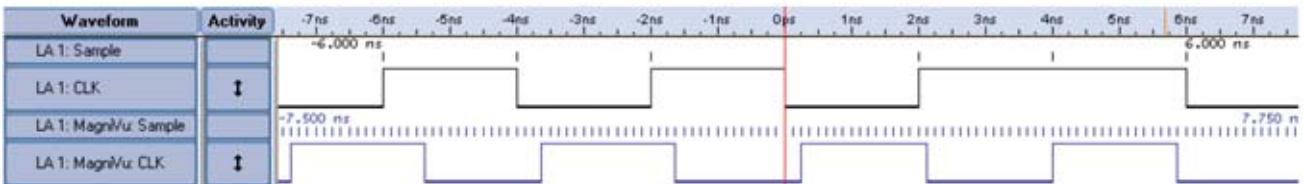


图 8. 顶部是深定时波形中以 2 ns 定时分辨率测量的 DDR2 SDRAM 时钟，底部是波形中以 MagniVu 125 ps 高分辨率定时测量的 DDR2 SDRAM 时钟。注意 125 ps 定时分辨率可以更好地表示时钟信号。

DDR2 SDRAM 时钟波形

按Run按钮,使用逻辑分析仪捕获DDR2 SDRAM时钟。定时波形如图 7 所示。注意垂直 Sample(样点)标记表明时钟是以逻辑分析仪默认的2 ns定时分辨率测量的。定时测量的分辨率越高,时钟测量的准确性越高。有两种技术,可以以更高的定时分辨率测量时钟。第一种技术是使用半通道或 1/4 通道定时模式。第二种技术是使用泰克 MagniVu™ 采集,在 TLA7AA4 上可获得 125 ps 高分辨率定时,而在 TLA7BB4 上可获得 20ps 的高分辨率定时。

MagniVu 是泰克专利的数字过采样逻辑分析仪构架,它在每条逻辑分析仪通道上采用一个高分辨率采样器,为所有逻辑分析仪采集模式采集数据,同时保存自己的高分辨率定时数据。它就像一台仪器中有两部逻辑分析仪一样: MagniVu 高分辨率定时和正常深存储定时或

状态采集。由于这个高分辨率采样器的数据供各种采集方式使用,因此 MagniVu、深定时和状态采集可以实现完美时间相关。

在 TLA7AA4 上, MagniVu 采样分辨率是 125 ps,记录长度是 16K。同时 TLA7BB4 上,采样分辨率是 20ps,记录长度是 128K。MagniVu 高分辨率定时总是在采集数据的,而不能关闭。为查看 DDR2 SDRAM 时钟波形的 MagniVu 125 ps 高分辨率定时波形,只需按 MagniVu 按钮(参见图 8)。

在图 8 中,注意更高定时分辨率的好处。使用相同的逻辑分析仪探头,以两种不同的定时分辨率测量 DDR2 SDRAM 时钟信号。在 TLA7AA4 的 MagniVu 波形中,信号边沿不确定性是 125 ps,而在深定时波形中,边沿不确定性是 2 ns。MagniVu 125 ps 高分辨率定时可以更准确地捕获信号。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

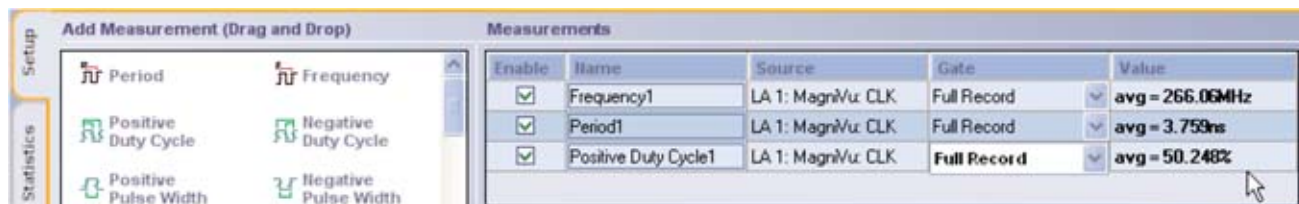


图 9. DDR2 SDRAM 时钟测量: 266.06 MHz 频率, 3.759 ns 周期和 50.248% 正占空比。

DDR2 SDRAM 时钟测量

通过使用逻辑分析仪拖放测量, 可以迅速检查 DDR2 SDRAM 时钟频率、周期和占空比。在波形窗口底部测量一栏中, 选择频率测量, 把它拖放到 MagniVu DDR2 SDRAM 时钟波形上。对周期测量和正占空比测量进行同一操作。之所以使用 MagniVu 波形, 是因为它拥有最高的边沿分辨率。为提高拖放测量的精度, 把测量选通(Gate)从 Display(显示)变成 Full Record (全部记录)(参见图9)。测量的统计(Statistics)一栏显示了样本总量从显示选通中的 4 变成了全部记录选通下的 542。

50.248% 正占空比落在这一存储器 45% – 55% 的规范范围内。例如, 对 DDR2 533 SDRAM, 时钟频率是 266.06 MHz。人们经常提到 DDR2 SDRAM 的数据速率, 这一数据速率是时钟频率的两倍。

为实现最高的测量精度, 最好使用泰克高性能示波器测量时钟信号。使用示波器及 DPOJET 抖动和时序分析软件可以很好分析其它时钟指标, 如时钟抖动、上升时间、下降时间和扩频时钟(SSC)。一般来说, 示波器拥有更高的模拟带宽、更高的采样速率, 提供了模拟信号测量能力。这些测量功能使得示波器更适合高精度模拟测量和参数测量。但是, 使用逻辑分析仪拖放测量可以非常迅速简便地检查 DDR2 SDRAM 时钟功能。

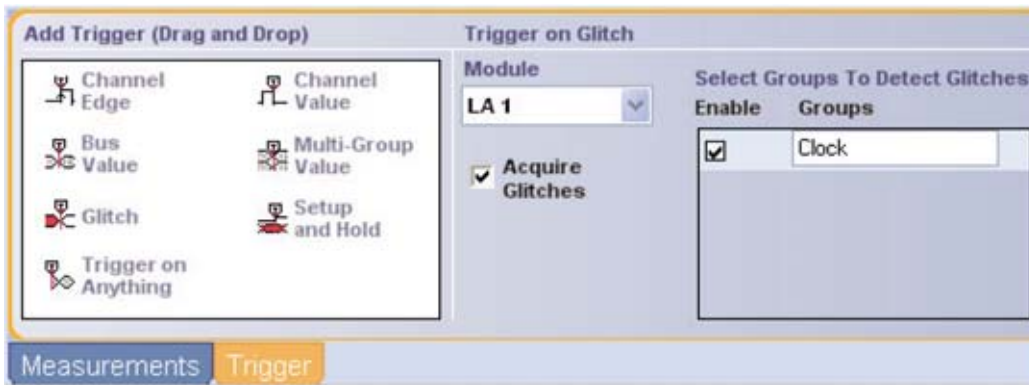


图 10. 在 DDR2 SDRAM 时钟上迅速拖放触发设置，检查毛刺。

检查时钟毛刺

存储器控制器提供干净的DDR2 SDRAM时钟对存储器可靠运行至关重要。串扰、走线阻抗误差、信号端接错误、电源故障等都会引起时钟毛刺。

对 SDRAM, DDR SDRAM、DDR2 SDRAM 和 DDR3 SDRAM, 使用逻辑分析仪的拖放毛刺触发功能, 可迅速检查时钟毛刺。在波形窗口中, 选择位于 Measurement (测量) 一栏旁边的 Trigger (触发) 一栏, 把增加的毛刺触发拖放到时钟组波形上。这种拖放毛刺触发功能将把逻辑分析仪设置成只在时钟毛刺上触发采集(参见图 10)。

泰克 TLA 系列逻辑分析仪把毛刺定义为深定时采样周期中出现两个或两个以上的边沿。拖放触发窗口中的采集毛刺复选框, 可以开关红色毛刺条标记。在毛刺触发中, 逻辑分析仪会一直运行, 只有在看到 SDRAM 时钟

上的毛刺时才会停止运行。在存储器时钟测试中使用逻辑分析仪毛刺触发的关键, 是时钟正脉宽和负脉宽必须大于深定时采样周期。

如果在吃午饭前或周末休息前启动逻辑分析仪, 在返回时逻辑分析仪仍在运行, 那么您可以树立信心, SDRAM 时钟信号中没有毛刺。如果有毛刺, 支持逻辑分析仪和示波器综合操作的 iView™ 显示会从存储器协议到数字波形和模拟波形, 提供强大全面的存储器信号查看能力, 以进行调试。如果逻辑分析仪触发毛刺, 那么您将在波形窗口的触发点上, 在与深定时采样周期相同的时间, 从 MagniVu 波形上看到两个或两个以上的边沿。为进一步调试时钟毛刺, 使用上面提到的综合操作。在这一操作中, 逻辑分析仪将触发时钟毛刺。然后, 逻辑分析仪会触发示波器, 捕获毛刺的模拟特点。然后, 逻辑分析仪会导入并显示该模拟时钟波形, 且时间上与逻辑分析仪数字波形相一致。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

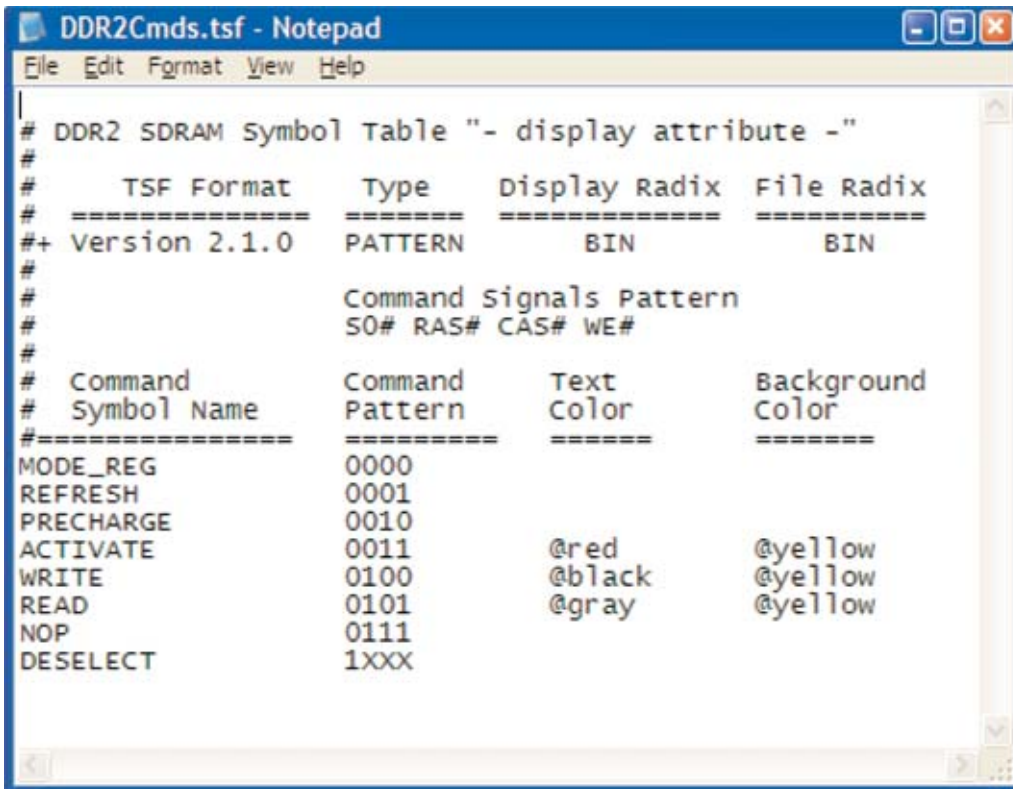


图 11. 使用逻辑分析仪 PowerTrigger 程序，确定逻辑分析仪运行的时间长度，计算 SDRAM 时钟毛刺数量。

注意，拖放触发只在深定时组和各条波形通道上工作。因此，在波形窗口中增加时钟波形时，最好使用时钟组，不要按探头或按名称增加时钟波形。在波形窗口中，波形标记左边的扩展框指明了波形组。在组中拥有一条以上的通道时，波形组显示为总线波形。为扩展组，只需点击扩展框上的加号。为压缩组，只需点扩展框上的减号。

为确定毛刺有多大，创建一个两种状态的逻辑分析仪 PowerTrigger 程序，启动定时器，计算毛刺数量，直到停止逻辑分析仪 (参见图 11)。逻辑分析仪状态监视器中会一直更新和显示定时器和计数器的值。一旦逻辑分析仪开始运行，第一个状态会启动一个定时器。第二个状态会计算毛刺数量，直到停止逻辑分析仪。

泰克示波器还能够触发毛刺。因此，如果您正在使用示波器测量时钟，那么应该花几分钟来通过设置触发器触发毛刺，以检查时钟信号。



```
# DDR2 SDRAM Symbol Table "- display attribute -"
#
#   TSF Format      Type      Display Radix  File Radix
#   =====      =====
#+  Version 2.1.0  PATTERN   BIN            BIN
#
#           Command Signals Pattern
#           S0# RAS# CAS# WE#
#
#   Command      Command      Text      Background
#   Symbol Name  Pattern      Color     Color
#   =====      =====      =====
MODE_REG        0000
REFRESH         0001
PRECHARGE       0010
ACTIVATE        0011      @red      @yellow
WRITE           0100      @black    @yellow
READ            0101      @gray     @yellow
NOP             0111
DESELECT        1XXX
```

图 12. DDR2 SDRAM 的码型符号文件实例。

捕获和显示 SDRAM 命令信号

存储器控制器把时钟和存储器命令发送到 SDRAM。在 SDRAM 问世前，RAS#、CAS# 和 WE# 边沿的定时和顺序决定着动态 RAM (DRAM) 工作模式。同步 DRAM (SDRAM) 在 SDRAM 时钟的上升沿对 S0#，RAS#，CAS# 和 WE# 命令信号采样。SDRAM 顺序同步命令操作代替 DRAM 异步操作。

为增加 SDRAM 命令组，在逻辑分析仪波形窗口中操作。如果设置成立即触发，您可能看不到命令组中的任何变化。这是因为存储器控制器可能取消了选择存储器，在按逻辑分析仪 Run 按钮时，没有任何存储器命令发送到 SDRAM。

Activate Row(激活行)命令是写入或读取命令序列的第一个命令。为在 Activate Row 命令上触发逻辑分析仪，把逻辑分析仪配置成触发等于 0011 的命令组，即 S0#=0, RAS#=0, CAS#=1 和 WE#=1，如表 2 所示。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

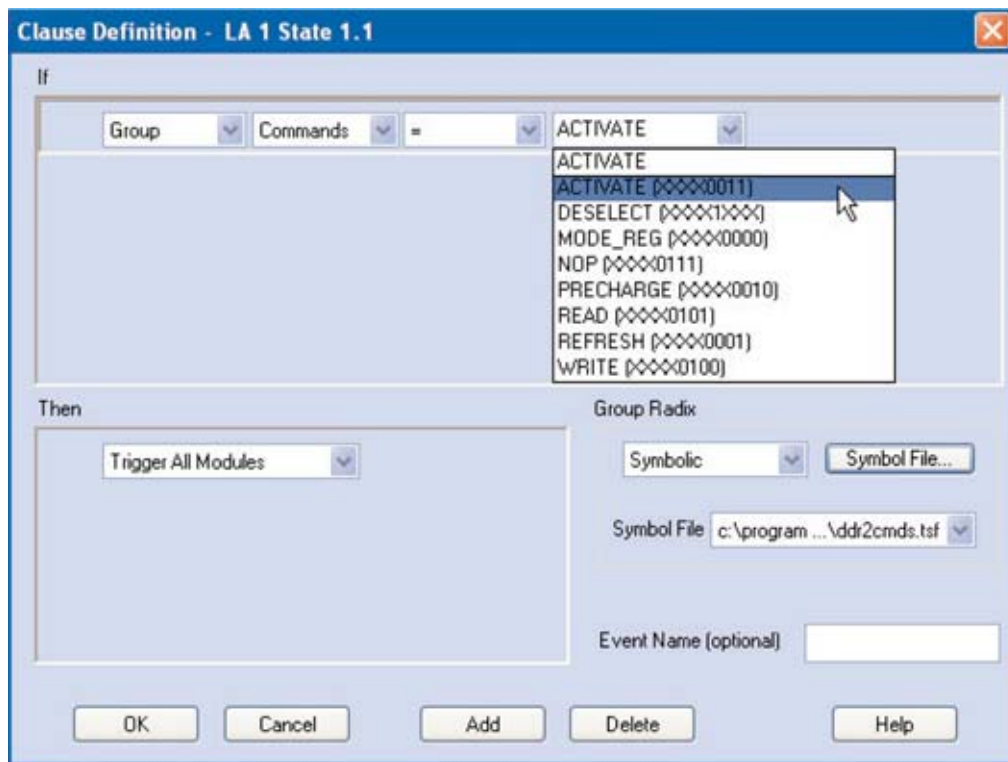


图 13. 逻辑分析仪 PowerTrigger 程序使用码型符号，触发 SDRAM 激活命令。

处理 0011 之类的数字逻辑容易发生错误。逻辑分析仪以多种格式处理数据：二进制，八进制，十六进制，十进制，带符号的十进制和符号。在一组信号定义了逻辑状态时，如 SDRAM 命令组，会使用码型符号文件。每个码型符号还可以有相关的颜色。根据 SDRAM 命令表，如表 1 所示，使用 Microsoft Notepad 创建了下面的泰克符号文件(TFS)，并保存为 DDR2Cmds.tsf (参见图 12)。

在设置逻辑分析仪触发 SDRAM 激活命令时，逻辑分析仪使用这些码型符号(参见图 13)。在逻辑分析仪 PowerTrigger 语句定义中，逻辑分析仪配置成在命令组等于激活命令时触发采集。为在 PowerTrigger 语句定义中使用码型符号，Group Radix(组基数)变成符号，选择 DDR2Cmds.tsf 文件。

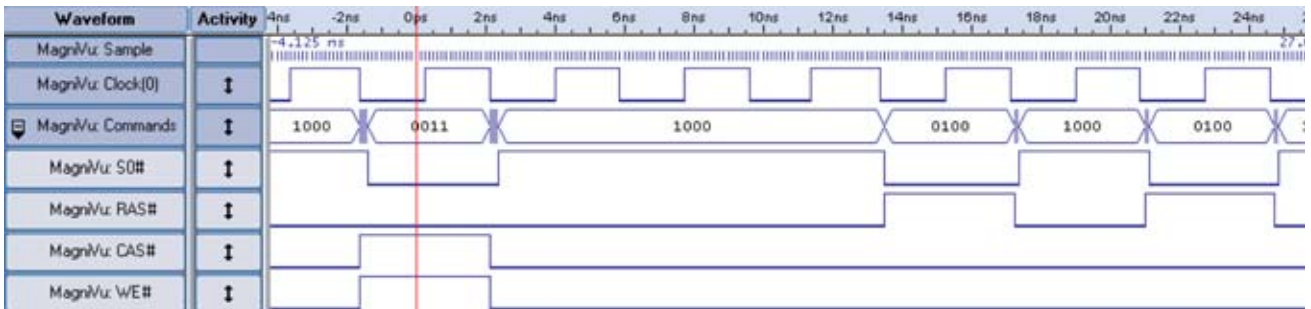


图 14. 触发命令组中的 SDRAM 激活命令。命令组扩展成显示 SDRAM 命令 S0#, RAS#, CAS# 和 WE# 信号。

逻辑分析仪触发 SDRAM 激活命令(二进制 0011) (参见图 14)。命令组波形显示为总线，二进制的命令总线值和信号边沿转换用十字线或从上到下的竖线表示。

在图 14 中，通过点击命令组标记左面的加号，可以扩展命令组总线，查看各个信号。命令组基数采用二进制。0ps 上的竖线是触发点。在触发点上，命令组是二进制 0011，这是激活命令，如表 1 所示。触发点上扩展的命令波形是 S0#=0, RAS#=0, CAS#=1 和 WE#=1。

与逻辑分析仪触发一样，改变命令组总线中所示数字的基数。在波形属性中，把基数变成符号，选择 PowerTrigger 中使用的相同的码型符号 DDR2Cmds.tsf 文件。通过使用彩色符号，可以查看可读性高得多的总线(参见图 15)。使用带符号的总线，为检验 SDRAM 命令协议顺序和定时关系是否正确提供了强大的工具。

检验 SDRAM 写入操作

SDRAM 写入操作的协议顺序的开头是激活命令，然后是一条或多条写入命令。带有行和组地址的激活命令会在特定组中打开特定行，进行写入和读取。带有列和组地址的写入命令会在特定组中打开的行内打开特定列，以进行写入。对访问没有打开行的组的写入命令，将发生协议错误。在写入命令后，存储器在规定的存储器周期中，预计存储器控制器会对其写入数据。一般来说，DDR2 SDRAMs 会用 4 的倍数组来处理数据。在打开的行完成写入，要访问其它行时，必需使用预充电命令关闭行。最简单的 DDR2 SDRAM 命令协议顺序是激活、写入和预充电。连续的写入到写入顺序是激活、多次写入和预充电。写入到读取顺序是激活、写入、读取和预充电。在打开的行上可以采用任何写入和读取顺序。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

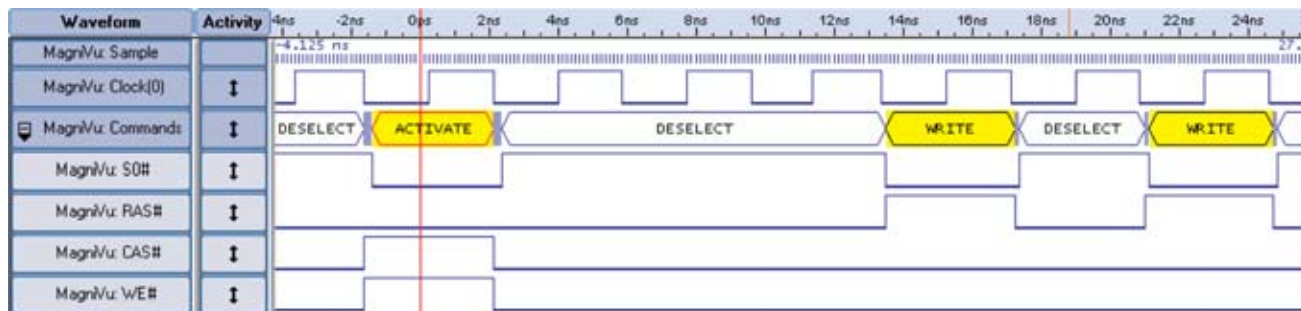


图 15. 触发 SDRAM 激活命令，命令组使用带颜色的命令符号。此外，命令组扩展显示 S0#, RAS#, CAS# 和 WE# 信号。

图 15 显示了写入顺序开头是激活命令，后面跟着写入命令。DDR2 SDRAMs 指定了激活命令和写入命令之间的最小($t_{RCD}(\text{MIN})$)。此外，这个最小时间取决于存储器的附加时延。公布的 CAS 附加时延(AL)使得命令和数据总线能够更加高效地实现可持续带宽。附加时延允许在最小($t_{RCD}(\text{MIN})$)之前，把写入命令发送到存储器。附加时延值通过存储器控制器编程到存储器扩展模式寄存器。DDR2 SDRAM 实例中没有使用附加时延。例如，对 DDR2 SDRAM，在附加时延为零时，不应在激活命令的 $t_{RCD}(\text{MIN})$ 范围内发送写入命令。在本例中， $t_{RCD}(\text{MIN})$ 规定为 15 ns。检验 t_{RCD} 值的快速方

式是在激活命令的上升时钟沿上点击鼠标右键，在这里增加一个标尺，对写入命令的上升时钟沿进行同一操作。为帮助提高读取能力，可以在标尺上双击鼠标，把默认名称变成 Activate 和 Write。此外，如果需要根据时钟边沿调节激活和写入标尺，那么在使用鼠标抓取标尺、并在时钟波形顶部水平移动时，标尺将卡到时钟波形边上。在不想把标尺卡到波形边沿时，在空白波形空间上水平移动标尺。然后，改变增量时间测量框，显示激活标尺和写入标尺之间的时间差。可以从菜单条中调出增量时间测量框，移到更加方便的地方。

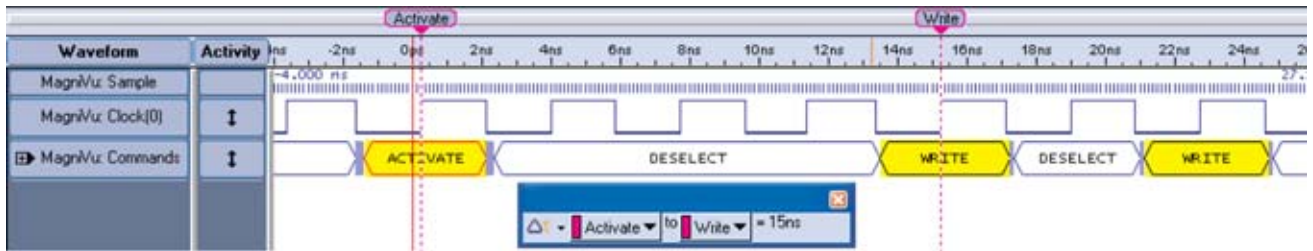


图 16. 测量激活命令和写入命令之间的 tRCD 值为 15 ns。

写入命令是在激活命令后 15 ns 发送的(参见图 16)。如果测得的 tRCD 小于 15 ns, 附加时延为零, 那么存储器控制器违反了 DDR2 SDRAM 规范。

图 16 还显示了连续写入到写入操作的开头。存储器控制器在第一个写入后两个时钟周期时发送第二条写入命令。在连续写入命令之间有一条 deselect 命令。如果存储器控制器在一个行中发送了两条写入命令, 而在这两条写入命令之间没有 deselect 命令, 那么会发生 DDR2 DRAM 协议错误。DDR2 DRAM 将读取存储器控制器选通的数据, 来对写入命令作出响应。

DDR2 DRAM 的最低突发长度是四个数据位。DDR 是双倍数据速率的缩写, 表示每个时钟周期写入两个数据位。完成突发长度为四个数据位的写入操作需要两个时钟周期, 正因如此, 写入命令后面要跟有取消选定命令。

取消选定命令为写入命令之后所需的第二个数据写入周期提供了时间。另一个关键 DDR2 DRAM 指标是发送预充电命令后及发送激活命令、打开一个行之前的最小 tRP 时间。通过把逻辑分析仪变成触发预充电命令, 测量同一组中预充电命令和激活命令之间的 tRP 时间, 可以简便地完成这一操作。

图 16 显示了 DDR2 DRAM 写入操作。这些协议和定时检验技术同样也适用于 DDR2 DRAM 读取操作。

使用逻辑分析仪状态采集进行协议检验

逻辑分析仪状态采集为采集和检验 SDRAM 命令协议顺序提供了更加高效的方式。状态采集采用 SDRAM 时钟, 在逻辑分析仪中存储 SDRAM 命令值。一个 SDRAM 时钟周期使用一个逻辑分析仪存储器位置, 定时采集中则使用多个逻辑分析仪存储器位置。状态采集也被称为外时钟采集或同步采集。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

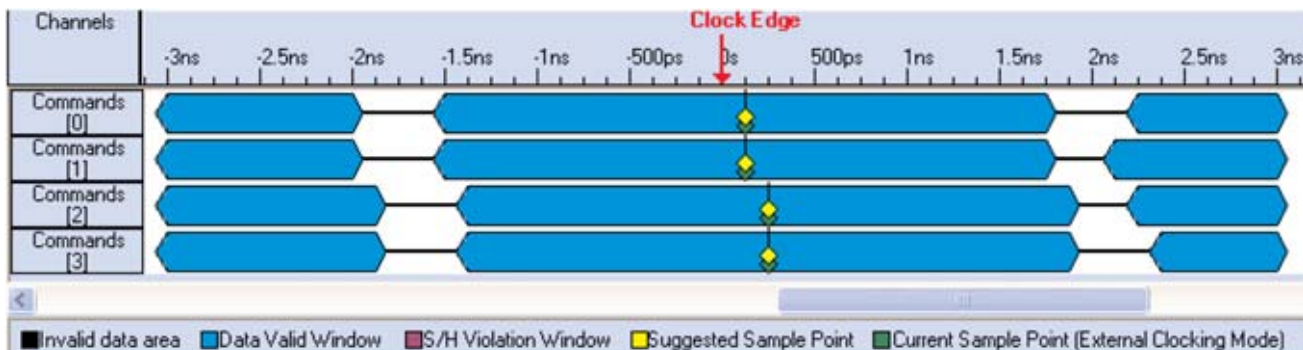


图 17. 逻辑分析仪 AutoDeskew 分析用黄色菱形显示了建议的样点位置。绿色菱形显示了当前的样点位置，其已经设置成等于建议位置。

与时钟同步的信号，如 SDRAM 命令，相对于 SDRAM 时钟边沿具有建立时间和保持时间要求。这也称为数据有效窗口。存储器命令信号的数据有效窗口位于 SDRAM 上升时钟边沿周围。逻辑分析仪对 SDRAM 命令信号有一个数据有效窗口，以使用 SDRAM 时钟采集 SDRAM 命令。逻辑分析仪的灵活之处在于，可以调节每条逻辑分析仪通道的数据有效窗口，找到最佳位置，保证逻辑分析仪可靠地捕获信号。

逻辑分析仪 AutoDeskew 分析将为每条通道提供逻辑分析仪数据有效窗口的最佳位置。

AutoDeskew 分析 SDRAM 命令信号，查找边沿转换。边沿转换参考外部 SDRAM 上升时钟边沿(参见图 17)。黑色横线表明由于边沿转换导致的无效数据。蓝色实条表明了没有边沿转换的数据有效窗口。黄色菱形显示了

逻辑分析仪的建议样点位置。绿色菱形显示了逻辑分析仪的当前样点位置，其已经进行调节，以匹配建议的样点位置。命令[3, 2, 1 和 0]通道代表 S0#, RAS#, CAS# 和 WE# 命令信号。

在本例中，S0#, RAS#, CAS# 和 WE# 命令信号行为良好，边沿时间类似，无效数据区域很小。由于在没有激活芯片选择 S0# 时，RAS#、CAS# 和 WE# 边沿可能发生在时钟周期的任何时间，因此不要求这些行为良好的信号。AutoDeskew 将看到这些边沿，在时钟边沿周围显示非常小的数据有效窗口，或没有数据有效窗口。AutoDeskew 将一直处理芯片选择 S0#，因为它一直是一个活动命令信号。如果在 SDRAM 时钟边沿周围，AutoDeskew 没有显示数据有效窗口，那么先对 RAS#、CAS# 和 WE# 使用 S0# 建议样点。

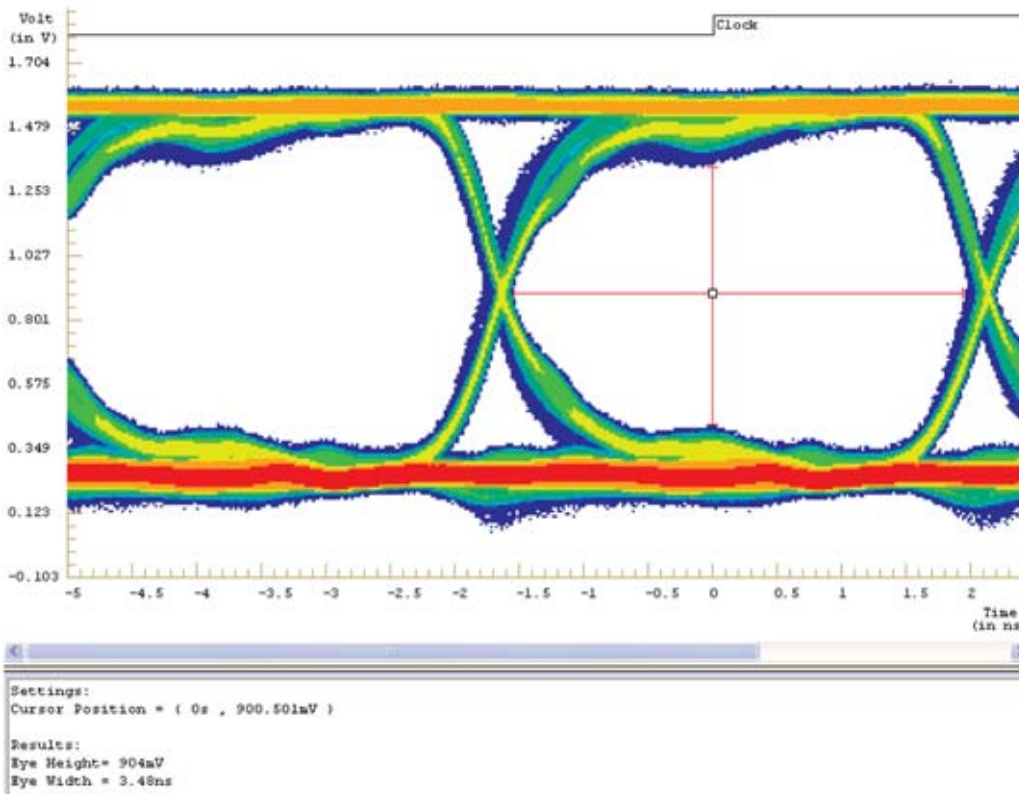


图 18. 与 SDRAM 上升边沿时钟有关的 S0#, RAS#, CAS# 和 WE# 的多通道眼图。光标上的眼图张开为 904 mV 高、3.48 ns 宽。

至少有四种方法，可以检验建议的样点位置。第一，使用 AutoDeskew 建立时间 / 保持时间违规分析；第二，根据建议的样点位置设置建立时间 / 保持时间违规 PowerTrigger；第三，分析 CK, S0#, RAS#, CAS# 和 WE# 的 MagniVu high 分辨率轨迹，检验建议的这些样点位置；第四，使用逻辑分析仪和示波器 iVerify™ 综合分析功能，分析多通道眼图(参见图 18)。

iCapture™ 多路复用是泰克逻辑分析仪的独特功能，其中逻辑分析仪和外部示波器同时使用逻辑分析仪探头。逻辑分析仪使用 iView 接口电缆控制、触发和传送来自示波器的数据。iVerify 分析功能使用 iCapture 和 iView 在逻辑分析仪显示屏上创建多通道眼图。可以一次分析所有眼图，也可以突出显示一条通道。图 18 显示了 S0#, RAS#, CAS# 和 WE# 的多通道眼图。可移动的光标在上升时钟边沿测得的眼图张开高 904 mV、宽 3.48 ns。这一分析功能设置迅速，用来检查 S0#, RAS#, CAS# 和 WE#。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

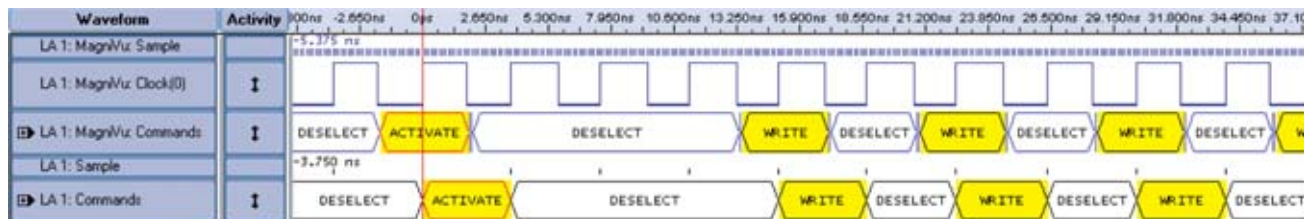


图 19. 命令状态总线位于波形窗口底部。顶部波形和总线是 SDRAM 时钟和命令的 MagniVu 125ps 高分辨率定时。

在芯片选择 S0# 无效时, RAS#、CAS# 和 WE# 可以在时钟周期中的任何地方变化。但是, 这会由于取消选定存储器时发生的边沿转换而导致无效眼图。iVerify 设置菜单为使用任何逻辑分析仪通道判定上升时钟边沿提供了一种方式。因此, S0# 低有效用来判定上升时钟边沿, 捕获有效眼图。

波形窗口的顶部显示了 MagniVu 125 ps 高分辨率定时 (参见图 19)。底部是状态采集命令总线, 它采用码型符

号文件进行解码。注意查看命令状态总线上方的 Sample 记号。注意其只发生在 SDRAM 时钟的上升沿上, 因为正是这个时钟边沿导致逻辑分析仪对命令总线采样。结果, 逻辑分析仪只在 SDRAM 时钟周期中对命令采样一次, 命令状态总线只有 SDRAM 时钟的上升沿上发生取值变化。状态采集的优点是逻辑分析仪查看命令总线的方式与 SDRAM 查看命令总线的方式相同。

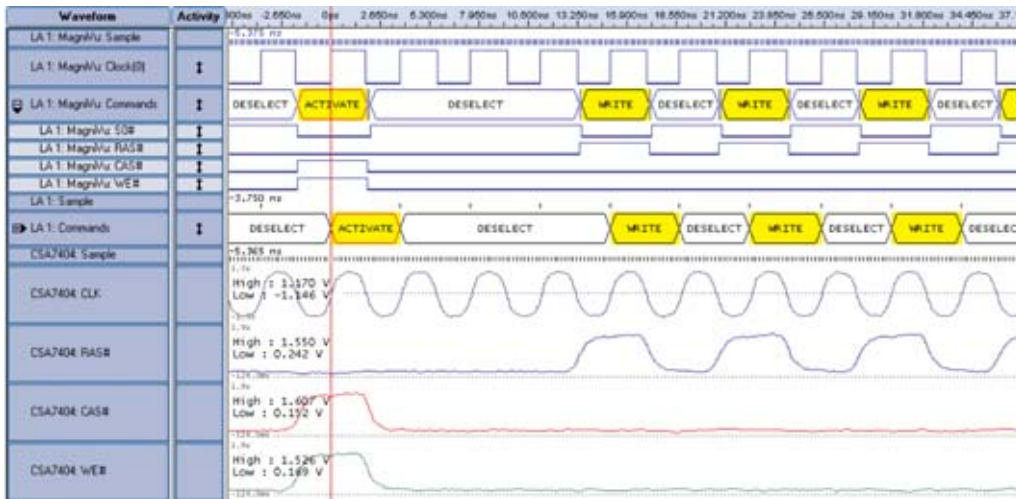


图 20. 逻辑分析仪 iCapture 探头可以同时探测三种 SDRAM 时钟和命令测量。顶部波形是 MagniVu 125 ps 高分辨率定时。中间命令总线是状态采集。底部四个波形是使用 iView 接口的示波器发出的 CLK, RAS#, CAS# 和 WE#。

iLink™ 系列工具: 把两种强大的测量工具合二为一

尽管逻辑分析仪和示波器长期以来一直是数字调试的首选工具,但并不是每个设计人员都能看到把这两大仪器集成起来所具有的明显优势。

逻辑分析仪通过读取数字信息流,触发采集电路问题,捕获相关事件,加快了调试和检验速度。示波器则深入数字定时图,显示原始模拟波形,迅速揭示信号完整性问题。

泰克多款逻辑分析仪都提供了 iLink™ 系列工具,这是业内独有的逻辑分析仪 / 示波器集成软件包。iLink™ 系列工具将泰克示波器和泰克 TLA 系列逻辑分析仪的处理能力——20 ps 分辨率的 MagniVu™ 采集及基于状态机的高级触发功能——结合在了一起。

强大的一系列 iLink™ 工具功能把时间相关的数字信号和模拟信号带入逻辑分析仪显示屏中。逻辑分析仪以数字形式采集和显示信号,相连的 TDS 系列示波器则以模拟形式捕获相同的信号,并在逻辑分析仪屏幕上显示信号。同时查看这两个视图,可以简便地查看模拟领域中的毛刺怎样导致了数字域中的定时问题。

iLink™ 系列工具是专门设计的完善套件,加快了问题检测和调试速度:

- iCapture™ 多路复用通过一个逻辑分析仪探头同时提供数字采集和模拟采集
- iView™ 画面在逻辑分析仪显示屏上提供时间相关的逻辑分析仪和示波器综合测量功能
- iVerify™ 分析使用示波器生成的眼图,提供多通道总线分析和检验测试

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

泰克 iCapture 和 iView 在逻辑分析仪和示波器之间提供了集成操作。CLS, RAS#, CAS# 和 WE# 的示波器波形在时间上与逻辑分析仪命令状态总线及 SDRAM 时钟和命令的 MagniVu 125 ps 高分辨率定时相关(参见图 20)。通过 iCapture 逻辑探头, 可以全面查看这种模拟、数字定时和数字状态的波形。逻辑分析仪可以触发示波器, 示波器也可以触发逻辑分析仪。泰克 iCapture、iView 和 iVerify 都是 iLink™ 系列工具的一部分, 为检验和调试存储器提供了强大的功能。

列表窗口为分析命令状态数据提供了更加高效的方式(参见图 21)。第一列列明了样点数量。第二列列明了上一个码型符号文件已经解码的命令状态数据。最后一列是 125 ps 分辨率的时戳。这可以通过多种方式配置: 从开始起的时间, 从触发起的时间, 从上一个样点起的时间(如图 21 所示)及其它变化。注意, 中间的横线是触发点。触发位于激活命令上。在激活命令前有一个很长的 deselec 序列。激活命令是写入到写入操作长序列的开头。激活命令后面三个 deselect 可以满足发送写入命令前最小 DDR2 SDRAM $t_{RCD(MIN)}$ 。写入命令之间的 deselect 命令为从前面的写入命令把四个数据位写入存储器留出了时间。

Sample	Commands	Timestamp
65506	DESELECT	3.750 ns
65507	DESELECT	3.750 ns
65508	DESELECT	3.750 ns
65509	DESELECT	3.750 ns
65510	DESELECT	3.750 ns
65511	DESELECT	3.750 ns
65512	DESELECT	3.875 ns
65513	DESELECT	3.750 ns
65514	DESELECT	3.750 ns
65515	DESELECT	3.750 ns
65516	DESELECT	3.750 ns
65517	DESELECT	3.750 ns
65518	DESELECT	3.750 ns
65519	DESELECT	3.750 ns
65520	DESELECT	3.750 ns
65521	DESELECT	3.750 ns
65522	DESELECT	3.750 ns
65523	DESELECT	3.750 ns
65524	DESELECT	3.750 ns
65525	DESELECT	3.750 ns
65526	DESELECT	3.750 ns
65527	DESELECT	3.875 ns
65528	DESELECT	3.750 ns
65529	DESELECT	3.750 ns
65530	DESELECT	3.750 ns
65531	DESELECT	3.750 ns
65532	DESELECT	3.750 ns
65533	DESELECT	3.750 ns
65534	DESELECT	3.750 ns
65535	ACTIVATE	3.750 ns
65536	DESELECT	3.750 ns
65537	DESELECT	3.750 ns
65538	DESELECT	3.750 ns
65539	WRITE	3.750 ns
65540	DESELECT	3.750 ns
65541	WRITE	3.750 ns
65542	DESELECT	3.875 ns
65543	WRITE	3.750 ns
65544	DESELECT	3.750 ns
65545	WRITE	3.750 ns
65546	DESELECT	3.750 ns
65547	WRITE	3.750 ns
65548	DESELECT	3.750 ns
65549	WRITE	3.750 ns
65550	DESELECT	3.750 ns
65551	WRITE	3.750 ns
65552	DESELECT	3.750 ns
65553	WRITE	3.750 ns
65554	DESELECT	3.750 ns
65555	WRITE	3.750 ns
65556	DESELECT	3.750 ns
65557	WRITE	3.875 ns
65558	DESELECT	3.750 ns
65559	WRITE	3.750 ns
65560	DESELECT	3.750 ns
65561	WRITE	3.750 ns
65562	DESELECT	3.875 ns
65563	WRITE	3.750 ns
65564	DESELECT	3.750 ns
65565	WRITE	3.750 ns
65566	DESELECT	3.750 ns
65567	WRITE	3.750 ns
65568	DESELECT	3.750 ns
65569	WRITE	3.750 ns
65570	DESELECT	3.750 ns
65571	WRITE	3.625 ns

图 21. 列表窗口显示 SDRAM 命令的状态采集及命令符号名称。

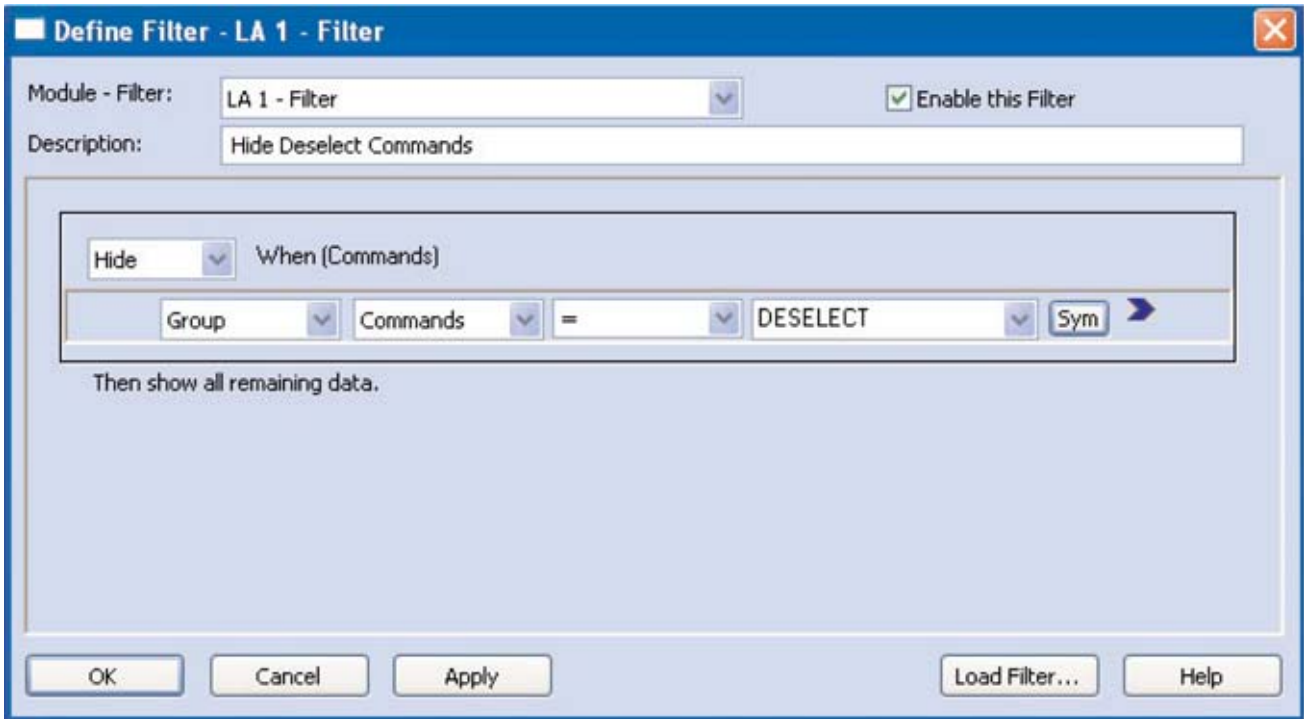


图 22. 隐藏所有 SDRAM deselect 命令的显示过滤器。

您可以定义显示过滤器，更加有效地进行分析。例如，图 21 显示了大量的 deselect 命令。如果在列表窗口中隐藏 deselect 命令，那么其会更加有效。Define Filter (定义过滤器)窗口用来隐藏 deselect 命令(参见图 22)。

注意在命令组等于 deselect 时，隐藏中会使用命令符号名称。显示过滤器不改变采集的数据，而只会影响数据显示的方式。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议应用指南

现在可以应用隐藏 deselect 命令显示过滤器，来查看列表窗口(参见图23)。在激活命令前可以看到相距大约 7.8 μ s 的一长串刷新命令，在激活命令前可以看到一长串写入到写入命令。注意时戳值针对的是以前显示的命令。第一个写入命令的时戳是 15 ns，这是波形窗口中测得的值。对这个存储器，激活到写入命令的最小时间 tRCD(MIN)是 15 ns。时戳的分辨率是 125 ps。如果使用 TLA7BB4，时戳分辨率将会是 20ps。

检验刷新操作

DRAM 的基本存储单元是为每个存储单元提供的电容器。存储单元电容器上的电荷最终会衰落，存储单元的值会丢失。在存储单元电容器的值丢失之前，必需读取存储单元，然后把相同的值放回到存储单元中。这一操作称为刷新。

Sample	Filter Commands	Timestamp
580	REFRESH	0 ps
2656	REFRESH	7.802,125 us
4732	REFRESH	7.802,500 us
6808	REFRESH	7.802,500 us
8884	REFRESH	7.802,625 us
10960	REFRESH	7.802,375 us
13036	REFRESH	7.802,000 us
15112	REFRESH	7.802,250 us
17188	REFRESH	7.802,125 us
19264	REFRESH	7.802,125 us
21340	REFRESH	7.801,750 us
23416	REFRESH	7.801,750 us
25492	REFRESH	7.802,250 us
27568	REFRESH	7.802,000 us
29644	REFRESH	7.802,125 us
31720	REFRESH	7.802,250 us
33796	REFRESH	7.802,125 us
35872	REFRESH	7.802,375 us
37948	REFRESH	7.802,250 us
40024	REFRESH	7.802,750 us
42100	REFRESH	7.802,750 us
44176	REFRESH	7.802,000 us
46252	REFRESH	7.802,125 us
48328	REFRESH	7.802,250 us
50404	REFRESH	7.802,000 us
52480	REFRESH	7.801,625 us
54556	REFRESH	7.802,375 us
56632	REFRESH	7.801,875 us
58708	REFRESH	7.802,375 us
60784	REFRESH	7.802,625 us
62860	REFRESH	7.801,875 us
64936	REFRESH	7.802,500 us
65535	ACTIVATE	2.251,375 us
65539	WRITE	15.000 ns
65541	WRITE	7.500 ns
65543	WRITE	7.625 ns
65545	WRITE	7.500 ns
65547	WRITE	7.500 ns
65549	WRITE	7.500 ns
65551	WRITE	7.500 ns
65553	WRITE	7.500 ns
65555	WRITE	7.500 ns
65557	WRITE	7.625 ns
65559	WRITE	7.500 ns
65561	WRITE	7.500 ns
65563	WRITE	7.625 ns
65565	WRITE	7.500 ns
65567	WRITE	7.500 ns
65569	WRITE	7.500 ns
65571	WRITE	7.375 ns
65573	WRITE	7.625 ns
65575	WRITE	7.500 ns
65577	WRITE	7.500 ns
65579	WRITE	7.625 ns
65581	WRITE	7.500 ns
65583	WRITE	7.500 ns
65585	WRITE	7.500 ns
65587	WRITE	7.500 ns
65589	WRITE	7.500 ns
65591	WRITE	7.500 ns
65593	WRITE	7.500 ns
65595	WRITE	7.625 ns
65597	WRITE	7.500 ns
65599	WRITE	7.500 ns
65601	WRITE	7.500 ns

图 23. 隐藏所有 SDRAM deselect 命令的列表窗口。可以明显看出，刷新是触发激活命令前唯一活动的存储器命令。在激活命令之后，有一长串写入到写入操作。

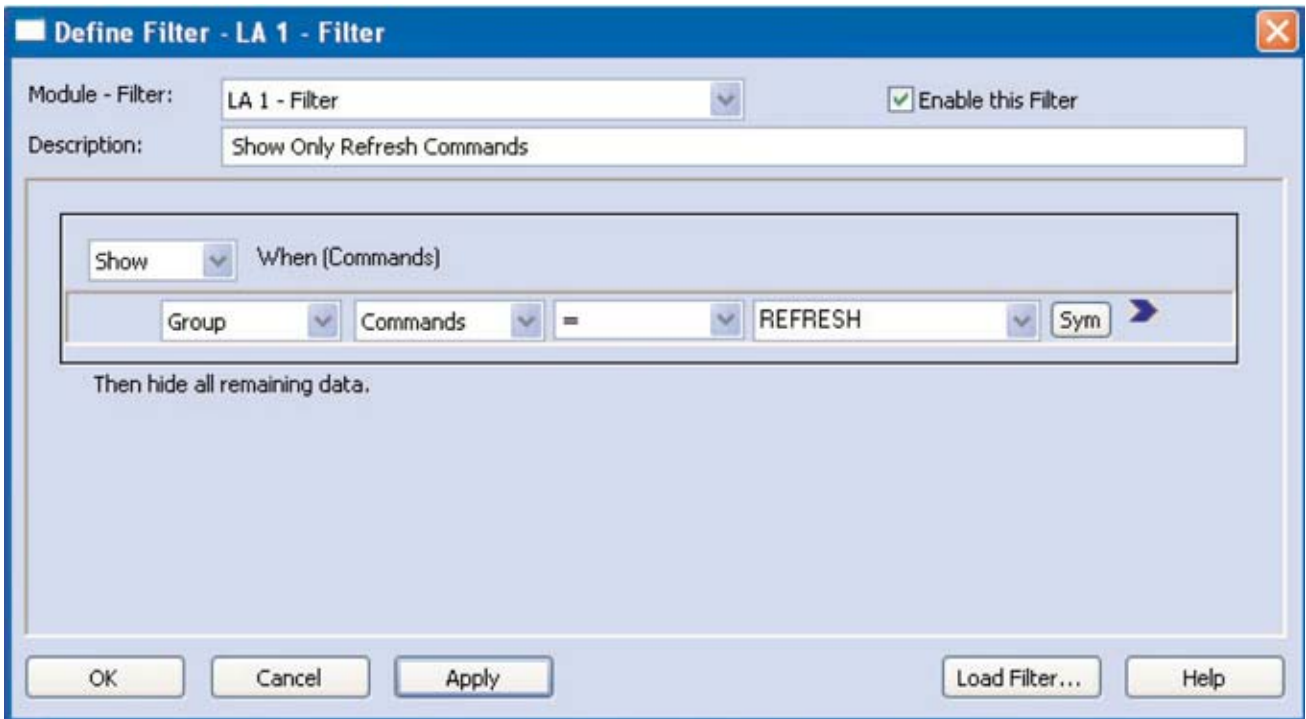


图 24. 这个显示过滤器只显示了 SDRAM 刷新命令，用来帮助检验刷新操作。

必需在电容器电荷衰落得太低之前，刷新 DRAM 的所有存储单元。存储器控制器负责刷新存储器。在早期的 DRAM 中，存储器控制器必须提供刷新期间刷新的行

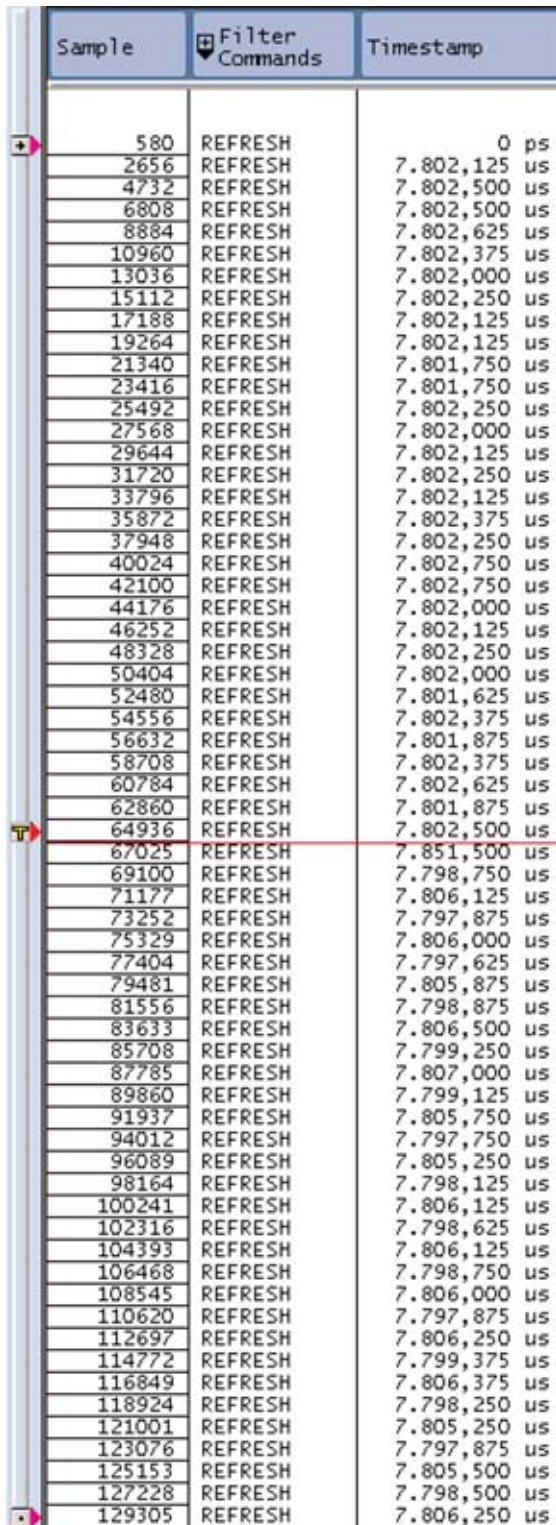
地址。今天，SDRAM 拥有内置刷新控制器，负责提供行地址，每次在 SDRAM 收到刷新命令时，这个行地址都会递增。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

512 Mb DDR2 SDRAM 实例的刷新周期时间是 64ms，刷新数量是 8K (8192)。刷新周期时间(64 ms) 除以刷新数(8192)，得到 7.8125 μ s；这是刷新之间的平均间隔。刷新操作有一定的灵活性，它允许最多八个连续刷新周期，改善了任务调度及任务之间切换的效率。

下面我们将检验刷新周期在平均间隔为 7.8125 μ s 时的情况。刷新之间的连续刷新周期最低时间为 105 ns tRFC(MIN)。这一指标也适用于刷新到激活命令间隔。

我们创建了一个显示过滤器，只显示刷新命令(参见图 24)。这个过滤器应用到列表窗口中(参见图 25)。列表窗口显示了完整的 128K 状态采集记录，其已经在整个列表中进行过滤。第一个刷新命令在样点 580 处获得，最后一个样点在样点 129305 处获得。时戳测量每条刷新命令之间的时间，平均值约为 7.8 μ s。



Sample	Filter Commands	Timestamp
580	REFRESH	0 ps
2656	REFRESH	7.802,125 us
4732	REFRESH	7.802,500 us
6808	REFRESH	7.802,500 us
8884	REFRESH	7.802,625 us
10960	REFRESH	7.802,375 us
13036	REFRESH	7.802,000 us
15112	REFRESH	7.802,250 us
17188	REFRESH	7.802,125 us
19264	REFRESH	7.802,125 us
21340	REFRESH	7.801,750 us
23416	REFRESH	7.801,750 us
25492	REFRESH	7.802,250 us
27568	REFRESH	7.802,000 us
29644	REFRESH	7.802,125 us
31720	REFRESH	7.802,250 us
33796	REFRESH	7.802,125 us
35872	REFRESH	7.802,375 us
37948	REFRESH	7.802,250 us
40024	REFRESH	7.802,750 us
42100	REFRESH	7.802,750 us
44176	REFRESH	7.802,000 us
46252	REFRESH	7.802,125 us
48328	REFRESH	7.802,250 us
50404	REFRESH	7.802,000 us
52480	REFRESH	7.801,625 us
54556	REFRESH	7.802,375 us
56632	REFRESH	7.801,875 us
58708	REFRESH	7.802,375 us
60784	REFRESH	7.802,625 us
62860	REFRESH	7.801,875 us
64936	REFRESH	7.802,500 us
67025	REFRESH	7.851,500 us
69100	REFRESH	7.798,750 us
71177	REFRESH	7.806,125 us
73252	REFRESH	7.797,875 us
75329	REFRESH	7.806,000 us
77404	REFRESH	7.797,625 us
79481	REFRESH	7.805,875 us
81556	REFRESH	7.798,875 us
83633	REFRESH	7.806,500 us
85708	REFRESH	7.799,250 us
87785	REFRESH	7.807,000 us
89860	REFRESH	7.799,125 us
91937	REFRESH	7.805,750 us
94012	REFRESH	7.797,750 us
96089	REFRESH	7.805,250 us
98164	REFRESH	7.798,125 us
100241	REFRESH	7.806,125 us
102316	REFRESH	7.798,625 us
104393	REFRESH	7.806,125 us
106468	REFRESH	7.798,750 us
108545	REFRESH	7.806,000 us
110620	REFRESH	7.797,875 us
112697	REFRESH	7.806,250 us
114772	REFRESH	7.799,375 us
116849	REFRESH	7.806,375 us
118924	REFRESH	7.798,250 us
121001	REFRESH	7.805,250 us
123076	REFRESH	7.797,875 us
125153	REFRESH	7.805,500 us
127228	REFRESH	7.798,500 us
129305	REFRESH	7.806,250 us

图25. 在列表窗口中检验刷新到刷新时间，其中只显示了刷新命令。

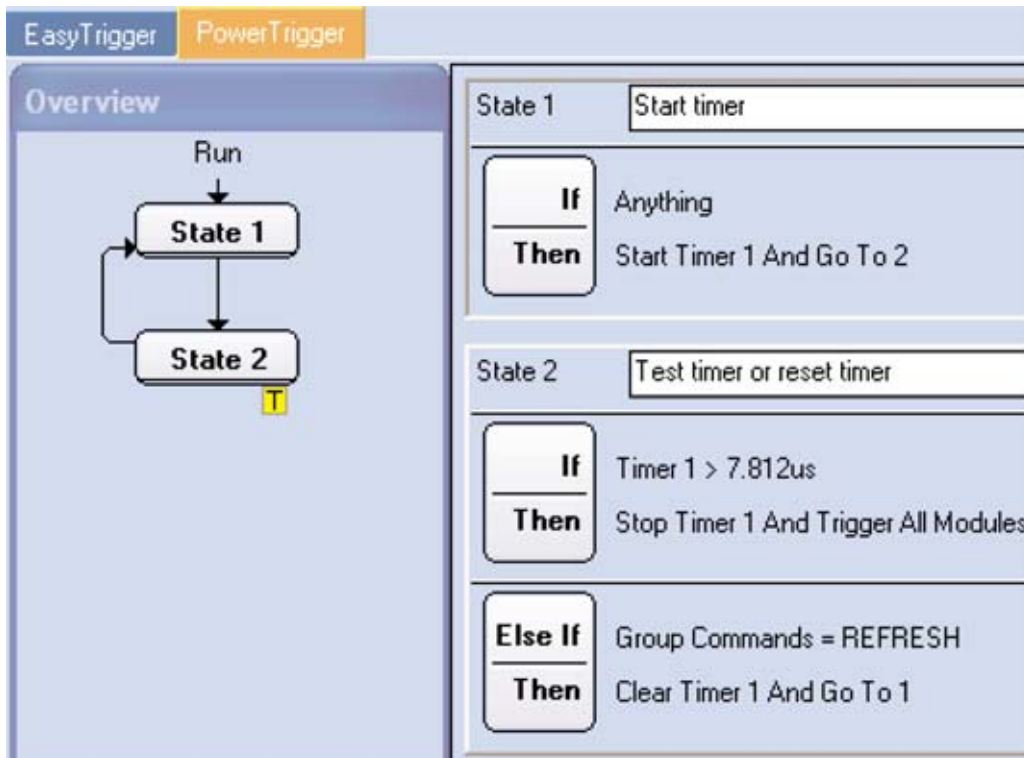
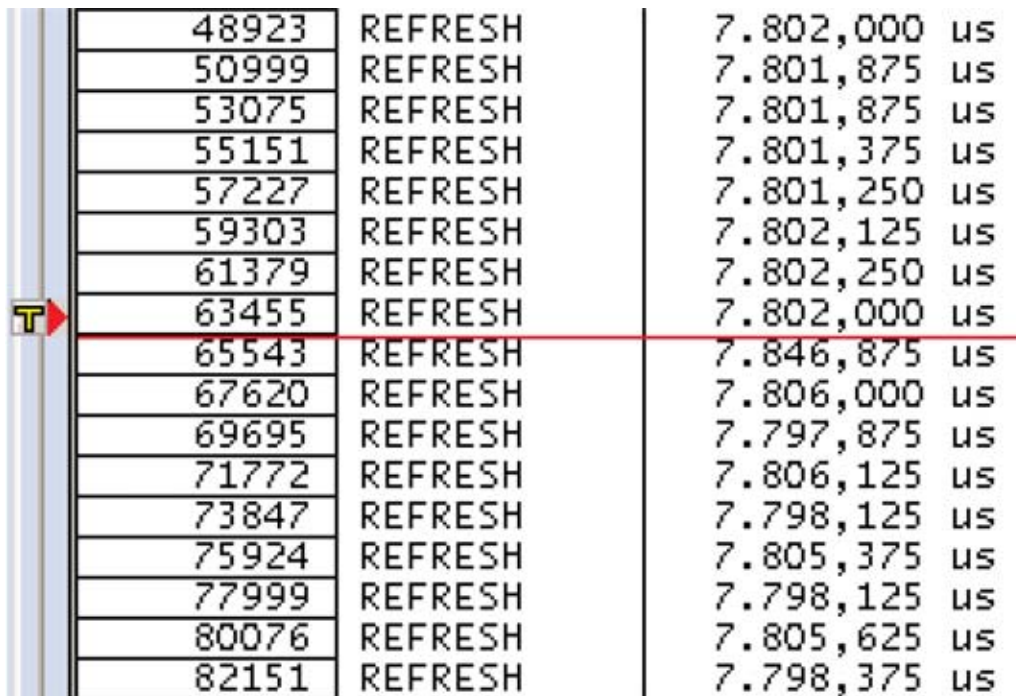


图 26. 使用 PowerTrigger 程序，查找任何刷新到刷新命令，其中间隔大于 7.812 μs 。

抓取任何数据、以可视方式检查数据，并不是检验最大平均刷新到刷新时间间隔的强健方法。更好的方式是使用简单的 PowerTrigger 程序，触发大于指定值的刷新到刷新时间间隔(参见图 26)。第一个触发状态启动定时器，第二个状态在大于 7.812 μs 的时间内测试定时器及确定该样点上是否有刷新命令。如果定时器大于 7.812 μs ，那么触发逻辑分析仪(参见图 27)。这里，

刷新到刷新时间间隔为 7.846,875 μs 。把 PowerTrigger 程序变成 7.9 μs ，运行很长的时间。在这个很长的时间内，针对 7.9 μs 检查刷新到刷新时间间隔，没有发生任何触发。因此，我们可以树立信心，认为最大刷新到刷新时间间隔小于 7.9 μs 。注意在图 27 中，样点编号不是顺序编号。这表明正在使用显示过滤器。它使用显示过滤器，只显示图 24 中的 SDRAM 刷新命令。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南



48923	REFRESH	7.802,000	us
50999	REFRESH	7.801,875	us
53075	REFRESH	7.801,875	us
55151	REFRESH	7.801,375	us
57227	REFRESH	7.801,250	us
59303	REFRESH	7.802,125	us
61379	REFRESH	7.802,250	us
63455	REFRESH	7.802,000	us
65543	REFRESH	7.846,875	us
67620	REFRESH	7.806,000	us
69695	REFRESH	7.797,875	us
71772	REFRESH	7.806,125	us
73847	REFRESH	7.798,125	us
75924	REFRESH	7.805,375	us
77999	REFRESH	7.798,125	us
80076	REFRESH	7.805,625	us
82151	REFRESH	7.798,375	us

图 27. PowerTrigger 程序找到间隔大于 7.812 μ s 的刷新到刷新命令。在本例中，刷新间隔是 7.846,875 μ s。

可以使用各种触发资源，如计数器、定时器、建立时间/保持时间、毛刺、16 种状态、范围识别器、字识别器和转换识别器，创建 PowerTrigger 程序。PowerTrigger 程序库为检验存储器是否正确操作提供了重要工具。例如，可以创建一个 PowerTrigger 程序，测量和触发激活命令和写入命令之间最低时间超限。

地址和组操作

到目前为止，我们在检验 DDR2 SDRAM 操作中一直只使用五个信号。我们要检验的下一个信号集合是地址和组信号。这些信号源自存储器控制器，与 SDRAM 命令一样，在 SDRAM 时钟的上升沿上为存储器提供时钟输入。

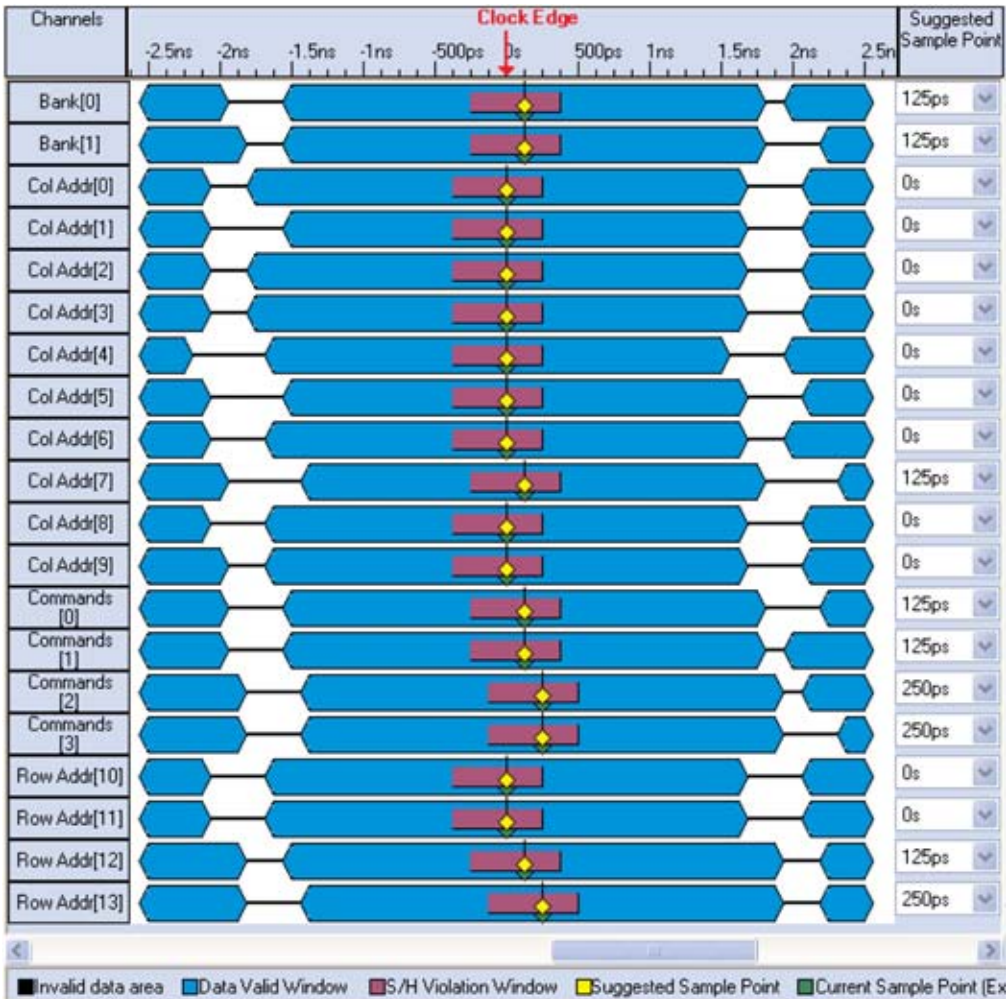


图 28. AutoDeskew 分析显示了组地址、列地址、行地址和命令的大型数据有效窗口。

DDR2 SDRAM 分成不同的尺寸和不同的组配置。512 Mb DDR2 SDRAM 的行地址使用 A0–A13，组地址使用 BA0–BA1，列地址使用 A0–A9。行地址数量要高于列地址，以降低存储器使用的功率。存储器功率会随着列数提高而提高。行地址和列地址复用到存储器相同的

物理引脚上。结果，激活命令对行地址使用所有 A0–A13。写入命令对列地址使用 A0–A9，A10 用来启用或禁用自动预充电。自动预充电导致行在写入突发最后自动预充电。自动预充电关闭行，如果没有选择自动预充电，那么在后续的写入和读取访问中，该行会一直打开。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

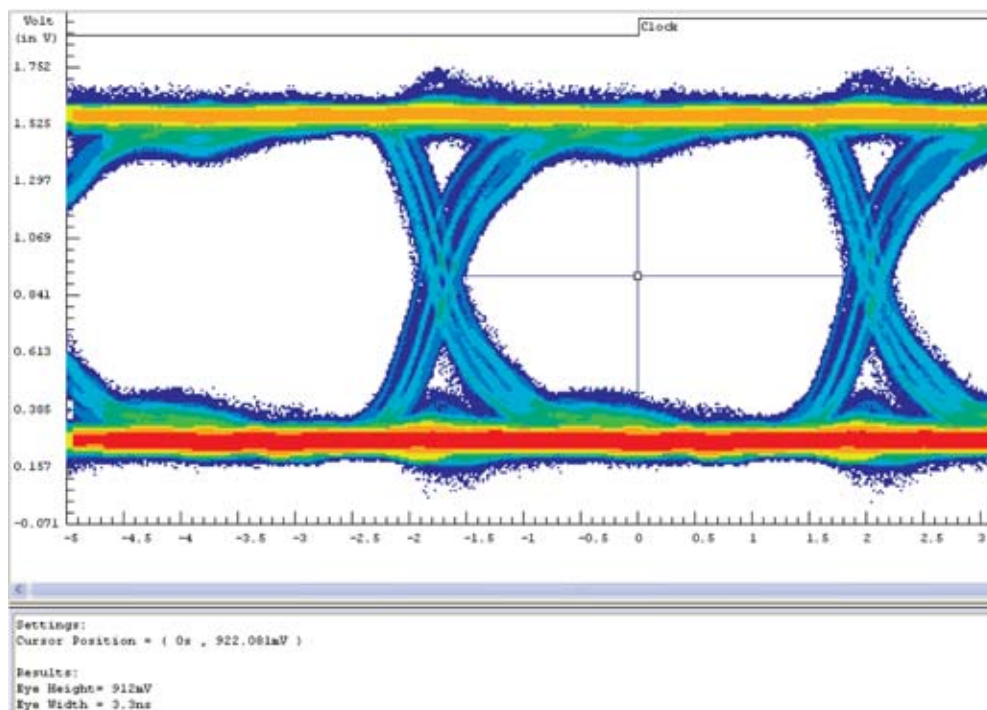


图 29. iVerify 分析显示了组地址、列地址、行地址和命令的数据有效窗口。

存储器使用统计显示，读取数量高于写入数量，然后下一个存储器位置被读取的可能性要高于任何其它存储器位置。它支持这样一个概念，即计算机读取顺序命令的数量要高于任何其它存储器操作。激活命令和读取命令之间存在时延，而一旦第一条读取命令执行，一系列读取命令可以以最大数据速率提供连续数据流，直到到达存储器行尾。因此，行地址分配给存储器控制器最无用的地址位。

对 DDR2 SDRAM 地址总线和组总线状态采集，逻辑分析仪数据有效窗口或样点位置的配置方式与命令总线相同(参见图 28 和图 29)。正如预期的那样，在增加两个组地址和 14 个地址时，眼图略微闭合。多通道眼图从图 18 中仅四个命令信号的 3.48 ns，变成图 29 中全部 20 个信号的 3.3 ns。

Sample	Filter Bank	Filter Row Addr	Filter Col Addr	Filter Commands	Timestamp
59337	3	2000	000	REFRESH	7.801,875 us
61413	3	2000	000	REFRESH	7.801,625 us
63489	3	2000	000	REFRESH	7.802,250 us
65535	3	2000	000	ACTIVATE	7.689,875 us
65539	3	2000	000	WRITE	15.000 ns
65541	3	2004	004	WRITE	7.500 ns
65543	3	2008	008	WRITE	7.500 ns
65545	3	200C	00C	WRITE	7.500 ns
65547	3	2010	010	WRITE	7.625 ns
65549	3	2014	014	WRITE	7.500 ns
65551	3	2018	018	WRITE	7.500 ns
65553	3	201C	01C	WRITE	7.500 ns
65555	3	2020	020	WRITE	7.500 ns
65557	3	2024	024	WRITE	7.500 ns
65559	3	2028	028	WRITE	7.500 ns
65561	3	202C	02C	WRITE	7.500 ns
65563	3	2030	030	WRITE	7.625 ns
65573	3	2034	034	PRECHARGE	37.500 ns
65577	3	2034	034	REFRESH	15.125 ns
65608	3	2000	000	ACTIVATE	116.500 ns
65612	3	2034	034	WRITE	15.000 ns
65614	3	2038	038	WRITE	7.625 ns
65616	3	203C	03C	WRITE	7.500 ns
65618	3	2040	040	WRITE	7.500 ns

图 30. 列表窗口表明触发激活命令，显示组地址、行地址和列地址。

逻辑分析仪触发激活命令，其中已经从显示窗口上滤除 deselect 命令(参见图 30)。每个数据列标题中都有“Filter”，以提示用户正在进行过滤。第一个和第二个激活命令采用相同的行地址(十六进制2000)及相同的组地址(3)。第一个写入命令使用000十六进制值的列地址，存储器控制器把由四个数据值组成的突发写入到存储器中。第二条写入命令使用004十六进制值的列地址，因

为第一条写入命令在地址中填充 000, 001, 002 和 003 十六进制值。预充电命令之前写入命令的列地址为 030 十六进制值。存储器控制器预充电命令在第3组的2000十六进制值上关闭打开的行。执行刷新周期，然后预充电命令在第3组中在 2000 十六进制上打开同一行，然后写入命令开始写入第3组中的列地址 034。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

通过使用时戳,可以迅速检验这个命令序列的定时。前三个刷新命令间隔指定平均值为7.8 μ s。刷新到激活命令时间为7.689,875 μ s,远远高于规定的最低105 ns。激活到写入的最低规定值为15 ns。

连续写入到写入的最小规定值为7.5 ns,是两个时钟周期。在突发长度为4时,每个写入操作需要两个时钟周期,把全部四个数据位写入存储器中。如前所述,在每个写入命令之间有一个 deselect 命令。由于相对于3.759 ps SDRAM 时钟周期125 ps 的分辨率,时戳会略有变化。

写入到预充电由三个时间间隔组成:第一个是写入时延(WL),它是3个时钟周期($3.759 \text{ ns} \times 3 = 11.277 \text{ ns}$)。然后是两个时钟周期($3.759 \text{ ns} \times 2 = 7.518 \text{ ns}$),以把四个数据位突发写入存储器中。最后是15 ns的写入恢复时间(MIN)。把这三个间隔加在一起,等于33.795 ns (MIN),小于图30中实际测量值37.5 ns。

预充电到刷新时间是15.125 ns,非常接近15 ns的预充电命令周期(MIN)。第二个刷新到激活间隔116 ns,大于指定的刷新到激活命令间隔105 ns (MIN)。其余的列表窗口连续写入到写入间隔是7.625 ns – 7.500 ns。

可以通过多种方式,检验最后的刷新到刷新间隔。首先,可以增加时戳间隔;其次,使用光标要比较简便,而且不太容易出错。把光标2移动最后刷新上,把光标1移动到就在第一个激活命令上方的前一个刷新上。然后使用增量时间读数,测量光标1到光标2,得到7.847 μ s,即为指定的平均刷新时间。

必须认真读取列表窗口。列地址A0–A9的物理引脚与行地址的A0–A9地址相同。但是行地址使用了A0–A13。因此,对激活命令使用14位行地址,对写入命令使用10位列地址。

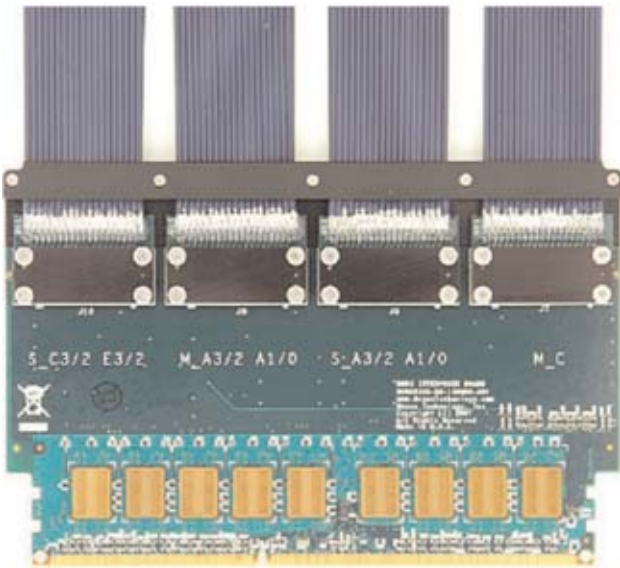


图 31. Nexus DDR3 NEXVu DIMM, 为 JEDEC 标准设计, 带有逻辑分析仪探头测试点。提供了杰出的信号保真度, 让用户可以捕获到存储器件“看到”的实际眼图。

逻辑分析仪存储器支持软件

逻辑分析仪存储器支持软件通过配置逻辑分析仪设置, 增强了逻辑分析仪操作, 它为存储器采集、存储器数据分析软件、助记符列表提供了自定义时钟输入, 可以包括存储器探测硬件。NexusTechnology 公司(www.NexusTechnology.com/)提供逻辑分析仪存储器支持软件, 是泰克在嵌入式系统工具方面的合作伙伴, 为泰克逻辑分析仪和示波器提供补充性产品。泰克公司可以为指定的 NexusTechnology 产品提供发货服务。

Nexus 提供的基于逻辑分析仪的 DDR3/DDR2 协议违规分析软件可以自动分析 DDR2 或 DDR3 总线, 快速简单地识别协议违规, 并提供逻辑分析仪存储器内的所有 DDR 命令的全局视图。

确定正确的采样点以捕获 DDR3 数据, 是一件困难并且很花时间的东西, 因为数据有效窗口很小而且判别电平很低。Nexus DDR3 采样点分析(SPA)软件能检查逻辑分析仪的 MagniVu 数据, 并自动调节门限电平以优化采集。这样, 它可以确定采集每个数据组的最佳位置, 并允许用户检查这些设置和确定使用这些优化结果。这种方式简化并加快了对 DDR3 进行精确数据采集的设置过程。Nexus 逻辑分析仪存储器支持软件可以用于 DDR, DDR2, DIMM, SO-DIMM, FB-DIMM 和其它新兴存储器技术。探测硬件从直接探测嵌入式存储器系统时的没有探测硬件, 直到使用 DIMM 内插器和配置相应仪器的 DIMMs。Nexus 把配置相应仪器的 DIMM 称为 NEXVu DIMM(参见图 31)。

DDR2 NEXVu DIMMs 要高于普通 DIMM, 因此可以使用相邻插槽中普通高度的 DIMM 相连。逻辑分析仪探头连接到 NEXVu DIMM 的任一侧。两个 NEXVu DIMMs 可以位于相邻插槽中, 逻辑分析仪探头连接在每个 NEXVu DIMM 的相反一侧。

NEXVu DIMMs 在 FBGA IC 封装附近带有内层电路板隔离电阻器, 降低了相连的探测电路板走线的负载效应。在图 31 中, 可以看到带有散热器的大型 AMB 以及 18 个 DDR2 667 SDRAM 中的 8 个 SDRAM。

另外在图 31 中, 还可以看到 24 条高速差分电路板走线从连接器边沿到达高级存储缓冲器(AMB)。注意, 其距 FB-DIMM 的距离越远, 走线长度越长。在 FB-DIMM 存储器系统中, 没有蜿蜒的走线模式, 来平衡由 24 个差分信号组成的走线长度。这简化了电路板布局。信号越少、电路板布局越简单, 与使用 UDIMMs 和 RDIMMs 相比每个存储器系统的 FB-DIMM 通道数量越多。FB-DIM 通道初始化训练部分中的 AMB 可以消除电路板走线不均匀导致的信号偏移。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

Sample	Address	FBDNXV2A Mnemonics
30	00A4A	MRS - MODE REGISTER SET Normal MRS PD Mode: Standard Write Recovery: 6 DLL Reset: No Operating Mode: Normal Latency: 4 Burst Type: Interleaved Burst: 4
31	10380	MRS - MODE REGISTER SET Extended MRS RDQS Enable: No DQS# Enable: Enable OCD Operation: OCD Calibration Rtt: Disabled Additive Latency: 0 Output Drive Strength: 100% DLL Enable: Enable (Normal)

图32. 在存储器控制器发出模式寄存器命令期间，使用逻辑分析仪捕获的DDR2 SDRAM模式寄存器 (MR)和扩展模式寄存器配置。

使用 NEX-FBD-NEXVu 采集数据

配置NEX-FBD-NEXVu操作只需几步。第一步是为逻辑分析仪数据有效窗口配置命令组采样点位置。其方式与本应用指南前面设置命令组样点的方式相同。可以使用MagniVu或AutoDeskew，确定每个SDRAM命令信号的最优逻辑分析仪样点位置。使用iVerify，检查带有多通道眼图的信号数据有效窗口。

NEX-FBD-NEXVu自定义时钟输入提供了多种时钟输入模式，可以有效利用逻辑分析仪存储器。第一步需要进行两个选择：第一个要选择采集每个DDR2 DRAM上升时钟边沿，还是根据RAS#和CAS#命令实现选择性时钟输入。第二个是保存刷新周期还是降低保存的刷新周期数量。

第二步是在列表窗口中增加列，捕获SDRAM模式寄存器(MR)和扩展模式寄存器配置，确定CAS时延(CL)、突发长度(BL)和附加时延(AL)。在模式寄存器命令期间，存储器控制器使用地址A0-13和组地址BA0-1把16位值编程到这些寄存器中。

为了解在哪里查找读取和写入数据有效窗口，需要模式寄存器值。模式寄存器值对CAS时延为4，对突发长度为4，对附加时延为0(参见图32)。这些值用来确定写入和读取数据有效窗口的位置，在列表窗口中配置逻辑分析仪，进行反汇编。

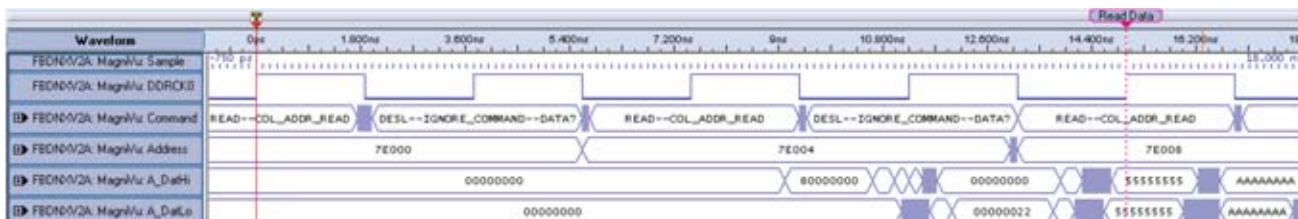


图 33. 触发激活命令后第一个读取命令。计算四个读取时延(RL)时钟边沿数量，找到了显示读取数据标尺的第一个读取数据周期。DDR2 SDRAM 64 位读取数据是由 5555,5555,5555,5555 十六进制值和 AAAAA,AAAA,AAAA,AAAA 十六进制值组成的交替码型。

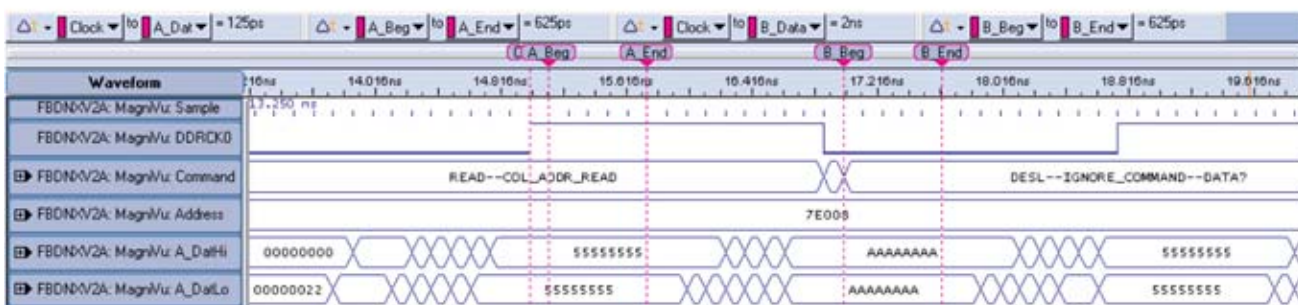


图 34. MagniVu 高分辨率定时测量读取数据有效窗口，设置逻辑分析仪采样点位置。DDR2 SDRAM 64 位读取数据是由 5555,5555,5555,5555 十六进制值和 AAAAA,AAAA,AAAA,AAAA 十六进制值组成的交替码型。

存储器支持软件提供了 16 位模式寄存器和扩展模式寄存器的位解码功能。图 32 显示了样点 30 中的模式寄存器怎样解码成 9 行助记符。图 12 中使用的符号表不能提供图 32 中所示的复杂的多行助记符解码。助记符解码是存储器支持软件的一个明显优势。

第三步是触发激活 – 读取命令序列，使用 MagniVu 高分辨率定时波形，每个时钟周期确定两个读取数据有效窗口。在激活 – 读取命令顺序开头确认第一个读取数据通常要比触发任何读取命令简便。另外检验读取时延是否正确也更加容易。

读取时延(RL)确定读取突发数据的开头。在附加时延(AL)中增加 CAS 时延(CL)，确定读取时延(RL)，从读取命令中计算 RL 上升时钟边沿数量，找到读取命令的第一个读取数据周期(参见图 33)。对 4 位和 8 位的突发长度，读取数据时钟周期分别为两个和四个。

存储器支持软件把 64 位存储器数据划分成一个 32 位 DatHi 组和一个 32 位 DatLo 组(参见图 34)。在这种情况下，两个合并的逻辑分析仪模块在数据线外部 2X 时钟输入模式下操作。这意味着逻辑分析仪使用两条存储器通道，每条通道拥有不同的样点位置，在单个时钟周期期间在一条数据 I/O 线上采集 DDR2 SDRAM 数据。四个样点由两个组构成，每个组两个样点。在设置窗口自定义时钟输入中配置这四个样点，采集读取数据。

波形窗口标尺放在时钟和重命名时钟的上升沿上。标尺用五条竖虚线表示，如图 34 所示。第二个 A_Beg 标尺放在第一个读取数据有效窗口开头的后面，其中包含 5555,5555,5555,5555 十六进制数据。第二个 A_End 标尺放在 A_Beg 标尺后面 625 ps 处。A_Beg 到 A_End 的 625 ps 时间间隔是读取数据保持稳定不变所要求的时间，以使逻辑分析仪 TLA7AA4 能够可靠地采集数据。

检验 DDR, DDR2 和 DDR3 SDRAM 命令和协议 应用指南

Sample	Address	FBDNXV2A Mnemonics	FBDNXV2A DataHi	FBDNXV2A DataLo	FBDNXV2A BChkBits	Timestamp
65530	4E3FC	DESL - IGNORE COMMAND	-----	-----	00	3.750 ns
65531	4E3FC	DESL - IGNORE COMMAND	-----	-----	00	3.875 ns
65532	4E3FC	DESL - IGNORE COMMAND	-----	-----	00	3.625 ns
65533	4E000	PRE - PRECHARGE SELECT BANK	-----	-----	00	3.875 ns
65534	7E000	ACTV - ROW ADDRESS STROBE	-----	-----	00	15.000 ns
65535	7E000	READ - COL ADDR READ	-----	-----	00	15.000 ns
65536	7E000	DESL - IGNORE COMMAND	-----	-----	00	3.750 ns
65537	7E004	READ - COL ADDR READ	-----	-----	00	3.750 ns
65538	7E004	DESL - IGNORE COMMAND	-----	-----	00	3.750 ns
65539	7E008	READ - COL ADDR READ	-----	-----	00	3.750 ns
		READ DATA	55555555	55555555	00	
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65540	7E008	READ DATA	55555555	55555555	00	3.750 ns
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65541	7E00C	READ - COL ADDR READ	-----	-----	00	3.750 ns
		READ DATA	55555555	55555555	00	
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65542	7E00C	READ DATA	55555555	55555555	00	3.750 ns
		READ DATA	AAAAAAAA	AAAAAAAA	00	
65543	7E010	READ - COL ADDR READ	-----	-----	00	3.750 ns

图 35. Nexus Technology 公司 NEX-FBD-NEXVu 列表窗口，DDR2 SDRAM 读取数据是由 5555,5555,5555,5555 十六进制值和 AAAA,AAAA,AAAA,AAAA 十六进制值组成的交替码型。

时钟和 A_Beg 标尺之间 125 ps 的增量时间测量提供了自定义时钟输入设置中配置的建立时间。类似的，B_Beg 和 B_End 标尺用来确定 DDR2 SDRAM 时钟周期的第二个数据有效窗口。在图 34 中，第一个逻辑分析仪读取数据有效窗口 A 从时钟上升沿之后 125 ps 开始。第二个逻辑分析仪读取数据有效窗口 B 从时钟上升沿之后 2 ns 开始。

如果使用三个合并的逻辑模块，那么可以同时捕获写入数据和读取数据。因此，为配置逻辑分析仪写入样点位置，可以触发激活到写入命令顺序，使用 MagniVu 高分辨率定时波形，确定写入数据的逻辑分析仪数据有效窗口。注意，在确定写入数据位置时，写入时延(WL)比读取时延(RL)小 1。在自定义时钟输入下的设置窗口中，逻辑分析仪样点位置配置成采集写入和读取数据。

DDR2 SDRAM 数据线为一个时钟周期提供了四个数据有效窗口。逻辑分析仪配置成对每个时钟周期采集全部四个数据有效窗口。它在外部 4X 模式下对三个合并的 TLA7AA4 逻辑分析仪模块使用自定义时钟输入，来完成这一操作。在逻辑分析仪完成采集后，它分析 SDRAM 命令，确定其是写入周期还是读取周期，然后使用附加时延(AL)、CAS 时延(CL)和突发长度(BL)，确定有效数据周期在逻辑分析仪采集的数据中的位置。用户在列表窗口助记符列反汇编属性中设置周期类型、附加时延、CAS 时延和突发长度。

存储器支持软件列表窗口对样点 65539 和样点 65541 显示了三行助记符(参见图 35)。在一个 DDR2 SDRAM 时钟周期中，存储器控制器把读取命令发送到 DDR2 SDRAM，在同一个时钟周期中，在前一个读取命令中发生两次 64 位数据读取。NEX-FBD-NEXVu 存储器支持软件提供了这种分析、解码和助记符。NEX-FBD-NEXVu 还提供了四种显示模式，并带有列表窗口助记符列反汇编属性：显示采集的所有周期，抑制所有空闲或等待周期，显示激活、写入和读取周期，只显示写入和读取周期。

小结

本应用指南介绍了逻辑分析仪在检验SDRAM协议排序和定时中的功能。我们考察了 SDRAM 时钟和四个 SDRAM 命令信号，检验了大量的数据。整个检验采用 Nexus Technology 存储器支持软件、存储器内插器和 NEXVu DIMMs。

泰克还提供了全套工具，包括业内领先的示波器、真正差分TDR及装有Nexus Technology存储器支持软件的逻辑分析仪，使得嵌入式和计算机设计人员能够迅速精确地进行电接口测试，检验存储器设计的运行状况。联合使用时，这套工具提供了杰出的性能及无可比拟的易用性，是检验和调试嵌入式系统和计算机存储器系统的理想解决方案。

泰克科技(中国)有限公司

上海市浦东新区川桥路1227号
邮编: 201206
电话: (86 21) 5031 2000
传真: (86 21) 5899 3156

泰克北京办事处

北京市海淀区花园路4号
通恒大厦1楼101室
邮编: 100088
电话: (86 10) 6235 1210/1230
传真: (86 10) 6235 1236

泰克上海办事处

上海市静安区延安中路841号
东方海外大厦18楼1802-06室
邮编: 200040
电话: (86 21) 6289 6908
传真: (86 21) 6289 7267

泰克深圳办事处

深圳市罗湖区深南东路5002号
信兴广场地王商业大厦G1-02室
邮编: 518008
电话: (86 755) 8246 0909
传真: (86 755) 8246 1539

泰克成都办事处

成都市人民南路一段86号
城市之心23层D-F座
邮编: 610016
电话: (86 28) 8620 3028
传真: (86 28) 8620 3038

泰克西安办事处

西安市东大街
西安凯悦(阿房宫)饭店345室
邮编: 710001
电话: (86 29) 8723 1794
传真: (86 29) 8721 8549

泰克武汉办事处

武汉市汉口建设大道518号
招银大厦1611室
邮编: 430022
电话: (86 27) 8781 2760/2831

泰克香港办事处

九龙尖沙咀加连威老道2-6号
爱宾大厦15楼6室
电话: (852) 2585 6688
传真: (852) 2598 6260

有关信息

泰克公司备有内容丰富的各种应用文章、技术简介和其他资料,并不断予以充实,可为从事前沿技术研究的工程师提供帮助。请访问泰克公司网站 www.tektronix.com.cn



版权 ©2008, 泰克公司。泰克公司保留所有权利。泰克公司的产品受美国和国外专利权保护,包括已发布和尚未发布的产品。以往出版的相关资料信息由本出版物的信息代替。泰克公司保留更改产品规格和定价的权利。TEKTRONIX 和 TEK 是泰克有限公司的注册商标。所有其他相关商标名称是各自公司的服务商标或注册商标。

06/09 JS/MWW

52C-19236-2

Tektronix®