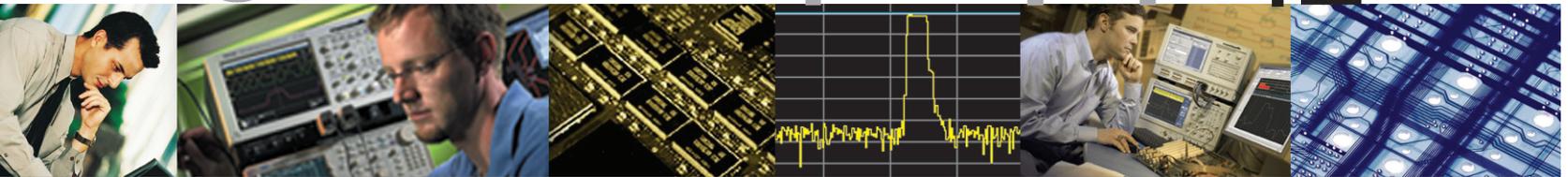


# SDRAM 메모리의 기본



## 목 차

<b>소개</b> .....	<b>4</b>	<b>메모리 시스템 설계</b> .....	<b>16</b>
DRAM 트렌드	4	설계 시뮬레이션	16
<b>DRAM</b> .....	<b>5</b>	설계 검증	16
<b>SDRAM</b> .....	<b>7</b>	검증 방법	17
DDR SDRAM	8	SDRAM 검증	17
DDR2 SDRAM	9	<b>용어</b> .....	<b>19</b>
DDR3 SDRAM	10		
<b>DIMM</b> .....	<b>10</b>		
DIMM 물리적 사이즈	10		
DIMM 데이터 폭	10		
DIMM 랭크	10		
DIMM 메모리 사이즈 및 속도	11		
DIMM 아키텍처	11		
SPD(Serial Presence Detect)	14		

## SDRAM 메모리의 기본

### ▶ 입문서

#### 소개

DRAM(Dynamic Random Access Memory)은 광범위한 성능을 제공하기 때문에 설계자에게 매력적이며 컴퓨터 및 임베디드 시스템의 폭넓은 메모리 시스템으로 사용되고 있습니다. 이 DRAM 메모리 입문서에서는 DRAM 개념을 개략적으로 기술하고, 잠재적인 향후 DRAM 개발을 제시하며 검증을 통해 메모리 설계 개선을 위한 개요를 제시합니다.

#### DRAM 트렌드

컴퓨터 메모리의 대용량화, 더 빠른 속도, 낮은 전력 소비와 물리적으로 보다 작은 크기에 대한 요구가 지속적으로 증가하고 있습니다. 이러한 요구는 DRAM 기술 발전의 원동력입니다. 주류 DRAM은 SDRAM(Synchronous DRAM), DDR(Double Data Rate) SDRAM, DDR2(Double Data Rate 2) SDRAM 및 DDR3(Double Data Rate 3) SDRAM과 같은 여러 가지 기술 향상을 통해 수년간에 걸쳐 발전해 왔습니다. 이는 또한 컴퓨터 메모리가 DIMM(Dual Inline Memory Modules)에 사용되는 방식으로 전개되고 있습니다. DIMM 구현은 Unregistered DIMM에서부터 Registered DIMM 및 FB-DIMM(Fully Buffered DIMM)에 이르기까지 확대되고 있습니다.

컴퓨터 메모리는 대용량화, 빠른 속도, 낮은 전력 소비와 물리적으로 보다 작은 크기가 지속적으로 요구되는 시스템에만 해당되는 것은 아닙니다. 임베디드 시스템 애플리케이션도 이와 유사한 요구조건을 가지고 있고 역시 DRAM을 사용할 수 있습니다.

그렇지만 메모리 시스템은 컴퓨터와 임베디드 시스템에서 다르게 구현됩니다. 일반적으로 컴퓨터 메모리는 조립 시 컴퓨터에 쉽게 설치할 수 있는 접속형 DIMM에 장착 됩니다. 컴퓨터 사용자는 컴퓨터를 구입한 후 DIMM을 추가하거나 교체하여 컴퓨터 메모리를 업그레이드할 수 있습니다.

결과적으로 컴퓨터에 사용된 메모리는 DIMM과 함께 사용되는 현재 및 미래 메모리뿐만 아니라 현재와 미래의 컴퓨터에 대한 높은 수준의 호환성을 요합니다. 호환성의 주요 영역에는 2가지가 있습니다. 첫째, 메모리는 컴퓨터 제조업체에서 사용하는 광범위한 메모리 컨트롤러 허브와 호환성을 유지해야 합니다. 둘째, 메모리는 컴퓨터의 동일한 메모리 시스템에서 다른 제조업체의 메모리를 혼합으로 사용할 때 원활히 작동해야 합니다. 오픈 메모리 표준은 메모리 호환성을 보장하는데 유용합니다.

반면에 임베디드 시스템은 일반적으로 고정된 메모리 구성을 사용하므로, 제품 구입 후 사용자가 메모리 시스템을 변경할 수 없습니다. 따라서 임베디드 시스템 제조업체는 특정 제조업체의 메모리를 독단적으로 선택하여 임베디드 시스템 제품에 사용합니다. 한 메모리 제조업체에서 생산한 1개의 특정 메모리를 이용하여 임베디드 시스템의 성능과 비용을 최적화시키는 것이 일반적입니다. 결과적으로 높은 수준의 여러 제조업체 메모리 상호 운용성 보장에 대한 요건은 컴퓨터 시스템에 비해 임베디드 시스템에서는 크게 중요하지 않습니다.

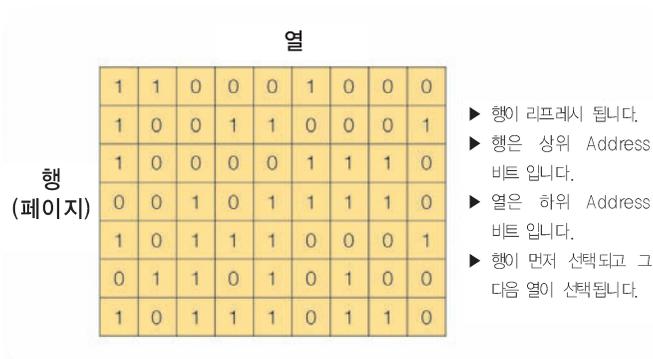
JEDEC(세계반도체표준협회)는 JEDEC 표준 형식으로 메모리 규격을 제정하여 메모리 업계에 도움을 주고 있습니다. JEDEC는 메모리 제조업체, 컴퓨터 제조업체, 테스트 장비 제조업체 등의 회원으로 이루어진 비영리 조직입니다. 오픈 JEDEC 표준은 다른 제조업체의 메모리 및 컴퓨터 메모리 컨트롤러 허브와 상호 운용할 수 있는 메모리 제품을 구현하기 위해 제조업체에 필요한 요구 사양을 정의합니다. 이들 표준은 물리적 특성, DIMM 회로 보드 레이아웃, 전기 신호, 레지스터 정의, 기능적 작동, 메모리 프로토콜 등에 적용됩니다. JEDEC 사양에 대한 메모리 적합성을 입증하고 테스트하는 것은 다른 제조업체의 제품과 신뢰성 있고 상호 운용성 있는 메모리 작동을 보장하기 위해 중요한 단계입니다.

새로운 DRAM 설계는 대용량, 빠른 속도, 낮은 전력 소비와 물리적으로 보다 작은 크기를 유지해야 하는 컴퓨터 및 임베디드 시스템 메모리 요구 조건을 충족시킵니다. 결과적으로 DRAM에 다음과 같은 변화가 일어나고 있습니다. 메모리 사이즈, 뱅크 수, 버스트 길이가 증가되고 있으며, 공급 전압, 로직 전압 스윙이 감소되었습니다. 클럭 속도와 데이터 전송 속도가 빨라지고, 메모리 채널 구현이 다수의 병렬 신호에서 소수의 고속 직렬 신호로 바뀌며, 메모리 채널의 수가 증가합니다. 이러한 추세로 인해 설계자는 새로운 기술과 툴을 이용하여 해당 메모리 시스템을 설계, 검증하고 오류를 수정합니다.

메모리 클럭 속도가 증가하고 로직 전압 스윙이 감소하면서 신호 무결성은 신뢰성 있는 메모리 작동에 큰 문제가 되고 있습니다. 결과적으로 새로운 DRAM 기능의 추세는 메모리 시스템의 신호 무결성을 개선하는 것입니다. 이러한 기능에는 동적 제어 방식 ODT(on-die termination), OCD(off-chip driver) 교정 및 AMB(Advanced Memory Buffers)를 갖춘 Fully Buffered DIMM이 포함됩니다.

## DRAM

다른 유형의 메모리에 비해 DRAM의 장점은 IC(통합 회로)에서 메모리 셀당 적은 회로로 구현할 수 있는 능력입니다. DRAM 메모리 셀은 커패시터의 저장 전하에 기초합니다. 전형적인 DRAM은 1개의 커패시터와 1개 또는 3개의 FET(전계 효과 트랜지스터)로 구성되어 있습니다. 전형적인 SRAM(Static Random Access Memory) 메모리 셀은 6개의 FET 소자를 사용하므로, 결과적으로 동일한 사이즈의 IC당 보다 적은 메모리 셀로 구성됩니다. SRAM은 DRAM보다 단순하고 접속이 용이하며 데이터 액세스 시간이 보다 짧습니다.



▶ 그림 1. 2차원 행렬로 구성된 DRAM 메모리 셀

DRAM 코어 구조는 행과 열의 2차원 어레이로 조직된 메모리 셀로 구성되어 있습니다(표1 참조). 메모리 셀에 접근하기 위해서는 2 단계가 필요합니다. 먼저 행 Address를 선택하고 선택한 행 Address에서 특정 열 Address를 선택합니다. 즉, 우선 DRAM IC에서 전체 행을 내부적으로 읽은 다음 열 Address가 읽히거나 DRAM IC I/O(입/출력) 핀에 작성할 행의 열을 선택하는 것입니다.

DRAM 읽기는 파괴적이기 때문에 메모리 셀의 행에 있는 데이터가 읽기 과정에서 파괴됩니다. 따라서 행 데이터는 해당 행의 읽기 또는 쓰기 과정이 완료된 후 동일한 행에 다시 쓰여져야만 합니다. 프리차지라고 부르는 이 과정은 마지막 단계로서 새로운 행에 접근하기 전에 수행되어야 하고 열린 행을 닫는 행위로 간주됩니다.

## SDRAM 메모리의 기본

### ▶ 입문서

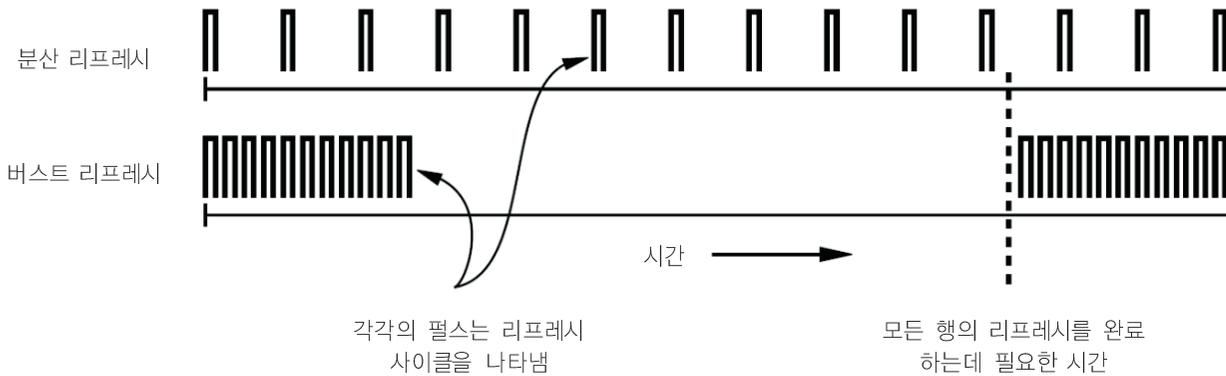
컴퓨터 메모리 액세스의 분석은 순차적으로 메모리 Address를 읽는 것이 가장 일반적인 메모리 액세스라는 것을 보여줍니다. 이러한 이유로 컴퓨터의 명령어를 읽는 것이 데이터를 읽거나 쓰는 것보다 더 일반적이고 합리적인 작업입니다. 또한, 대부분의 명령어 읽기는 명령어 분기 또는 서브루틴으로 점프가 발생하기 전까지는 순차적으로 실행됩니다.

DRAM 행은 메모리 페이지라고 부르며 일단 행이 열리면 해당 행에서 순차적으로 또는 다른 열 Address에 액세스할 수 있습니다. 이는 동일한 메모리 페이지에서 다른 메모리 셀에 액세스할 때 행 Address를 다시 선택하지 않도록 하여 메모리 액세스 속도를 증가시키고 메모리 지연시간을 감소시킵니다. 결과적으로 행 Address는 컴퓨터의 상위 Address 비트이고 열 Address는 하위 Address 비트입니다. 행과 열 Address는 다른 시간대에 전송되기 때문에, 행 Address와 열 Address는 패키지 핀 카운트, 비용 및 사이즈 절감을 위해 동일한 DRAM 핀에서 구현됩니다. 일반적으로 행 Address의 사이즈는 전력 이용이 열의 수와 관련되어 있기 때문에 열 Address보다 더 큼니다.

초기 DRAM은 수행되는 행 및 열 addressing 동작을 선택하기 위해 RAS#(Row Address Select active low) 및 CAS#(Column Address Select active low)와 같은 제어 신호를 사용했습니다. 추가적인 DRAM 제어 신호에는 쓰기 또는 읽기를 선택하기 위한 WE#(Write Enable active low), OE#(Output enable active low)와 DRAM를 선택하기 위한 CS#(Chip Select active low)가 포함됩니다. 초기 DRAM의 제어 신호는 비동기 형태이며, DRAM 작동 모드를 결정하는 해당 시퀀스와 시간 관계를 처리하는 다양한 타이밍 규격이 있습니다.

초기 DRAM 읽기 사이클은 4단계로 이루어져 있습니다. 첫째, RAS#는 Address 버스에서 행 Address와 함께 Low를 보냅니다. 둘째, CAS#는 Address 버스에서 열 Address와 함께 Low를 보냅니다. 셋째, OE# 역시 Low를 보내고 읽기 데이터는 DQ 데이터 핀에 나타납니다. DQ 핀에서 데이터가 available 하기까지 즉 첫 번째 단계에서 세 번째 단계까지의 시간을 지연시간(latency)이라고 합니다. 마지막 단계는 RAS#이고, CAS#와 OE#는 High(비활성화)가 되고 읽기가 끝난 후 행 데이터의 복구를 완료하기 위한 내부 프리차지 동작을 기다립니다. 첫 번째 단계에서 마지막 단계까지의 완료 시간은 메모리 사이클 시간입니다. 상기 신호의 신호 타이밍은 예지 시퀀스와 관련되어 있고 비동기입니다. 이들 초기 DRAM에서는 동기 클럭 동작이 없습니다.

DRAM 메모리 셀은 데이터 콘텐츠의 손실을 방지하기 위해 리프레시를 필요로 합니다. 이는 충전의 손실 전에 커패시터를 리프레시해야 함을 의미합니다. 메모리의 리프레시는 메모리 컨트롤러의 임무이고 리프레시 시간 사양은 다른 DRAM 메모리에 따라 변합니다. 메모리 컨트롤러는 행 Address와 함께 RAS# 전용 사이클을 실행하여 리프레시를 수행합니다. RAS# 전용 사이클의 종료 시 RAS# 전용 사이클에서 Address 처리된 행 데이터를 복원하는 프리차지 동작이 이루어집니다. 일반적으로, 메모리 컨트롤러는 RAS# 전용 리프레시 사이클에 필요한 모든 행 Address를 순차적으로 발생시키는 행 카운터(row counter)를 갖습니다.



▶ 그림 2. 분산 리프레시 및 리프레시를 포함한 DRAM 리프레시 구현 (Micron Technology, Inc.의 허가를 받아 게재한 그림)

리프레시 방법에는 2가지가 있습니다. (그림 2 참조). 첫 번째 방법은 메모리 컨트롤러가 리프레시 사이클의 버스트에서 모든 행을 순차적으로 리프레시한 후 정상 동작을 위해 메모리 제어를 프로세서로 되돌려 주는 것입니다. 리프레시 동작의 다음 버스트는 최대 리프레시 시간에 도달하기 전에 발생합니다. 두 번째 리프레시 방법은 메모리 컨트롤러가 정상 프로세서 메모리 동작과 함께 리프레시 사이클을 상호배치(interleave)하는 것입니다. 이 리프레시 방법은 최대 리프레시 시간에 걸쳐 리프레시 사이클을 펼칩니다.

초기 DRAM은 순차적으로 발생하는 행 Address를 처리하기 위해 DRAM IC에 리프레시 카운터를 고안하여 구현했습니다. DRAM IC 내부적으로, 리프레시 카운터는 메모리 어레이 행 Address를 제어하는 멀티플렉서 입력입니다. 다른 멀티플렉서 입력은 외부 Address 입력 핀의 행 Address로부터 나옵니다. 이 내부 리프레시 카운터는 메모리 컨트롤러에서 외부 리프레시 카운터 회로의 필요성을 제거했습니다. 일부 DRAM은 내부적으로 발생하는 행 Address를 이용하여 리프레시 사이클을 초기화하기 위해 RAS# 사이클 전에 CAS#을 지원했습니다.

## SDRAM

DRAM의 비동기 동작은 동기 프로세서와 접속할 때 많은 설계 문제를 일으켰습니다. SDRAM(Synchronous DRAM)은 나머지 컴퓨터 시스템과 DRAM 동작을 동기화하고 CE#(Chip Enable active low), RAS#, CAS# 및 WE# 에지 전이의 시퀀스에 기초한 메모리의 모든 다른 동작 모드를 규정하는 것을 제거하도록 설계되었습니다. SDRAM에는 클럭 신호와 메모리 명령어의 개념이 추가되었습니다. 메모리 명령어의 유형은 SDRAM 클럭의 상승 에지에서 CE#, RAS#, CAS# 및 WE# 신호의 상태에 의해 결정됩니다. 데이터 시트에서는 CE#, RAS#, CAS# 및 WE# 신호의 상태에 기초하여 표 형태로 메모리 명령어를 기술합니다.

예를 들면, 활성화 명령어(Activate command)는 SDRAM에 행 Address를 전송하여 메모리의 행(page)을 엽니다. 그 다음은 열 Address와 함께 읽기 또는 쓰기 명령어를 전송하기 전에 타이밍 요건을 충족시키는 선택해제 명령어의 시퀀스입니다. 일단 메모리의 행이 활성화 명령어로 열리면, 여러 가지 읽기 및 쓰기 명령어는 메모리의 해당 행에서 데이터를 조작할 수 있습니다. 다른 행이 열리기 전에 행을 닫으려면 프리차지 명령어가 요구됩니다.

## SDRAM 메모리의 기본

### ▶ 입문서

### DDR SDRAM

DDR (Double Data Rate) SDRAM은 클럭속도를 높이고 데이터를 버스트 처리하여 클럭사이클당 2개의 데이터 비트를 전송하여 메모리 데이터 전송속도 성능을 향상시킵니다(표 1 참조). DDR SDRAM은 단일 읽기 또는 단일 쓰기 명령어로 다수의 메모리 위치를 버스트 처리합니다. 읽기 메모리 동작은 활성화 명령어를 전송한 후 읽기 명령어를 수반합니다. 메모리는 클럭 사이클마다 2 군데 메모리 위치의 데이터 전송속도로 2개, 4개 또는 8개 메모리 위치의 버스트와 함께 지연시간 후 응답합니다. 따라서, 4 군데 메모리 위치는 2개의 연속 클럭 사이클에 의해 쓰여지고 또한 이로부터 읽어옵니다.

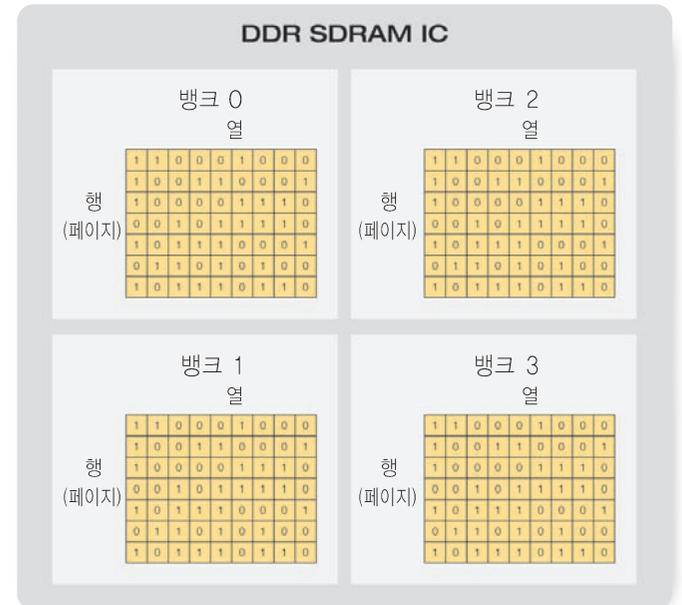
DDR SDRAM은 다수의 뱅크를 가지고 있어 메모리 대역폭을 향상시키는 다수의 인터리브드 메모리 액세스 기능을 제공합니다. 1개의 뱅크는 1개의 메모리 어레이이고, 2개의 뱅크들은 2개의 메모리 어레이이며, 4개의 뱅크들은 4개의 메모리 어레이입니다(그림 3 참조). 4개의 뱅크들은 뱅크 Address (BA0 & BA1)에 2개의 비트가 필요합니다.

예를 들면, 4개의 뱅크들과 함께 DDR SDRAM은 다음과 같은 방식으로 동작합니다. 먼저, 활성화 명령어가 첫 번째 뱅크에서 행을 엽니다. 두 번째 활성화 명령어는 두 번째 뱅크에서 행을 엽니다. 이제 읽기 또는 쓰기 명령어의 어떤 조합이든 행이 열려 있는 첫 번째 뱅크 또는 두 번째 뱅크로 전송될 수 있습니다. 뱅크에서 읽기 및 쓰기 동작이 완료되면, 프리차지 명령어는 행을 닫고 뱅크는 새로운 행을 열기 위한 활성화 명령어 준비 상태가 됩니다.

DDR SDRAM에 필요한 전력은 행이 열려 있는 뱅크의 수와 관련이 있다는 점에 유의하십시오. 열려 있는 행이 많을수록, 그리고 행 사이즈가 클수록 보다 많은 전력을 필요로 합니다. 그러므로, 저전력 애플리케이션의 경우, 각각의 뱅크에서 한 번에 1개의 행만 열어야 하고 각각 열려 있는 행을 지닌 다수의 뱅크를 갖지 않아야 합니다.

DDR SDRAM	데이터 전송속도	메모리 클럭
DDR-266	266 Mb/s/pin	133 MHz
DDR-333	333 Mb/s/pin	166 MHz
DDR-400	400 Mb/s/pin	200 MHz

표 1. DDR SDRAM 데이터 전송속도 및 클럭 속도



▶ 그림 3. DDR SDRAM에서 다수의 메모리 뱅크는 향상된 액세스 유연성과 성능을 제공합니다.

연속적인 메모리 뱅크에서 연속적인 메모리 워드를 상호 배치 (interleaving)하는 것은 뱅크 Address 비트가 메모리 시스템에서 하위 Address 비트에 연결될 때 지원됩니다. 연속적인 메모리 워드는 뱅크 Address 비트가 메모리 시스템에서 상위 Address 비트에 연결될 때 동일한 메모리 뱅크에 위치합니다.

## DDR2 SDRAM

DDR2 SDRAM은 DDR SDRAM보다 몇 가지 기능이 더 향상되었습니다. DDR2 SDRAM은 클럭 속도가 더 높아 메모리 데이터 전송 속도를 향상시켜 줍니다(표 2 참조). 신호 무결성은 클럭 속도가 증가하면서 신뢰성 있는 메모리 동작에 보다 중요한 요소로 작용하고 있습니다. 클럭 속도가 증가함에 따라, 회로 보드의 신호 트레이스는 전송 라인이 되고 적절한 레이아웃과 신호 트레이스의 끝 부분에 종단은 보다 중요한 요소가 되고 있습니다.

명령어 신호, 클럭, Address의 종단은 이들 신호가 단방향성이고 회로 보드에서 종단되기 때문에 다소 직진적이라고 볼 수 있습니다. 데이터 신호 및 데이터 스트로브는 양방향성입니다. 메모리 컨트롤러 허브는 쓰기 작동 중에 신호를 구동하고 DDR2 SDRAM은 읽기 동작 중에 구동합니다. 그리고 다수의 DDR2 SDRAM은 동일한 데이터 신호와 데이터 스트로브에 연결됩니다. 그리고 다수의 DDR2 SDRAM은 메모리 시스템에서 동일한 DIMM과 다른 DIMM에 위치할 수 있습니다. 결과적으로 데이터 및 데이터 스트로브 드라이버와 수신기는 읽기/쓰기 동작과 어느 DDR2 SDRAM에 액세스 되는지에 따라 끊임없이 변합니다.

DDR2 SDRAM은 DDR2 SDRAM 확장 모드 레지스터와 함께 ODT 값(75Ω, 150Ω 등)을 프로그래밍할 수 있는 능력과 ODT를 활성화하는 ODT 신호, ODT(On-Die Termination)를 제공하여 데이터 신호와 데이터 스트로브의 신호 무결성을 향상시킵니다. ODT 값과 동작은 메모리 컨트롤러 허브에 의해 제어되고 메모리 동작 읽기 또는 쓰기의 유형과 DDR2 SDRAM DIMM 위치의 함수입니다. ODT 동작은 증가한 전압의 마진, 증가한 슬루율, 감소된 오버슈트와 감소된 부호간 간섭(ISI: Symbol Interference)과 함께 데이터 유효 창에 대한 보다 큰 아이 다이어그램을 생성하여 보다 우수한 신호 무결성을 유지합니다.

DDR2 SDRAM은 1.8V로 작동하여 메모리 시스템 전력을 감소시킵니다. 이는 DDR SDRAM 2.5V의 72%에 해당합니다. 일부 구현에서 한 행에 열의 수가 감소되어 결과적으로 읽기 또는 쓰기를 위해 행이 활성화될 때 보다 낮은 전력을 소비합니다.

DDR2 SDRAM	데이터 전송속도	메모리 클럭
DDR2-400	400 Mb/s/pin	200 MHz
DDR2-533	533 Mb/s/pin	266 MHz
DDR2-667	667 Mb/s/pin	333 MHz
DDR2-800	800 Mb/s/pin	400 MHz

표 2. DDR2 SDRAM 데이터 전송속도 및 클럭 속도

낮은 전압 작동의 또 다른 장점은 보다 낮은 로직 전압 스윙입니다. 슬루율이 동일한 경우, 감소된 전압 스윙은 로직 전이 속도를 증가시켜 보다 빠른 클럭 속도를 지원합니다. 또한, 데이터 스트로브는 차동 신호로 프로그래밍할 수 있습니다. 차동 데이터 스트로브 신호를 이용하면 노이즈, 누화, 동적 전력 소비 및 EMI(전자기 간섭)를 감소시키고 노이즈 마진을 증가시킵니다. 차동 또는 단일 종단 데이터 스트로브 동작은 DDR2 SDRAM 확장 모드 레지스터로 구성됩니다.

DDR2 SDRAM에 도입된 새로운 기능은 추가 지연 시간으로, 이는 메모리 컨트롤러 허브에 활성 명령어를 보낸 후 곧 바로 읽기 및 쓰기 명령어를 전송하는 유연성을 제공하며, 또한 메모리 처리량을 최적화시키고 DDR2 SDRAM 확장 모드 레지스터를 통해 추가 지연 시간을 프로그래밍하여 구성됩니다.

DDR2 SDRAM은 8개의 뱅크를 이용하여 1Gb 및 2Gb DDR2 SDRAM의 데이터 대역폭을 향상시킵니다. 8개의 뱅크는 다른 메모리 뱅크 동작을 상호 배치(interleaving)하여 대용량 메모리 DDR2 SDRAM의 액세스 유연성을 향상시킵니다. 또한 대용량 메모리의 경우, DDR2 SDRAM은 최대 8개의 버스트 길이를 지원합니다.

DDR2 SDRAM 데이터 시트는 100 페이지 이상이며 위의 기능은 주요 기능 중에서도 가장 두드러지는 기능입니다. 전체 기능과 동작에 관한 자세한 내용은 DDR2 SDRAM 데이터 시트를 참조하십시오.

## SDRAM 메모리의 기본

▶ 입문서

### DDR3 SDRAM

DDR3 SDRAM은 DDR2 SDRAM을 능가하는 성능을 자랑합니다. DDR3 SDRAM은 차세대 레벨의 보다 빠른 데이터 전송 속도 및 클럭 속도를 지원합니다(표 3 참조). 다른 예상 변경 사항에는 DDR3 SDRAM 작동 전압이 1.5 V로 낮아지는 것이 포함됩니다. 이는 DDR2 SDRAM 1.8V의 83%에 해당합니다. DDR3 SDRAM은 FB-DIMM2(Fully Buffered DIMM2) 구현에 사용될 메모리로서, 그 사양은 개발 중에 있고 JEDEC의 승인을 받기 전까지 변경될 수 있습니다.

www.jedec.org의 JEDEC DDR3 SDRAM 소위원회에 가입하여 DDR3 SDRAM 사양의 개발에 도움을 줄 수 있으며, 승인된 DDR3 SDRAM 사양의 포스팅을 위해 JEDEC 웹사이트를 모니터링할 수 있습니다.

### DIMM

듀얼 인라인 메모리 모듈(DIMM)은 컴퓨터용 플러그인 메모리 모듈입니다. DIMM은 물리적인 사이즈, 메모리 데이터 폭, 랭크, 메모리 사이즈, 메모리 속도 및 메모리 아키텍처에 차이가 있습니다. JEDEC은 DIMM 표준을 규정하고 있고 새로운 메모리 유형과 메모리 아키텍처를 기초로 새로운 DIMM을 규정하는 작업을 계속하고 있습니다.

### DIMM 물리적 사이즈

표준 DIMM 사이즈는 데스크탑, 워크 스테이션 및 서버에 사용됩니다. SO-DIMM(Small Outline DIMM)은 랩탑과 기타 공간 제약형 제품에 사용되는 소형 DIMM입니다. 버터플라이 구성은 서로 옆에 에지 커넥터를 지닌 컴퓨터 마더보드와 나란히 놓인 2개의 SO-DIMM을 말합니다. 2개의 에지 커넥터를 버터플라이 바드로 생각하고 SO-DIMM을 개방형 버터플라이 왕이라고 생각해 볼 수 있습니다. Mini-DIMM(Miniature DIMM)은 SO-DIMM보다 작으므로 단일 보드 컴퓨터에 사용됩니다. VLP-DIMM(Very Low Profile DIMM)은 높이가 낮으므로 블레이드 서버(blade server)에 사용됩니다.

DDR3 SDRAM	데이터 전송속도	메모리 클럭
DDR3-800	800 Mb/s/pin	400 MHz
DDR3-1066	1066Mb/s/pin	533 MHz
DDR3-1333	1333Mb/s/pin	667 MHz
DDR3-1600	1600 Mb/s/pin	800 MHz

표 3. 예상 DDR3 SDRAM 데이터 전송속도 및 클럭 속도

DIMM	IC당 4 I/O	IC당 8 I/O	IC당 16 I/O
1 랭크	16 ICs	8 ICs	4 ICs
2 랭크	32 ICs	16 ICs	8 ICs
4 랭크	64 ICs	32 ICs	16 ICs

표 4. 메모리 IC당 데이터 I/O의 수와 DIMM의 랭크에 기반한 ECC 미지원 DIMM당 메모리 IC의 수

### DIMM 데이터 폭

DIMM 데이터 폭은 ECC(오류 정정 코드) 지원 여부에 따라 다릅니다. ECC는 오류 감지 및 정정을 위해 사용되는 8개의 검사 비트입니다. 표준 DIMM 데이터 폭은 ECC 미지원 시 64비트이고 8개의 ECC비트 지원 시 72비트입니다.

### DIMM 랭크

랭크는 ECC와 함께 72비트 또는 64비트를 지원하는 DIMM의 전체 메모리 장치 그룹을 말합니다. 2개의 랭크는 DIMM에 2개의 그룹 메모리 장치이고, 4개의 랭크는 DIMM에 4개의 그룹 메모리 장치입니다. 표 4는 ECC 미지원 64비트의 데이터 폭을 지원하는 DIMM에 얼마나 많은 메모리 IC가 있는지를 보여줍니다. 일부 지점에서는 모든 메모리 IC를 위한 DIMM의 양쪽 공간이 충분하지 않습니다. 이 문제를 해결하기 위해 메모리 IC는 서로 상부에서 스택 처리됩니다.

### DIMM 메모리 사이즈 및 속도

DIMM 메모리 사이즈는 DIMM 구성과 사용된 메모리 IC의 사이즈에 따라 달라집니다. 512Mb(Meg bit) 메모리 IC는 다른 구성으로 설계할 수 있습니다(표 5 참조). DIMM 속도는 DIMM에 사용된 DDR, DDR2 및 DDR3 SDRAM이 지원하는 클럭 속도에 따라 좌우됩니다.

페이지 사이즈	I/Os 핀	Banks
32 Meg bit	4	4
16 Meg bit	8	4
8 Meg bit	16	4

표 5. 다른 512Mb(Meg bit) 메모리 IC 구성의 예

### DIMM 아키텍처

DIMM에는 UDIMM, RDIMM 및 FB-DIMM의 3가지 주요 아키텍처가 있습니다. 각각의 DIMM 아키텍처에는 장점과 더불어 제한 사항이 있습니다.

UDIMM은 Unregistered DIMM입니다. UDIMM에는 DIMM에서 DDR, DDR2 및 DDR3 SDRAM 신호 버퍼링이 없습니다(그림 4 참조). UDIMM은 최초의 DIMM 구현이었습니다. 단일 및 듀얼 DIMM 메모리 시스템의 경우 UDIMM은 가장 빠르고 가장 저렴합니다. 메모리 컨트롤러 허브는 모든 DRAM 신호를 직접 제어합니다. 버퍼 또는 레지스터는 UDIMM에서 SDRAM과 메모리 컨트롤러 허브 간의 신호를 지연시키지 않습니다. 메모리 컨트롤러 허브의 메모리 채널에 위치할 수 있는 UDIMM의 수는 신호 무결성에 의해 제한됩니다. 신호 무결성은 메모리 클럭 속도 및 트레이스 길이 증가, 메모리 채널에 UDIMM의 수와 UDIMM에 랭크의 수 증가로 인해 저하됩니다. 메모리 컨트롤러 허브는 모든 커넥터, 트레이스, 트레이스 분기 및 모든 SDRAM 핀을 인식합니다. 3개의 스템브 아키텍처의 임피던스 문제는 메모리 채널이 신뢰성 있게 작동할 수 있도록 UDIMM의 수와 클럭 주파수를 제한합니다.

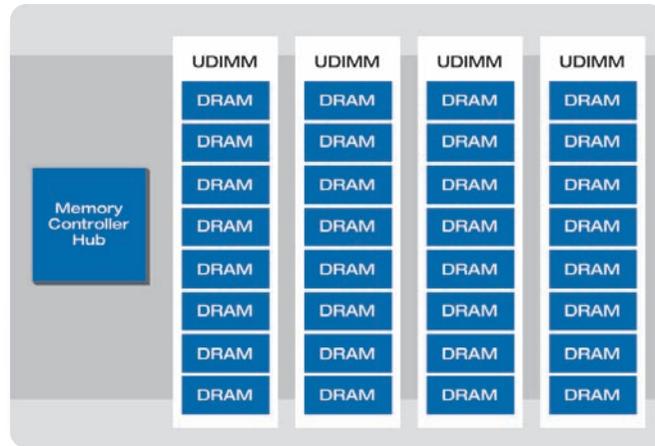


그림 4. UDIMM은 DIMM에서 DRAM 신호 버퍼링이 없습니다.

별도의 메모리 채널을 가진 메모리 컨트롤러 허브는 메모리 시스템에서 UDIMM의 수를 증가시키기 위한 한 가지 방법입니다. 2개의 개별 메모리 채널은 메모리 채널마다 1개의 UDIMM을 사용하여 2개의 고속 UDIMM을 지원할 수 있습니다.

## SDRAM 메모리의 기본

▶ 입문서

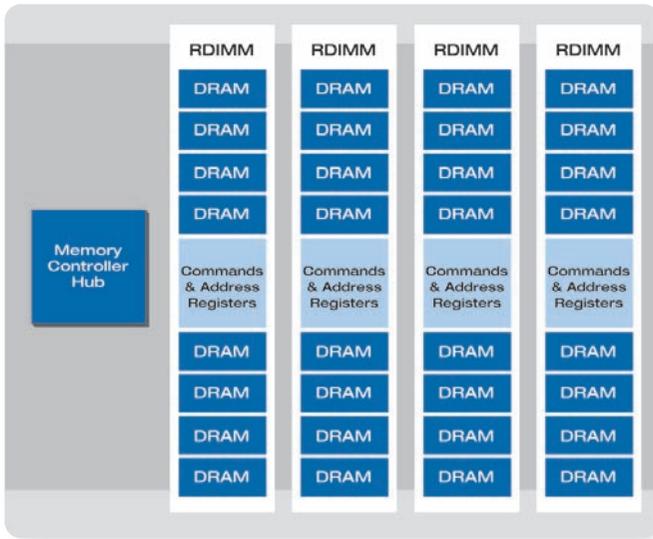


그림 5. DIMM에서 RDIMM은 DRAM 클럭, 명령어 신호 및 Address 신호를 버퍼링합니다.

RDIMM은 Registered DIMM입니다. RDIMM은 RDIMM에서 RDIMM SDRAM 클럭, 명령어 신호 및 Address 신호를 버퍼링하여 3개의 스타브 아키텍처 일부 문제를 줄여줍니다(그림 5 참조). 클럭 신호는 위상 동기 루프(PLL)에 의해 버퍼링되고 명령어 신호와 Address 신호는 레지스터 래치(register latches)에 의해 버퍼링됩니다. 일반적인 Registered DIMM은 레지스터를 갖춘 2개의 IC와 PLL IC로 구현됩니다. 메모리 컨트롤러 허브 클럭, 명령어 신호, 그리고 Address 신호는 RDIMM 레지스터와 RDIMM PLL, DIMM 커넥터, 마더보드 트레이스의 임피던스를 인식합니다. 이 축소된 3개의 스타브 아키텍처는 메모리 채널에 보다 많은 RDIMM을 사용함으로써 보다 빠르게 동작할 수 있게 해줍니다. 양방향 DQ 데이터 라인과 DQS 데이터 스트로브 라인의 경우 신호 로딩 감소의 장점과 더불어 버퍼링은 하지 않습니다. 또한, RDIMM 메모리 액세스 시간은 명령어 및 Address 신호를 RDIMM의 레지스터에 래치하는데 1 클럭 사이클이 필요하기 때문에 UDIMM보다 1 클럭 사이클 더 느립니다.

FB-DIMM는 Fully Buffered DIMM입니다. FB-DIMM은 DDR2 SDRAM을 사용하고 FB-DIMM2는 DDR3 SDRAM을 사용합니다.

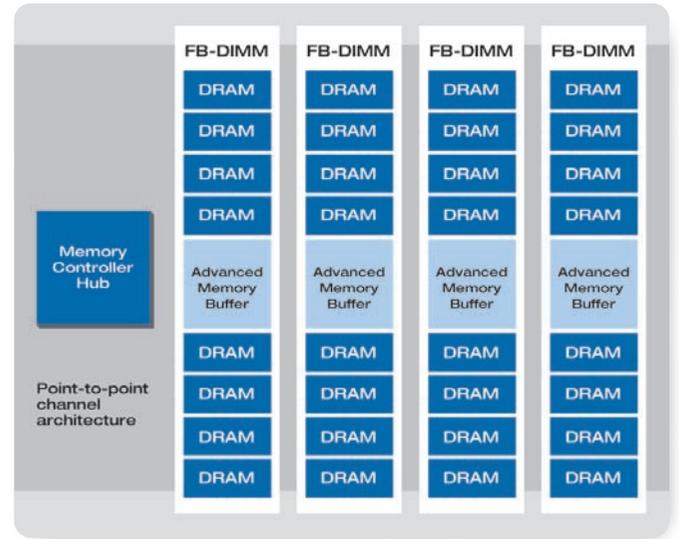


그림 6. FB-DIMM은 FB-DIMM 위에 있는 DDR2 SDRAM 신호를 버퍼링합니다.

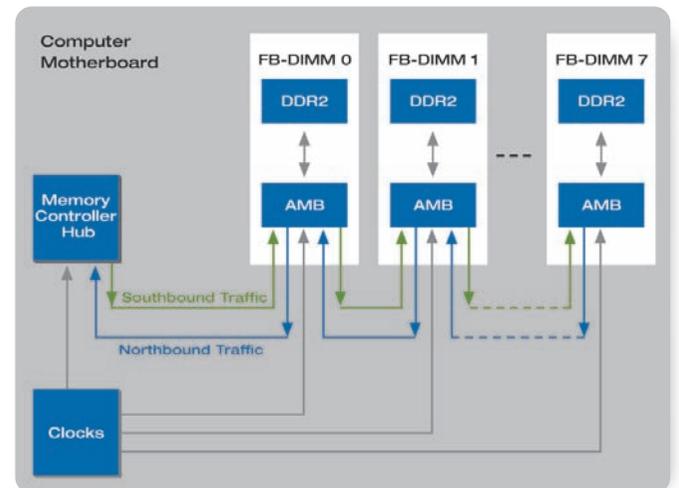


그림 7. FB-DIMM 점대점, 고속 직렬 아키텍처

모든 DDR2 SDRAM과 DDR3 SDRAM 신호는 FB-DIMM 및 FB-DIMM2에서 AMB(Advanced Memory Buffer) IC를 갖춘 메모리 시스템에 의해 버퍼링됩니다(그림 6 참조). 서로 다른 종류의 AMB가 FB-DIMM 및 FB-DIMM2에 사용됩니다.

## SDRAM 메모리의 기본

▶ 입문서

메모리 컨트롤러 허브 옆에 위치한 첫 번째 FB-DIMM은 최대 24개의 고속 차동 신호를 이용하여 메모리 컨트롤러 허브와 통신하고 최대 24개의 고속 차동 신호를 이용하여 인접한 FB-DIMM과 통신합니다(그림 7 참조). 이들 신호는 단방향성, 점대점 신호이고 고속 직렬 기술을 이용하여 명령어 및 데이터를 전송합니다. 10개의 신호는 메모리 컨트롤러 허브에서 AMB 쪽으로 SouthBound 트래픽을 전송하고, 12개에서 - 14개의 신호는 AMB에서 다시 메모리 컨트롤러 허브 쪽으로 Northbound 트래픽을 전송합니다. FB-DIMM 아키텍처는 폭넓은 병렬 버스를 몇 개의 점대점, 고속 직렬 레인을 지닌 3개의 스템브 아키텍처로 대체하여 최신식 고속 디지털 설계 추세를 따르고 있습니다.

FB-DIMM 아키텍처는 FB-DIMM의 DDR2 메모리에서 AMB를 통과한 후 메모리 컨트롤러 허브의 직렬 Northbound 점대점 신호로 데이터를 최대 메모리 속도로 전송하도록 설계되어 있습니다. 직렬 프레임은 12 비트 길이이고 폭은 10개의 Southbound 신호 레인과 14개의 Northbound 신호 레인으로 이루어져 있습니다. 12개의 직렬 비트는 단일 DDR2 클럭 사이클로 전송됩니다. 그러므로 고속 직렬 레인의 데이터 전송 속도를 구하려면 DDR2 클럭 주파수에 12를 곱합니다. 다른 방법으로, 고속 직렬 레인의 데이터 전송속도를 구하려면 DDR2 데이터 전송속도에 6을 곱합니다(표 6 참조). 컴퓨터 마더보드 메모리 시스템 클럭은 DDR2 클럭의 1/2입니다. AMB는 DDR2 SDRAM 클럭을 두 배 더 빠르게 구동하기 위해 PLL 기능을 제공합니다.

Southbound 레인의 수는 10으로 고정되어 있으며 Northbound 레인의 수는 12에서 14까지 변합니다.

DDR2 SDRAM	데이터 전송속도	DDR2 클럭	직렬 데이터 전송속도
DDR2-533	533 Mb/s/pin	266 MHz	3.2 Gb/s
DDR2-667	667 Mb/s/pin	333 MHz	4.0 Gb/s
DDR2-800	800 Mb/s/pin	400 MHz	4.8 Gb/s

표 6. FB-DIMM 점대점 직렬 레인의 직렬 데이터 전송속도는 FB-DIMM에서 DDR2 SDRAM의 속도에 따라 달라집니다.

레인	직렬 프레임의 비트
10 Southbound 레인	120
12 Northbound 레인	144
13 Northbound 레인	156
14 Northbound 레인	168

표 7. FB-DIMM 직렬 데이터 Northbound 프레임의 사이즈는 사용된 Northbound 레인의 수에 따라 달라집니다.

프레임에서 비트의 수를 구하려면 레인에 12개의 직렬 비트를 곱합니다(표 7 참조). Southbound 레인은 10으로 고정되므로 프레임당 120 비트를 갖습니다. Northbound 레인은 사용된 직렬 CRC 비트의 수와 FB-DIMM에 ECC의 사용 여부에 따라 달라집니다.

예를 들면, ECC가 지원되지 않는 경우, 2개의 64비트 워드(2x64=128 비트 총 비트)가 Northbound 프레임으로 전송되어야 합니다. 프레임당 총 144비트를 지닌 12개의 Northbound 레인은 이 데이터 전송속도를 처리할 수 있습니다. 반면에, ECC가 지원되는 경우, 2개의 72-비트 워드(2x72=총 144비트)가 Northbound 프레임으로 전송되어야 합니다. (프레임당 총 144비트를 지닌 12개의 Northbound 레인으로는 144 데이터 비트와 더불어 직렬 CRC 비트 모두를 전송하기에는 충분하지 않기 때문에 13개 또는 14개의 Northbound 레인이 요구됩니다.)

## SDRAM 메모리의 기본

▶ 입문서

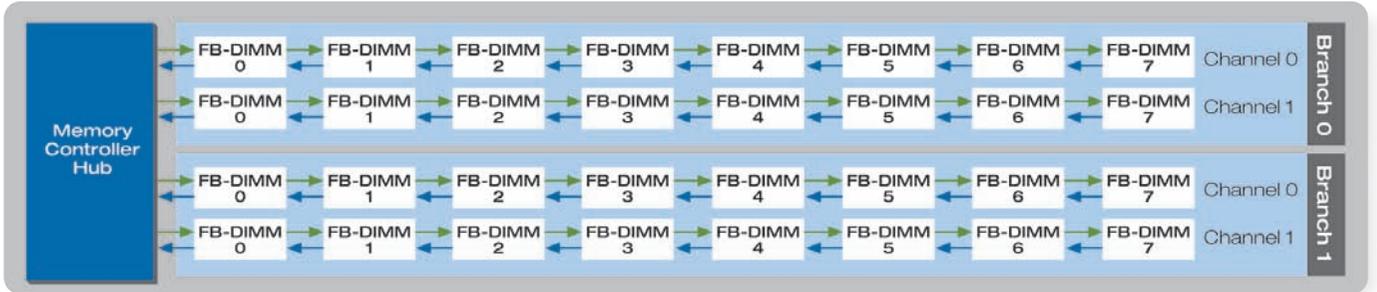


그림 8. FB-DIMM 메모리 컨트롤러 허브는 각각의 채널이 최대 8개의 FB-DIMM을 가진 4개의 채널을 지원합니다. 총 32GB의 시스템 메모리는 1GB FB-DIMM을 사용하여 구성할 수 있습니다. 이는 4GB FB-DIMM을 사용하여 128GB로 쉽게 높일 수 있습니다. 이 대용량 메모리는 고성능 서버와 하이엔드 워크 스테이션에 이상적입니다.

1개의 FB-DIMM 채널은 최대 8개의 FB-DIMM까지 지원합니다. FB-DIMM 마더보드 레이아웃은 채널당 24개의 고속 신호 트레이스만 메모리 컨트롤러 허브에서 요구되고 이들 트레이스는 동일한 길이를 갖지 않아도 되기 때문에 보다 쉽습니다. 그렇지만 UDIMM 또는 RDIMM은 메모리 컨트롤러 허브로부터 대량의 병렬 신호(명령어, Address, 데이터 등)를 필요로 하므로 이들 트레이스 길이는 적절한 동작을 위해 반드시 일치해야 합니다. 회로 보드 트레이스 레이아웃이 보다 단순해지고 메모리 채널당 FB-DIMM 신호가 감소하여 메모리 컨트롤러 허브가 보다 많은 FB-DIMM 메모리 채널을 지원할 수 있습니다(그림 8 참조). 이는 각각의 메모리 채널이 동시에 활성화될 수 있으므로 보다 많은 메모리 대역폭을 유지할 수 있음을 의미합니다.

FB-DIMM은 대용량 메모리 시스템을 필요로 하는 서버에 사용되고 있습니다. 하이엔드 워크스테이션에도 FB-DIMM을 사용할 것으로 기대됩니다.

### SPD(Serial Presence Detect)

SPD(Serial Presence Detect) 기능은 모든 컴퓨터 DIMM에 존재하며 컴퓨터의 전원을 켜는 동안 컴퓨터 BIOS에 메모리 사이즈, 속

도, 지연 시간, 타이밍, 제조업체 등과 같은 DIMM 메모리 구성 정보를 제공하는데 사용됩니다(표 8 참조). 전원 공급 시, BIOS(Basic Input Output Software)는 SPD 기능을 이용하여 각 DIMM에 대한 구성 정보를 읽어옵니다. 그런 다음 이 정보는 각각의 UDIMM 및 RDIMM에서 메모리 컨트롤러 허브와 DRAM 모드 및 확장 모드 레지스터를 구성하는데 사용됩니다. SPD 기능은 JEDEC 표준을 통해 지정됩니다.

UDIMM 및 RDIMM의 경우 SPD 기능은 각각의 DIMM에 위치한 저속 I2C 인터페이스를 갖춘 비휘발성 메모리 IC에서 구현됩니다. 마더보드에는 각각의 DIMM 슬롯용으로 유일한 Address (0 - 7)를 지닌 I2C 인터페이스가 있습니다. 전원 공급 시, 각각의 DIMM 슬롯은 I2C 인터페이스를 통해 검사됩니다. DIMM이 존재하는 경우, SPD 값은 BIOS를 통해 읽어옵니다.

FB-DIMM의 경우 SPD 기능은 I2C 인터페이스를 가진 AMB에서 구현됩니다. FB-DIMM I2C 인터페이스는 SMBus(시스템 관리 버스)라고 부릅니다. SMBus는 각각의 FB-DIMM에서 AMB를 구성하는데 사용됩니다.

바이트 수	기능 설명	SPD 16진수 값
0	모듈 제조업체에서 직렬 메모리에 기록되는 바이트의 수 정의	80
1	SPD 메모리 바이트의 총 수	08
2	기본 메모리 유형(FPM 또는 EDO)	01 또는 02
3	메모리 장치에 행 Address의 수	0C
4	메모리 장치에 열 Address의 수	0A
5	이 메모리 모듈의 물리적 뱅크의 수	01
6	이 모듈의 데이터 폭	40
7	데이터 폭(계속)	00
8	모듈 전압 인터페이스 레벨	01
9	이 어셈블리의 RAS 액세스 시간	3C
10	이 어셈블리의 CAS 액세스 시간	0F
11	모듈 오류 수정 구성 유형(비-패리티, 패리티, ECC)	00 또는 01 또는 02
12	리프레시 속도/유형	00 또는 83
13	1차 DRAM 폭	10
14	오류 검사 DRAM 데이터 폭	00
15	- 61 예비	00
62	SPD 개정	00
63	바이트 0-62에 대한 체크섬	계산
64	제조업체 JEDEC ID 코드	2C
65	- 71 제조업체 JEDEC ID 코드 (계속)	00
72	제조 위치	01 - 08
73-90	제조업체의 부품 번호	변수
91	PCB 식별 코드	01 - 09
92	PCB 식별 코드(계속)	00
93	제조 년도	변수
94	제조 주차	변수
95-98	모듈 일련 번호	변수
99-125	제조업체 지정 데이터	변수
126-127	예약	00
128-255	지정되지 않은 사용자 자유 형식 영역	FF

표 8. 컴퓨터 BIOS는 SPD(Serial Presence Detect) 인터페이스를 이용하여 DIMM 구성을 읽어옵니다. SPD 데이터는 표준을 통해 지정됩니다.

## SDRAM 메모리의 기본

### ▶ 입문서

#### 메모리 시스템 설계

제품 설계의 처음 몇 가지 단계는 제품 요건, 제품 아키텍처 설계 및 서브시스템 설계입니다. 서브시스템 설계 중 한 가지는 메모리 시스템입니다. 메모리 시스템 설계는 메모리 사이즈, 속도, 전력, 기존의 표준, 새로운 개발 표준, 기존 설계의 재사용 및 기타 요건에 따라 달라집니다.

컴퓨터 칩셋 제조업체는 컴퓨터의 메모리 시스템 설계에 큰 영향을 미칩니다. 이들 컴퓨터 칩셋 제조업체의 일부는 자체 테스트 절차, 타당성 검사 과정 및 테스트 제품에 대한 워크샵을 갖습니다. 일반적으로 컴퓨터 칩셋 제조업체의 웹사이트에는 호환성 테스트를 통과한 메모리 제품이 나열되어 있습니다.

#### 설계 시뮬레이션

메모리 시스템 설계의 핵심 부분은 설계 시뮬레이션입니다. 포괄적인 메모리 시스템 설계 시뮬레이션의 중요성은 간단하게 설명할 수 없습니다. 경험상으로 보면 불과 몇Ω의 저항 값 변화만으로도 신뢰성 있는 작동 메모리 시스템에 큰 영향을 미칠 수 있습니다.

메모리 시스템 설계 시뮬레이션은 프로토타입 메모리 시스템에 연결될 때 어떤 계측기에 의해 발생된 프로브 로딩(probing loading)의 영향을 포함시켜야 합니다. 검증 및 디버깅 과정은 프로브 로딩 때문에 프로토타입이 작동을 멈추면 매우 어려워집니다. 또한, 시뮬레이션에서는 계측기 프로브의 로딩과 함께 프로브 테스트 지점의 신호를 분석해야 합니다.

데이터 유효 창은 메모리 컨트롤러 허브 드라이버에서 SDRAM 핀까지 신호 트레이스를 따라 변합니다.

프로브 테스트 지점은 수신기가 인식하는 신호를 계측기가 표시하도록 수신기 핀에 가능하면 가깝게 유지해야 합니다. 때로는 이렇게 하기 어려운 경우가 있어, 그 때는 인터포저, 테스트 어댑터 및 기타 특수 프로브 고정장치와 보조장치를 이용하여 신호를 포착하는데 따른 어려움을 해결합니다. 이들 프로브 보조장치는 또한 신호의 측정과 SDRAM 신호에 대한 영향을 이해할 수 있도록 설계 시뮬레이션에 포함시켜야 합니다.

#### 설계 검증

설계 시 새로운 DRAM 기능의 적용은 설계 시뮬레이션의 새로운 기법부터 새로운 BIOS 동작의 범위에 이르기까지 새로운 설계 방법과 기술을 요구합니다. 결과적으로 DRAM 설계 구현은 신뢰성 있는 메모리 동작을 보장하기 위해 회로 보드 구성에서부터 소프트웨어 동작까지 완전한 검증 및 테스트가 필요합니다. 제품 신뢰성은 메모리 시스템이 완전히 검증되지 않은 설계 구현으로 인한 간헐적인 랜덤 오류가 발생할 경우 타격을 입습니다. 또한, 고객은 JEDEC 또는 다른 제조업체에서 규정한 다양한 적합성 테스트 요건을 충족시키는 제품을 요구할 것입니다.

## 검증 방법

설계 구현 시에는 설계 문제를 효과적이고 신속하게 디버깅하기 위한 방법을 갖추는 것이 중요합니다. 신속한 시장 출시 제품 개발을 위해서는 설계 초기에 검증/디버깅 계획이 필요합니다. 이 계획에서는 다음 요건을 확인해야 합니다.

- 새로운 설계 요소와 재사용 설계 요소
- 과거의 설계를 토대로 피해야 할 사항과 변경 사항
- 어떤 레벨의 타당성 검사와 테스트가 필요한지, 테스트 시 특수 작동 모드 또는 신호 패턴이 필요한지 여부
- 특수 기능 설계(예, 프로브 테스트 지점 또는 테스트 고정장치)가 필요한지, 그리고 시뮬레이션 분석에 프로토타입 프로빙을 고려하는지, 신호 자극이 필요한지, 하드웨어를 동작시키는데 특수 소프트웨어가 필요한지 여부
- 환경 테스트가 요구되는지 여부(예, 온도 습도 등)
- 디버깅하기 위해 어떤 회로 동작 가시성을 가지고 있는지 여부
- 법적 적합성 테스트가 필요한지 여부, 타당성 검사/디버그 테스트 지점이 제조 시 제품을 테스트하는데 이용되는지, 타당성 검사/디버그 테스트 지점이 사용 중인 제품을 수리하는데 이용되는지, 그리고 현재 알 수 없는 것에 관한 위험성을 관리하는 방법

예를 들면, 일부 검증 방법에는 새로운 ASIC/FPGA를 갖춘 시스템 아키텍처를 검증하기 위해 다수의 프로빙 테스트 지점과 함께 타당성 검사 프로토타입을 제조하는 것이 포함됩니다. 타당성 검사 프로토타입은 최대 속도에서 작동하여 동작 속도(at-speed) 작동 및 성능을 검증하는 것이 가장 좋습니다. 복잡한 설계는 문제를 신속하게 찾아내기 위해서 실시간 작동에 대한 보다 포괄적인 가시성(visibility)을 필요로 합니다. 일단 타당성 검사 프로토타입이 정확하게 실행되고 타당성 검사가 완료되면, 최종 프로토타입은 감소한 테스트 지점으로 구현됩니다.

## SDRAM 검증

DRAM 검증 및 테스트 기법은 무엇이 설계되느냐에 따라 달라집니다. DRAM 설계는 컴퓨터 메모리 컨트롤러 허브 IC, 메모리 IC, AMB IC, DIMM, 컴퓨터 마더보드 및 임베디드 시스템 과 같은 유형으로 분류됩니다. 이들 각각의 제품에는 서로 다른 타당성 검사 방법, 타당성 검사 테스트 및 테스트 장비가 필요합니다. 예컨대, 메모리 IC 설계자는 회로 보드 구조를 확인하지 않는 반면에 DIMM 설계자는 DIMM 회로 보드 구조를 확인합니다.

메모리 컨트롤러는 특정 프로세서 및 독특한 임베디드 시스템 입력/출력 구성으로 작동하기 위한 독특한 요건 때문에 일반적으로 임베디드 시스템 설계자가 설계합니다. 그 결과, 설계 작업의 중요 부분은 메모리 컨트롤러를 설계하고 메모리 컨트롤러와 메모리 IC 간의 회로 보드 레이아웃을 설계하는 것입니다. 그리고 신뢰성 있는 작동을 위해 이 부분의 설계를 검증하는 것이 중요합니다.

## SDRAM 메모리의 기본

### ▶ 입문서

검증	작업	계측기
회로 보드 구조	단일 종단 트레이스 임피던스	TDR 기능을 갖춘 샘플링 오실로스코프
	차동 트레이스 임피던스	TDR 기능을 갖춘 샘플링 오실로스코프
	트레이스 길이	TDR 기능을 갖춘 샘플링 오실로스코프
	누화	TDR 기능을 갖춘 샘플링 오실로스코프
전기적	전원 및 신호 전원 품질, 노이즈, 글리치 및 그라운드 바운스	오실로스코프
	클럭신호 품질 상승 및 하강 시간/슬루율, 확산 스펙트럼 클러킹 프로파일	지터 분석 소프트웨어를 갖춘 오실로스코프
	명령 어드레스 및 데이터 유효 창, 클럭, 스트로브 및 데이터 신호 스큐	지터 분석 소프트웨어를 갖춘 오실로스코프
	FB-DIMM 직렬 신호 데이터 유효 창	직렬 데이터 적합성 및 분석 소프트웨어, 신호 소스 및 FB-DIMM 고정장치를 갖춘 오실로스코프
프로토콜 시퀀스 및 타이밍	메모리 시스템 전원공급 초기화 프로토콜 및 타이밍	SDRAM 지원 패키지를 갖춘 로직 애널라이저
	SDRAM 모드 레지스터 작동	SDRAM 지원 패키지를 갖춘 로직 애널라이저
	SDRAM 명령 프로토콜 및 타이밍	SDRAM 지원 패키지를 갖춘 로직 애널라이저
	읽기/쓰기 데이터 유효 창	SDRAM 지원 패키지를 갖춘 로직 애널라이저

표 9. 관련 테스트 장비를 이용한 검증 작업

DRAM 검증 및 테스트 기법에는 샘플링 오실로스코프, 오실로스코프, 로직 애널라이저, 프로브, 테스트 고정장치, 분석 소프트웨어, 적합성 소프트웨어 등과 같은 일련의 테스트 및 측정 장비가 필요합니다(표 9 참조). 테스트 장비는 전기 신호 및 프로토콜 레이어에 대한 적절한 프로빙, 정밀한 수집 및 완전한 시스템 가시성을 제공해야 합니다. 설계자가 메모리 작동을 신속하게 검증하려면, 강력한 분석 능력이 필요합니다.

로직 애널라이저와 더불어 컴퓨터 시스템 또는 임베디드 시스템의 모니터링은 강력한 검증 및 디버깅 개발 환경을 제공합니다. 로직 애널라이저는 프로세서 버스 동작, 메모리 동작 및 입력/출력 동작을 추적하고 서로 관련시키는데 사용됩니다. 로직 애널라이저 디스플레이에서 완전한 시스템 가시성은 실시간 시스템 작동에 대한 중요한 설계 통찰력을 제공합니다.

또한, 통합 오실로스코프 및 로직 애널라이저 프로빙, 트리거링 및 디스플레이의 사용은 동일한 디스플레이에서 디지털 파형 및 아날로그 파형, 소프트웨어 목록, 프로토콜 목록으로부터 완전한 설계 가시성을 제공합니다. 그 결과 프로토타입에 대한 강력하고 포괄적이며 효과적인 분석을 수행할 수 있습니다.

텍트로닉스는 임베디드 및 컴퓨터 설계자가 메모리 설계에 대해 신속하고 정확한 전기적 테스트와 작동 타당성 검사를 수행할 수 있도록 Nexus Technology 메모리 지원과 함께 산업 주도형 오실로스코프, 참 차동(True Differential) TDR 및 로직 애널라이저를 포함한 포괄적인 툴 세트를 제공합니다. 전체적으로, 이 툴 세트는 뛰어난 사용 편의성과 함께 우수한 성능을 제공하므로 임베디드 시스템과 컴퓨터 메모리 시스템 검증 및 디버깅에 이상적인 솔루션입니다.

## 용어

사용자 편의를 위해 이 설명서에서 사용되지 않은 일반적인 용어도 포함되어 있습니다.

**AMB(Advanced Memory Buffer):** 고속 직렬 클럭의 할당, 프레임 경계 확인, 채널 연결 확인 등을 위해 지능적인 하향/상향 채널 초기화를 제공합니다.

**진폭:** 신호의 수량 또는 강도의 크기. 전자 공학에서 진폭이란 일반적으로 전압 또는 전력을 가리킵니다.

**아날로그 신호:** 전압이 지속적으로 변하는 신호.

**아날로그-디지털 변환기(ADC):** 전기 신호를 불연속 이진 값으로 변환하는 디지털 전자 장치.

**비동기:** 동기화되지 않은 상태. 로직 애널리저는 자체 샘플링 클럭을 실행합니다. 클럭은 독립적이며 DUT의 타이밍을 인식하지 못합니다. 이는 타이밍 획득 모드의 기준이 됩니다.

**감쇠:** 신호가 한 지점에서 다른 지점으로 전송되는 동안 나타나는 진폭의 감소.

**BGA(Ball Grid Array):** 통합 회로 패키지.

**대역폭:** 주파수 범위, 일반적으로 -3 dB로 제한됩니다.

**비트:** 상태가 1 또는 0인 이진 문자

**바이트:** 일반적으로 8비트로 구성되는 디지털 정보의 단위.

**CE#(Chip Enable):** 장치를 활성화시킵니다.

**CS#(Chip Select):** 장치를 선택합니다.

**클럭속도(Clock Rate):** 장치가 가장 기본적인 작동을 수행할 때 초당 사이클의 기본 속도.

**CAS#(Column Address Select):** 장치 내에서 해당 열 Address를 선택합니다.

**커서:** 파형과 정렬하여 보다 정확한 측정을 수행할 수 있는 화면상의 표시.

**CRC(Cyclic Redundancy Coding, 순환 중복 코드):** 오류를 감지하기 위한 데이터 블록, 전송 또는 저장, 데이터 블록으로부터 나온 번호(수). 수신기는 CRC를 재계산하고 원래 전송된 값과 비교하여 일부 유형의 전송 오류를 감지할 수 있습니다.

**데시벨(dB):** 두 전기 신호 사이의 상대적인 전력 차이를 나타낼 때 사용되는 단위로, 두 레벨의 비율의 공통 대수보다 10배가 큼니다.

**DUT(Device Under Test):** 계측기에서 테스트 중인 장치.

**디지털 오실로스코프:** ADC를 사용하여 측정된 전압을 디지털 정보로 변환하는 오실로스코프의 한 유형. 디지털 오실로스코프에는 디지털 스토리지, 디지털 포스퍼, 디지털 샘플링 오실로스코프의 세 가지 유형이 있습니다.

**디지털 포스퍼 오실로스코프(DPO):** 아날로그 오실로스코프의 디스플레이 특성을 모델로 삼았지만 파형 저장, 자동화 측정 등과 같이 전통적인 디지털 오실로스코프의 장점을 살린 디지털 오실로스코프의 한 유형. DPO는 병렬 처리 구조를 통해 신호 특성을 강도 등급에 따라 실시간으로 표시하는 래스터형 디스플레이로 신호를 전달합니다. DPO는 진폭, 시간, 시간에 따른 진폭 분포의 3차원 방식으로 신호를 표시합니다.

**디지털 샘플링 오실로스코프:** 등가 시간 샘플링 방법을 사용하여 신호의 샘플을 캡처하고 표시하는 디지털 오실로스코프의 한 유형으로, 주파수 요소가 오실로스코프의 샘플 속도보다 훨씬 높은 신호를 정확하게 캡처할 때 이상적입니다.

**디지털 신호:** 전압 샘플이 불연속 이진수로 표현되는 신호.

## SDRAM 메모리의 기본

### ▶ 입문서

**디지털 스토리지 오실로스코프(DSO):** 디지털 샘플링(아날로그-디지털 변환기)을 통해 신호를 획득하는 디지털 오실로스코프로, 직렬 처리 구조를 통해 획득, 사용자 인터페이스 및 래스터 디스플레이를 제어합니다.

**디지털화:** 수평 시스템의 아날로그-디지털 변환기(ADC)가 불연속 시점에서 신호를 샘플링하여 이러한 시점에서 나타나는 신호의 전압을 샘플 지점이라는 디지털 값으로 변환하는 프로세스.

**DDR(Double Data Rate):** 피크 데이터 전송 속도는 장치에 명령어가 클럭되는 속도의 두 배입니다.

**듀얼 인라인 메모리 모듈(DIMM):** PC 플랫폼의 DRAM에 널리 사용되는 패키징 타입.

**DRAM(Dynamic Random Access Memory):** 각 데이터 비트를 별도의 커패시터에 저장하는 메모리 유형.

**ECC(Error Correction Code: 오류 정정 코드):** 오류 검출 및 정정에 사용되는 8개의 검사 비트.

**FET (Field Effect Transistor: 전계 효과 트랜지스터):** 출력 전류가 가변 전계에 의해 제어되는 트랜지스터.

**FBGA(Fine-pitch Ball Grid Array):** 통합 회로 패키지.

**주파수:** 1초에 신호가 반복되는 횟수로, Hertz(초당 주기)로 측정됩니다. 주파수는 1/주기와 동일합니다.

**FB-DIMM(Fully Buffered Dual Inline Memory Module):** 차세대 메모리 구조.

**기가비트(Gb):** 10억 비트의 정보.

**기가바이트(GB):** 10억 바이트의 정보.

**기가헤르츠(GHz):** 10억 헤르츠.

**초당 기가 전송(GT/s):** 초당 10억 데이터 전송.

**글리치:** 회로에서 간헐적으로 발생하는 고속 오류.

**헤르츠(Hz):** 초당 하나의 사이클. 주파수 단위.

**iCapture™ 멀티플렉싱:** 단일 로직 애널라이저 프로브를 통해 디지털 데이터와 아날로그 데이터를 동시에 획득합니다.

**iLink™ 도구 세트:** 다음 기능을 포함하여 문제 감지 및 문제 해결 속도를 높이기 위해 설계된 여러 가지 요소로 구성되어 있습니다. iCapture™ 멀티플렉싱, iView™ 디스플레이 및 iVerify™ 분석.

**입력/출력(I/O):** 일반적으로 장치로 들어가거나 장치에서 나오는 신호를 가리킵니다.

**통합 회로(IC):** 칩에 새겨진 구성 요소 집합과 구성 요소간 연결.

**인터리브(Interleave):** 일정한 간격으로 분포 또는 위치시키는 것을 말합니다.

**iVerify™ 분석:** 오실로스코프에서 생성된 아이 다이어그램을 사용하여 멀티채널 버스 분석 및 검증을 테스트합니다.

**iView™ 디스플레이:** 로직 애널라이저 디스플레이에 시간 상관 로직 애널라이저 및 오실로스코프 측정 결과를 통합적으로 표시합니다.

**JEDEC(Joint Electron Device Engineering Council: 세계반도체표준협회):** EIA(Electronic Industries Alliance: 전자산업협회)의 반도체 엔지니어링 표준 조직, 모든 전자 산업 분야를 대표하는 무역 협회. [www.jedec.org](http://www.jedec.org)

**킬로헤르츠(kHz):** 1000 헤르츠.

**지연시간(Latency):** 자극과 응답 사이에 경과한 시간. 예를 들면, 데이터가 DQ핀에서 available할 때 즉 읽기 사이클의 첫 번째 단계에서 세 번째 단계까지의 걸린 시간.

**부하:** 프로브 및 오실로스코프와 테스트 중인 회로와의 비의도적인 상호작용으로 인해 신호가 왜곡되는 현상.

**로직 애널라이저:** 수많은 디지털 신호의 로직 상태를 시간이 지남에 따라 보이게 만드는 데 사용되는 계측기로, 디지털 데이터를 분석하여 실시간 소프트웨어 실행, 데이터 흐름 값, 상태 시퀀스 등으로 나타낼 수 있습니다.

**MagniVu™ 획득:** 모든 TLA Series 로직 애널리저의 핵심이 되는 고유한 고분해능 샘플링 구조. MagniVu™ 획득은 트리거 지점을 둘러싼 신호 활동을 보다 높은 분해능으로 동적으로 저장합니다.

**메가비트(Mb):** 100만 비트 정보.

**메가바이트(MB):** 100만 바이트 정보.

**메가헤르츠(MHz):** 100만 헤르츠.

**초당 메가 샘플(MS/s):** 초당 100만 샘플과 동일한 샘플 속도 단위.

**초당 메가 전송(MT/s):** 초당 100만 데이터 전송.

**메모리 사이클 시간(Memory Cycle Time):** 읽기 사이클의 첫 번째 단계에서부터 마지막 단계의 완료까지 걸리는 시간.

**마이크로초( $\mu$ s):** 0.000001초와 동등한 시간 단위.

**밀리초(ms):** 0.001초와 동등한 시간 단위.

**미니어처 듀얼 인라인 메모리 모듈(Mini-DIMM):** SO-DIMM보다 작고 일반적으로 단일 보드 컴퓨터에 사용됩니다.

**마더보드:** 프로세서, 메모리 컨트롤러, 하드 디스크 컨트롤러, 입력/출력 인터페이스 칩셋 등을 포함한 컴퓨터의 메인 시스템 회로기판. DIMM이나 비디오 카드 같은 다른 회로기판은 마더보드에 연결됩니다.

**나노초(ns):** 0.000000001초와 동등한 시간 단위.

**노이즈:** 전기 회로의 원하지 않는 전압 또는 전류.

**오실로스코프:** 시간에 따라 전압 변화를 보이게 만드는 데 사용되는 계측기. 오실로스코프는 변동 전압을 측정하는 데 자주 사용되기 때문에 "변동"을 의미하는 "oscillate(오실레이트)"라는 단어에서 파생되었습니다.

**OE#(Output Enable):** 장치 출력을 활성화시킵니다.

**주기:** 파동이 하나의 사이클을 완성하는 데 걸리는 시간. 주기는 1/주파수와 동등합니다.

**트리거 이전 뷰:** 트리거 이벤트 이전에 발생한 신호의 동작을 캡처하는 디지털 계측기의 기능으로, 트리거 지점 이전과 이후 모두에서 볼 수 있는 신호의 길이를 결정합니다.

**프리차지(Precharge):** 저장 커패시터가 적절한 값으로 충전되는 동안 DRAM의 액세스 사이클 단계.

**프로브:** 계측기 입력 장치로, 일반적으로 회로 요소와의 전기 접촉을 위한 뾰족한 금속 끝이 달려 있고 회로의 접지 지점에 연결되는 리드와 신호를 전송하는 유연한 케이블 및 계측기와 접지되어 있습니다.

**펄스:** 빠른 상승 에지, 대역폭, 빠른 하강 에지가 있는 일반적인 파형 모양.

**펄스 트레인:** 함께 이동하는 펄스의 집합.

**펄스 폭:** 펄스가 Low에서 High 그리고 다시 High에 Low로 내려오는 데 걸리는 시간으로 일반적으로 전체 전압의 50%에서 측정됩니다.

**램프:** 일정한 속도로 변하는 정현파의 전압 레벨간 전환.

**RAM(Random Access Memory):** 정보를 아무 순서로나 액세스할 수 있는 메모리 장치.

**읽기 사이클(Read Cycle):** 이벤트의 주기적인 반복 시퀀스로 장치로부터 읽어오는데 사용됩니다.

## SDRAM 메모리의 기본

### ▶ 입문서

**레코드 길이:** 신호를 기록하는 데 사용되는 파형 지점의 수

**리프레시:** 칩을 재충전하기 위해 새로운 전기적 펄스를 내보내 유지합니다.

**레지스터드 듀얼 인라인 메모리 모듈(RDIMM):** RDIMM에서 RDIMM SDRAM 클럭, 명령어 신호 및 Address 신호를 버퍼링하여 3개의 스테브 아키텍처의 일부 문제를 감소시킵니다.

**상승 시간:** 펄스의 리딩 에지가 낮은 값에서 높은 값으로 상승하는데 걸리는 시간으로, 일반적으로 10%에서 90%로 측정됩니다.

**RAS#(Row Address Select):** 장치 내에서 해당 행 Address를 선택합니다.

**샘플 지점:** 파형 지점을 계산하는 데 사용되는 ADC의 초기 데이터. 샘플 속도: 디지털 측정 계기가 초당 샘플(S/s) 단위로 지정된 샘플 신호를 수집하는 속도를 말합니다.

**샘플링:** 계측기의 저장, 처리 및/또는 표시를 위해 입력 신호의 일부를 수많은 불연속 전기 값으로 변환하는 과정.

**SPD(Serial Presence Detect):** 별도의 전기적 소거가 가능한 EEPROM 소자를 이용하여 모듈 밀도, 타이밍 및 성능 파라미터를 유지합니다.

**신호 무결성:** 신호의 정확한 구현으로서 신호를 측정하는 데 사용된 프로브, 계측기의 성능 및 고려 사항, 그리고 시스템에 의해 측정되어집니다.

**신호 발생기:** 신호를 회로 입력에 넣는 데 사용되는 테스트 장치로, 이후 계측기가 회로의 출력을 읽게 됩니다. 신호 생성기라고도 합니다.

**Small Outline 듀얼 인라인 메모리 모듈(SO-DIMM):** 랩탑과 기타 공간 제약형 제품에 사용되는 소형 DIMM.

**동기:** 동기화된 상태. 로직 애널리저는 외부 소스, 대개는 DUT로부터 클럭정보를 받기 때문에 로직 애널리저 상태 획득은 동기식이라고 말합니다. 이는 두 시스템을 동기화하며, 로직 애널리저는 DUT가 활성일 때만 데이터를 획득합니다. 이를 상태 획득 모드라고도 합니다.

**SDRAM(Synchronous Dynamic Random Access Memory):** 나머지 컴퓨터 시스템과 DRAM 동작을 동기화하고 CE#, RAS#, CAS# 및 WE# 에지 전이의 시퀀스에 기초한 메모리의 모든 다른 동작 모드를 규정하는 것을 제거하도록 설계되었습니다.

**SUT(System Under Test):** 계측기가 테스트 중인 시스템.

**TDR(Time Domain Reflectometry):** 케이블, 커넥터 또는 PC 보드의 마이크로스트립과 같은 전송 라인을 따라 임피던스 값과 편차를 평가하는 편리한 방법.

**트리거:** 계측기에서 수평 스위프를 참조하는 회로.

**트리거 홀드오프:** 유효한 트리거 후에 계측기가 트리거할 수 없는 시간을 조정할 수 있는 제어 장치.

**트리거 레벨:** 트리거 회로가 스위프를 초기화하기 전에 트리거 소스 신호가 도달해야 하는 전압 레벨.

**언레지스터드 듀얼 인라인 메모리 모듈(UDIMM):**UDIMM은 최초의 DIMM 구현이었습니다. UDIMM에는 DIMM에 DDR, DDR2 및 DDR3 SDRAM 신호의 버퍼링이 없습니다.

**VLP-DIMM (Very Low Profile Dual Inline Memory Module):** 높이가 낮고 블레이드 서버에 사용되는 DIMMS.

**볼트(V):** 전위차 단위.

**전압:** 두 지점 사이의 전위차로, 볼트로 표현됩니다.

**파형:** 시간에 따라 반복되는 패턴을 나타내는 용어. 일반적인 유형에는 정현파, 구형파, 사각파, 톱니파, 삼각파, 계단파, 펄스파, 주기파, 비주기파, 동기파, 비동기파가 있습니다.

**WE#(Write Enable):** 장치에 대한 쓰기 기능을 활성화시킵니다.

## 텍트로닉스 연락처:

동남아시아 / 대양주 (65) 6356 390 0  
오스트리아 +41 52 675 3777  
발칸, 이스라엘, 남아프리카 및 다른 ISE 국가들 +41 52 675 3777  
벨기에 07 81 60166  
브라질 및 남미 55 (11) 3741-8360  
캐나다 1 (800) 661-5625  
동유럽 중부, 우크라이나 및 발트해 연안 +41 52 675 3777  
중앙 유럽 및 그리스 +41 52 675 3777  
덴마크 +45 80 88 1401  
핀란드 +41 52 675 3777  
프랑스 및 북아프리카 +33 (0) 1 69 86 81 81  
독일 +49 (221) 94 77 400  
홍콩 (852) 2585-6688  
인도 (91) 80-22275577  
이탈리아 +39 (02) 25086 1  
일본 81 (3) 6714-3010  
룩셈부르크 +44 (0) 13 44 392400  
멕시코, 중앙아메리카 및 카리브해 52 (55) 56666-333  
중동, 아시아 및 북아프리카 +41 52 675 3777  
네덜란드 090 02 021797  
노르웨이 800 16098  
중국 86 (10) 6235 1230  
폴란드 +41 52 675 3777  
포르투갈 80 08 12370  
대한민국 82 (2) 528-5299  
러시아 및 CIS +7 (495) 7484900  
남아프리카 +27 11 254 8360  
스페인 (+34) 901 988 054  
스웨덴 020 08 80371  
스위스 +41 52 675 3777  
대만 886 (2) 2722-9622  
영국 및 아일랜드 +44 (0) 13 44 392400  
미국 1 (800) 426-220 0  
기타 지역 1 (503) 627-7111  
2006년 1월 5일 업데이트

### 추가 정보

텍트로닉스는 최첨단 기술을 다루는 엔지니어를 지원하기 위해 응용 자료, 기술 문서 및 기타 리소스 등을 총 망라한 방대한 자료를 보유 관리하고 있으며 이를 계속 확장하고 있습니다. [www.tektronix.com](http://www.tektronix.com)을 참조하십시오.



Copyright © 2005, Tektronix. All rights reserved. 텍트로닉스 제품은 현재 등록되어 있거나 출원중인 미국 및 국제 특허의 보호를 받고 있습니다. 이 문서에 포함되어 있는 정보는 이전에 발행된 모든 자료에 실린 내용에 우선합니다. 사양이나 가격 정보는 예고 없이 변경될 수 있습니다. 텍트로닉스 및 TEK은 텍트로닉스, Inc.의 등록 상표입니다. 본 문서에 인용된 다른 모든 상표는 해당 회사의 서비스 마크, 상표 또는 등록 상표입니다.

1/06 DV/WOW

52K-19200-1

**Tektronix**  
Enabling Innovation

