

## ザイリンクス社、アルテラ社 FPGA のデバッグを簡単に



### FPGA デザインのデバッグ時間を短縮

First Silicon Solutions (FS2) 社の FPGAView を使用したソリューションにより、デザインを再コンパイルすることなく、ザイリンクス社、アルテラ社 FPGA の内部プローブの接続ポイントをすばやく変更することが可能になり、回路基板レベルの信号との時間的な相関関係をとることができ、開発スケジュール、製品投入までの時間を短縮することができます。

### はじめに

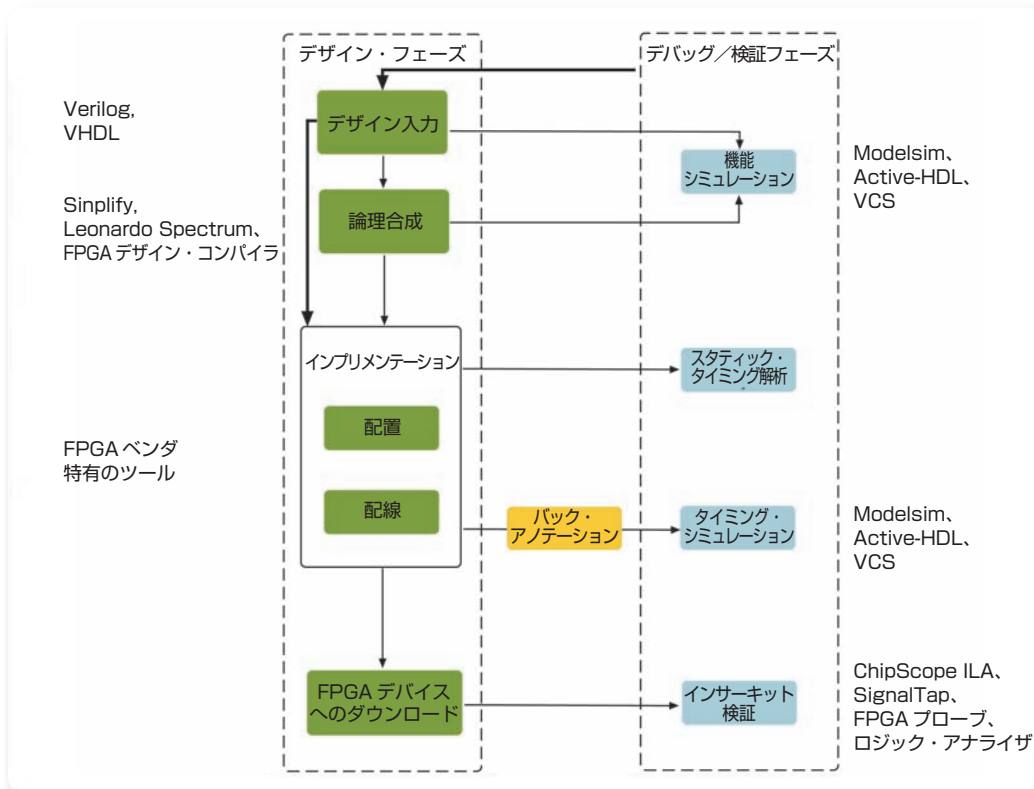
デザイン規模の拡大とさらなる複雑化により、デザイン検証のプロセスが、最新の FPGA システムの障害となっています。FPGA 内部信号へのアクセスは限られる方向にあり、最新の FPGA パッケージ、PCB (回路基板) の電気的ノイズなど、これらはすべてデザイン・サイクルのデバッグと検証を難しいものになっています。

また、デザイン・サイクルの大部分を、デバッグ、検証が占めています。デバッグと検証を効率的に実行するためには、FPGA をフルスピードで実行しながらデバッグできる新しいツールが必要になります。

このアプリケーション・ノートでは、FPGA システムを効率的にデバッグする際の問題点と解決方法を中心に解説します。

## ザイリンクス社、アルテラ社 FPGA のデバッグを簡単に

▶ アプリケーション・ノート



▶ 図 1 : FPGA のデザイン・フロー

### FPGA デザイン・プロセスの概要

FPGA システムを市場に投入するまでには、2つの大きなフェーズがあります。一つはデザイン・フェーズであり、もう一つはデバッグ/検証フェーズです (図 1 参照)。デザイン・フェーズでの主な作業はデザイン入力、シミュレーション、インプリメンテーションであり、デバッグ/検証フェーズではデザインの検証とバグの修正となります。

#### デザイン・フェーズ

このフェーズでは、デザイン入力だけではなく、シミュレーション・ツールを使ったデバッグも開始されます。適切なシミュレーション・ツールを使用することで、デザイン・エラーの検出、修正が効率的に実行できます。しかし、FPGA デザインのデバッグをシミュレーション・ツールだけに頼ることはできません。シミュレーションだけでは解決できない問題が数多くあります。

また、デザイン・フェーズでは、デバッグ/検証フェーズを見越して、FPGA のインサーキットにおいて実際の速度によるデバッグ方法を検討しておく必要があります。これには、デバッグ全体のアプローチの定義、必要なテスト/測定器の選定、選択したデバッグ手法による影響なども含まれます。

#### デバッグ/検証フェーズ

デバッグ・フェーズでは、シミュレーションでは発見が困難な問題を検出する必要があります。

このアプリケーション・ノートでは、適切な FPGA デバッグ手法を選択し、デザイン・フェーズにおいてデバッグを効率的に計画し、FPGA のわずかなピン数で数多くの FPGA 内部の信号を見るための新しい手法について説明します。効率的に実行することで、今まで困難となっていた FPGA のデバッグ問題を解決することができます。

## FPGA のデバッグ手法

FPGA のデザイン・フェーズでは、どのデバッグ手法を採用するかを決定する必要があります。FPGA を設計する上で手軽に使い、FPGA の動作、システムの動作が詳細に観測でき、障害ポイントをピンポイントで検出し、解析できる手法が理想的です。

インサーキットでの FPGA デバッグ手法には、組み込み型ロジック・アナライザと外部ロジック・アナライザによる 2 種類の方法があります。どちらの手法を採用するかは、デバッグのニーズによって異なります。

### 組み込み型ロジック・アナライザ・コア

主要な FPGA ベンダは、組み込み型ロジック・アナライザ・コアを提供しています。例としては、アルテラ社の SignalTap II<sup>®</sup>、ザイリンクス社の ChipScope ILA があります。これらの IP ブロックは FPGA デザインに組み込まれ、トリガおよびストア機能が有効になります。FPGA のロジック・リソースは、トリガ回路をインプリメントするために、また FPGA のメモリ・ブロックはストア機能のために使用されます。JTAG は、コアの動作および取込んだデータを PC に転送するために使用されます。

組み込み型ロジック・アナライザは FPGA のリソースを使用しますので、コアのオーバーヘッドが吸収できる、大規模 FPGA で使用されます。通常、FPGA ロジック・リソース全体の 5% 以下でコアを使用します。

いずれのデバッグ手法にもトレードオフがあることを考慮してください。

### ピンと内部リソース

組み込み型ロジック・アナライザ・コアは既存の JTAG ピンによってアクセスされますので、測定のための外部端子の追加を必要としません。これは、ピン数に制限があるような場合でもこの手法が使えることを意味します。トレードオフとしては、デザインをインプリメントするため使用できる FPGA のロジック・リソースとメモリ・ブロックを使用しなければならないことです。また、データを取込むために内部メモリを使用しますので、メモリ長が短くなります。

### プロービングと動作モード

組み込み型ロジック・アナライザ・コアのプロービングは簡単です。既存の JTAG ピンを使用しますので、外部ロジック・アナライザとシステムの接続方法などを心配する必要がありません。トレードオフとしては、組み込み型ロジック・アナライザでは FPGA の動作が目視できるのですが、基板レベルまたはシステム・レベルでの時間的な相関関係を見ることができません。FPGA 内外の信号の時間的な相関関係は、難しいデバッグを解決するために重要となることがあります。

### コストと柔軟性

FPGA ベンダの提供している組み込み型ロジック・アナライザは、すべての機能を装備した外部ロジック・アナライザに比べると低価格です。しかし、機能としては外部ロジック・アナライザに比べると少なく、本来のロジック・アナライザがもっている、高分解能で取込んで解析する、といった機能までは装備していません。例えば、組み込み型ロジック・アナライザはステート・モードでしか動作しません。FPGA デザインにある特定のクロックに同期したデータを取込みますので、信号のタイミング関係まではわかりません。

## サイリンクス社、アルテラ社 FPGA のデバッグを簡単に

▶ アプリケーション・ノート

### 外部ロジック・アナライザ

組込み型ロジック・アナライザによる手法にはいくつかの制限があるため、FPGA の柔軟性と、TLA シリーズ・ロジック・アナライザのような外部ロジック・アナライザを組み合わせる使用ケースが数多くあります。

この手法では、測定しようとする内部信号は FPGA で使用されていないピンにルーティングされ、このピンを通して外部ロジック・アナライザに接続されます。外部ロジック・アナライザは長いメモリ長を装備していますので、現象と実際の原因が時間的に離れているような場合のデバッグに適しています。また、FPGA の内部信号とシステムの他の動作との時間的な相関関係を知ることができます。

組込みロジック・アナライザ同様、以下のようなトレードオフがあることにも考慮が必要です。

#### ピンと内部リソース

外部ロジック・アナライザでは、ロジック・リソースをほとんど必要としません。また、FPGA のメモリも必要としません。したがって、これらのリソースを機能のインプリメントに使用することができます。トレードオフとしては、デバッグのための専用の外部端子の追加が必要になります。当然のことながら、この外部端子はユーザ・デザインでも使用可能です。

#### ブローピングと動作モード

外部ロジック・アナライザのブローピングは、組込み型ロジック・アナライザに比べるとやや複雑です。基板にすでにある JTAG コネクタを再利用するのではなく、ロジック・アナライザと FPGA

信号の接続方法を検討する必要があります。最も簡単な方法は、基板にデバッグ用のコネクタを設けることです。これにより、FPGA の内部信号とシステムの他の動作との時間的な相関関係を知ることが可能になります。

#### コストと柔軟性

外部ロジック・アナライザは、組込み型ロジック・アナライザに比べると初期費用は高価ですが、より広範囲な問題に対処することができます。ロジック・アナライザは FPGA のデバッグだけでなく、その他のデジタル・デザインの問題解決にも使用することができます。取込みモードやトリガ機能にも柔軟性があります。外部ロジック・アナライザでは例えば当社の TLA シリーズの場合、最高で 16 ステップのトリガ設定が可能で、タイミング解析では最高 125ps の分解能を実現できます。

### 最適な FPGA デバッグ手法の選択

状況によって、いずれかの手法を使用しますが、難しいのは、どちらの手法が適しているかの判断です。以下の質問に答えてみてください。

#### 予測される問題はどのようなものですか？

FPGA 内部の機能の問題として分離できるものであれば、必要な機能は組込み型ロジック・アナライザに装備されています。しかし、タイミング・マージンの検証、FPGA 内部の動作と基板の他の動作との時間的な相関関係など、より大きな問題が予測される場合、あるいはより強力なトリガ機能が必要な場合は、外部ロジック・アナライザの使用が適しています。



機能	組込み型ロジック・アナライザ	外部ロジック・アナライザ
メモリ長		√
タイミング問題のデバッグ		√
時間相関		√
性能		√
トリガ機能		√
出力ピン用途	√	
取込み速度	√	√

▶ 表 1 : 用途に合った適切な FPGA 手法の選択

### ステート・データの他に、実際の速度における タイミング情報を観測する必要がありますか？

外部ロジック・アナライザは、最高 125ps の分解能で FPGA 信号の詳細なタイミング関係を測定することができます。これにより、設計したとおりにイベントが発生していることを確認することができます。また、デザインのタイミング・マージンを確認することもできます。組込み型ロジック・アナライザでは、FPGA にある特定のクロックに同期したデータしか取込むことができません。

### どの程度のデータを取込みますか？

外部ロジック・アナライザを使用すると、長いメモリ長を利用できます。例えば、SignalTap II の最大メモリ長は 128kb に設定されており、これはデバイスによって制限されます。しかし、外部ロジック・アナライザでは、最大で 256M サンプルまで取

込むことができるので問題の詳細解析が可能になり、デバッグに要する時間を短縮できます。

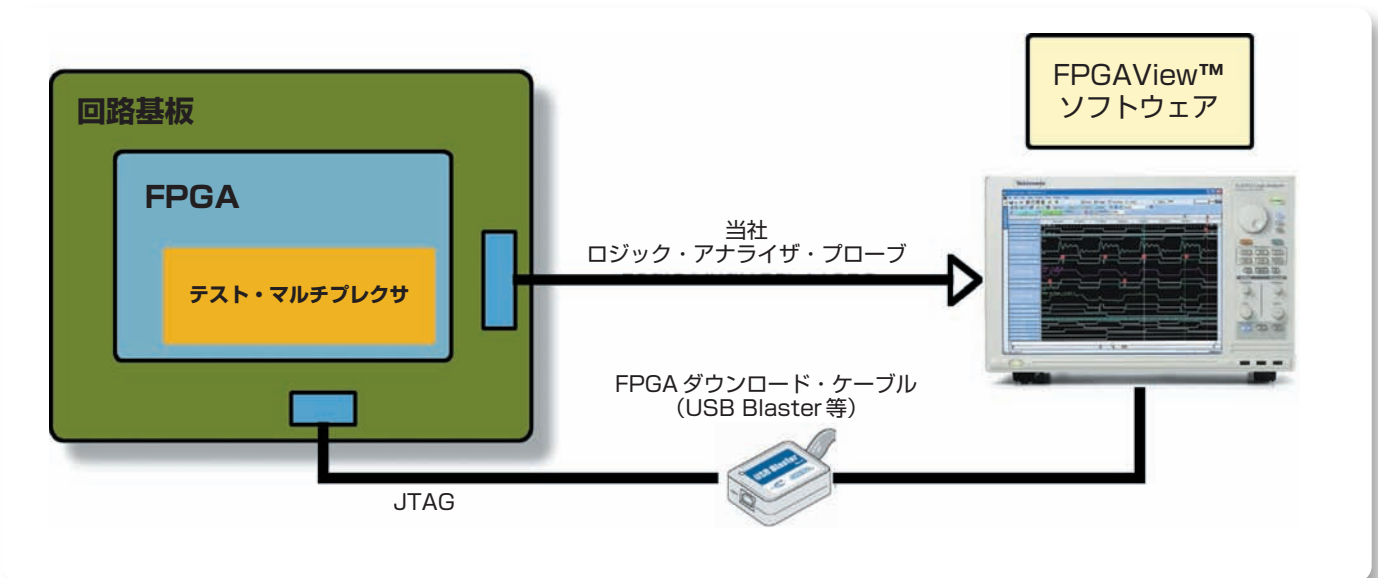
### FPGA 外部端子の制約を受けるデザインですか、それとも FPGA 内部リソースの制限を受けるデザインですか？

組込み型ロジック・アナライザでは観測用の外部端子の追加は必要はありませんが、ロジック・アナライザ機能をインプリメントするためには FPGA 内部リソースが必要になります。外部ロジック・アナライザでは観測用の外部端子の追加が必要になりますが、FPGA 内部リソースの必要性は最小限（または必要なし）で済みます。

各手法の利点を表 1 に示します。

## ザイリンクス社、アルテラ社 FPGA のデバッグを簡単に

▶ アプリケーション・ノート



▶ 図2：代表的な FPGAVIEW のインプリメント例

## FPGAVIEW の利点

### FPGAVIEW の概要

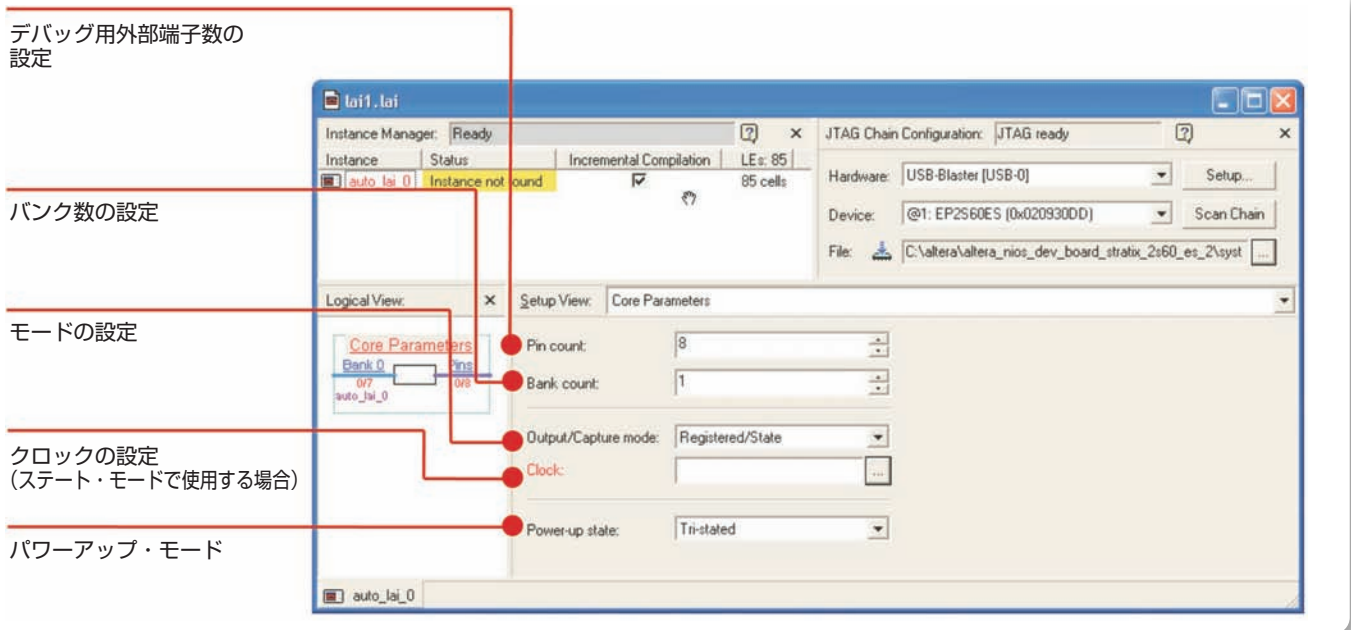
外部ロジック・アナライザによる手法では、測定しようとする内部信号を通常少ない数の外部端子にルーティングし、必要に応じてデバイスを再プログラムすることで、FPGA の外部端子を効率的に使用することができます。これは非常に有効なアプローチですが、制約もあります。

- 異なったセットの内部信号を観測するには、デザインを変更して (RTL レベルか、FPGA 編集ツールを使用して)、観測しようとする信号セットをデバッグ用外部端子にルーティングします。これは時間がかかるだけでなく、デザインの再コンパイルが必要になり、デザインのタイミングが変更されることとなりますので、解決しようとしていた問題が見えなくなる可能性があります。
- 通常、デバッグ・ピンの数は少なく、内部信号とデバッグ・ピンには 1 : 1 の関係がありますので、観測できる信号には限度があります。

これらの制約を解決するために、FPGA の新しいデバッグ手法が開発され、制約を解決しながら外部ロジック・アナライザの優れた点を利用することができるようになりました。FS2 社の FPGAVIEW と当社の TLA シリーズ・ロジック・アナライザにより、ザイリンクス社とアルテラ社の FPGA および周辺のハードウェアの完全なデバッグ・ソリューションが可能になります (図2 参照)。この組み合わせにより、以下のことが実行できます。

- 内部の動作と外部の動作が観測可能
- 再コンパイルすることなく、プローブ・ポイントをすばやく変更可能
- 一つの外部端子で複数の内部信号を観測可能

さらに、FPGAVIEW では、一つのデバイス (異なったクロック・ドメインの監視に便利) で複数のテスト・コアを、JTAG チェーンで複数の FPGA デバイスを扱うことができます。



▶ 図 3a : アルテラ社のロジック・アナライザ・インタフェース・エディタによるテスト・コアの定義と挿入例

## FPGAView の操作手順

FPGAView は、次のような手順で実行します。

- 手順 1. テスト・コアを適切に設定し、デザインに挿入
- 手順 2. デバッグ環境に合わせて FPGAView を設定
- 手順 3. 観測用 FPGA 外部端子を、TLA シリーズ・ロジック・アナライザにマッピング
- 手順 4. 測定

各手順の詳細を以下に説明します。

### 手順 1. コアの挿入

最初の手順は、テスト・コアを設定し、デザインに挿入します。例えば、アルテラ社のデバイスを使用する場合、アルテラ社の Quartus II 標準のロジック・アナライザ・インタフェース・エディタでテスト・コアを適切に設定します (図 3a 参照)。ザイリンクス社のデバイスにテスト・コアを設定、挿入する場合は、FS2 社の OCIGen (On-Chip Instrumentation Generator) を使用します (図 3b 参照)。

テスト・コアでは、以下のようなパラメータを設定します。

**Pin Count** : ロジック・アナライザ・インタフェースに割り当てる外部端子数を設定します。

**Bank Count** : 各外部端子にマッピングする内部信号の数を設定します。

**Output/Capture Mode** : 取込みモードを設定します。Combination/Timing または Registered/State を選択します。

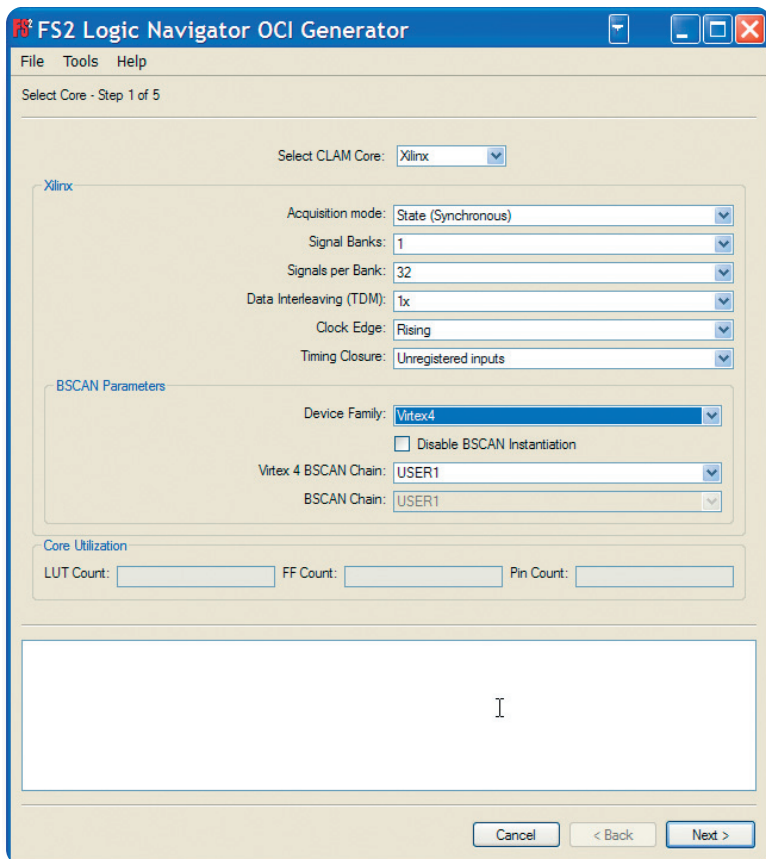
**Clock** : 取込みモードで Registered/State を選択した場合、テスト・コアのサンプル・クロックが選択できます。

**Power-Up State** : ロジック・アナライザ・インタフェースの使用に割り当てたピンの、電源投入時のステートを設定します。

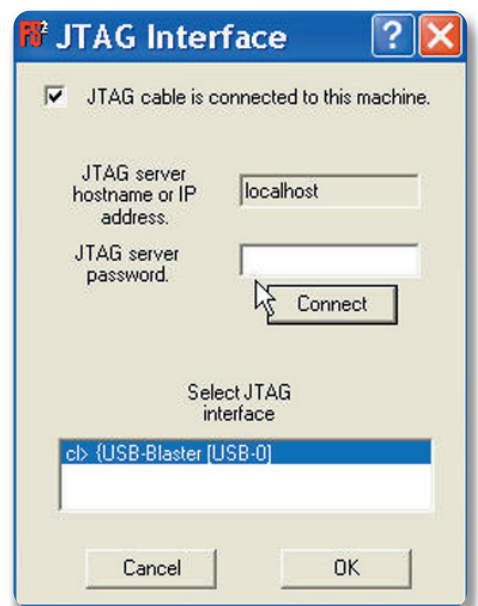
デバッグの要求に合わせてパラメータを適切に選択したら、適切なツールを使用して、テスト・コアの出力ピンを選択します。また、プロービングする信号と、信号が入るバンクのグループを選択します。

## ザイリンクス社、アルテラ社 FPGA のデバッグを簡単に

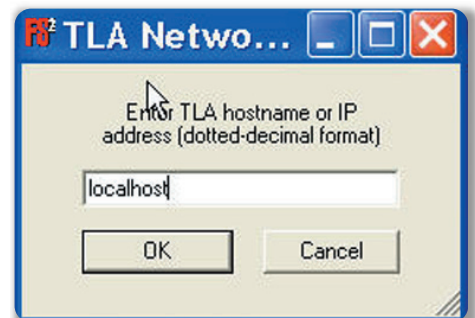
▶ アプリケーション・ノート



▶ 図 3b : FS2 社の OCIGen によるザイリンクス社デバイス向けテスト・コアの定義例



▶ 図 4 : JTAG プログラミング・ケーブルとの接続設定

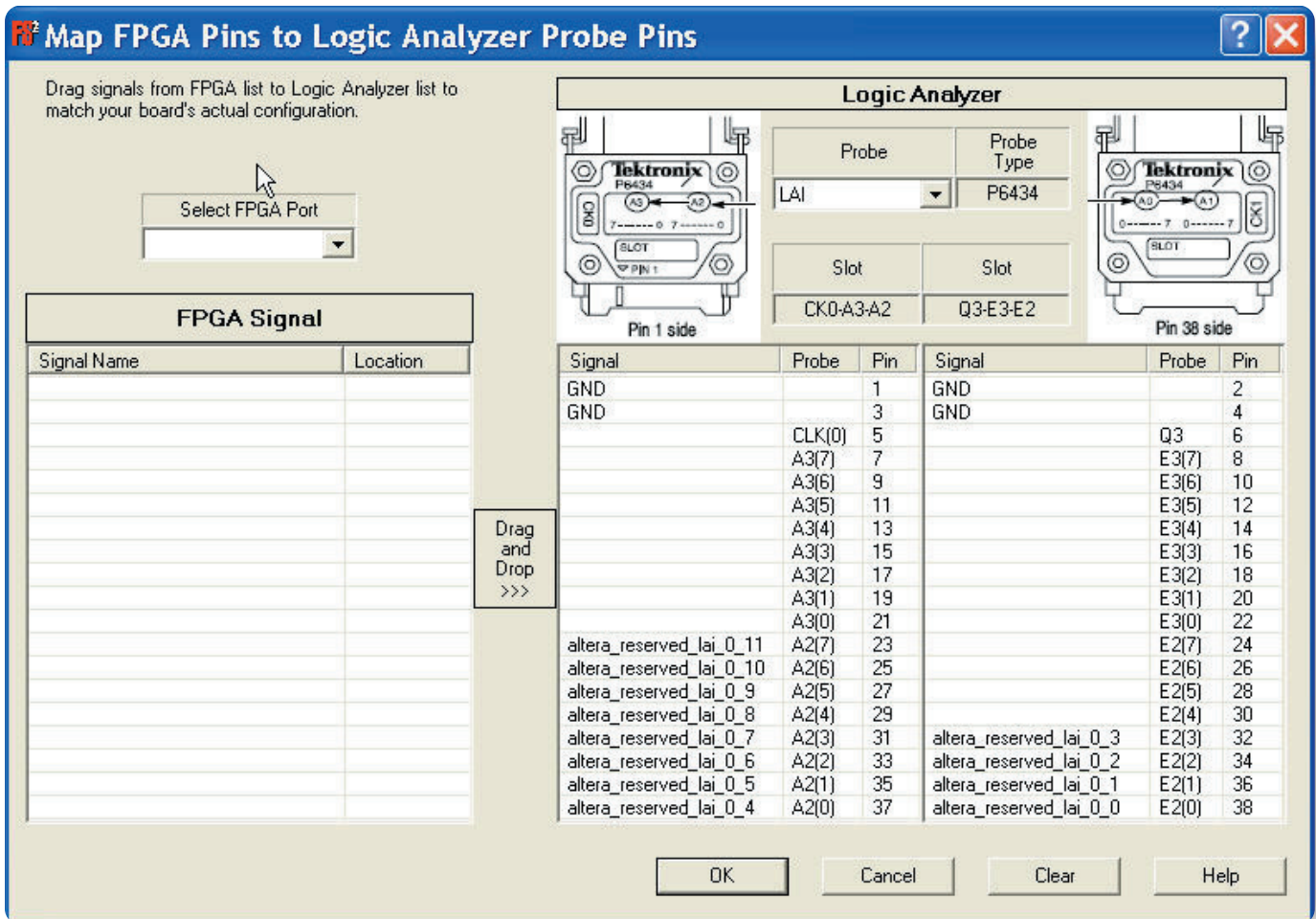


▶ 図 5 : TLA シリーズ・ロジック・アナライザとの接続設定

### 手順 2. デバッグ環境に合わせて FPGAView を設定

FPGAView ウィンドウにおいて、JTAG プログラミング・ケーブルとの接続を設定し (図 4 参照)、同時に TLA シリーズ・ロジック・アナライザまたは PC ワークステーションとの接続を設定します (図 5 参照)。こうすることで、デバッグ問題に柔軟に対応できます。





▶ 図 6 : FPGAView により、すばやく、簡単にピンをマッピング

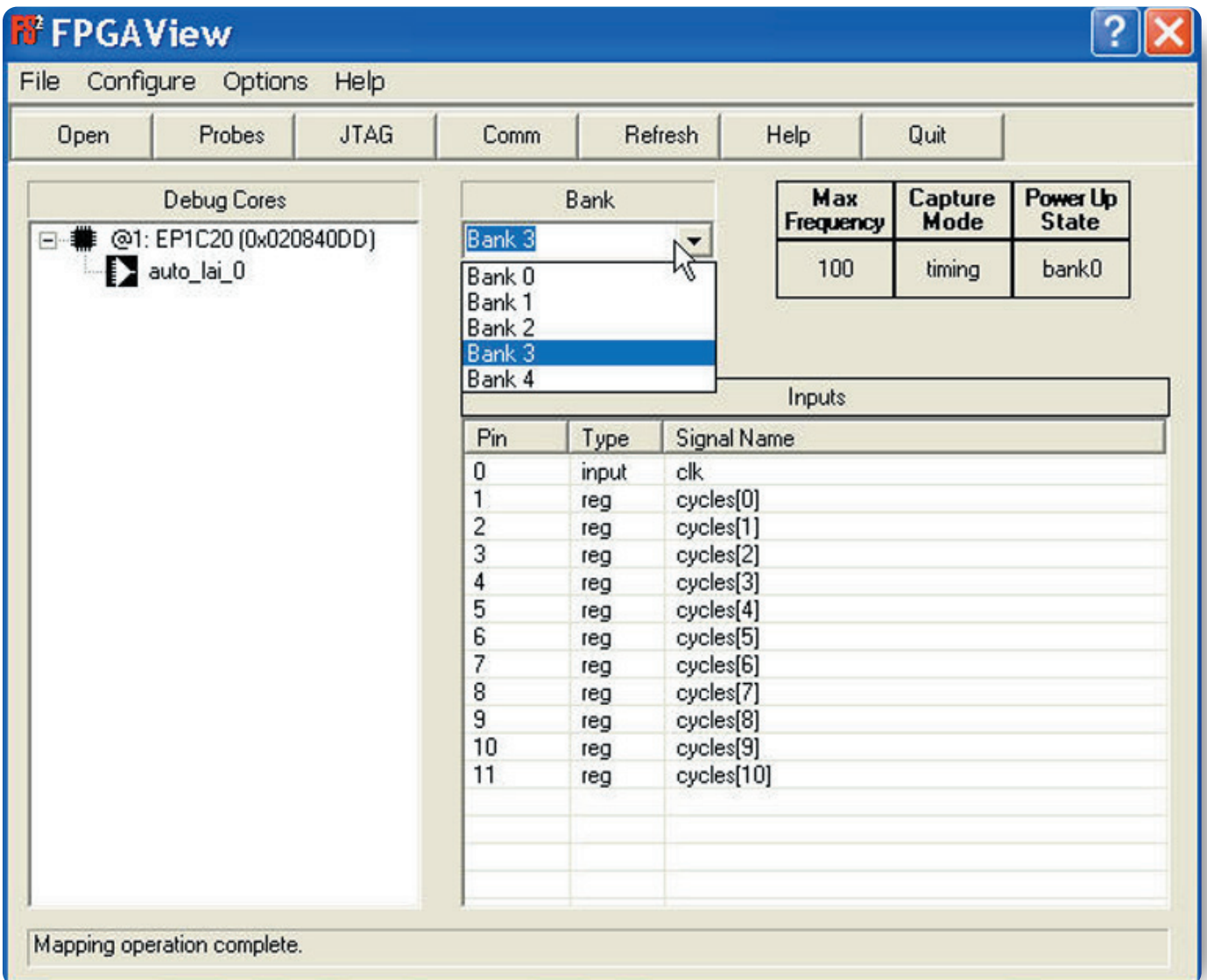
### 手順 3. FPGA 外部端子をロジック・アナライザにマッピング

次の手順では、FPGA 外部端子と TLA シリーズ・ロジック・アナライザの物理的な接続をマッピングします。これにより、FPGAView は、テスト・コアでモニタされる信号と、ロジック・アナライザに表示される信号名が同じになるように、自動的にアップデートします。

Probes ボタンをクリックしてドラッグ&ドロップ・ウィンドウを表示させ、テスト・コアの出力信号とロジック・アナライザの正しいチャンネルを設定します (図 6 参照)。この割り当て設定は、ターゲットを接続する場合に一度だけ必要となります。

## サイリンクス社、アルテラ社 FPGA のデバッグを簡単に

▶ アプリケーション・ノート

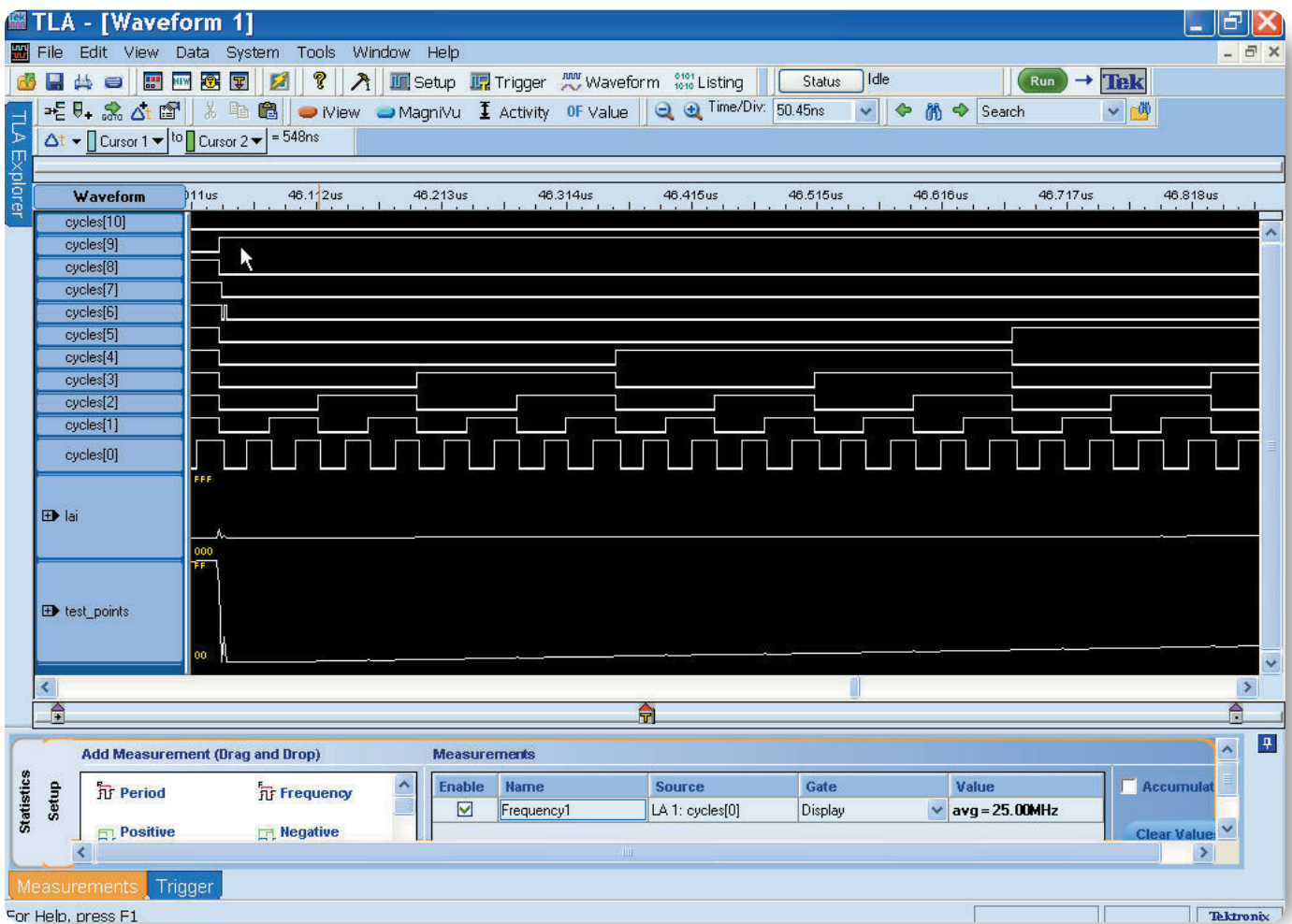


▶ 図7：測定する信号のバンクの選択

### 手順4. 測定

バンクのプルダウン・リストから、測定するバンクを選択します。バンクを選択すると、FPGAViewはJTAGインタフェースを介してFPGAと通信し、テスト・コアを設定することにより、測定するバンクが選択されます。

FPGAViewはTLAシリーズ・ロジック・アナライザをプログラムし、割り当てられたチャンネルに名前を付け、測定結果をわかりやすく表示します。別の内部信号を測定する場合は、別のバンクを選択するだけです（図7参照）。FPGAの信号とシステム内の他の信号との時間的な相関関係は、TLAシリーズ・ロジック・アナライザによって自動的に表示されます（図8参照）。



▶ 図 8 : TLA シリーズ・ロジック・アナライザにより、数多くの測定を自動化し、簡単に実行できます。

## まとめ

デザイン・フェーズにおいて、デバッグの要件を十分に検討し、適切なデバッグ手法を選択することで、デバッグ・プロセスを簡略化すると共に、デバッグの時間を短縮することも可能になります。組込み型ロジック・アナライザと外部ロジック・アナライザによるデバッグ手法には、それぞれに長所、短所がありますが、

FPGAView などの新しい手法を使用すると、外部ロジック・アナライザによる手法がさらに優れたものになります。デザインの再コンパイルなしにプローブの接続ポイントをすばやく変更して、FPGA 内部信号の動作と基板レベルの信号の動きを時間相関をもって観測できることにより、迅速なデバッグが実現でき、製品の市場投入までの時間短縮が可能になります。

## Tektronix お問い合わせ先：

アメリカ 1 (800) 426-2200  
イタリア +39 (02) 25086 1  
インド (91) 80-22275577  
イギリスおよびアイルランド +44 (0) 1344 392400  
オーストリア +41 52 675 3777  
オランダ 090 02 021797  
カナダ 1 (800) 661-5625  
スイス +41 52 675 3777  
スウェーデン 020 08 80371  
スペイン (+34) 901 988 054  
大韓民国 82 (2) 528-5299  
台湾 886 (2) 2722-9622  
中央ヨーロッパおよびギリシャ +41 52 675 3777  
中華人民共和国 86 (10) 6235 1230  
中東アジア/北アフリカ +41 52 675 3777  
中東ヨーロッパ/ウクライナおよびバルト海諸国 +41 52 675 3777  
デンマーク +45 80 88 1401  
ドイツ +49 (221) 94 77 400  
東南アジア諸国/オーストラリア (65) 6356 3900  
南部諸国および ISE 諸国 +41 52 675 3777  
日本 81 (3) 6714-3010  
ノルウェー 800 16098  
バルカン半島/イスラエル/アフリカフィンランド +41 52 675 3777  
ブラジルおよび南米 (11) 4066-9400  
フランス +33 (0) 1 69 86 81 81  
ベルギー 07 81 60166  
ポーランド +41 52 675 3777  
ポルトガル 80 08 12370  
香港 (852) 2585-6688  
南アフリカ +27 11 254 8360  
メキシコ、中米およびカリブ海諸国 52 (55) 5424700  
ルクセンブルグ +44 (0) 1344 392400  
ロシアおよび CIS 諸国 +7 (495) 7484900  
その他の地域からのお問い合わせ 1 (503) 627-7111  
Updated 15 September 2006

### 詳細情報

当社は、最先端テクノロジーに携わるエンジニアのために、アプリケーション・ノート、テクニカル・ブリーフなどをご用意しています。当社ホームページ ([www.tektronix.co.jp](http://www.tektronix.co.jp)) または [www.tektronix.com](http://www.tektronix.com)) をご参照ください。



Copyright Tektronix. All rights reserved. Tektronix 製品は、米国およびその他の国の特許（出願中を含む）により保護されています。本文書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。Tektronix、TEK は、Tektronix, Inc の登録商標です。その他の商標、製品名称などは、各社の商標または登録商標です。

09/06 FLGWOW

52Z-20065-0

**Tektronix**  
Enabling Innovation

## 日本テクトロニクス株式会社

東京都港区港南 2-15-2 品川インターシティ B 棟 6 階 〒108-6106  
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

**TEL 03-6714-3010 FAX 0120-046-011**

電話受付時間 / 9:00~12:00・13:00~18:00 月曜~金曜 (祝日は除く)

当社ホームページをご覧ください。 [www.tektronix.co.jp](http://www.tektronix.co.jp)  
お客様コールセンター [ccc.jp@tektronix.com](mailto:ccc.jp@tektronix.com)