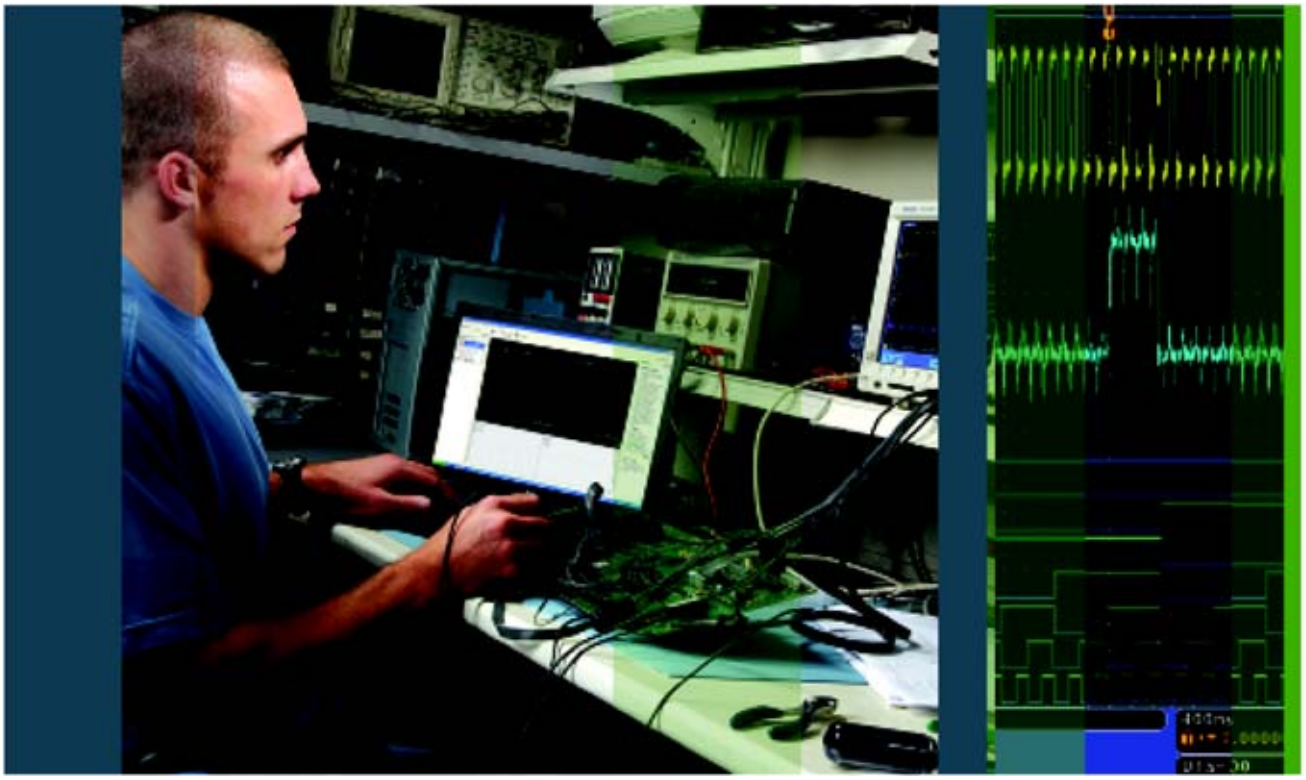

嵌入式系统：
测试和测量挑战

Tektronix®
Enabling Innovation

目录

嵌入式系统概述……3–6
行业推动因素……3
市场趋势和推动因素……4
工程设计需求和响应……4
嵌入式设计的各种单元……5
嵌入式设计的关键测试挑战……6

微处理器和微型控制器……7–11
调试嵌入式处理器……7
高级语言源代码支持……8
符号支持……9
性能分析支持……9
最坏情况执行时间支持……10

现场可编程门阵列(FPGAs)……12–17
FPGA 设计流程概述……13
设计阶段……13
调试和检验阶段……13
FPGA 调试方法……13
嵌入式逻辑分析仪核心……13
外部示波器……14
外部混合信号示波器……14
外部逻辑分析仪……14
选择适当的 FPGA 调试方法……15
小结……17

存储器……18–25
SDRAM……20
DDR SDRAM……20
DDR2 SDRAM……21
DDR3 SDRAM……22
内存系统设计……23
设计仿真……23
设计检验……23
检验策略……23
SDRAM检验……24

低速串行总线……26–30
测量挑战……29
触发与搜索……30
小结……30

高速串行总线……31–36
高速串行标准……32
测量挑战……33
小结……36

电源……37–43
开关式电源基础知识……37
检定SMPS(开关式电源)性能……38
电气特点……38
磁性特点……39
输入/输出(I/O)分析……39
电源设计……40
测量基础知识……40
探测考虑因素……42
自动进行功率测量……42
强大的测量功能……43

数字RF技术……44–50
频谱使用方式发生变化……44
工程设计挑战……45
测试数字RF技术……46
测量工具……46
数字RF应用……48
信号源……50

未来整体展望……51

嵌入式系统概述

嵌入式系统是采用专用微处理器或微型控制器的紧凑型专用途计算设备，一般执行非常具体的预先规定的任务，旨在满足特定的功能，或者集成在大得多、复杂得多的设备内部，如汽车系统、航空电子、网络设备、工业控制、医疗器械、消费电子和通信网络。

在摩尔定律的作用下，技术成本不断降低、性能不断提高，导致更小、更强大的处理设备集成到各种日常物品中。

但是，真正的重大技术发展是分散化普及计算技术，以前孤立的设备将变得更加智能，并连接到网络上。

顾名思义，嵌入式设备是物体中采用的传感器、处理器和控制器，这些器件与周围环境、人及相互之间交互，它们结合在一起，满足高度专业化的应用和需求。

行业推动因素

各行各业正在使用嵌入式技术，提供新应用和新服务。最重要的是，许多行业正在领跑“电子器件深入生活”的大趋势，包括：

- **消费电子**：设计复杂性不断提高，正推动消费电子行业更多地使用嵌入式系统。从先进的多功能手机到数字电视，这些应用正采用各种嵌入式设备，包括计算机、微处理器或其它电子器件，如现场可编程门阵列(FPGA)和传输电子。消费者日益希望把这些设备与其它产品集成起来，并能够在出现新技术时升级这些嵌入式设备。
- **工业电子**：工厂自动化、工艺控制、发电和管理、安全和环境监测都离不开嵌入式电子系统。质量、高效操作、数据和信息管理等商业需求正推动着人们更广泛地使用电子控制和管理系统。
- **汽车**：在现代汽车中，估计电子器件的成本大约要占到总成本的 25%。有人估计，到 2010 年，这一比例将提高到 40%。普通新汽车内部都装有数十个微处理器，控制着从引擎到无线电的各种功能。某些高端汽车包括 100 多个微处理器和微型控制器。许多控制器件非常微小，如后视镜内部的自动变暗芯片。从 8 位控制器到 32 位处理器，汽车嵌入式系统为防抱死刹车、牵引和稳定控制及引擎管理提供了电子控制功能。
- **航空电子**：飞机中广泛采用嵌入式电子，如驾驶仓仪表、航空数据、惯性系统、引擎控制、发电、水力、燃料系统、自动驾驶仪、导航、GPS、ILS、起落装置、飞行翼面、狭板、副翼等等。创新仍在继续，例如，直升机内部新的全自动自适应转子系统能够降低起飞和降落时的噪声，还能降低飞行过程中的振动。
- **医疗**：嵌入式系统广泛用于患者监测和诊断、手术室和MRI和PET扫描装置等技术设备中。外科机器人可能很快会应用于手术室中。最近，人们已经采用‘单片系统’(SOC)集成技术，建立化学和生物实验室，能够在医疗服务站执行分析，而不必等一两天才能获得实验室结果。在“非技术”应用中，采用嵌入式系统的假肢可以与真肢协调活动，这些嵌入式系统基于科学的步法分析和生物力学的研究，这些研究根据来自各种传感器的输入，在微处理器和软件控制下执行。

- **通信**：传统模拟技术正与新型数字技术融合在一起，在其推动下，通信行业中大量采用嵌入式技术，如面向多媒体网络的基于传统语音和时分复用(TDM)的网络，把语音和数据(包括视频)集成到全球定位和跟踪系统等领域中。网络处理器正日益用于交换机、网关、路由器和其它通信设备中，如安全和控制平面处理器，管理性能、功耗、流量管理和其它嵌入式功能。IP 语音(VoIP)芯片也正越来越多地嵌入到整个网络中。

市场趋势和推动因素

除推动嵌入式系统开发的行业外，还有大量的市场动力：

- **功能和智能不断提高:** 消费者对性能更高的设备及更丰富、更智能用户界面的需求正不断增长，并要求这些设备能够与其它设备无缝通信。从传感器网络到节能设备的新应用正继续推动着性能提高。
- **尺寸缩小:** 越来越多的功能正被采用到日益缩小的设计和设备中。
- **成本下降:** 除预计更高的性能外，“市面上流行的”技术和规模经济实现的设计和制造效率，正日益推动价格下降。
- **降低功耗:** 在大多数情况下，特别是对便携式设备，降低功率要求，以延长电池使用寿命，或降低运行成本使一个产品可能在市场中取得成功。
- **互通:** 通过有线和无线标准化 I/O 接口实现“即插即用”连接，为嵌入式智能应用创造了新的机会。

工程设计需求和响应

为满足不同行业和市场需求带来的挑战，一些范围需要产品工程师团队选择：

- **采用行业标准:** 嵌入式系统单元及把它们连接起来的总线正日益依赖和兼容行业标准。这便于实现互通和实现现有技术所带来的规模经济。为保证性能检定和标准一致性，要求支持多种行业标准的工具。
- **先进的性能:** 可以重复使用的元件为设计和基本嵌入式系统的延伸创造了用武之地。真正创新的技术和应用要求在更加复杂的设计中应用混合信号的新技术和新工艺的开发。为迎接这些挑战，必需使用拥有全面功能和易用性的强大的测试工具。
- **集成和连接:** 尽管嵌入式系统内部常用的许多技术都存在既定的标准，但主要测试要求是保证所有单元同步，作为无缝集成的整体运行。终端设备可能会包含多个嵌入式系统，部分系统必需相互通信及与外部世界通信。这是集成测试的延伸，以保证综合功能、定时操作和通信。这一领域要求测试工具既能评估单个单元、又能评估整个系统。
- **混合信号:** 随着功能和性能的逐步提高，工程师通常必须在设计中同时处理模拟信号和数字信号。这提高了测试工作的复杂性，要求专用工具既能了解元件内部，又能查看被测设备测试点上发生的情况。

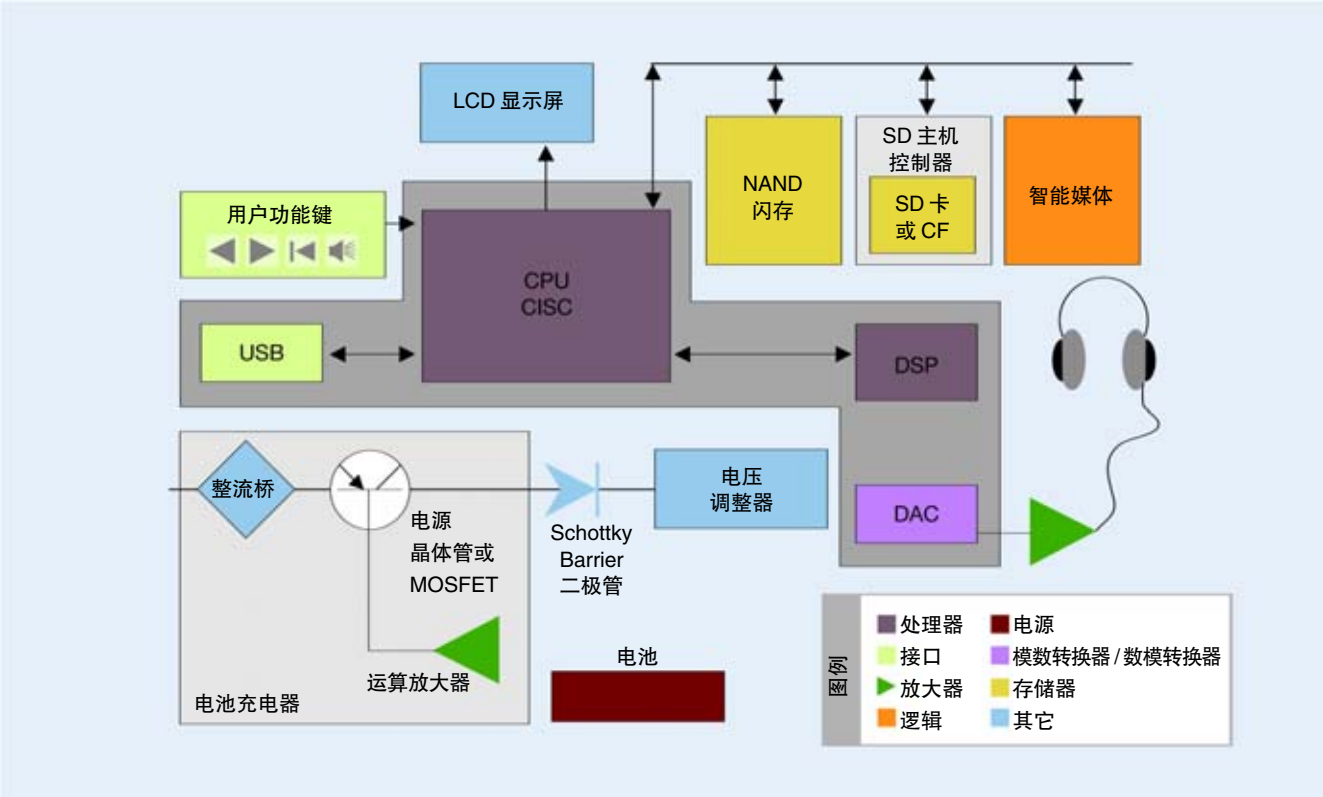

图 1.1. 典型 MP3 音乐播放器的方框图。象许多嵌入式计算设备一样，MP3 播放器使用混合信号，其中包含 USB 数字串行总线、数字信号处理器、连接存储器的数字并行总线、数字模拟转换器和模拟放大器。

- **挑战性环境：**现代电子设备预计将提供最新的性能和功能及可靠性，并能够在变化的环境中运行。飞机航空电子明确预计将在极端的温度和高度中工作，即使是消费电子设备，也必需在人们工作或娱乐的任何地方工作。必需使用强大的测试工具，在实验室中测试产品极限，保证这些设备在变化的条件和环境中共存，而没有电气干扰。

在本入门手册中，我们将详细考察嵌入式系统的各种单元，介绍实现中出现的部分挑战，通过新一代测试测量工具，我们可以有效解决这些挑战。

嵌入式设计的各种单元

图1.1显示了使用嵌入式技术的典型现代设备，说明了通常使用的设备。

嵌入式系统的大脑一般是微处理器、微型控制器或数字信号处理器(DSPs)。其它类型的处理设备是专用集成电路(ASICs)和现场可编程门阵列(FPGAs)。FPGA 是一种可编程集成电路设备，通过编程完成更多的任务 。这些设备用于各类任务，如合并系统中的功能，完成要求专用计算能力的任务，等等。FPGA的主要优势是其能够重复编程，这可以明显缩短设计时间，同时增加功能，降低设计总成本。

模拟 / 数字转换器(ADC)、数字 / 模拟转换器(DAC)、传感器和变频器提供了与物理世界的接口。这些设备的重要角色是把信息从模拟世界转换成数字数据及接收数字数据、然后回传到模拟环境。这些单元在特定设计中的数量取决于设备和应用类型。

随着设备内部嵌入式硬件单元数量不断提高，这些单元之间的通路数量也会提高。由于其它关键推动因素，如需要使成本最小化(需要以最优方式利用电路板空间)和降低尺寸，仅使用并行总线连接所有这些单元是不可行的。这导致使用串行总线的设计数量迅猛增长，其一般只要求少量连接，相比并行总线则要求大量的连接。尽管大多数嵌入式设备的速度比不上高性能计算系统，但它们采用许多行业标准串行总线，通常会结合使用不同的总线。有些嵌入式设备则同时采用并行总线及低速串行总线和高速串行总线。

嵌入式系统设计一般使用低速串行总线，如 I^2C, SPI, RS–232, FlexRay, CAN, LIN 和 USB。这些串行总线非常复杂，给验证和调试带来严峻的挑战。工程师需要集成了串行触发、协议解码和全方位分析功能的工具。此外，性能领先的嵌入式设计采用速度更高的串行总线，如以太网、PCI–Express、SATA 或 HDMI。工程师需要测试仪器和软件提供高速串行数据采集、调试、验证和一致性测试功能。在许多情况下，并行总线在处理系统与依赖 DDR 等技术的存储设备之间提供了最好的接口。因此，除了串行总线功能外，工程师还需要测试工具善于调试并行总线问题。

嵌入式设计的关键测试挑战

工程师面临的关键测试挑战之一是能够采集和监测不同的信号和协议。设计工程师必需能够生成各种信号，测试被测设备(DUT)的极限，确定设计在实际环境中的行为结果。他们需要测试解决方案能够捕获及可视化复现这些信号，以检验信号完整性。他们需要在一条总线上多个数字信号之间的精密定时信息，调试建立时间和保持时间违规。在许多情况下，在硬件工程师和软件工程师合作调试某个问题的根本原因时，他们要求能够查看总线上的信息，不仅包括电气表示，还要包括较高的提取等级，如微处理器的汇编码代码或串行总线协议的解码图。

许多设计由大量的硬件组件执行特定任务，这些任务可能位于电路板的不同部分。为保证组件之间正确交互，嵌入式工程师需有对 DUT(被测设备)系统级的视角。挑战是保证组件操作同步，这意味着测试设备必需能够提供与定时性能有关的准确信息，同时创建更高级的提取和分析功能。

在开发过程中的许多情况下，并不是所有组件都可供测试，因此必需“复现”或仿真没有组件的信号，去测试设备的整体运行情况。如果信号有复杂的波形，可以使用示波器采集一次信号，然后使用任意波形发生器复现信号。在其它情况下，需有意在输入信号中包含抖动、噪声或其它异常事件对组件进行极限测试，确定其处理损伤输入信号的能力。任意波形/函数发生器和任意波形发生器是生成这些信号使用的首选工具。

把探头连接到 DUT 提出了另一个挑战。设备物理尺寸小、电路板上需要测试的点数量多及任何探头都会增加电容负载、改变 DUT 的运行特点，这一切因素都提高了探测挑战。探测解决方案必需设计成使电容负载达到最小，工程师可以更简便地连接到 DUT，同样要能够迅速确定哪只探头(或探头引线)与测试仪器屏幕上的哪条曲线相关联。

下面几节介绍嵌入式系统的各个单元及其带来的测试挑战。

微处理器和微型控制器

人们需要更多的功能和更高的性能，推动着工程师在任何电子系统核心中采用功能更强、速度更快的微处理器和微型控制器。嵌入式设计的分布式程度正日益提高，要求相应地提高设计中微处理器和微型控制器的数量，以执行各项任务。处理单元的数量不断提高，提高了设计中的通信路径数量，进一步增加了系统复杂性。

在传统上，工程师一般通过提高时钟频率来实现更高的性能。但是，这种“权宜之计”并不适合嵌入式处理器。它提高了功耗，产生了更高的电磁干扰(EMI)，要求非常稳定的电源，提高了接入平台资源中的瓶颈，如闪存。

最新引入的多核处理器提供了一种解决方案。现在，可以在一块芯片上放置多个核心，在一块芯片上有效集成完整的多处理器，而不是通过改善单核性能来扩展性能。

此外，与单核解决方案相比，多核解决方案能够在类似的性能下提供更好的能耗性能比。

随着市场推动因素提高硬件要求和软件复杂性，编程环境和语言变得更加错综复杂，复杂的传统嵌入式设计采用的操作系统相对简单，但这些设计现在已经被更佳性能的高性能嵌入式系统所取代，这些高性能嵌入式系统运转要求更好的处理能力。

调试嵌入式处理器

嵌入式软件开发人员负责在实时嵌入式系统中无差错地执行软件。他们必须保证根据设计规范验证输入和输出数据流处理和系统时间限制。但是，他们只能在实际目标系统上执行有效测量，这要求他们与团队的硬件开发人员密切协作。

在调试采用微处理器或微型控制器的嵌入式目标系统时，数字设计团队通常会遇到四类问题：

- **逻辑问题：**这些问题是逻辑设计或编码的简单错误，或一个不正确设计假设条件。这些问题通常被硬件仿真器或软件调试器所捕获。这类问题通常占工程师遇到的调试问题的80%，但可能只会占用20%的调试时间。尽管这些问题查找起来非常繁琐耗时，但这些问题解决起来相对简单。剩余 20% 的问题属于其余三类，查找和解决的时间可能要占到 80%。
- **硬件/软件交互问题:** 这些问题调试起来比较困难，通常要求某种形式的物理追踪工具。逻辑分析仪一直是解决这些问题首选的传统物理追踪工具。逻辑分析仪同时提供了硬件和软件分析能力，考察目标系统中硬件和软件的交互。由于能够把特定信号与处理器的指令执行流程关联起来，硬件和软件开发人员可以调试复杂的问题，如为什么某些指令导致存储错误或为什么某个数据码型在处理器的数据总线上导致毛刺、引起串扰。

- **实时软件问题**：这些问题的调试难度最大，因为只有在目标系统全速运行时，才会发生这些问题。逻辑分析仪擅长解决这些问题，因为它们在目标系统全速运行时，提供了强大的触发功能和深轨迹存储器，可以捕获最难检的实时失效。新一代合作伙伴分析工具增强了这一功能，其提供了一个解决方案，为在高级微处理器上运行的软件组件确定最坏情况执行时间(WCET)。它使得工程师能够使用系统和科学的方法，保证满足时间限制，事实上允许他们在系统中设计正确的定时，而不是花费大量的时间和精力，消除定时漏洞。识别怎样优化代码和消除定时错误的能力，提高了可靠性，减少了对昂贵的硬件升级的需求。
- **崩溃问题**：嵌入式系统与非嵌入式系统(如PC或工作站)的差别在于，它们一般不能防止错误程序使目标系统崩溃。强健的操作系统，如PC或工作站上的操作系统采用大量的机制，把系统与行为错误的应用隔开；嵌入式系统通常没有这种功能。因此，在嵌入式系统上的软件崩溃时，它通常会使整个目标系统瘫痪，从而丢失可以用来确定问题根本原因的任何信息。逻辑分析仪，特别是拥有深采集存储器的逻辑分析仪，可以提供直到和包括崩溃时目标系统的实时历史，帮助迅速确定崩溃的原因。

解决这些问题要求一种嵌入式软件和硬件开发人员都可以使用的工具，解决跨领域的难题，如从高级语言源代码直到底层信号行为。

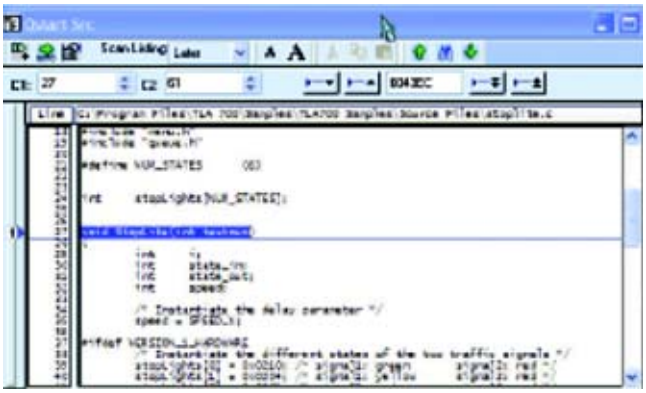

图 2.1. 显示用户的源带码窗口。

增强了与软件工具连接(WCET)的现代高性能逻辑分析仪(TLA系列)为工程师提供了目标系统中模拟、定时、状态和HLL源代码数据，从信号到源代码，提供了目标系统的“全景”概况。有四种工具特别重要，即：**高级语言源代码支持；性能分析；符号支持；最坏情况软件执行时间分析**。

高级语言源代码支持

逻辑分析仪的高级语言(HLL)源代码由一个数据窗口组成，其中显示用户的源代码(图 2.1)。

源代码窗口运行方式的关键是符号文件。除符号名称和取值外，它还包含着每个源代码行的行号和地址。通过这些信息，源代码窗口可以把开发人员编写的源代码与列表窗口中采集的数据关联起来。

可以通过各种机制浏览数据。在源代码窗口内部，可以使用工具条、按钮、滚动或采用窗口滑尺通过源代码文

件的页面，移动下一个或前一个执行的源代码语句，移动两个光标中的任一光标，或切换到不同的源文件。从列表窗口中，可以移动任意一个光标。在移动源代码窗口或列表窗口中的光标时，另一个窗口中对应的光标也会移动。可以根据源代码窗口中的源代码行设置触发条件。用户还可以控制各个窗口属性(如变量字号、颜色、显示或隐藏行号和各栏间距)。可以对不同的源文件或对多处理器支持使用多个源代码窗口。

符号支持

目标系统上加载的对象文件内部包含的符号信息是符号级调试和 HLL 源代码级调试的关键。

符号文件分成两类：

1. 码型符号文件: 码型符号有一个值(码型)，其中可以包含‘don’t care’(X) 值。码型符号通常用来显示变量名称，及用于反汇编程序显示的控制组中。

2. 范围符号文件: 范围符号有两个值：上限和下限，但不能包含‘don’t care’(X)值。范围符号通常用于反汇编程序显示的地址组中。范围符号位于软件可执行文件或下载到目标系统的对象文件中。

这个文件中可以有三类符号：

- **函数 –** 描述软件函数开始地址和结束地址的范围符号。
- **变量 –** 描述软件变量开始地址和结束地址的范围符号。
- **源代码 –** 描述源代码语句开始地址和结束地址的范围符号。逻辑分析仪的源代码窗口使用这些范围符号，与列表窗口中采集的数据实现连接。任何缺失的行号都可能会包含备注或不可执行的源代码行。‘beginning’栏和‘end’栏由软件工具生成，在一行内部提供语句级间隔尺寸，源代码窗口可以使用语句级间隔尺寸，在一个源代码行中突出显示各个语句。

性能分析支持

当前的嵌入式软件应用正变得越来越大，很难查看软件整体流程和执行时间“全景”。嵌入式软件开发人员通常争取代码正确运行，但直到项目接近尾声才去调谐性能。人们经常提到的经验法则是“20% 的代码执行时间要占到总时间的80%”，但是，很大的问题是这部分代码是哪20%。需要何种概况工具，显示成百上千个软件模块中哪些正在占用绝大部分处理器的执行时间。拥有高效分析能力的逻辑分析仪可以显示软件正在哪里花费它们的时间。通过这些信息，嵌入式软件开发人员可以迅速瞄准这些费时的例程，如果优化这些地方，在提升软件执行效能方面有最佳投资回报。

性能分析支持可以提供两类测量：

- **范围概况(通道组):** 用范围概况，逻辑分析仪检查用户选择的逻辑分析仪模组采集的数据，以直方图格式显示每个范围内的采样数量。它可以使用同样的加载符号表(带有绝对地址)，对范围数量则没有限制。范围可以使用数字(线性或对数)或从加载的符号文件中生成和显示。数据可以很容易地按范围、数量或百分比进行排序(升序或降序)。直方图窗口可以划分，去查看范围的开始点和结束点。可以选择各种属性，包括颜色、变量字体和通道极性。用户还可以基于所有样本或只对匹配的样本选择百分比。

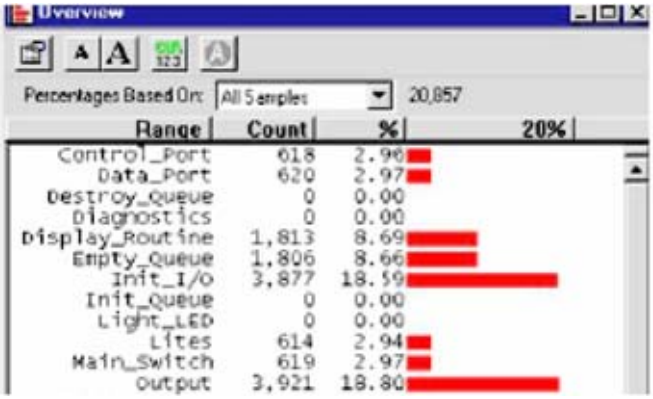

图 2.2. 范围概况。

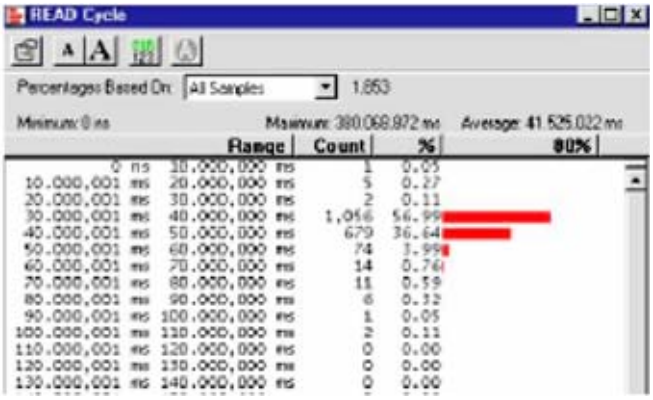

图 2.3. 单一事件(计数器 – 定时器)。

- 范围概况特别适合提供哪些软件模块占用了大多数执行时间的信息。开发人员必须注意，无论如何要确保记录的命中数量是实际测量的处理器执行时间，而不是‘预取’或其它非执行活动(图 2.2)。
- 单一事件(计数器/定时器)：开发人员通常有一个规则，会指定执行时间，以验证它永远不会超过规范。‘Single event’是一种测量模式，它使用逻辑分析仪模块的计数器 / 定时器，显示单个例程的执行时间范围/数量。通过使用分析仪的触发机定义事件，您可以以高分辨率测量该事件。得到的画面会显示单个事件在多次运行中执行所需的最小时间、最大时间和平均时间(图 2.3)。这种功能适合监测实时例程，如中断 / 例外句柄，保证永远不会违反系统的最大服务时间规范。每个逻辑分析仪模块可以使用多个直方图窗口，这为多处理器支持提供了一个实用功能。

最坏情况执行时间支持

可以结合使用高性能逻辑分析仪(TLA系列)中的追踪工具和合作伙伴软件工具厂商 Rapita 系统有限公司提供的 RapiTime性能分析工具，为在最新嵌入式微处理器上运行的实时软件提供强大的定时分析能力。

RapiTime在软件中自动增加无关紧要的检测仪。当目标微处理器上执行软件时，这些检测仪点会简单地把一个值(即工具点 ID)写入一个输出端口。可以使用 TLA 监测输出端口，TLA捕获并在检测仪数据上准确地打上时戳，构成一条详细的程序执行定时曲线。然后生成的定时曲线导入到RapiTime中，RapiTime执行代码覆盖分析、性能曲线和最坏情况执行时间分析。

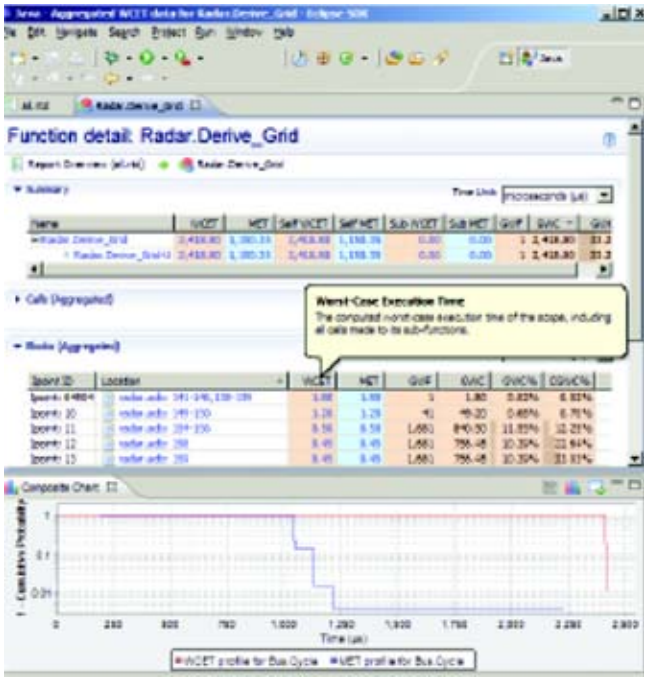

图 2.4. 最坏情况执行时间结果概况。

RapiTime使得用户能够确定软件组件的最坏情况和观察到的最长执行时间；查看在最坏情况路径上调用每个函数或循环的次数；可视化每个软件组件、函数、循环和基本模块对整个执行时间的影响，识别最坏情况路径上的代码。

RapiTime用户可以确定最坏情况热区、对最坏情况执行时间影响最大的代码，当然其不一定要比平均情况执行时间高出多少(图 2.4)。因此，工程师可以识别那些，最佳优化将在保证软件一直满足时间限定方面最有益的函数。

RapiTime/TLA 定时曲线分析用于：

- 计算每个软件组件的**最坏情况执行时间**
- 通过色码源代码，**识别最坏情况路径上的代码**
- **详细分析最坏情况热区**，提供最佳的优化机会
- **显示代码覆盖范围**，保证定时分析结果的置信度
- **生成执行时间曲线**，考察由于硬件影响导致的执行时间变化

现场可编程门阵列(FPGAs)

现场可编程门阵列(FPGAs)是一种可编程的逻辑设备(PLDs)。最简单的PLD是很小的可编程逻辑模块，一般包含少量的组合逻辑门和序列设备，如寄存器和触发器。通过对模块编程，设计人员可以实现许多不同的逻辑功能，如存储解码器和状态机。这些设备通常在出厂时编程。

略微复杂的版本在多个可编程逻辑阵列之间有一个简单的互连矩阵，称为复杂PLDs (CPLDs)。这些设备中的逻辑模块还可以包括SRAM单元，提高了其多功能性。

FPGA一般是大得多的逻辑阵列，其拥有更加完善的互连矩阵。FPGA可以包括微型控制器核心和其它专用电路，如数字锁定环(DLLs)、边界扫描逻辑、高速串行接口和低速串行编程接口(如SPI和JTAG)。

FPGA一般由串行存储设备在开机时编程，或由微处理器编程。由于这种编程能力，可以简便地在现场升级产品功能。

这些异常复杂的FPGA设备包含各种电路和芯片结构，其在不同供应商之间可能存在着明显差异。

设计工具本身通常会产生一个与功能定义相匹配的FPGA设计。如果定义错误，不管是FPGA级错误还是系统级错误，仿真器都不能提供正常运行的设计。不仅在FPGA内部，外部问题也可能会导致设计出现问题，包括：

- **异步事件**，如与微处理器的交互、低速串行接口或用户接口
- **系统交互**，如不可预知的速度竞赛条件或延迟
- 信号和电源上的**噪声和串扰**
- **信号保真度问题**，如反射、负载和电磁干扰(EMI)
- **电源效应**，如瞬态信号(由电源电流大的变化或旁路不足导致的高频)和负载变化(由于电源系统设计问题导致的低频电源电压变化)

还需要指出的是，通过仿真可能并不能发现FPGA级设计问题，这在一定程度上是因为其需要耗费的时间太长，不能生成提供100%代码覆盖所需的全部测试矢量，另外还由于仿真对所有可能的条件来说运行速度太慢。制作原型，然后实时观察原型的运行情况可能要更快。

设计尺寸和复杂性的迅猛增长，使得设计检验过程成为当前FPGA系统的关键瓶颈。获得内部信号受限、先进的FPGA封装和印刷电路板(PCB)电噪声，都使得设计调试和检验成为设计周期中最困难的过程。工程师在设计调试和检验中花费的时间很容易会超过设计周期时间的50%。为帮助完成设计调试和检验过程，要求使用新工具，在FPGA全速运行时帮助调试设计。

当然，最简单的“解决方案”是不要对FPGA调试采取特殊措施。设计人员可以象任何其它IC一样简单地处理FPGA，使用示波器或逻辑分析仪从外部监测其运行情况。但是，对任何复杂程度的设计来说，这种方法的效果和经济性都不算好。

FPGA 设计流程概述

把FPGA系统推向市场分成两个不同的阶段：设计阶段，调试和检验阶段。设计阶段的主要任务是输入、仿真和实现。调试和检验阶段的主要任务是验证设计，校正发现的任何漏洞。

设计阶段

这一阶段不仅要捕获设计，而且开始使用仿真工具进行调试。事实证明，正确使用仿真为找到和校正设计错误提供了一种有效的方式。但是，不应该只依赖仿真，作为调试 FPGA 设计的唯一工具。有许多东西仿真是解决不了的。在设计阶段，还必需预见到调试和检验阶段，规划怎样在线和快速调试FPGA。应规定整体调试方法，帮助确定要求的任何测试和测量工具，确定选择的调试方法对电路板设计的任何影响。

调试和检验阶段

在调试阶段，必需找到仿真捕捉不到的棘手问题。以省时高效的方式进行调试是一个相当大的挑战。

FPGA 调试方法

设计阶段需要确定的一个关键选项是确定使用哪种FPGA调试方法。在理想情况下，要求一种能够移植到不同 FPGA 设计中的方法，洞察 FPGA 运行情况和系统运行情况，使设计人员能够确定和分析棘手的问题。

有两种基本在线 FPGA 调试方法：使用嵌入式逻辑分析仪和使用外部测试设备，如示波器、混合信号示波器或逻辑分析仪。选择使用哪种方法取决于项目的调试需求。

嵌入式逻辑分析仪核心

主要FPGA厂商都提供嵌入式逻辑分析仪核心，如Altera提供的 SignalTap® II 和 Xilinx 提供的 ChipScope® ILA。这些知识产权模块插入 FPGA 设计中，同时提供了触发功能和存储功能。FPGA 逻辑资源用来实现触发电路，FPGA 存储模块用来实现存储功能。JTAG 用来配置核心，并用来把捕获数据传送到PC上，使用PC查看数据。由于嵌入式逻辑分析仪使用内部 FPGA 资源，因此这种方法在大多数情况下与大型 FPGA 一起使用，因为大型FPGA可以更好地吸收核心开销。一般来说，核心占用的FPGA逻辑资源不应超过FPGA有效逻辑资源的5%。与任何调试方法一样，设计人员应了解部分矛盾：

- **针脚数量与内部资源：**嵌入式逻辑分析仪核心不使用额外的针脚，可以通过现有的 JTAG 针脚接入。这意味着即使在设计受到针脚限制时，仍可以使用这种方法。矛盾在于内部 FPGA 逻辑资源和可以用来实现设计的额外存储模块。另外，由于使用内部存储器捕获数据，因此存储深度一般会相对较浅。
- **探测与工作模式：**嵌入式逻辑分析仪核心的探测非常简单。它使用现有的 JTAG 针脚，因此不必担心怎样把外部逻辑分析仪连接到系统上。矛盾在于，尽管嵌入式逻辑分析仪可以洞察 FPGA 的操作，但没有任何方式可以把这些信息与板卡级信息或系统级信息关联起来。把 FPGA 内部的信号与 FPGA 外部的信号关联起来通常对解决最棘手的调试挑战至关重要。
- **成本与灵活性：**大多数 FPGA 厂商都提供比全功能外部逻辑分析仪价格低的嵌入式逻辑分析仪核心。矛盾在于嵌入式逻辑分析仪核心提供的功能要比全功能逻辑分析仪少，而捕获分析棘手的调试挑战通常需要这些功能。例如，嵌入式逻辑分析仪只能在状态模式下工作，它们仅能捕获与 FPGA 设计中存在的指定时钟同步的数据，因此不能提供准确的信号定时关系。

外部示波器

对已经拥有示波器的用户，成本最低的 FPGA 调试技术是把某种定制调制电路插入 FPGA 中。

这将允许设计人员：

- 选择内部信号，把信号路由到外部针脚上
- 生成专门触发信号(宽并行触发、串行触发或复杂的多状态触发)

在与外部信号探测结合使用时，这种技术允许设计人员把 FPGA 信号与系统中的其它模拟信号或数字信号关联起来。

如果认真进行设计，那么可以最大限度地减少使用宝贵的 FPGA 逻辑资源、减少使用宝贵的 FPGA 针脚及减少调试电路对设计性能的影响。但是，在这种方法中，每次在改变试验时，必需重新设计和重新编译代码，这要占用宝贵的设计时间。此外，调试电路将占用部分稀缺的 FPGA 门及部分 FPGA 针脚。结果，由于示波器通道限制及 FPGA 针脚限制，这种技术查看复杂设计的能力有限。

外部混合信号示波器

在 FPGA 调试应用中，混合信号示波器(MSO)较示波器有三个关键优势：

1. 通过提供 20 条或 20 条以上的通道，而不只是 2–4 条通道，MSO 允许用户一次查看多得多的 FPGA (及其它)信号。
2. 由于这些通道也可以用于触发，因此MSO能够较示波器更好地识别特定码型事件。
3. 最后，MSO 允许使用并行总线和事件表显示数字信号，简化对复杂设计中数字信号的理解。

但是，它们不能一次捕获数百个信号，不支持复杂的‘if/then/else’触发或同步采集(基于 FPGA 时钟采样)。

外部逻辑分析仪

由于嵌入式逻辑分析仪方法的部分限制，许多 FPGA 设计人员已经采用一种方法，来利用 FPGA 的灵活性和外部逻辑分析仪的处理能力。在这种方法中，感兴趣的内部信号被路由到 FPGA 没有使用的针脚上，然后 FPGA 针脚连接到外部逻辑分析仪上。这种方法提供了非常深的存储器，适用于调试症状和实际原因相隔大量时间的问题。它还可以把内部 FPGA 信号与系统中的其它活动关联起来。与嵌入式逻辑分析仪方法一样，也应该考虑部分矛盾：

- **针脚与内部资源的矛盾：**
  外部逻辑分析仪方法使用的逻辑资源非常少(如果有)，它不使用 FPGA 存储器，从而释放出这些资源，实现设计功能。现在的矛盾是需要增加针脚数量，以专用于调试，而不是用于设计。
- **探测与工作模式的矛盾：**
  外部逻辑分析仪涉及的探测需求要比嵌入式逻辑分析仪方法多。它不能重复利用板卡上已有的 JTAG 连接器，设计人员必需确定怎样使用逻辑分析仪探测 FPGA 信号。实现这一点最简便的方式是在板卡中增加一个调试连接器。这还可以把 FPGA 信号简便地与系统中的其它信号关联起来。
- **成本与灵活性的矛盾：**
  逻辑分析仪的前期成本确实要高于嵌入式逻辑分析仪，但它们可以解决更广泛的问题。逻辑分析仪不仅可以用于FPGA调试，还可以用来解决其它数字设计挑战。其采集模式和触发功能也更加灵活。在外部逻辑分析仪中，可以接入最多16种不同的触发状态，可以以高达 125 ps 的分辨率在定时模式下捕获数据。

选择适当的 FPGA 调试方法

这两种方法适用于不同的情况。挑战是确定哪种方法适合特定设计。

如果有可能把问题隔离到 FPGA 内部的功能问题上，那么在调试中可能只需使用嵌入式逻辑分析仪就可以了。但是，如果预计有更多的系统级调试问题，要求检验定时余量，把内部FPGA活动与板卡的其它活动关联起来，或要求更加强大的触发功能，那么使用外部测试设备更适合满足调试需求。

对需要考察快速定时信息及状态数据的设计人员，外部 MSO 或逻辑分析仪将以高达 60 ps 的分辨率显示 FPGA 信号的详细定时关系。这有助于检验事件实际发生的情况是否与设计方式相符，允许检验设计的定时余量。嵌入式逻辑分析仪只能捕获与 FPGA 中存在的指定时钟同步的数据。

捕获深度是另一个考虑因素，因为逻辑分析仪将接入更宽的采样深度。例如，在 SignalTap II 中，最大采样深度设置成 128k，受到设备限制。但是，在外部 MSO 中，可以捕获最多 10M 样点，而在外部逻辑分析仪中，可以捕获最多 256M 样点。这可以帮助设计人员更多地查看问题及潜在原因，从而缩短整体调试时间。

进一步选择取决于设计受到针脚限制还是受到资源限制。使用嵌入式逻辑分析仪不要求额外的输出针脚，而必须使用内部 FPGA 资源实现逻辑分析仪功能。使用外部测试仪器要求使用额外的输出针脚，但最大限度地减少(或消除)了使用内部 FPGA 资源的需求。

为克服这些限制，业内研制出一种新的FPGA调试方法，其同时提供了外部测试设备方法的所有优势，同时解决了主要限制。First Silicon Solution 的 FPGAView 在与泰克 TLA 系列逻辑分析仪或 MSO4000 系列混合信号示波器结合使用时，为调试 FPGA 及周边硬件提供了完整的解决方案。

FPGAView 和外部测试设备相结合，如全功能混合信号示波器或逻辑分析仪，允许工程师查看FPGA设计内部，把内部信号与外部信号关联起来。由于消除了耗时的重新编译设计的过程，每个调试针脚可以接入多个内部信号，提高了工作效率。

此外，FPGAView 可以在一台设备中处理多个测试核心(适用于监测不同的时钟域)，在一个JTAG链中处理多台 FPGA 设备。

由于 FPGA 体系结构和厂商支持套件有很大差异，因此 Xilinx 和 Altera FPGA 支持的解决方案略有不同。但是，从较高的角度看，每个解决方案都由四个基本部分组成：

- **复用器**：这是构成复用器的知识产权(IP)模块。这个核心被编译到 FPGA 设计内。其功能是连接到多个内部节点上，一次把多个节点路由到 FPGA 上的多个输出针脚上，然后可以使用外部测试设备测量他们。在 Xilinx 中，这个 IP 核心由 FS2 设计。在 Altera 中，这是开发工具的标准组件。
- **控制软件**：这是基于 PC 的 FPGAView 控制程序，由 FS2 编写，同时控制着复用器和外部测试设备。该程序在 TLA 逻辑分析仪的嵌入式 PC 或外部 PC 上运行，控制着把哪个复用器输入路由到输出上，控制外部测试设备，在外部测试设备上显示相应信号的信号名称。

- **测试设备：**如前所述，这可以是 TLA 逻辑分析仪或 MSO4000 混合信号示波器。
- **JTAG 电缆：**控制软件使用这条电缆，从 PC 到 FPGA 通信，选择要路由的适当信号。

使用 FPGAView 需要 4 步。第一步是配置测试核心，并把它插入设计中。这使用 Altera 的 Quartus II 软件包中的逻辑分析仪接口编辑器完成。

如果想定制测试核心，用户可以指定：

- **针脚数量：**指专用于逻辑分析仪接口的针脚数量，范围为 1–256。
- **组数：**指映射到每个针脚的内部信号数量(范围也是 1–256)。
- **输出 / 捕获模式：**选择要执行的采集类型。可以选择‘combination/timing’或‘registered/state’。
- **时钟：**如果选择‘state’捕获模式，那么用户可以为测试核心选择采样时钟。
- **开机状态：**这个参数用来指定用于逻辑分析仪接口的针脚的开机状态。

在选择适当的参数满足调试要求后，工程师需要选择测试核心使用哪个针脚输出，探测哪个信号及哪个组。

第二步是通过建立到JTAG接口及外部测试设备的连接，配置 FPGAView。这可以提供必要的灵活性，把工具与调试环境匹配起来。例如，FPGAView 全面支持 TLA 逻辑分析仪中提供的远程主机工作模式。

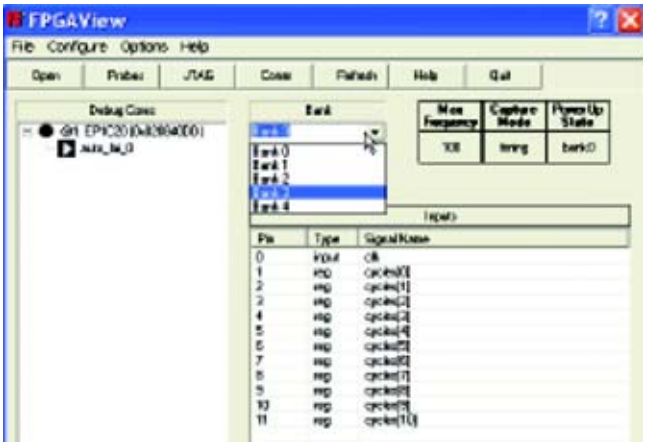

图 3.1. 使用 FPGAView 选择状态组。

下一步是映射 FPGA 针脚与外部测试设备之间的物理连接。FPGAView 可以自动更新外部测试设备上显示的名称，以与测试核心目前监测的信号相匹配。

最后一步是进行测量。FPGAView 中的组下拉列表用来选择测量哪个组，一旦选择了组，FPGAView 会通过 JTAG 接口与 FPGA 通信，配置测试核心，以便选择所需的组。FPGAView 还把这些名称的外部测试设备编程到指配的通道中，可以简便地理解测量结果。为测量不同的一批内部信号，用户只需选择不同的一组信号。把这些信号与系统中的其它信号关联起来由外部测试设备自动完成。

如果以前已经把逻辑分析仪接口模块插入设计中，那么工程师可以使用 FPGAView 选择要监测的信号组。

在图 3.1 中，FPGAView 用来监测状态组，显示与状态机

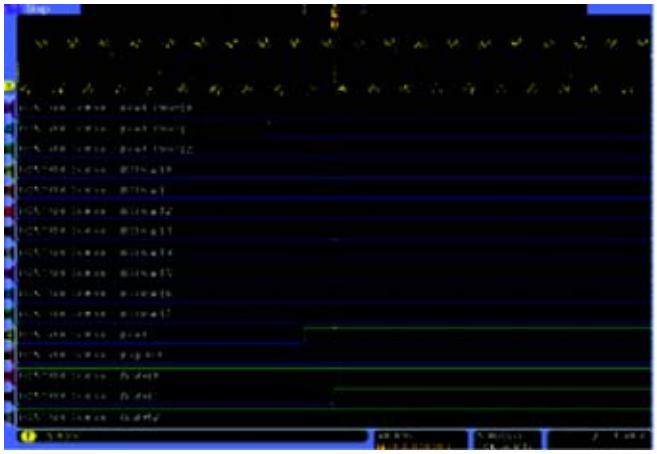

图 3.2. MSO 系列混合信号示波器简化了系统调试。

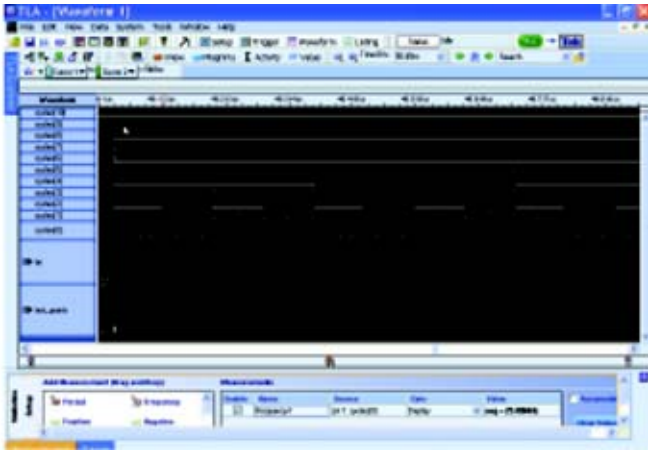

图 3.3. 在应用输入时检查状态机的运行情况。

相关的状态位及内部信号。探测系统的“load”和“start”按钮可以查看 FPGA 的外部输入及内部信号。

把外部测试设备设置成在状态机退出空闲状态时触发，可以考察应用输入时状态机的运行情况。把这些 FPGA 信号与系统中的信号关联起来由全功能 MSO 或 TLA 自动完成，如图 3.2 和图 3.3 所示。

小结

选择适当的 FPGA 调试方法可以缩短调试和验证时间。嵌入式逻辑分析仪和外部测试设备各有优缺点。FPGAView 消除了使用外部测试设备时的大部分矛盾，能够实时调试 Xilinx 和 Altera FPGA。它允许设计团队查看 FPGA 设计的内部运行情况，允许把这些信号与其它板卡信号关联起来。由于能够迅速改变内部测试点，而不需重新编译，它进一步提高了工作效率，缩短了调试时间。同时，每个调试针脚能够监测多个内部信号使得系统使用起来更加简便，插入性要低于其它调试方法。

存储器

人们一直希望内存变得容量更大、速度更快、功率更低、物理尺寸更小。这些需求正推动着DRAM(动态随机访问存储器)技术不断发展。在过去几年中，多次技术增强已经推进了主流DRAM的发展，如SDRAM (同步DRAM)、DDR (双倍数据速率)SDRAM、DDR2 (双倍数据速率 2) SDRAM 和 DDR3 (双倍数据速率 3) SDRAM。DIMM(双列直插内存模组)式计算机内存也一直推动着这一演进。DIMM 实现方案已经从非寄存 DIMM 扩展到包括寄存 DIMM 和 FB–DIMM (全面缓冲的 DIMMs)。

并不是只有计算机内存才有容量更大、速度更快、功率更低、物理尺寸更小的需求。嵌入式系统应用也有类似的要求，也可以使用 DRAM。

但是，内存系统在计算机中的实现方式不同于嵌入式系统。一般来说，计算机内存安装在可插拔DIMM上，DIMM在组装过程中简便地安装在计算机中。计算机用户可以在购买计算机之后，通过增加或更换 DIMM 来升级计算机内存。结果，计算机中使用的内存要求高度兼容当前和未来计算机及与 DIMM 一起使用的当前和未来内存。

而嵌入式系统一般使用固定的内存配置，因此用户在购买产品后不能改变内存系统。嵌入式系统制造商可以全面控制嵌入式系统中使用哪些特定制造商的内存。通常会使用一家内存制造商的一种特定内存，来优化嵌入式系统的性能和成本。结果，在嵌入式系统中实现高级多厂商内存互操作能力不象在计算机系统中那样重要。

新的DRAM设计将满足容量更大、速度更快、功率更低和物理尺寸更小的计算机和嵌入式系统内存要求。结果，发生了下面的 DRAM 变化：

- 内存尺寸提高
- 内存条数量提高
- 突发长度提高
- 供电电压下降
- 逻辑电压摆幅下降
- 时钟速度提高
- 数据速率提高
- 内存通道实现方案从大量的并行信号转向数量较少的高速串行信号
- 内存通道数量提高
- 电路板密度提高

这些发展趋势导致设计人员使用新技术和新工具，设计、检验和调试自己的内存系统。

由于内存时钟速度提高及逻辑电压摆幅下降，信号完整性更多地成为可靠运行内存的问题。结果，发展趋势是新的DRAM功能出现，以重点改善内存系统的信号完整性。这些功能包括动态控制的 ODT (模具上端接), OCD (芯片外驱动器)校准及带 AMB(高级内存缓冲器)的全面缓冲的 DIMM。

DRAM较其它内存类型的一个优势是它能够以IC(集成电路)上每个内存单元更少的电路实现。DRAM的内存单元基于电容器上贮存的电荷。典型的DRAM单元使用一个电容器及一个或三个 FET(场效应晶体管)制成。典型的SRAM (静态随机访问内存)内存单元采取六个FET器件，降低了相同尺寸时每个IC的内存单元数量。与DRAM相比，SRAM 使用起来更简便，接口更容易，数据访问时间更快。

DRAM 核心结构由多个内存单元组成，这些内存单元分成由行和列组成的两维阵列(参见图 4.1)。

访问内存单元需要两步。先寻找某个行的地址，然后在选定行中寻找特定列的地址。换句话说，先在DRAM IC内部读取整个行，然后列地址选择DRAM IC I/O(输入/输出)针脚要读取或要写入该行的哪一列。

图 4.1. DRAMs 内存单元分成由行和列组成的两维阵列。

DRAM读取具有破坏性，也就是说，在读操作中会破坏内存单元行中的数据。因此，必需在该行上的读或写操作结束时，把行数据写回到同一行中。这一操作称为预充电，是行上的最后一项操作。必须完成这一操作之后，才能访问新的行，这一操作称为关闭打开的行。

DRAM 的一个行称为内存页面，一旦打开行，您可以访问该行中多个顺序的或不同的列地址。这提高了内存访问速度，降低了内存时延，因为在访问同一个内存页面中的内存单元时，其不必把行地址重新发送给DRAM。结果，行地址是计算机的高阶地址位，列地址是低阶地址位。

由于行地址和列地址在不同的时间发送，因此行地址和列地址复用到相同的DRAM针脚上，以降低封装针脚数量、成本和尺寸。一般来说，行地址尺寸要大于列地址，因为使用的功率与列数有关。

早期的 RAM 拥有控制信号，如 RAS# (行地址选择活动低)和 CAS# (列地址选择活动低)，选择执行的行和列寻址操作。其它DRAM控制信号包括用来选择写入或读取操作的WE# (写启动活动低)、用来选择DRAM的CS# (芯片选择活动低)及OE# (输出启动活动低)。早期的DRAM拥有异步控制信号，并有各种定时规范，涵盖了其顺序和时间关系，来确定 DRAM 工作模式。

早期的 DRAM 读取周期有四个步骤。

1. RAS # 变低与行地址在地址总线上。
2. CAS# 变低与列地址在地址总线上。
3. OE# 变低，读取数据出现在 DQ 数据针脚上。在 DQ 针脚上提供数据时，从第一步第三步的时间称为时延。
4. RAS#, CAS# 和 OE# 变高(不活动)，等待内部预充电操作在破坏性读取后完成行数据的恢复工作。

从第一步开始到最后一步结束的时间是内存周期时间。上述信号的信号定时与边沿顺序有关，是异步的。这些早期 DRAM 没有同步时钟操作。

DRAM 内存单元必需刷新，避免丢失数据内容。这要求在丢失电荷前刷新电容器。刷新内存由内存控制器负责，刷新时间指标因不同DRAM内存而不同。内存控制器执行刷新用一个 RAS# 单循环与行地址。在 RAS# 单循环

结束时，进行预充电操作，恢复RAS#单循环中地址的行数据。一般来说，内存控制器有一个行计数器，其顺序生成所有行地址，这些行地址都需要单刷新循环。

刷新策略有两个 (参见图4.2)。第一个策略是内存控制器在一阵迸发刷新周期中顺序刷新所有行，然后把内存控制返还处理器，以进行正常操作。在到达最大刷新时间前，会发生下一个迸发刷新操作。第二个刷新策略是内存控制器使用正常处理器内存操作隔行扫描刷新周期。这种刷新方法在最大刷新时间内展开刷新周期。

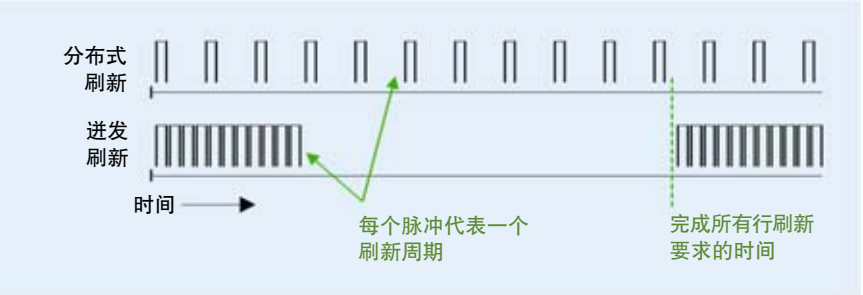

图 4.2. DRAM 刷新实现方案包括分布式刷新和迸发刷新。

早期的DRAM演进及实现了DRAM IC上的刷新计数器，处理顺序生成的行地址。在DRAM IC内部，刷新计数器是复用器输入，控制着内存阵列行地址。另一个复用器输入来自外部地址输入针脚的行地址。这个内部刷新计数器不需要内存控制器中的外部刷新计数器电路。部分DRAM在RAS#周期前支持一个CAS#，以使用内部生成的行地址发起刷新周期。

SDRAM

在接到同步处理器时，DRAM的异步操作带来了许多设计挑战。SDRAM被设计 (同步DRAM) 是为了把DRAM操作同步到计算机系统其余部分，消除定义所有基于CE# (芯片启动活动低)、RAS#、CAS#和WE#边沿转换顺序的内存操作模式。

DDR SDRAM	数据速率	内存时钟
DDR–266	266 Mb/s/针脚	133 MHz
DDR–333	333 Mb/s/针脚	166 MHz
DDR–400	400 Mb/s/针脚	200 MHz

表 1. DDR SDRAM 数据速率和时钟速度

SDRAM增加了时钟信号和内存命令的概念。内存命令的类型取决于SDRAM时钟上升沿上的CE#，RAS#，CAS#和WE#信号状态。产品资料根据CE#，RAS#，CAS#和WE#信号状态，以表格形式描述内存命令。例如，“activate”命令向SDRAM发送一个行地址，打开内存的一个行 (页面)。然后是一个“deselect“命令序列，在对列地址发送Read或Write命令前满足定时要求。一旦使用”activate“命令打开内存的行 (页面)，那么可以在内存的该行 (页面) 上运行多个Read和Write命令。要求precharge命令，关闭该行，然后才能打开另一行。

DDR SDRAM

通过提高时钟速度、迸发数据及每个时钟周期传送两个数据位(参见表1)，DDR (双倍数据速率) SDRAM提高了内存数据速率性能。

DDR SDRAM在一条读取命令或一条写入命令中迸发多个内存位置。读取内存操作必需发送一条“activate”命令，后面跟着一条“read”命令。内存在时延后以每个时钟周期两个内存位置的数据速率应答由两个、四个或八个内存位置组成的迸发。因此，在两个连续的时钟周期内有四个内存位置被读出或被写入。

DDR SDRAM有多个内存条，提供多个隔行扫描的内存访问，从而提高内存带宽。内存条是一个内存阵列，两个内存条是两个内存阵列，四个内存条是四个内存阵列，依此类推(参见图3)。

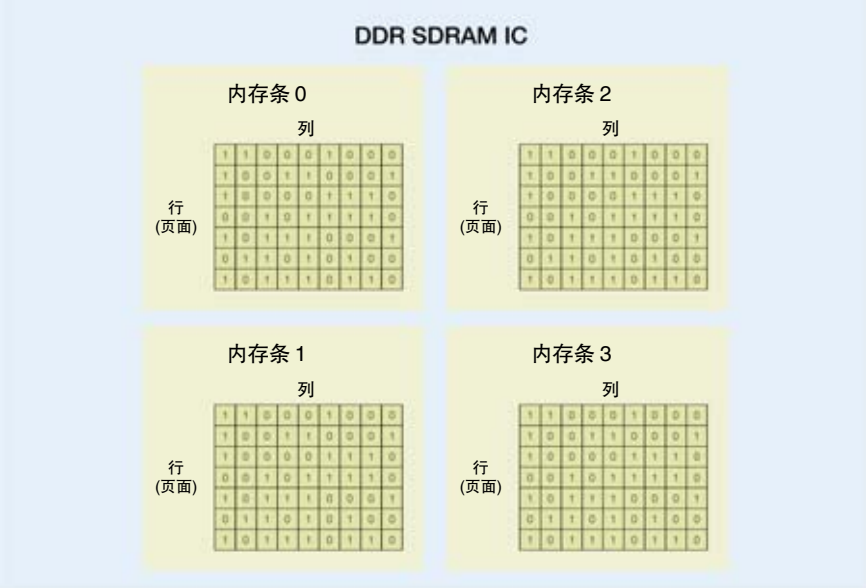

图 4.3. DDR SDRAM 中多个内存条提高了访问灵活性，改善了性能。

四个内存条要求两个位用于内存条寻址(BA0和BA1)。例如，有四个内存条的DDR SDRAM的工作方式如下。首先，“activate”命令在第一个内存条中打开一行。第二个“activate”命令在第二个内存条中打开一行。现在，可以把Read或Write命令的任意组合发送到打开行的第一个内存条或第二个内存条。在内存条上的Read和Write操作结束时，Precharge命令关闭行，内存条对“activate”命令准备就绪，可以打开一个新行。

注意，DDR SDRAM要求的功率与内存上打开的行数有关。打开的行越多，要求的功率越高，行尺寸越大，要求的功率越高。因此，对低功率应用，一次在每个内存条中只应打开一行，而不要一次在多个内存条上打开多行。

在内存条地址位连接到内存系统中的低阶地址位时，支持隔行扫描连续内存条中的连续内存字。在内存条地址位连接到内存系统中的高阶地址时，连续内存字位于同一个内存条中。

DDR2 SDRAM	数据速率	内存时钟
DDR2–400	400 Mb/s/针脚	200 MHz
DDR2–533	533 Mb/s/针脚	266 MHz
DDR2–667	667 Mb/s/针脚	333 MHz
DDR2–800	800 Mb/s/针脚	400 MHz

表 2. DDR2 SDRAM 数据速率和时钟速度

DDR2 SDRAM

DDR2 SDRAM较DDR SDRAM有多处改进。DDR2 SDRAM时钟速度更高，从而提高了内存数据速率(参见表2)。

随着时钟速度提高，信号完整性对可靠运行内存变得越来越重要。随着时钟速度提高，电路板上的信号轨迹变成传输线，正确的布线与信号轨迹终端的端接变得更加重要了。

地址、时钟和命令信号的端接相对简明，因为这些信号是单向的，并端接在电路板上。数据信号和数据选通是双向的，内存控制器中心在写入操作中驱动这些信号，DDR2 SDRAM在读取操作中驱动这些信号。多个DDR2 SDRAM 连接到同一个数据信号和数据选通上，进一步提高了复杂度。多个 DDR2 SDRAM 可以位于内存系统相同的DIMM上，也可以位于内存系统不同的DIMM上。结果，数据和数据选通驱动器和接收机不断变化，具体取决于读取 / 写入操作及访问的是哪个 DDR2 SDRAM。

DDR2 SDRAM 通过提供 ODT (内建端接)，提供一个开启内建端接的 ODT 信号，并提供用 DDR2 SDRAM 扩展模式寄存器对内建端接值编程(75 欧姆、150 欧姆等等)的能力，改善数据和数据选通的信号完整性。内建端接值和操作由内存控制器中心控制，并与 DDR2 SDRAM DIMM的位置及内存操作类型(读取或写入)有关。ODT操作通过提高电压余量、提高转换速率、降低过冲、降低 ISI (码间干扰)为“数据有效“窗口创建更大眼图，结果改善了信号完整性。

DDR2 SDRAM在 1.8V上操作，降低了内存系统的功率，这一功率是 DDR SDRAM 的 2.5V 功率的 72%。在某些实现方案中，行中的列数量被减少，在激活行进行读取或写入时导致较低的功率。

降低工作电压的另一个优势是降低了逻辑电压摆幅。在转换速率相同时，电压摆幅下降会提高逻辑转换速度，支持更快的时钟速度。此外，数据选通可以编程为差分信号。使用差分数据选通信号降低了噪声、串扰、动态功耗和 EMI (电磁干扰)，提高了噪声余量。差分或单端数据选通操作由DDR2 SDRAM扩展模式寄存器来配置。

DDR3 SDRAM	数据速率	内存时钟
DDR3–800	800 Mb/s/ 针脚	400 MHz
DDR3–1066	1066Mb/s/ 针脚	533 MHz
DDR3–1333	1333Mb/s/ 针脚	667 MHz
DDR3–1600	1600 Mb/s/ 针脚	800 MHz

表 3. 预计的 DDR3 SDRAM 数据速率和时钟速度。

DDR2 SDRAM引入的一种新功能是附加时延，它使得内存控制器中心能够在 Activate 命令后，更快地灵活发送 Read 和 Write 命令。这优化了内存吞吐量，通过使用 DDR2 SDRAM扩展模式寄存器对附加时延编程来配置。

DDR2 SDRAM 使用八个内存条，改善了 1Gb 和 2Gb DDR2 SDRAM的数据带宽。通过隔行扫描不同的内存条操作，八个内存条提高了访问大型内存DDR2 SDRAM的灵活性。此外，对大型内存，DDR2 SDRAM 支持迸发长度到达八个。

DDR3 SDRAM

DDR3 SDRAM 是超越了 DDR2 SDRAM 的性能演进。DDR3 SDRAM将支持下一级更快的数据速率和时钟速度(参见表 3)。

其它预计的变化包括：DDR3 SDRAM工作电压降低到1.5 V，这是DDR2 SDRAM 1.8 V工作电压的83%。DDR3 SDRAM是FB–DIMM2 (全面缓冲的DIMM2)实现方案将要使用的内存。DDR3 SDRAM 规范正在开发之中，在 JEDEC 批准之前还会变化。

内存系统设计

产品设计的前几步是产品要求、产品结构设计和子系统设计。子系统设计之一是内存系统。内存系统设计取决于内存尺寸、速度、功率、现有标准、新的正在发展的标准、重用现有设计及其它要求。

计算机芯片组制造商对计算机内存系统设计有着很大影响。某些计算机芯片组制造商有自己的测试程序、评测流程和产品测试讲习班。一般来说，这些计算机芯片组制造商的网站上会列明通过其兼容能力测试的内存产品。

设计仿真

内存系统设计的一个关键部分是设计仿真。对内存系统全面进行仿真的重要性不可低估。经验表明，电阻器值只是变化几欧姆，就可能会给内存系统的可靠运行带来明显影响。

内存系统设计仿真应包括连接到原型内存系统时任何仪器导致的探测负载的影响。如果原型由于探头负载而停止运行，检验和调试流程将非常困难。此外，仿真应使用仪器探头负载，分析探头测试点上的信号。数据有效窗口将沿着从内存控制器中心驱动器到 SDRAM 针脚的信号轨迹变化。

测试点应尽可能靠近接收机针脚，以便仪器能够显示接收机查看的信号。有时这是不可能的，要使用内插器、测试适配器电路板和其它专用探测夹具和辅助装置，检索很难得到的信号。信号仿真中也应包括这些探测辅助装置，以了解其对 SDRAM 信号及信号测量的影响。

设计检验

在设计中使用新的DRAM功能要求使用新的设计方法和技术，包括设计仿真新技术及新的 BIOS 操作。结果，DRAM 设计实现方案要求全面检验和测试，包括电路板构建到软件操作，以保证内存可靠运行。

如果内存系统由于设计实现方案没有全面检验而发生罕见随机错误，那么产品可靠性会下降。此外，客户可能要求产品满足JEDEC或其它制造商规定的各种一致性测试要求。

检验策略

拥有一个策略，迅速高效地调试任何设计实现方案中的设计问题非常重要。加快产品开发周期要求在设计中提前规划检验 / 调试。规划中应确定下述要求：

- 哪些是新的设计单元？哪些是重用的设计单元；
- 基于过去的设计什么需要避免和什么需要改变?
- 需要什么等级的检验和测试？测试是否要求专用操作模式或信号码型?
- 需要哪些专用设计功能？(如探测点或测试夹具) 模拟分析是否已经考虑了探测和原型？是否需要信号源？是否需要专用软件对硬件执行测试?
- 需要哪些环境测试？(如温度, 湿度等)
- 需要查看哪些电路操作信息、以进行调试?
- 要求哪些法规标准测试？是否使用检验/调试测试点，测试在制产品？是否使用检验 / 调试测试点维修使用中的产品？怎样管理目前不知道的项目中的风险?

检验	任务	仪器
电路板构建	单端轨迹阻抗	采样示波器，带 TDR
	差分轨迹阻抗	采样示波器，带 TDR
	轨迹长度	采样示波器，带 TDR
	串扰	采样示波器，带 TDT
电功率和信号	电源质量, 噪声, 毛刺和地弹	示波器
	时钟信号质量, 上升和下降时间 / 转换速率, 扩频时钟廓线	示波器，装有抖动分析软件
	命令, 地址和数据有效窗口, 时钟, 选通和数据信号偏移	示波器，装有抖动分析软件
	FB–DIMM 串行信号数据有效窗口	示波器，装有串行数据一致性和分析软件, 信号源和 FB–DIMM 夹具
协议顺序和定时	内存系统开机初始化协议和定时	逻辑分析仪，装有 SDRAM 支持套件
	SDRAM 模式寄存器操作	逻辑分析仪，装有 SDRAM 支持套件
	SDRAM 命令协议和定时	逻辑分析仪，装有 SDRAM 支持套件
	读 / 写数据有效窗口	逻辑分析仪，装有 SDRAM 支持套件
	刷新操作	逻辑分析仪，装有 SDRAM 支持套件
	内存通道话务	逻辑分析仪，装有 FB–DIMM 支持套件

表 4. 检验任务和相关测试设备

例如，某些检验策略包括构建一个检验原型，其中有大量的探测测试点，检验带有新型ASIC/FPGA的新系统结构。检验原型最好以全速运行，以检验快速操作和性能。复杂的设计要求更加全面地查看实时操作，以迅速确定问题。一旦检验原型正确运行并完成检验，可以用更少的测试点实现最终原型。

SDRAM 检验

DRAM 检验和测试技术依赖设计项目。DRAM 设计具体到下述类型中：计算机内存控制器中心IC, 内存IC, AMB ICs, DIMMs, 计算机主板和嵌入式系统。每个产品都要求不同的检验策略、不同的检验测试和不同的测试设备。例如，内存IC设计人员将不会检验电路板结构，而DIMM设计人员则要检验 DIMM 电路板结构。由于处理特定处理器的要求及独特的嵌入式系统输入/输出配置，内存控制器一般由嵌入式系统设计人员设计。结果，设计工作的明显组成部分是设计内存控制器及设计内存控制器和内存IC之间的电路板布局。检验这部分设计对可靠运行至关重要。

DRAM 检验和测试要求一系列测试测量设备，如采样示波器、示波器、逻辑分析仪、探头、测试夹具、分析软

件、一致性测试软件等等(参见表4)。测试设备必需为电信号和协议层提供非插入型探测、高精度采集和完整的系统查看能力。为帮助设计人员迅速检验内存操作，还需要强大的分析功能。

使用逻辑分析仪为监测计算机系统或嵌入式系统创造了一个强大的检验和调试开发环境。逻辑分析仪用来跟踪和关联处理器总线活动、内存活动和输入/输出操作。在逻辑分析仪上全面提供系统信息，可以从关键设计角度查看实时系统操作。此外，使用示波器和逻辑分析仪综合探测、触发和显示，由软件列表、协议列表、同一个屏幕上的数字波形和模拟波形来全面查看设计信息。其结果，提供了强大、全面、高效的原型分析功能。

泰克提供一套全面的工具集，包括业内领先的示波器、真正的差分 TDR 和支持 Nexus Technology 内存的逻辑分析仪，使得嵌入式和计算机设计人员能够迅速精确地对内存设计进行电气测试与检验内存设计的运行情况。总之，这套工具提供了杰出的性能和前所未有的易用性，使其成为嵌入式系统和计算机内存系统检验和调试的理想解决方案。

低速串行总线

在串行总线中，所有这些信息都以串行方式在相同的少数导线(有时是一条)上发送。这意味着一个单一信号可能包括地址信息、控制信息、数据信息和时钟信息。

图 5.1. I²C 消息结构。

常见的低速串行总线包括RS–232, USB, FlexRay, I²C, SPI, CAN, LIN 等等。

在本章中，我们将更加详细地考察这些总线。

I²C(集成电路间总线): I²C总线最初是飞利浦公司在20世纪80年代研制的，为把控制器连接到电视机上的外设芯片提供了一种低成本方式，但之后其已经发展成为嵌入式系统设备之间通信的一项全球标准。它采用简单的两线设计，广泛用于各种芯片中，如 I/O、模数转换器、数模转换器、温度传感器、微控制器和微处理器

I²C 的物理两线接口由双向串行时钟(SCL)和数据(SDA)线组成。I²C 支持总线上多个主从设备，但一次只能激活一个主设备。任何I²C设备可以连接到总线上，允许任何主设备与从设备交换信息。

每台设备都使用唯一的地址识别，可以作为发射机或接收机操作，具体取决于设备功能。在开始时，I²C 只使用7位地址，但随着时间推移，它演变成也支持10位地址。它支持三种位速率: 100 kbps (标准模式), 400 kbps (快速模式)和 3.4 Mbps (高速模式)。最大设备数量取决于 400 pf 的最大容量，或大约支持 20–30 台设备。

I²C 标准规定了下述格式，如图 5.1 所示：

- **Start –** 表明设备控制总线，一条消息将开始传送
- **Address –** 7 位或 10 位数字，表示将要读取或写入的设备地址
- **R/W Bit –** 1 位，表明是否将从设备中读取数据或向设备写入数据
- **Ack –** 1 位，来自从设备，确认主设备的操作。通常每个地址和数据字节有一个确认位，但不总是有确认位
- **Data –** 从设备中读取或写入设备的字节的整数
- **Stop –** 表明消息结束，主设备已经释放总线

SPI(串行外设接口总线)

SPI 总线最初是摩托罗拉在20世纪80年代末为其68000系列微控制器研制的。由于该总线简单、流行，许多其它制造商也已经采用这一标准。它现在用于嵌入式系统设计常用的各种器件中。SPI 主要用于微控制器和直接外设之间。它通常用于移动电话、PDA 和其它移动设备中，在 CPU、键盘、显示器和内存芯片之间通信。

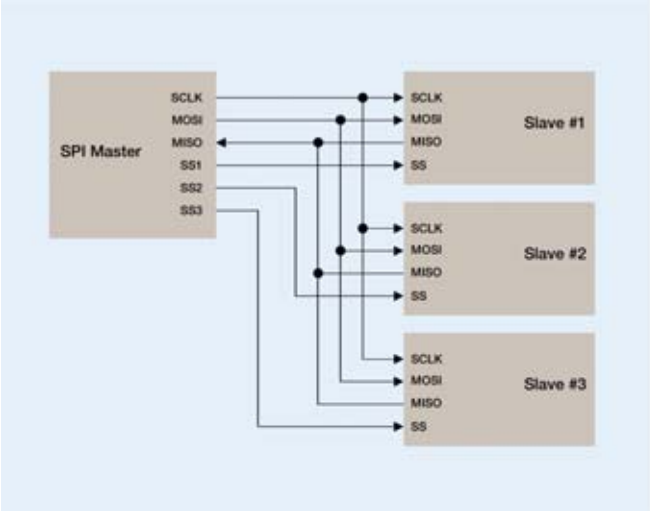

图 8. 常用的 SPI 配置。

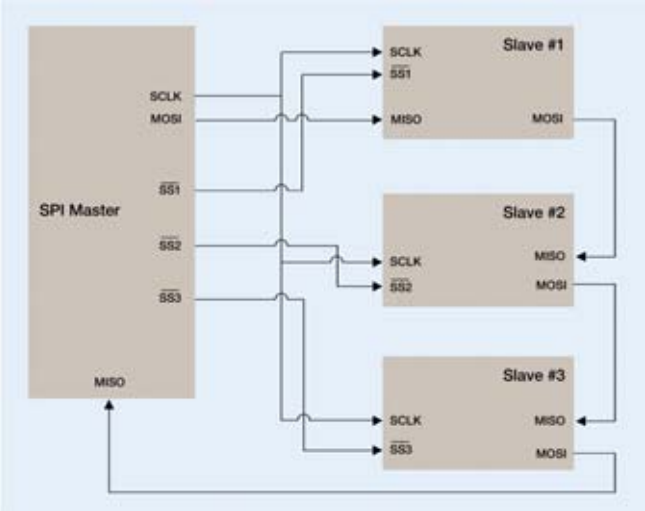

图 9. 串联 SPI 配置。

SPI (串行外设接口)总线是一种主 / 从结构的 4 线串行通信总线。4个信号是时钟(SCLK), 主输出/从输入(MOSI), 主输入 / 从输出(MISO)和从选择(SS)。在两台设备通信时，一台设备称为“主设备”，另一台设备称为“从设备”。主设备驱动串行时钟，它同时收发数据，因此是一种全双工协议。SPI 使用 SS 线路指明与哪台设备传送数据，而不是总线上的每台设备都有一个唯一的地址。这样，总线上的每台唯一的设备都需要从主设备提供自己的SS信号。如果有 3 台从设备，那么主设备有 3 条 SS 引线，每条引线都连接到每台从设备上，如图 5.2 所示。

在图中，每台从设备只与主设备通话。但是，SPI 可以链接多台从设备，每台从设备依次进行操作，然后把结果发回主设备，如图 5.3 所示。

因此可以看到，SPI 实现方案没有“标准”。在某些情况下，在不要求通信从设备返回到主设备时，MISO信号可以完全省略。

在 SPI 数据传送发生时，8 位数据字移出 MOSI，不同的 8 位数据字移入 MISO。这可以视为 16 位循环位移寄存器。在传送发生时，这个16位位移寄存器位移8个位置，从而在主设备和从设备之间交换 8 位数据。一对寄存器 – 时钟极性(CPOL)和时钟相位(CPHA)决定着驱动数据的时钟边沿。每个寄存器有两种可能的状态，支持四种可能的组合，所有这些组合互不兼容。

因此，主/从设备对必须使用相同的参数值进行通信。如果使用多个固定在不同配置的从设备，那么每次需要与不同的从设备通信时，主设备必须重新进行配置。

CAN (控制器区域网)

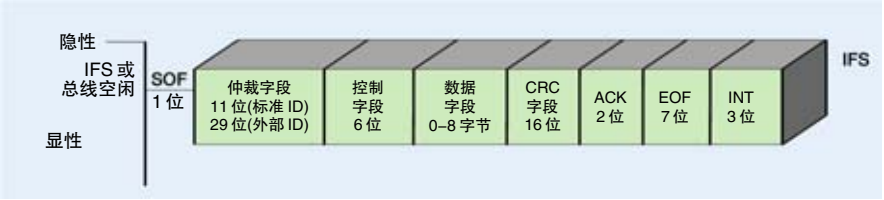

图 5.4. CAN 数据 / 远程帧。

CAN总线是博世公司在20世纪80年代专门研制的一种分层串行数据通信协议，以在电气噪声环境中作为设备之间的通信总线。1992年，梅塞德兹 – 奔驰率先在其汽车系统中采用CAN。今天，几乎每个汽车制造商都在使用CAN控制器和网络，控制雨刷器马达控制器、雨水传感器、安全气囊、门锁、传动系统和电动车窗等等。由于能够容忍电气噪声、减少连线、校验错误及高速传送速率，CAN 正迅速扩展到其它应用中，如工业控制、舰队、医疗、航空等领域。

CAN 总线是一种平衡的(差分) 2 线接口，在屏蔽双绞线(STP)、非屏蔽双绞线(UTP)或带状电缆上运行。每个节点使用公头9针连接器。非归零(NRZ)位编码与位填充一起使用，保证紧凑的消息及最小的转换数量和高抗噪声能力。CAN 总线接口采用异步传输方案，在总线空闲时每个节点可以开始传送信息。消息广播到网络上的所有节点。

在多个节点同时发起消息时，位仲裁用来确定哪条消息的优先权较高。消息可以是四种类型中的一种：数据帧、远程传输请求(RTR)帧、错帧或过载帧。

总线上检测到错误的任何节点会传输一个错帧，导致总线上所有节点能够看到当前消息不完整，传输节点会重新发送消息。接收设备发起过载帧，表明还没有准备好接收数据。当远程帧请求数据时，数据帧用来传输数据。数据帧和远程帧由每个帧开头和结束的开始位和停止位控制，包括下述字段：仲裁字段、控制字段、数据字段、CRC 字段和 ACK 字段，如图 5.4 所示。

帧以帧头(SOF)位开始。仲裁字段包括标识符(地址)和远程传输请求(RTR)位，用来区分数据帧和数据请求帧，其也称为远程帧。标识符可以采取标准格式(11 位 – 2.0A 版)或扩展格式(29 位 – 2.0B 版)。

控制字段由 6 个位组成，包括标识符扩展(IDE)位，它区分 CAN 2.0A (11 位标识符)标准帧和 CAN 2.0B (29 位标识符)扩展帧。控制字段还包括数据长度代码(DLC)。DLC 长 4 位，表明数据帧中数据字段的字节数或远程帧请求的字节数。数据字段由 0–8 个数据字节组成，后面跟着一个 15 位循环冗余校验代码和隐性分隔符位。

确认(ACK)字段长两位。第一个位是时隙位，作为隐性位传输，但之后被成功地收到传输消息的任何节点传送的显性位覆盖。第二个位是是隐性分隔符位。七个隐性位，表明帧尾(EOF)。三个隐性位的间断(INT)字段表明总线空闲。总线空闲时间可以是任意长度，包括零。

它定义了大量的不同数据速率，最高数据速率为1Mb/s，最低数据速率为 5kb/s。所有模块必须支持至少 20kb/s 的速率。电缆长度取决于使用的数据速率。正常情况下，系统中所有设备都以统一的固定位速率传送信息。最大线路长度在低速时可以达到几千米；典型情况是1Mbps 时 40 米。在电缆每端使用端接电阻器。

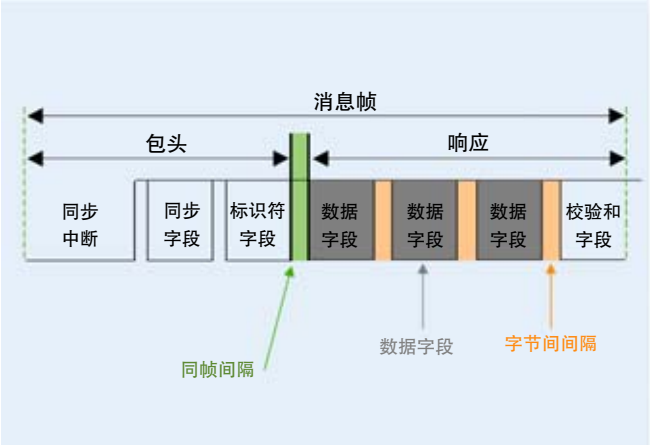

图 5.5. LIN 消息格式。

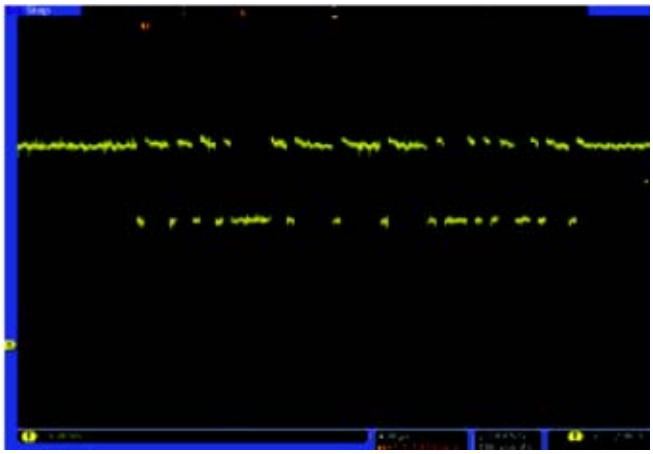

图 5.6. 从 CANbus 中采集的一条消息。

LIN (本地互连网络): LIN 是一种基于公共 UART 接口的单线串行通信协议。LIN采用单主站多从站组网结构。它是为汽车传感器和驱动器组网应用开发的，用于车门控制、车灯和车窗应用。与 CAN 一样，LIN 主节点使用高级网络连接 LIN 网络。由于电磁干扰和时钟同步要求，LIN 支持最大 20 kbit/s 的数据速率。

在收到和过滤标识符时，从站任务激活，开始传输消息响应。响应由 2 个、4 个或 8 个数据字节和 1 个校验和字节组成。包头和响应部分构成了一个消息格式。LIN消息格式如图 5.5 所示。

测量挑战

图5.6中的CAN总线波形显示了低速串行总线带来的测量挑战。

这条消息包含帧头、标识符(地址)、数据长度代码、数据、CRC 和帧尾及少量其它控制位。时钟嵌入在数据中，使用位填充要保证充足的边沿数量给接收设备锁定时钟，这使情况变得进一步复杂化。即使是训练有素的工程师也很难迅速了解这一消息的内容。

即使是比较简单的串行标准，如 I^2C，与并行协议相比，观察总线上传输的内容仍要明显困难得多。I^2C采用分开的时钟线和数据线，因此至少在本例中，您可以使用时钟作为参考点。但是，您仍需要找到消息开头(当时钟为高时数据变低)，手动检查和记下每个时钟上升沿上的数据值，然后把各位整理成消息结构。在长采集中解码一条消息就会需要几分钟时间，而您不知道这是不是实际要找的消息。如果不是，您需要在下一条消息上开始这一麻烦的、容易出错的过程。

最好只在用户查找的消息内容上触发，但传统的用在示波器和逻辑分析仪上的状态触发和码型触发在这点上做得不够好。它们是为了考察多条通道中同时发生的问题设计的。为处理串行总线，其触发引擎深度必需有几千种状态(每个位一个状态)。即使存在这种触发功能，但为所有这些位逐个状态编程也不是件好玩的事。

幸运的是，为用于最新泰克示波器设计的下一代串行和触发分析工具可以为您解决这个难题。

图 5.7. 分析低速串行总线。

图 5.8. I²C 总线设置菜单。

图5.7中所示的系统允许用户使用图5.8中所示的设置菜单，把示波器的输入定义为一条总线。尽管这个实例用的是I²C，但也为许多其它低速串行总线提供了类似的功能。

通过简单地定义时钟和数据位于哪条通道上及用来确定逻辑 1 和 0 的门限，示波器可以理解通过总线传输的协议。有了这些知识，示波器可以触发任何指定的消息级信息，然后把得到的采集数据解码成有意义的、容易理解的结果。边沿触发已经过了好多天了，希望您已经采集到感兴趣的事件，然后逐条消息手动解码，找到问题。

这些触发可以隔离用户感兴趣的特定总线业务，解码功能则可以即时查看采集中总线上传输的每条消息的内容。

触发与搜索

如前所述，必需拥有强大的触发系统，隔离串行总线上感兴趣的事件。但是，一旦已经采集了数据(示波器被停止)，且想分析数据，那么触发就没有什么用了。用户需要拥有类似触发资源的示波器，分析采集的波形数据。

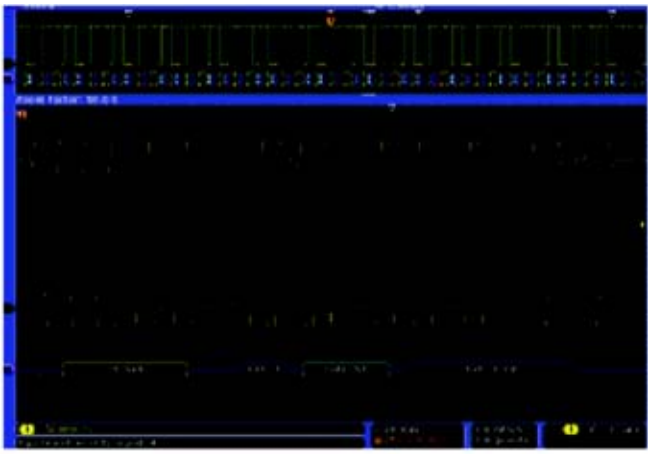

图 5.9. 在 CAN 总线采集中搜索指定标识符和数据。

Wave Inspector®实现了这一点，为您提供了强大的搜索功能。本文中讨论的所有总线触发功能还作为已采集数据的搜索标准使用。例如，在图5.9中，示波器已经在长采集记录中搜索了每条具有特定地址和数据内容的CAN消息，并在显示屏顶部在每条消息上标明空心的白三角形。为在发生的消息之间导航，用户只需按前面板上的“previous”和“next”按钮即可。

当然，搜索也可以用于比较传统的触发类型。搜索类型包括边沿、脉宽、欠幅脉冲、建立时间和保持时间、逻辑和上升时间 / 下降时间。

小结

尽管嵌入式系统设计从并行总线转向串行总线带来了许多好处，但它也给设计工程师带来了许多挑战。用传统测试测量工具，在用户正查找的事件上触发很困难，这些工具仅仅查看模拟信号，几乎不可能告诉用户其提供了哪些信息，而且手动解码长时间的总线活动、诊断问题是非常耗时、非常容易出错的过程。泰克配有相应触发和分析工具的示波器改变了这一切。由于其强大的触发、解码和搜索功能，当前的设计工程师可以以极高的效率解决嵌入式系统设计问题。

高速串行总线

在与低速串行总线相对的另一端，数字信息和新娱乐选项的提高，正推动着高速总线的兴起，使消费者预期获得更满意、更一致的实时体验。计算性能的指数级增长使这种实时体验成为可能，但不管来源是什么，如果不能同样快速地访问内容和数据，那么这种实时体验是不完整的。更快的传送和响应速度及更简便地连接能力，在容量和速度方面创造了新的技术要求。为满足这一需求，人们越来越多地需要以日益提高的带宽实现更快的数据交换速度。

多种新的串行数据总线结构，包括 PCI–Express、XAUI、RapidIO、HDMI 和 SATA，提供的数据吞吐量较几年前出现了成倍增长。

为保证在产品开发的所有阶段都实现互通，要求进行标准化。领先的技术公司已经开发出采用2.5 Gbit/s和3 Gbit/s 速度的产品，5 Gbit/s 技术正在开发中，10 Gbit/s 已经用于网络通信。本章概括介绍了与嵌入式系统环境相关程度最高的高速串行总线标准：

- **SATA (串行 ATA):** SATA 是代替并行 ATA、用于外设存储设备的串行总线技术。它提供了可扩充的性能，最低 1.5 Gbit/s，最高 3 Gbit/s。
- **HDMI (高清多媒体接口):** 这一最新消费电子技术正在实现各种多媒体应用。HDMI 使用以前的 DVI (数字可视接口)作为起点，高速传送数字视频和音频，工作速率在 250 Mbit/s 到 1.65 Gbit/s。最新的 HDMI 1.3 版把数据传送速率扩展到 3.4 Gbit/s。
- **PCI–Express：**这种串行技术正在代替 PC 和服务器应用中使用的传统并行 PCI/PCI–X 总线。PCI–Express 1.0 是一种多路 2.5 Gbit/s 串行接口，满足了高性能应用需求，包括高速图形和成像。Gen2 (PCIExpress 2.0)将使性能提高一倍，达到 5.0 Gbit/s。
- **以太网：**最普及的网络技术，已经从 10 Mbit/s(10 BaseT)和100 Mbit/s (100 BaseTX)的中等速率提高到四条通路、每路 250 Mbit/s (1000 BaseT)千兆位以太网(GbE)及 10 Gbit/s。在 10 Gbit/s 中，四条 XAUI 电气通路的工作速率为 3.125 Gbit/s。

这些最新标准的共同特点是边沿速率更快、数据脉冲更窄，这两者相结合，对设计人员提出了独特的，苛刻的需求。随着几千兆位数据速率成为数字系统中的常见速率，信号完整性、也就是集成电路正确运行所需的信号质量，正成为设计人员最关心的问题。数据流中一个坏码可能会给指令或事务结果带来巨大影响。可能会导致传送的信号质量发生损伤的因素包括：

- **千兆位信号速率：**超快速传送速率、低压差分信号和多电平信令更容易发生信号完整性问题、差分时滞、噪声和模拟干扰。串行总线可以以单路方式实现，也可以作为多路结构实现，以提高数据吞吐量，这进一步提高了整体设计复杂性及通路违反时滞定时的可能。
- **抖动：**由于高数据速率和嵌入式时钟，现代串行设备容易发生抖动，产生传输错误，使误码率性能劣化。抖动是实际定时与事件理想定时的偏差，一般源于串扰、系统噪声、同时开关输出及其它定期发生的干扰信号。

- **传输线效应:** 传输线是传送能量和信号的介质。它可以包括简单的无源电路单元，如导线、电缆和芯片印刷电路板(PCB)互连。在串行数据技术中，信号发射机、传输线和接收机构成了一个串行数据网络。反射和阻抗不连续等传输效应会明显影响信号质量，导致传输错误。
- **噪声:** 噪声是采样的数据中出现的任何不想要的信号。噪声既可能来自于外部来源，如 AC 电源线，也可能来自于内部来源，如数字时钟、微处理器和开关式电源。噪声可以是瞬态的，也可以是宽带随机噪声，可能会导致抖动和信号完整性问题。

采用嵌入式时钟的高速数字信号越来越多地呈现出模拟特点，使得设计验证和系统集成变得更具挑战性。必需在各种条件下精确地执行验证、检定和极限测试，这进一步增加了挑战，因为即使在非常少的失真或抖动下，信号也可能会变得不可靠。

高速串行标准

在消费者需求的推动下，设计工程师一直需要通过采用尖端技术，把新功能集成到自己的设计中。为帮助这些工程师,通常会由行业委员会编制一份唯一的标准文件，规定每种串行数据技术的设计和操作。每项标准还要求专用测量和一致性测试程序，在本已非常复杂的设计任务中增加了额外的工程设计工作。这些标准针对数据信令和编码、分组化、时钟嵌入、传输属性及一致性测试程序等领域。由于高速串行技术拥有明确的标准和测试程序，设计人员可以研制产品，与市面上的产品实现互通。

典型的高速串行数据测试阶段包括：

- **设计检验:** 设计和测试工程师需要保证设计在实际环境中运行时满足设计仿真和技术性能规范，并保证设计完全的功能性。这要求在实际极限条件和受限极限条件下进行全面检定、调试和分析。
- **检定:** 在元件前期测试中，设计人员将检定性能，确定信号行为是否符合规范。通常需要实时进行一系列精密测量，以确定高速总线是否正确运行。检定一般包括测量上升时间和下降时间、沿到沿定时、抖动和抖动容限、信号路径时滞、总线稳定时间和数据路径变化。
- **调试解决:** 在发现任何检定或运行问题时，工程师必须调试和隔离故障或异常状况，如硬件定时、串扰、信号质量和 / 或软件设计问题。
- **一致性测试:** 为保证多个厂商和多种产品之间实现“即插即用”兼容能力，必须确认最终设计满足特定行业的串行数据标准。一致性测试可能是保证互通中非常复杂、非常耗时的步骤，通常要求先进的测试和分析功能。串行标准通常包括广泛的幅度、定时、抖动、阻抗和眼图测量在它们一致性测试规范中。

工程师通常需要全面评估芯片级和系统级性能。在千兆赫速度时，更容易发生定时问题，其一般会表现为抖动、发射机与接收机之间阻抗不连续或硬件和软件之间的系统级交互问题。必须在所有设计阶段都采用完善的分析工具，提供深入的洞察力，全面检定和隔离设计或系统的临界效应。

图 6.1. 示波器上的眼图测量。

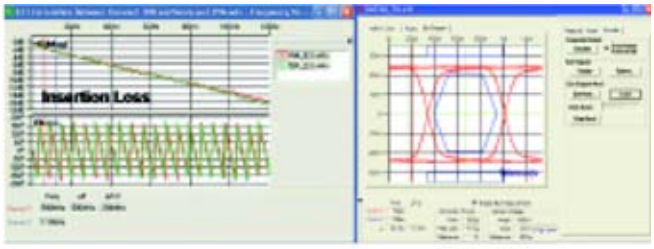

图 6.2. 基于 TDR 的传输通路测量。

测量挑战

当前某些最困难的串行测量挑战包括迅速有效地生成眼图，捕获阻抗特点，建立 SPICE 模型。下面举出一部分实例：

- **眼图分析软件:** 在经过验证的测量平台上运行的软件工具可以提高串行测量流程的效率，在标准变化时相应地进行调整。结果，软件成为解决所有一致性测量问题竞争的主战场。当前应用，如图 6.1 所示的应用，使用插件根据特定标准需求优化更广泛的一系列工具。通过这种方法，用户可以与标准变化保持同步。例如，新兴的 PCI Express Gen II 测量规范要求在进行抖动测量前先从数据流中去掉去加重效应。目前并不是所有标准中都包含这种要求，尽管它最终可能会移植到其它串行总线标准中。可以针对这种情况定制和调整插件解决方案，满足新的规范，而不会影响整个测量应用。
- **开发标准串行设备中使用的传输模型:** 在理想的世界中，无畸变差分串行数据信号将通过无噪声传输信道传送，并完整地到达接收机。但在实际环境中，这是非常困难的。高频损耗、串扰和其它效应可能会使信号严重劣化。串行测量程序正越来越多地考虑这些因素。新型串行数据网络分析(SDNA)应用方法采用基于 TDR 的 S 参数测量工具，正发展成为一种经济高效的解决方案。这些工具提供了优异的性能，可以支持完善的SDNA测量，并为串行应用提供充足的动态范围。此外，这些平台拥有一系列软件工具，加快和简化了 SDNA 工作。SDNA 要求使用 TDR 测量在时域和频域中检定互连链路，使用这些数据支持 SPICE 建模、眼图分析和一系列阻抗参数。当前工具可以在采样示波器上与眼图和抖动分析应用一起运行，如图 6.2 所示，为几千兆位差分串行数据链路检定和一致性检验提供完善的一系列工具。

- **解决抖动测量问题**：串行FB–DIMM (全面缓冲双列直插存储模块)信号因容易积累噪声和串扰、进而导致抖动而声名狼藉。直到现在，一直都很难隔离这些劣化信号中的数据抖动成分。一种称为“共模抖动反嵌”的新技术为使用实时示波器测试FB–DIMM抖动提供了高效的解决方案。FB–DIMM结构保持一条参考时钟通道，这条通道与数据通道分开。这些路径都受到相同的电路板损耗的影响，都表现出数量基本相同的噪声和串扰。但是数据通道还会有一些发射机导致的抖动。尽管噪声和信号劣化可以掩盖这一点，但它仍会提高通道的误码率。图6.3显示了抖动分析的多个视图的实例。共模抖动反嵌技术同时采集这两条通道，找到两条通道之间的差异。由于两条通道承载相同的噪声和串扰，因此时钟通道和数据通道之差就是抖动值。共模抖动反嵌已经被提交给相应的工作小组，目前正在评估过程中。

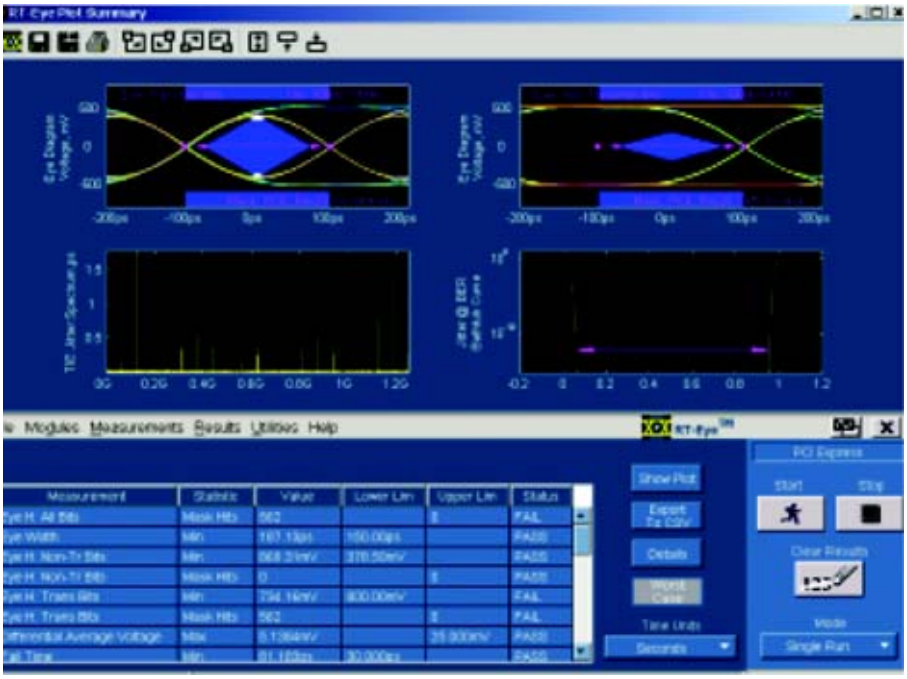

图 6.3 多个抖动分析视图。

- **虚拟测试点，揭示隐藏的信号**：在测量串行接收机性能时，监测能力是一个挑战。对查看信号来说，串行设备中的接收机输入这个接入点几乎没有任何意义，因为串行接收机本身通过内置判定反馈平衡(DFE)滤波器处理输入信号，这个滤波器是为偏移通过电缆、PCB轨迹和连接器传输过程中发生的信号劣化而设计的。到达接收机有源部分的信号被封装在设备内部，因此是不能接入的，但必须评估眼图和其它特点。某些示波器现在包括内置有限脉冲响应(FIR)滤波器，来模拟接收机DFE滤波器的效应。用户可以把设计被测设备滤波器时使用的相同系数加载到示波器中。通过应用滤波器，示波器用户可以探测输入针脚，查看信号，就象设备能够在内部探测一样。这种虚拟测试点揭示了接收机滤波后的信号，即使物理测试点是设备封装上的针脚。

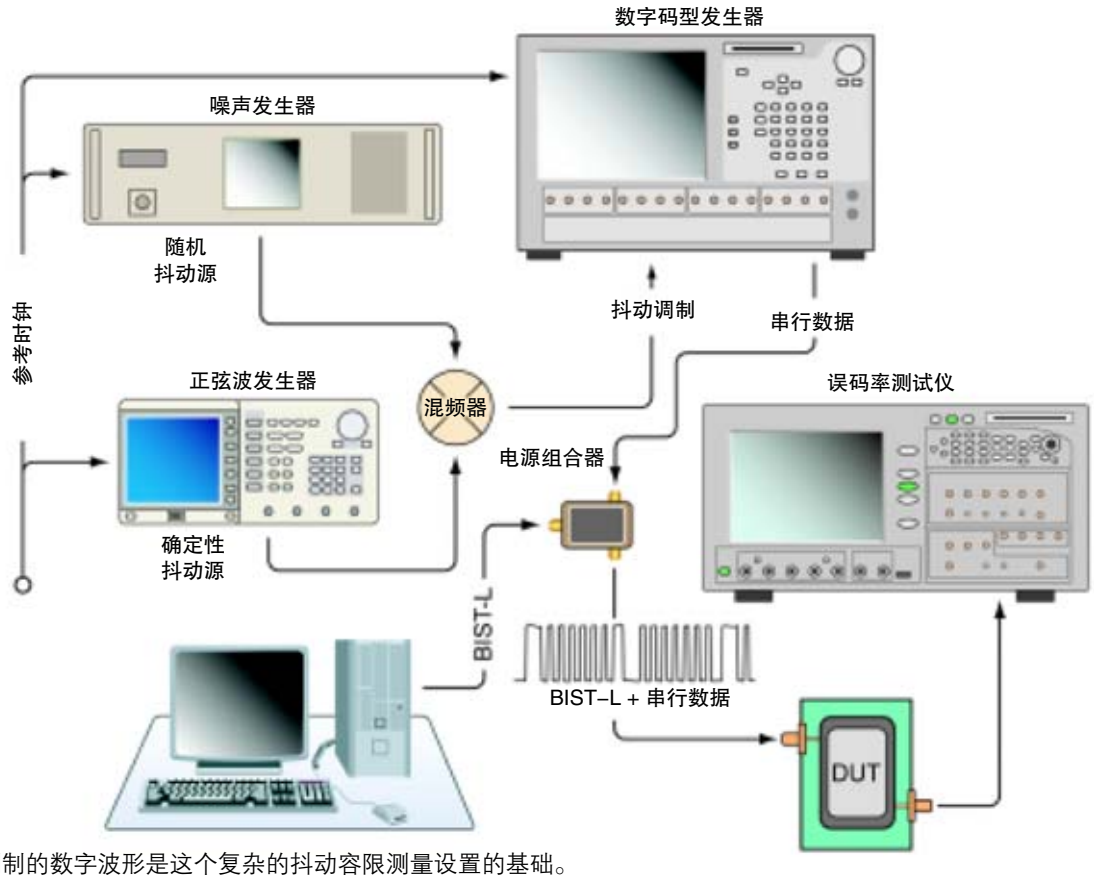

图 6.4. 被调制的数字波形是这个复杂的抖动容限测量设置的基础。

■ **简化接收机抖动测量：**图 6.4 是采用码型发生器的传统抖动容限测量设置，其中使用外部调制器进行接收机测试。首先必须使用一个设置序列(BISTFIS)驱动 DUT，然后不间断地跟着一个带有抖动的数据信号。很明显，这种方法非常复杂，同时会在一定程度上降低信号质量。解决方案是采用直接数字合成技术的任意波形发生器(AWG)，提供足够的带宽，最大限度地降低复杂性。通过这种方法，可以把任何形式的抖动合并到测试信号中，可以同时建立随机抖动和确定性抖动的效应模型。此外，AWG 可以作为数据的一部分采用BIST–FIS指令，消除了电源组合器及其对信号保真度的影响。

■ **系统级串行总线行为：**当前数字系统环境几乎无一例外地组合使用串行通信总线和并行通信总线。即使小的基本串行系统也可能有一个调试端口，以并行格式传送数据，或使用并行数据总线处理内部事务。结果，工程师需要能够一次捕获关联多条总线数据流(串行和并行)的工具。逻辑分析仪长期来一直是并行总线采集的基本工具，协议分析仪则是串行数据采集的基本工具。理想的解决方案是把这两者合并在一起，降低复

杂性，同时提供固有的串行数据和并行数据同步能力。逻辑分析仪平台是一个备选方案，但直到现在，只有在复杂的外部总线支持套件的帮助下，才能使用逻辑分析仪实现串行采集。

最近，泰克 TLA7000 系列为 PCI Express Gen I 和 II 提供了集成式串行采集功能，这在业内是独一无二的。TLA7000系列成为唯一能够使用一台仪器揭示整个系统中串行总线和并行总线交互的解决方案。与协议分析仪不同，TLA7000 串行模块使用的探头没有中继器，来自被测系统的数据不会通过再生信号的中继器传送，因为使用中继器可能会掩盖某些错误。通过使用无中继器的探测技术，逻辑分析仪可以直接查看物理层。

图6.5是为显示处理的串行数据页面。串行/并行综合采集功能全面查看系统操作和总线交互。逻辑分析仪在一个经过验证的平台上提供了一系列高效的分析功能，这一平台拥有良好的支持，大多数工程师都熟悉这一平台。由于模块化特点，仪器可以配置成采集数百条并行通道及串行总线。逻辑分析仪内部操作主要基于软件，因此，分析工具可以随时对标准变化作出反应。

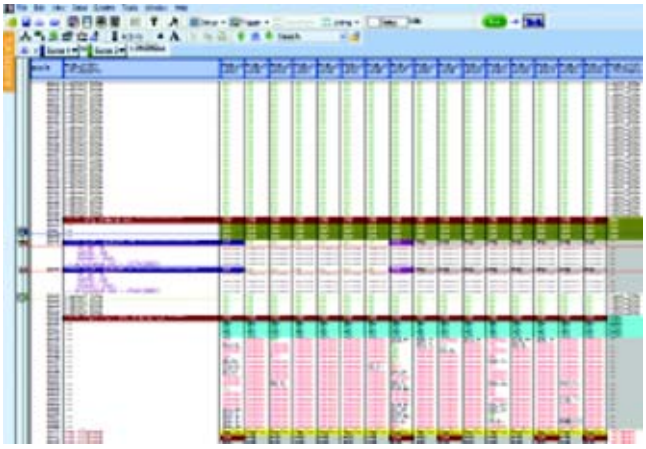

图 6.5. TLA7000 系列逻辑分析仪捕获的 PCI Express 曲线。

小结

由于高速串行总线异常复杂及变化迅速，工程师需要能够帮助他们迅速简便地找到和校正设计问题的检验和测试解决方案。特别是，他们要求完整的串行数据测试解决方案，使他们能够开发产品，保证满足最新的串行数据测试要求。

市场上已经出现了新一代测量工具，包括实时示波器、等效时间或采样示波器、差分探测、逻辑分析仪和信号源，帮助工程师迎接串行测量挑战。这些下一代仪器与应用软件解决方案相结合，为高速串行数据提供了全新的测试解决方案。这些解决方案实现了优异的性能，可以捕获、显示和分析最复杂、最具挑战性的串行数据信号。

电源

每个嵌入式系统都需要一个电源，通常提供稳定的低直流电压给各个元件。这一般是采用高频转换技术的高效开关式电源(SMPS)，必需认真设计和测试SPMS，以保证提供适当的输出，并满足各种标准，包括其自己的性能(稳定性、波纹等)及对其它设备的影响(电磁干扰、EMC 等)。

负载有高得多的数据速率及千兆赫级的处理器，需要更高电流和更低电压的新开关式电源(SMPS)体系结构，给在效率、功率密度、可靠性和成本方面的电源设计人员带来了新的压力。

为满足这些需求，设计人员正在采用新体系结构，如同步整流器、有效功率因子校正和更高的开关频率。这些技术带来了独特的挑战，包括开关设备高功耗、散热和额外的 EMI/EMC。

由于开关式电源中的功耗决定着电源的整体效率及热量效应，因此测量开关设备及电感器/变压器上的功率损耗具有重要意义。工程师需要能够在变化的负载条件下迅速准确地测量和分析瞬时功率的测量和分析设备。

开关式电源基础知识

SMPS因能够高效处理变化的负载而闻名。典型SMPS的电源“信号路径”包括无源元件、有源元件和磁性元件。

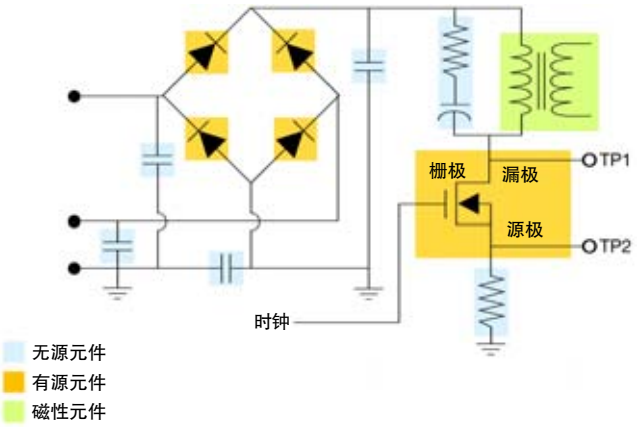

图 7.1. 开关式电源简化的示意图。

SMPS 应最小化损耗元件的使用，如电阻器和线性模式晶体管，而重点使用没有损耗(理想情况下)的元件：开关式晶体管、电容器和磁性元件。

SMPS 设备也包括一个控制部分，其中包含脉宽调制调整器、脉冲速率调制调整器和反馈环路等单元。

控制部分可以有自己的电源。图 7.1 是简化的 SMPS 线路图，其中显示了功率转化部分的有源单元、无源单元和磁性单元。

SMPS 技术依托电源半导体开关设备，如金属氧化物场效应晶体管(MOSFET)和绝缘栅双极晶体管(IGBT)。这些设备提供了快速开关时间，能够耐受没有规律的电压峰值。同样重要的是，其在 On 状态或 Off 状态下消耗的功率非常小，实现了很高的效率，而生成的热量很低。开关设备在极大程度上决定着 SMPS 的整体性能。开关设备的关键参数包括开关损耗、平均功率损耗、安全工作区等等。

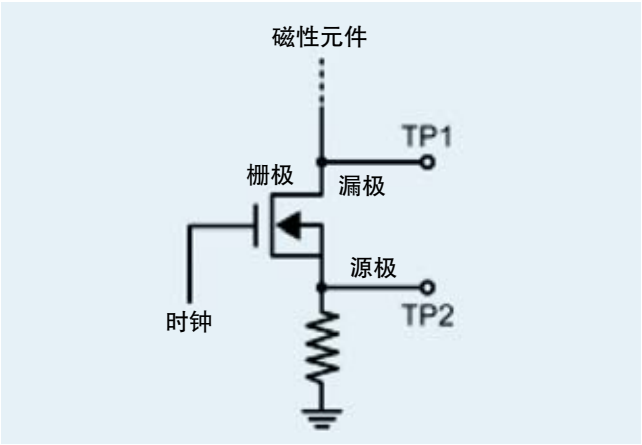

图 7.2. MOSFET 开关设备，显示了测量点。

在AC/DC转换器中，经过开关设备的电压动态范围非常高。在‘on’状态期间经过开关设备的电压取决于开关设备类型。在图7.2所示的MOSFET中，‘on’电压是通道电阻和电流之积。在双极结晶体管(BJTs)和IGBT器件中，电压主要基于饱和电压下跌(VCEsat)。‘off’状态电压取决于工作输入电压和开关式转换器的拓扑结构。一个典型的计算设备设DC电源一般能从80到264 VRMS通用电压范围上工作。

检定 SMPS 性能

在进行任何测量前，必须了解检定SMPS性能和质量所使用的术语定义。这些基本参数可以分成三类：电气特点、磁性特点和输入/输出分析参数。

电气特点

电气测量通常包括检定和测量电源中开关设备的电压和电流，开关设备可以是MOSFET或IGBT。相关参数有开启损耗、关闭损耗、功率损耗、动态‘on’阻抗和安全工作区域。

- **开启 / 关闭损耗:** 在从‘off’状态变成‘on’状态时开关设备中损耗的能量称为开启损耗。类似的，关闭损耗是指开关设备从‘on’状态变成‘off’状态时损耗的能量。晶体管电路在开关过程中由于寄生电容和电感及在二极管中存储电荷的耗散而损耗能量。正确分析这些损耗对检定电源及测量其效率至关重要。测量开启损耗和关闭损耗的挑战在于滤除开关信号中存在的振铃。这个振铃通常会被误解为‘on’或‘off’跳变。这种振铃的来源是电路中的寄生电容和电感。
- **功率损耗:** 功率损耗定义为在两点之间传送能量导致的功率输入和输出之差。电源中绝大部分功率损耗是开关损耗和传导损耗。
- **动态‘on’阻抗:** 开关设备的动态‘on’阻抗是其处于‘on’状态时的阻抗。之所以说阻抗是动态的，因为阻抗不是恒定的，可能会随着电压或电流变化而变化。
- **安全工作区域(SOA):** 晶体管的安全工作区域定义了设备在不会自我损坏的情况下工作的条件，具体讲，在一定电压下可以允许多少电流流经晶体管。如果超过这些极限，可能会导致晶体管失效。SOA包括其它设

备限制，如最大电压、最大电流、功率、联结温度、二级击穿等。SMPS设计人员使用SOA中的信息，在不同工作条件下测试电源中的开关设备。测量SOA和动态‘on’电阻的挑战是成功准确地捕获设备在各种负载情况下的电压和电流数据、工作温度变化和线路输入电压变化。测量系统捕获电压值和电流值的准确性越高，分析的准确性也就越高。

磁性特点

电感器和变压器构成了开关电源的磁性元件。了解与这些元件有关的损耗机制，以准确地检定电源的性能。相关测量项目有电感、磁性功率损耗和诸如B–H特点等磁性属性。

- 电感：电感器通常作为电源输入和输出上的滤波器使用。而变压器，帮助维持开关电源的振荡，以及把初级电路的电压和电流耦合到次级电路上，同时把两个电路单元隔开。电感值取决于电流和电压来源、工作频率、激励信号和波形。因此，监测这些设备在工作条件下的行为对设计人员来说是重要的。
- 磁性功率损耗：为准确地检定开关电源的效率、可靠性和热量性能，了解和知晓电源中可能发生的磁性功率损耗是重要的。铁损和铜损是与磁性单元有关的两类损耗：
  - 铁损由涡流损耗和滞后损耗组成，可以使用铁芯元件制造商提供的数据表计算得出。这类损耗与工作频率和 AC 通量摆幅有关，与 DC 通量无关。
  - 铜损是由于铜线线圈的电阻产生的。
- **磁性属性和 B–H 特点**：B–H 曲线对 SMPS 中使用的电感器或变压器设计至关重要。这条曲线提供了核心材料通量密度(B)与磁场强度(H)之间的关系。这一特点的斜率是核心材料的磁导系数，它影响着电感。在通量密度高时，核心会饱和，核心材料的电感和磁导系数会下降。测量B/H 曲线可以检验开关电源中磁性单元的核心损耗和饱和度(或没有磁性单元)。它还可以测量核心材料每单位容积中周期损耗的能量。相关的其它磁性属性有磁场强度(H)、饱和通量密度(BS)、剩磁(Br)、抗磁力(Hc)和初始磁导系数(μi)。

输入 / 输出(I/O)分析

分析和比较电源的输入和输出端电压和电流对了解电源的整体性能质量及效率至关重要。波纹、噪声、谐波和功率质量等参数对准确地分析 I/O 非常重要。

- **波纹**：叠加到电源 DC 输出上的 AC 电压，用正常输出电压的百分比或峰到峰电压表示。线性电源的波纹通常接近于工频(100–120 Hz)的两倍，开关电源的开关波纹则为几百千赫。

- **噪声**：高 dv/dt 和 di/dt 转换速率、寄生电感和电容、布线形状和开关频率都会导致电源输出端的噪声。一般来说，SMPS 中的噪声可能与开关频率相关，也可能具有宽带特点。
- **电源系统谐波和失真**：谐波可以定义为其频率是基础频率整数倍的正弦曲线成分。失真可以定义为系统输出信号波形与输入信号波形的偏差。失真可能是由有源设备中的非线性度导致的，如运算放大器；也可能是由无源元件导致的，如同轴电缆；还可能是由传播路径中的反射导致的。“总谐波失真”(THD)用来量化失真，用基础电压和电流波形的百分比表示失真。简而言之，纯正弦波没有谐波和失真，非正弦波既有失真，又有谐波。这些谐波是电源系统中的大问题。开关电源一般会生成奇数阶谐波，可能会返回电网。返回电网的谐波失真的总百分比会随着连接到电网的电源数量增加而提高。分析和降低谐波变得更加关键，因为失真会在电网的线缆和变压器中积累热量。
- **功率质量**：在理想情况下，电源输出不应有任何开关谐波或其它不理想的噪声成分，这在现实生活中是不可能的。功率质量测量，如有功功率、视在(无功)功率、功率因数、波峰因数、电流谐波和 THD，有助于衡量电源的输出质量。功率质量测量对确定非线性负载导致的失真影响至关重要。

电源设计

在理想情况下，每个电源的工作方式应符合设计电源时使用的数学模型。但在实际生活中，元件是不理想的，负载会变化，线路功率可能会失真，环境变化会改变性能。此外，变化的性能和成本需求使电源设计变复杂。应考虑下述问题：

1. 电源可以保持超出额定容量多少瓦？多长时间？
2. 电源散出多少热量？过热时会怎么样？要求多少冷却气流？
3. 在负载电流明显提高时会怎么样？设备能否保持额定输出电压？电源对输出完全短路会作出什么样的反应？
4. 电源的输入电压变化时会怎么样？

设计人员被要求设计一个占用空间更少、降低热量、减少制造成本、满足日益严格的EMI/EMC 标准的电源。只有进行严格的测量，才能引领工程师实现这些目标。

测量基础知识

从历史上看，检定电源的行为意味着使用数字万用表测量静态电流和电压，然后在计数器或PC上进行繁琐的计算。今天，大多数工程师转向示波器作为首选的功率测量平台。现代示波器可以配置集成式功率测量和分析软件，简化了设置工作，可以更简便地进行测量。用户可以在几秒种内，定制关键参数，自动进行计算，并查看结果，这结果包括工程单位、而不只是原始数字。

对习惯使用示波器进行高带宽测量的工程师来说，电源测量频率相对较低，似乎非常简单。事实上，电源测量也有很多高速电路设计人员从未见过的一系列挑战。

在准备进行开关式电源测量时，应选择能够胜任这一工作的工具，并设置这些工具，以便其能够实现良好的精度和可重复性。

当然，示波器必须有基本带宽和采样率，处理SMPS内部的开关频率。电源测量要求至少两条通道，一条用于电压测量，一条用于电流测量。使电源测量更简便和更可靠性的工具也同样重要。下面是一些考量：

- 仪器是否提供解决方案，在同一采集中处理开关设备的‘on’和‘off’电压？这些信号之比可能会达到100,000:1。
- 是否提供安全精确的电压和电流探测解决方案？是否有一种快速方式，调节探头的不同延迟？
- 是否有使探头静止噪声达到最小的有效流程？
- 仪器能否配备充足的记录长度，以高分辨率捕获很长的工频波形？

这些特点为有效执行电源设计测量奠定了基础。

经过开关设备的电压可能会非常大，而且是“浮动的”，即没有参考接地。信号的脉宽、周期、频率和占空比会变化，必须如实地捕获波形，分析其不理想状况。

对示波器的要求非常苛刻，要求同时采用多类探头，包括单端探头、差分探头和电流探头。仪器必须拥有深存储器，为长的低频采集提供相应的记录长度。可能需要使用仪器，在一个采集中捕获标度差别很大的信号。

运行功率测量和分析软件包的数字示波器，相对传统的采用功率计与谐波分析仪进行功率品质测量方式来说，是一种功能更强大的解决方案。

一个重要的考量是示波器必须能够捕获直到基础频率第50次谐波的谐波成分。根据相应的本地标准，工频通常是50 Hz或60 Hz，但在某些军事和航空电子应用中，工频可以是400 Hz。此外，信号畸变可能包含更高的频率。在当前的高速示波器中，几GS/s的过采样保证了能够以高分辨率捕获快速变化的事件。相比之下，传统功率计可能会漏掉信号细节，因为其响应时间相对较慢。示波器的记录长度必须足以采集整数个周期，甚至以非常高的采样分辨率。

示波器捕获某个时间周期中的事件能力取决于使用的采样率及存储采集的信号样点的存储器深度(记录长度)。存储器的填充速度与采样率成正比。采样率设置得足够高，能提供详细的高分辨率信号信息时，存储器会迅速填充。

对许多SMPS功率测量来说，必需捕获1/4周期或1/2周期(90° 或 180°)的工频信号；某些测量甚至要求捕获整个周期的工频信号。其目标是积累足够的信号数据，支持进行计算，消除线路电压中的变化影响。

泰克DPO系列示波器可以配置几百万点存储深度，足以以相应的采样率存储所需数量的工频信号。

探测考虑因素

使用数字示波器进行功率测量，必需测量越过MOSFET开关设备的电压及从漏极到源极的电流，或测量通过IGBT 的集电器到发射机的电压。这要求两只不同的探头：高压差分探头和电流探头。

高压差分探头是观察浮动电压信号进行功率测量应用的首选工具。

电流探测需要特殊考虑，电流探测结构的实现方案有几种：

- AC 电流探头基于电流变压器技术。电流变压器探头是非插入型探头，不能感知信号中的 DC 成分，其可能会导致测量不准确。
- 电流并联要求中断电路，可能会导致探头本身内部电压下降，有可能会降低功率测量精度。
- AC/DC电流探头基于霍尔效应传感器技术。这种设备以非插入方式感知AC/DC电流，能够使用一条连接同时读取 AC 和 DC 分量。AC/DC 电流探头已经成为在开关式电源中执行挑战性功率质量测量的首选工具。

每种电流探头都有自己的特性传播延迟。这两个延迟之差为时滞，会导致幅度测量和时间相关测量不准确。必需了解探头传播延迟对最大峰值功率和区域测量的影响。功率是电压和电流之积，如果两个乘数变量没有完美对准，那么结果是不正确的。在探头没有正确“消除时滞”时，开关损耗等测量的精度会下降。

通过基于示波器的功率测量软件，可以自动消除选定探头组合的时滞。软件控制示波器，调节电压通道和电流通道之间的延迟，使用实时电流信号和电压信号，消除电压探头和电流探头之间的传播延迟差。

另外还提供了一种静态时滞消除功能，其依据是某些电压探头和电流探头拥有恒定的可重复的传播延迟。静态时滞校正功能根据选定探头内嵌的传播时间表，自动调节选定电压通道和电流通道之间的延迟。

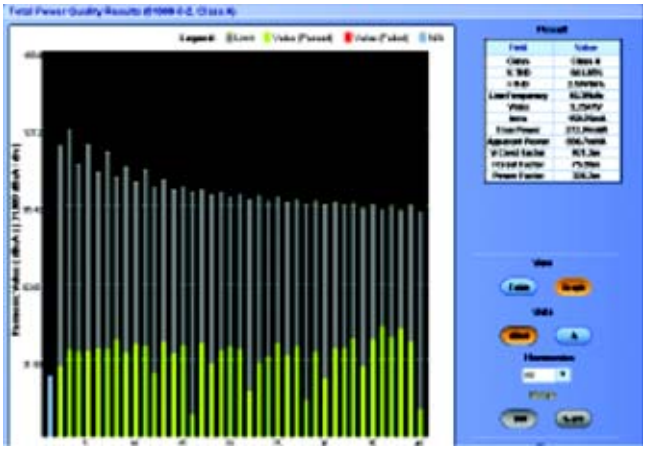

图 7.3. 使用 DPO7000 系列示波器及 DPOPWR 测量和分析软件获得的功率质量测量结果。

自动进行功率测量

配有高级功率测量和分析软件的数字示波器变成了一个完善的自动功率测量平台。软件自动设置示波器及其初始测量参数，在需要时可以手动微调。

图 7.3 显示了使用运行这一软件的示波器采集的功率质量和电流谐波读数。显示画面中提供了全系列测量，包括真实功率、视在功率、波峰因数、总谐波失真和功率因数及电流谐波的柱状图。

强大的测量功能

电源对几乎每种市电供电的电子产品都必不可少，开关式电源(SMPS)已经成为数字计算、网络和通信系统中使用的主要电源。单个开关式电源的性能或故障可能会影响到嵌入式系统的命运。

测量是保证 SMPS 设计可靠性、稳定性、一致性和安全性的唯一方式。SMPS 测量分成三大类：有源设备测量，无源设备测量(主要是磁性元件)，功率质量测试。某些测量可能要处理浮动电压和高电流，其它测量则要求数学密集型分析，才能提供有意义的结果。现代数字示波器已经成为检定和调试测量的首选工具。在配备相应的探测和工具和自动测量软件时，它们明显简化了极具挑战性的 SMPS 测量，同时提供了快速准确的结果。

软件工具加快了测量过程，最大限度地缩短了设置时间。通过示波器上运行的全功能功率测量软件，可以自动执行大多数功率质量测量，在几秒钟内完成冗长的程序。通过降低手动计算数量，示波器可以作为非常通用高效的功率计使用。

非插入型电流探头等技术保持了电路完整性，基于软件的工具(如平滑滤波器)则保证了可重复的结果。集成式软件还自动完成复杂的数学运算工作。

由于通用性和易用性，示波器已经在电源设计实验室中代替了许多传统单一功能的工具。

数字 RF 技术

数字计算技术的全部能力终于到了无线领域，现在，嵌入式系统必须同时处理无线系统。

从创新步伐，到日益普及的，执行传统模拟无线电功能的更加强大、专用、低廉的集成电路，这一发展对 RF 领域具有深远的影响。

此外，这些先进的数字RF技术的上市，给无线通信扩张提供了更多的方式。

推动“无线通信无处不在”这一发展趋势的主要技术要素包括：

- **采用与 PC 相同的 IC 工艺的无线电 / 无线链路：** 数字信号处理器 (DSP)、FPGAs等高级器件已经代替了许多传统的模拟无线电元件。
- **摩尔定律进入无线领域：** 适用于计算行业中数字技术的性能提高速度和规模经济现在同样适用于无线领域的许多方面。这对无线通信是一个明显变化。新技术正迅速问世，并迅速部署，通常要先于成文化标准。
- **经济的智能型数字RF深入生活：** 除基本成本效益外，数字RF芯片成本中已经包括了数字智能。因此，随着无线元件价格越来越低，它们也愈加“聪明”。
- **消费者推动的技术：** 消费者希望真正无处不在的应用和服务，如在全球网络上随时随地实现无线通信，方便用户，增强用户体验。
- **设备间连接和通信：** 数码相机自动与照片打印机通话。不久，家庭娱乐系统将不再要求混乱的电线和连接。智能建筑可以重新配置，满足平面图变化和新的环境控制要求。
- **互连网无处不在：** 计算机、PDA 或手机自动找到速度最快的连接，而不管其所在位置如何，这些快速连接正广泛提供。

不管是商业应用还是军事应用，客户都希望更快速地随时随地获得更多的信息。数字RF技术可以在更多的地方为更多的人、以更少的资金提供无线通信能力。

从功放器到先进的雷达系统和家庭网络，对更高功能的需求正在不断推动创新发展。数字RF带来的先进技术功能与客户对更多功能性和移动性的需求不断提高，使无线通信领域的创新迅速增长。

频谱使用方式发生变化

无线频谱是一种稀缺的资源。当前频谱分配被公认为效率不足。分配的频谱在大部分时间利用率低，并存在大量干扰问题。数字RF的出现正在推动软件定义的无线电和认知无线电技术的迅速创新。软件定义的无线电(SDR)技术允许以很低成本，支持多个网络互操作能力和多媒体服务的灵活的用户设备。认知无线电(CR)技术大大改善了频谱利用率和避免干扰能力，并支持新的安全

和个性化功能。许多观点认为，近来蜂窝频谱拍卖数量的迅速增多，表明了我们在处理这种稀缺的无线频谱资源中的基本缺陷。数字RF推动的SDR和CR技术提供了新的发展道路，将从根本上改变频谱分配方法。

从商用和军事通信到先进的雷达和其它远程传感应用，频谱分配和使用方法的这种根本变化正发生在各种应用中。尽管与军事通信有关的大部分创新都是敏感信息，但从商业领域中可以看到这种迅速创新和动态变化的实例。WiFi、蓝牙、无绳电话、Zigbee等技术都在共享数量非常有限的频谱，称为ISM (工业、科学和医疗) 频段。ISM频段基本上是没有法律规定的“自由开火区”，正如国际电信联盟陈述的那样：“在这些频段内工作的无线通信服务必须接受有害的干扰，其可能是由这些[ISM]应用引起的。”

尽管在ISM频段中的干扰潜力很高，在这些应用中必须保持互操作能力，但通过采用数字RF技术，创新技术正层出不穷。

工程设计挑战

数字RF技术使得随时间变化的技术能够更有效地利用可用的频谱，避免干扰，保证无缝操作。

例如，WLAN信号寻找干净的频率，调整调制类型，以最好地利用提供的信道。当前使用的技术包括：

- **跳频：**为降低增噪和干扰的影响，及在某些情况下通过降低侦听可能而改善安全性，某些数字RF系统采用跳频技术，信号在一个时点出现在一个频率上，在下一个时点则出现在不同频率上。在设计时，工程师面临的挑战是保证跳频发生在正确的频率上，信号在规定时间内稳定在新的频率上。确定跳频特点要求测试和测量解决方案拥有足够的带宽能同时查看开始频率和结束频率，并能够触发频率间的转换。
- **信号突发：**某些RF系统以时分双工(TDD)方式采用突发信号，其目的是最有效地利用频谱，允许上行链路和下行链路占用相同的频率。通过大大简化无线电系统，它还降低了用户设备的成本。设计这些系统的挑战是保证它们无失真地迅速启动和传送信号，并在适当的时间关闭。测量突发信号要求能够触发信号的能力。时域触发至关重要，频域触发则更加灵活，允许用户忽略相邻信号。一旦捕获，必需在启动阶段和关闭阶段检查信号的质量。这需要测量功率、频率和调制质量随时间变化情况，简便的多域相关分析可以有效协助实现这一应用。
- **自适应调制：**自适应调制用来优化系统吞吐量，最有效地利用紧张的频谱分配。调制可以从非常强健的BPSK变成高数据速率64 QAM，具体取决于信道条件，如增噪和干扰。可以进行编程，在逐个分组基础上发生这些调制变化。设计人员面临的挑战是确定调制变化无缝发生，从而不会损坏数据。测量挑战是无缝地测量这些变化。能够自动检测调制类型及简便地执行多域分析，有助于快速评估这些特点。

这些技术都表现出频率和调制随时间变化的特点，使得RF信号变得日益复杂，并具有瞬变特点，其产生了更难找到、识别和诊断的问题。这些瞬变和随时间变化的传输技术可以帮助RF设备避免干扰，最大限度地提高峰值功率，有时可以避过检测。

测试数字 RF 技术

数字RF的迅速发展创造出异常复杂的技术环境。由于未分配信道、自适应调制、对等通信及无数台设备同时在有限的无线频谱内部同时传送信号，会发生频率碰撞和干扰问题。这些碰撞导致间歇性通信或通信拥堵。在商业领域中，这使消费者和企业感到灰心丧气。在军事和政府领域，这可能意味着生死存亡。

为了避免系统或网络因为过载或干扰而停止工作的“数字峭壁”，保证这些设备不会在不希望的时间或不希望的频率发送RF能量，并能够在存在干扰时正确操作至关重要。

这种情况导致两个测试和测量挑战，其可概括为“找到干扰”和“检定干扰”。第一个测试挑战是发现干扰信号或杂散信号，而不管其是由设备内部生成的，还是外部发起的。一旦找到干扰，必须全面检定干扰。感兴趣的信号的幅度可能会低于同一频段中的其它信号，可能会不频繁地发生，因此很难捕获。

测量工具

从上面的讨论中可以看出，在讨论数字RF时不能再忽略时间。因此，数字RF需要测试工具能够体现当前信号随时间变化的特点。

传统扫频分析仪和矢量信号分析仪(VSA)一般不能完成数字RF技术和设备的测试任务。由于它们基本上是在一个频率范围内调谐窄滤波器，以生成单个频域画面(或称为“扫描”)，传统扫频分析仪只能汇编一套不相关的 RF 频谱活动。即使是速度最快的扫频分析仪，仍可能会漏掉许多间歇性信号或迅速变化的信号。

VSA 依赖捕获后分析技术，不能执行实时任务，如频域触发，而由不断变化、简单、突发信号组成的现代数字RF领域则要求完成这些任务。缺少相应的工具要求工程师采用离线的、通常是内部开发的解决方案，这些解决方案效率低，耗时长，非常复杂，可能成本非常高。

通过在频域、时域和调制域中时间相关的 RF 信号行为，工程师在第一次就可以揭示许多复杂的问题。这些工具可以触发和捕获瞬时事件，简便地提供信号时间相关的多域画面，明显降低工程师诊断问题所需的时间。这种工具就是实时频谱分析仪(RTSA): 为解决数字RF问题专门设计的一种全新的仪器。

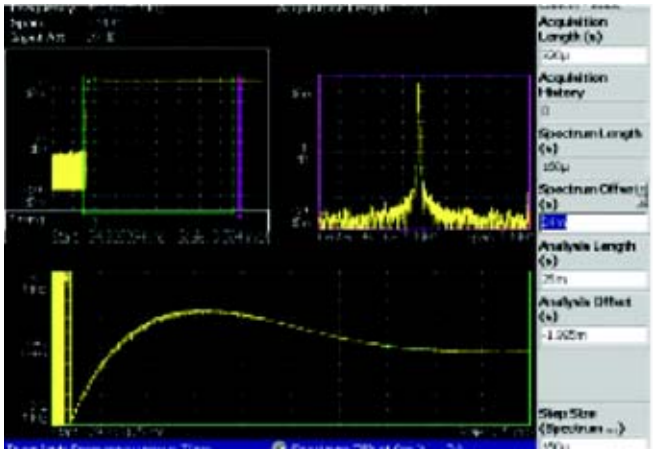

图 8.1. RTSA 提供了时间相关的多域分析功能。

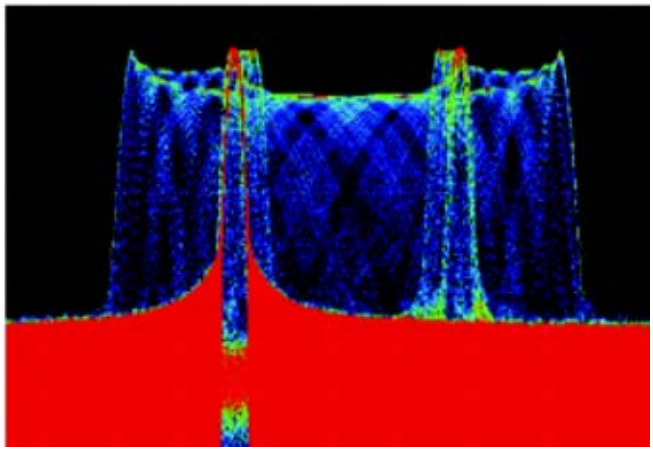

图 8.2. 革命性的 DPX 频谱显示揭示了瞬态信号行为，帮助您发现不稳定性、毛刺和干扰。

RTSA 允许工程师选择性地触发时域和频域异常事件，把RF频率跨度的无缝时间记录采集到存储器中，发现数字RF中常见的意想不到的问题。如图8.1所示，这种检测和捕获相关频谱事件的能力可以实现更加有效的多域(时间、频率和调制)时间相关分析，而不必重新捕获信号。

这些 RTSA 功能的关键是一种称为 DPX® 的波形处理技术，它使用高速并行处理生成了实时RF频谱画面。DPX 技术的频谱处理速度较扫频分析仪和矢量信号分析仪提高了近1000倍，得到的画面使工程师能够看到以前漏测的RF信号不稳定性和瞬变现象。如图8.2所示，DPX大大改善了频谱更新速率和信息显示，把庞大的RF数据转化成一目了然的视图，清楚地显示哪里存在异常信号。这种性能特别适合那些需要查找隐藏信号、间歇性信号或不频繁信号的 RF 工程师。

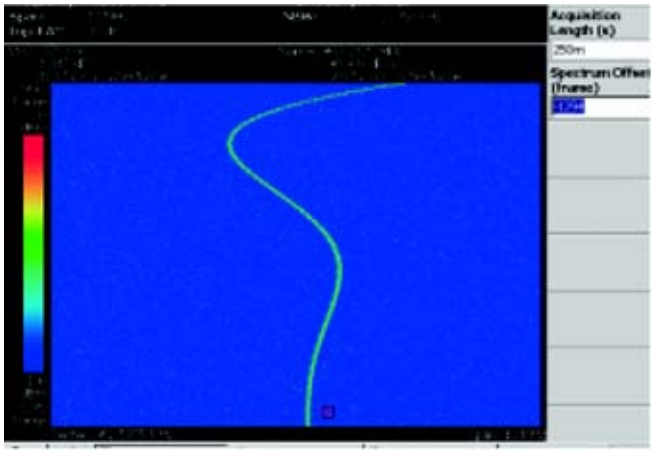

图8.3. 频谱图显示了振荡器启动稳定特点，可以测量频率随时间变化情况。

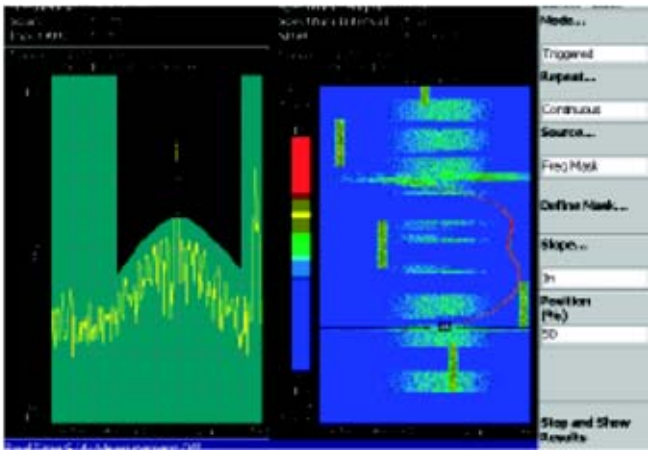

图8.4. 使用频率模板触发和频谱图，确定特定WLAN分组的干扰是来自蓝牙发射机还是微波炉。

另一个重要功能是频谱图显示，它绘制频率和幅度随时间变化情况，在某些情况下可以长达几分钟的时间。频域、时域和调制域汇编成可视的时间相关图像，频谱图本身则汇总长期视图。如图8.3所示，它可以直观地、以三维方式查看随时间变化的信号行为，而这在扫频分析仪和许多矢量信号分析仪上提供的传统频域画面中是看不到的。

另一种新功能是频率模板触发功能，如图8.4所示，允许用户定义仪器捕获信号信息的频率和幅度(功率)条件。通过这种独特的功能，工程师可以迅速考察怀疑的频率，或连续监测信号，而只在信号变化时采集信号。长内存使得工程师能够一次捕获所有信号信息，立即执行全面分析。被分析的事件(如干扰信号或瞬态信号)可能只发生一次，或发生频次非常低，因此第一次捕获所有信息至关重要。

通过显示随时间变化的无缝频率和功率记录，RTSA 可以解决许多瞬态信号问题，范围从软件定义的无线电系统上的调制开关，到识别雷达传输中的流浪脉冲，到 WLAN 传输过程中的动态调制变化。

数字 RF 应用

RTSA 可以帮助工程师在各种应用中测试数字 RF 技术，如：

- **蜂窝、WLAN：**手机和其它无线通信设备制造商在频谱控制、功率效率和生产成本方面面临着重大挑战。DSP 推动了功放器线性化发展，满足了性能和效率要求。如果这些先进的解决方案实现效率低，那么会导致突发行为和瞬时行为，尽管不能说不可能检测到这些行为，但传统频谱分析仪检测这些行为确实非常困难。实时频谱分析仪可以发现、检测和分析传统工具

会漏掉的瞬态放大器行为。移动设备现在包括大量的发送和接收链 (如在手机/WLAN/蓝牙/RFID综合设备中)。实时频谱分析仪使得工程师能够在时域和频域中对潜在自我干扰来源分类，保证这些复杂系统的透明操作。

- **RFID**：RFID 阅读器和终端拥有复杂的响应。除来自相邻通道的干扰外，阅读器必须能够在多终端环境中隔离各个终端的响应。在某些系统中，RFID阅读器必须捷变，并在多个频率上跳动，以减缓干扰和多路径环境。实时频谱分析仪可以全面捕获阅读器和终端的交互，分析 RFID 系统的多种不同格式。
- **军事 / 国防通信**：软件定义的无线电和认知无线电设备用大量的软件代替传统的模拟硬件功能。在以频谱辐射形式发生意想不到的性能时，必需隔离软件问题和硬件问题。实时频谱分析仪可以实现频域事件的时间相关，触发时间相关的示波器和逻辑分析仪。可以从 RF 到模拟域和数字域隔离各种事件。
- **雷达**：来自雷达系统的频谱辐射会干扰无线通信。某些雷达频谱辐射还会留下签名，从而可以简便地检测及对雷达分类。雷达只发出希望的频谱辐射，以满足预计功能非常重要。在实时频谱分析仪中使用脉冲分析软件，简化了复杂的雷达信号测量工作，如分析各个脉冲和脉冲串以及相位到相位测量。工程师第一次能检测由于预计辐射或非预计辐射导致的带内干扰，而这在以前，由于其它频谱分析仪结构的限制是根本检测不到的。
- **频谱监测 / 监控**：随着无线设备的迅速增长，在需要牌照的频谱和不需要执照的频谱中检测干扰及对干扰分类正成为日益严峻的一个问题。实时频谱分析仪采用领先的结构和频率模板触发技术，可以以 100% 的侦听概率检测干扰信号，为关键事务型频谱监测和监控提供了理想的平台。基于实地 RF 显示和余辉控制，把信号分类提高到全新的水平。第一次可以实地发现及查看 RF 信号。
- **UWB**：UWB 通信正作为小范围通信的低成本方案而获得认可，预计很快将会普及。下一代有线和无线接口标准正把 UWB 通信视为低成本短程通信的备择方案。UWB特地使用许多需要执照的频段和不需要执照的频段。通过使用低功率和跳频技术，希望取得的效果去减缓对使用同一频段的其它系统的潜在干扰。高带宽示波器可以在所有工作模式下全面检定 UWB 和 UWB WiMedia信号，协助实现其它非标准UWB应用。捕获深度和频率范围可以涵盖 UWB 通信的预计信号和非预计信号。泰克下一代高速任意波形发生器不久将提供所需的瞬时带宽和动态范围分辨率，直接为 UWB 生成要求的 RF 和微波信号，因此不需要使用由多部仪器和滤波器组成的复杂系统。

RTSA 还提供了以测量为中心的用户界面，使得工程师能够更加简便地执行所需的测量。工程师可以选择各种测量，然后分析仪会自动确定满足测量所需的相应设置。这些智能控制功能提供了优化的采集和分析参数，加快了设置和测量时间，但工程师仍能在需要时手动覆盖设置，实现全面的控制能力。

信号源

测试数字RF系统的一个重要的部分是需要生成复杂的、快速变化的信号，数字领域和RF领域都不例外。这要求数字设计的信号源，如任意波形发生器 (AWG)。可以通过两种方式使用这些产品：

- 在应用中使用仿真实际环境信号的信号测试接收机，如测试RFID阅读器处理多部终端的能力，或确定灵敏度范围，检验 UWB 和雷达接收机的性能。
- 雷达系统开发人员使用 AWG 作为原型的一部分，甚至作为运行设备的一部分。通过使用AWG，他们能够试验多种雷达波形，如宽带线性调频信号。

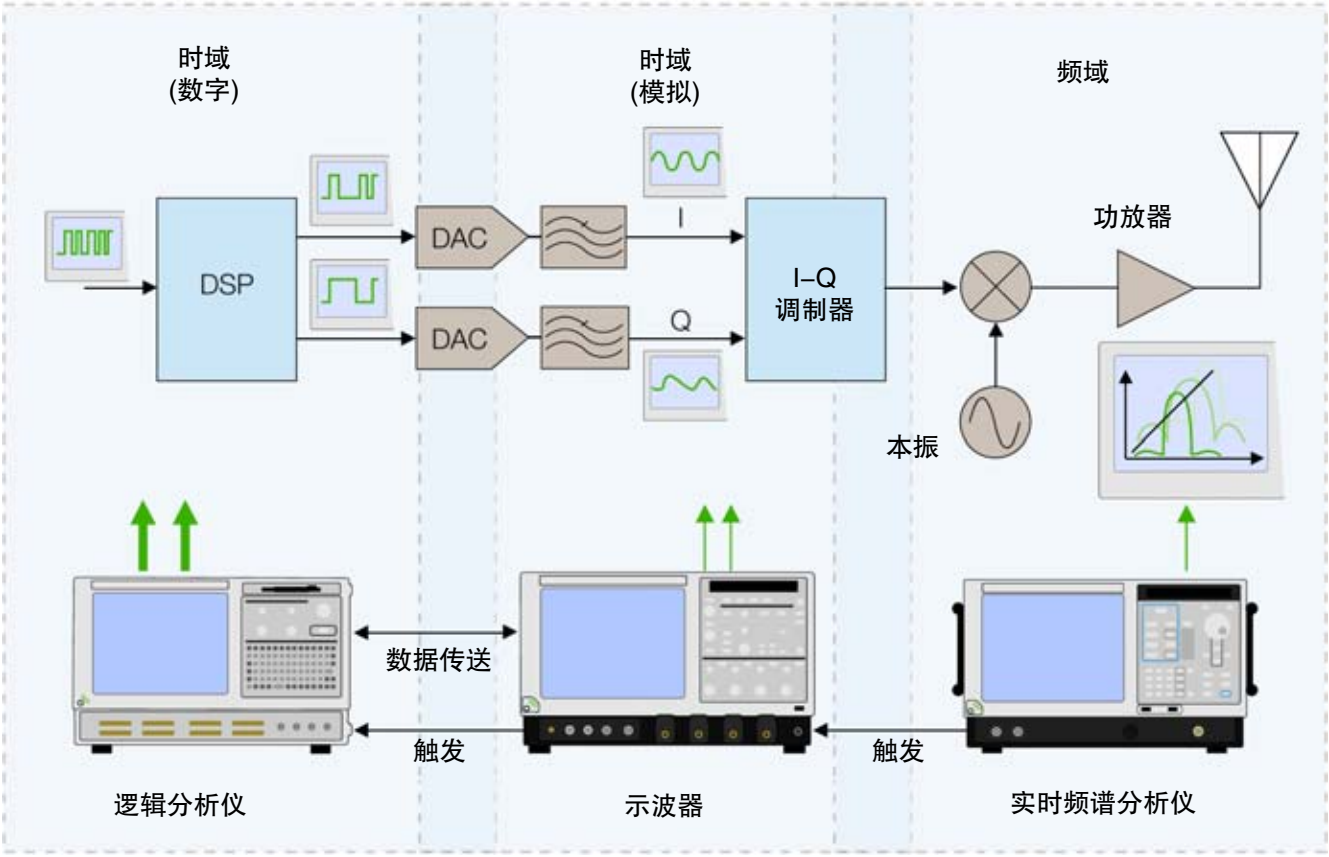

图 9.1. 为隔离现代嵌入式设计中的问题根源，如软件定义的无线电，必需追踪RF信号，直到数字路径，以确定干扰点。由于信号信息的形式从SDR设计中的数字字变成连续变化的模拟电压，因此可能需要同时使用多台测试设备，来诊断具体的问题根源。

未来整体展望

本手册最后部分介绍了数字RF技术，其中包含了构成嵌入式市场挑战的所有要素。例如，目前业内正在开发多种数字RF技术，要求的带宽已经超出了当前性能最高的频谱分析仪。

这些超宽带应用包括新兴WiMedia无线电和标准，以实现认证无线USB及其它应用。幸运的是，市场上为这类技术提供了测试解决方案。评估和设计 UWB 无线电要求测量仪器拥有宽带宽、良好的动态范围、快速信号捕获、并能够在“实际”信号上执行频谱分析。

目前，我们面临的最大挑战是考察整个系统，而不只是各个组件。模拟和数字、硬件和软件、高频和低频、功率和微功率信号共存在嵌入式系统中，工程师需要工具提供整体洞察力，以便能够考虑所有这些要素及其间的交互。

图 9.1 概括了怎样使用不同测量工具迎接嵌入式系统开发的挑战。

泰克科技(中国)有限公司
上海市浦东新区川桥路1227号
邮编：201206
电话：(86 21) 5031 2000
传真：(86 21) 5899 3156

泰克北京办事处
北京市海淀区花园路4号
通恒大厦1楼101室
邮编：100088
电话：(86 10) 6235 1210/1230
传真：(86 10) 6235 1236

泰克上海办事处
上海市静安区延安中路841号
东方海外大厦18楼1802-06室
邮编：200040
电话：(86 21) 6289 6908
传真：(86 21) 6289 7267

泰克广州办事处
广州市环市东路403号
广州国际电子大厦2807A室
邮编：510095
电话：(86 20) 8732 2008
传真：(86 20) 8732 2108

泰克深圳办事处
深圳市罗湖区深南东路5002号
信兴广场地王商业大厦G1-02室
邮编：518008
电话：(86 755) 8246 0909
传真：(86 755) 8246 1539

泰克成都办事处
成都市人民南路一段86号
城市之心23层D-F座
邮编：610016
电话：(86 28) 8620 3028
传真：(86 28) 8620 3038

泰克西安办事处
西安市东大街
西安凯悦(阿房宫)饭店345室
邮编：710001
电话：(86 29) 8723 1794
传真：(86 29) 8721 8549

泰克武汉办事处
武汉市武昌区武珞路558号
中南花园饭店将军楼4201室
邮编：430070
电话：(86 27) 8781 2831
传真：(86 27) 8730 5230

泰克香港办事处
香港铜锣湾希慎道33号
利园3501室
电话：(852) 2585 6688
传真：(852) 2598 6260

有关信息

泰克公司备有内容丰富的各种应用文章、技术简介和其他资料，并不断予以充实，可为从事前沿技术研究的工程师提供帮助。请访问泰克公司网站 **www.tektronix.com.cn**

版权所有 © 2007 年 Tektronix, Inc.全权所有。Tektronix 产品，不论已获得专利和正在申请专利者，均受美国和外国专利法的保护。本文提供的信息取代所有以前出版的资料。本公司保留变更技术规格和售价的权利。TEKTRONIX 和 TEK 是 Tektronix, Inc.的注册商标。本文提及的所有其它商号分别为其各自所有公司的服务标志、商标或注册商标。

10/07 DM 54C–21287–0

Tektronix®
Enabling Innovation