

SDRAM 内存系统： 嵌入式测试和测量挑战

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

目录

引言	3-4
DRAM 发展趋势.....	3
DRAM	4-6
SDRAM	6-9
DDR SDRAM.....	6
DDR2 SDRAM.....	7
DDR3 SDRAM.....	8
DDR4 SDRAM.....	9
GDDR 和 LPDDR.....	9
DIMMs	9-13
DIMM 物理尺寸.....	9
DIMM 数据宽度.....	9
DIMM 排列.....	10
DIMM 内存尺寸和速度.....	10
DIMM 结构.....	10
串行位置检测.....	12
内存系统设计	13-15
设计仿真.....	13
设计检验.....	13
检验策略.....	13
SDRAM 检验.....	14
词汇表	16-19

引言

DRAM (动态随机访问存储器)对设计人员特别具有吸引力,因为它提供了广泛的性能,用于各种计算机和嵌入式系统的存储系统设计中。本 DRAM 内存入门手册概括介绍了 DRAM 的概念,展示了 DRAM 可能的未来发展方向,并概括了怎样通过验证来改善内存设计。

DRAM 发展趋势

人们一直希望计算机内存变得容量更大、速度更快、功率更低、物理尺寸更小。这些需求正推动着 DRAM 技术不断发展。在过去几年中,多次技术增强已经推进了主流 DRAM 的发展,如 SDRAM (同步 DRAM)、DDR (双倍数据速率) SDRAM、DDR2 SDRAM、DDR3 SDRAM、DDR4 SDRAM、LPDDR (低功率 DDR)、GDDR2 (图形 DDR2)、GDDR3、GDDR4 和 GDDR5。计算机内存存在 DIMM (双列直插内存模块) 中的使用方式也一直推动着这一演进。DIMM 实现方案已经从非寄存 DIMM 扩展到包括多个寄存 DIMM 和 FB-DIMM (全面缓冲的 DIMMs)。

并不是只有计算机内存才有容量更大、速度更快、功率更低、物理尺寸更小的需求。嵌入式系统应用也有类似的要求,也可以使用 DRAM。

但是,内存系统在计算机中的实现方式不同于嵌入式系统。一般来说,计算机内存安装在可插拔 DIMM 上,DIMM 在组装过程中简便地安装在计算机中。计算机用户可以在购买计算机之后,通过增加或更换 DIMM 来升级计算机内存。结果,计算机中使用的内存要求高度兼容当前和未来计算机及与 DIMM 一起使用的当前和未来内存。兼容能力的主要方面有两个。

- 第一,内存必需兼容计算机制造商使用的各种内存控制器中心;
- 第二,在计算机的同一内存系统中混合使用不同制造商的内存时,内存必需能够正确运行。开放的内存标准有助于保证内存兼容能力。

而嵌入式系统一般使用固定的内存配置,因此用户在购买产品后不能改变内存系统。

嵌入式系统制造商可以全面控制嵌入式系统中使用哪些特定制造商的内存。通常会使用一家内存制造商的一种特定内存,来优化嵌入式系统的性能和成本。结果,在嵌入式系统中实现高级多厂商内存互操作能力不象在计算机系统中那样重要。

通过创建采用 JEDEC 标准的内存规范,JEDEC (联合电子器件工程设计委员会)一直为内存行业提供帮助。JEDEC 是一家非营利组织,其成员包括内存制造商、计算机制造商、测试制造商等等。开放的 JEDEC 标准规定了制造商在实现内存产品时必需遵守的规范,以便能够与其它制造商的内存和计算机内存控制器中心互操作。这些标准涵盖了物理特点、DIMM 电路板布局、电信号、寄存器定义、功能操作、内存协议等。检验和测试内存是否符合 JEDEC 规范是保证内存与其它制造商产品一起可靠运行及互操作的关键步骤。

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册



图 1. DRAMs 内存单元分成由行和列组成的二维阵列。

新的 DRAM 设计将满足容量更大、速度更快、功率更低和物理尺寸更小的计算机和嵌入式系统内存要求。结果，发生了下面的 DRAM 变化：内存容量的提高，内存条数量提高，突发长度提高，供电电压下降，逻辑电压摆幅下降，时钟速率提高，数据速率提高，内存通道实现方案从大量的并行信号转向数量较少的高速串行信号，内存通道数量提高，电路板密度提高等等。这些发展趋势导致设计人员需要使用新技术和新工具，设计、检验和调试自己的内存系统。

由于内存时钟速率提高及逻辑电压摆幅下降，信号完整性更多地成为可靠运行内存的问题。结果，发展趋势是新的 DRAM 功能出现，以重点改善内存系统的信号完整性。这些功能包括动态控制的 ODT (片内模具上端接)，OCD (芯片外驱动器)校准及带AMB(高级内存缓冲器)的全面缓冲的 DIMM。

DRAM

DRAM较其它内存类型的一个优势是它能够以IC(集成电路)上每个内存单元更少的电路实现。DRAM 的内存单元基于电容器上贮存的电荷。典型的 DRAM 单元使用一个电容器及一个或三个 FET(场效应晶体管)制成。典型的 SRAM (静态随机访问内存)内存单元采取六个

FET 器件，降低了相同尺寸时每个 IC 的内存单元数量。与 DRAM 相比，SRAM 使用起来更简便，接口更容易，数据访问时间更快。

DRAM核心结构由多个内存单元组成，这些内存单元分成由行和列组成的二维阵列(参见图 1)。访问内存单元需要两步。先寻找某个行的地址，然后在选定行中寻找特定列的地址。换句话说，先在 DRAM IC 内部读取整个行，然后列地址选择 DRAM IC I/O(输入/输出)引脚要读取或要写入该行的哪一列。

DRAM 读取具有破坏性，也就是说，在读操作中会破坏内存单元行中的数据。因此，必需在该行上的读或写操作结束时，把行数据写回到同一行中。这一操作称为预充电，是行上的最后一项操作。必须完成这一操作之后，才能访问新的行，这一操作称为关闭打开的行。

对计算机内存访问进行分析后表明，内存访问中最常用的类型是读取顺序的内存地址。这是合理的，因为读取计算机指令一般要比数据读取或写入更加常用。此外，大多数指令读取在内存中顺序进行，直到发生到指令分支或跳到子例程。

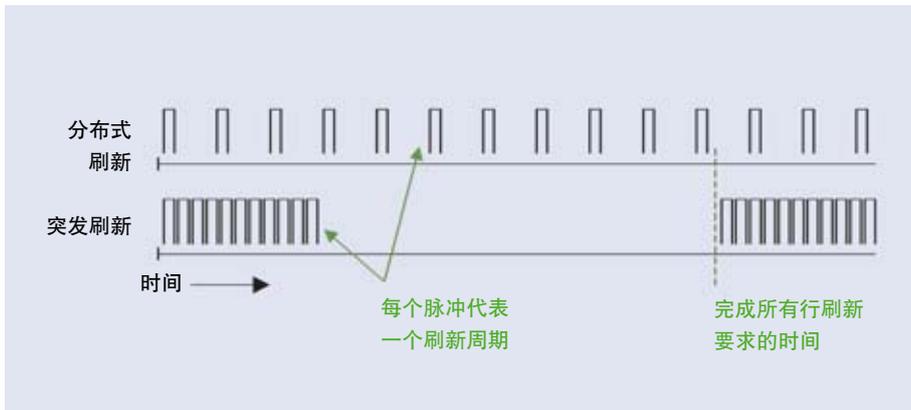


图 2. DRAM 刷新实现方案包括分布式刷新和突发刷新。

DRAM 的一个行称为内存页面，一旦打开行，您可以访问该行中多个顺序的或不同的列地址。这提高了内存访问速度，降低了内存时延，因为在访问同一个内存页面中的内存单元时，其不必把行地址重新发送给 DRAM。结果，行地址是计算机的高阶地址位，列地址是低阶地址位。由于行地址和列地址在不同的时间发送，因此行地址和列地址复用相同的 DRAM 引脚上，以降低封装引脚数量、成本和尺寸。一般来说，行地址尺寸要大于列地址，因为使用的功率与列数有关。

早期的 RAM 拥有控制信号，如 RAS# (行地址选择低有效) 和 CAS# (列地址选择低有效)，选择执行的行和列寻址操作。其它 DRAM 控制信号包括用来选择写入或读取操作的 WE# (写启动低有效)、用来选择 DRAM 的 CS# (芯片选择低有效) 及 OE# (输出启动低有效)。早期的 DRAM 拥有异步控制信号，并有各种定时规范，涵盖了其顺序和时间关系，来确定 DRAM 工作模式。

早期的 DRAM 读取周期有四个步骤。第一步，RAS# 与地址总线上的行地址变低。第二步，CAS# 与地址总线上的列地址变低。第三步，OE# 变低，读取数据出现在 DQ 数据引脚上。在 DQ 引脚上提供数据时，从第一步

第三步的时间称为时延。最后一步是 RAS#、CAS# 和 OE# 变高(不活动)，等待内部预充电操作在破坏性读取后完成行数据的恢复工作。从第一步开始到最后一步结束的时间是内存周期时间。上述信号的信号定时与边沿顺序有关，是异步的。这些早期 DRAM 没有同步时钟操作。

DRAM 内存单元必需刷新，避免丢失数据内容。这要求丢失电荷前刷新电容器。刷新内存由内存控制器负责，刷新时间指标因不同 DRAM 内存而不同。内存控制器对行地址进行仅 RAS# 循环，进行刷新。在仅 RAS# 循环结束时，进行预充电操作，恢复仅 RAS# 循环中寻址的行数据。一般来说，内存控制器有一个行计数器，其顺序生成仅 RAS# 刷新周期所需的所有行地址。

刷新策略有两个(参见图 2)。第一个策略内存控制器在刷新周期突发中顺序刷新所有行，然后把内存控制返回处理器，以进行正常操作。在到达最大刷新时间前，会发生下一个刷新操作突发。第二个刷新策略是内存控制器使用正常处理器内存操作隔行扫描刷新周期。这种刷新方法在最大刷新时间内展开刷新周期。

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

早期的 DRAM 演进及实现了 DRAM IC 上的刷新计数器，处理顺序生成的行地址。在 DRAM IC 内部，刷新计数器是复用器输入，控制着内存阵列行地址。另一个复用器输入来自外部地址输入针脚的行地址。这个内部刷新计数器不需要内存控制器中的外部刷新计数器电路。部分 DRAM 在 RAS# 周期前支持一个 CAS#，以使用内部生成的行地址发起刷新周期。

SDRAM

在接口到同步处理器时，DRAM 的异步操作带来了许多设计挑战。

SDRAM (同步DRAM)是为把DRAM操作同步到计算机系统其余部分，而不需要根据 CE# (芯片启动活动低)、RAS#、CAS#和 WE# 边沿转换顺序定义所有内存操作模式而设计的。

SDRAM 增加了时钟信号和内存命令的概念。内存命令的类型取决于 SDRAM 时钟上升沿上的 CE#，RAS#，CAS# 和 WE# 信号状态。产品资料根据 CE#，RAS#，CAS# 和 WE# 信号状态，以表格形式描述内存命令。

例如，Activate (激活)命令向 SDRAM 发送一个行地址，打开内存的一个行(页面)。然后是一个 Deselect (反选)命令序列，在对列地址发送 Read 或 Write 命令前满足定时要求。一旦使用 Activate 命令打开内存的行(页面)，那么可以在内存的该行(页面)上运行多个 Read 和 Write 命令。要求 Precharge(预充电)命令，关闭该行，然后才能打开另一行。

DDR SDRAM	数据速率	内存时钟
DDR-266	266 Mb/s/ 针脚	133 MHz
DDR-333	333 Mb/s/ 针脚	166 MHz
DDR-400	400 Mb/s/ 针脚	200 MHz

表 1. DDR SDRAM 数据速率和时钟速度。

DDR SDRAM

通过提高时钟速率、突发数据及每个时钟周期传送两个数据位(参见表 1)，DDR (双倍数据速率) SDRAM 提高了内存数据速率性能。DDR SDRAM 在一条读取命令或一条写入命令中突发多个内存位置。读取内存操作必需发送一条 Activate 命令，后面跟着一条 Read 命令。内存在时延后以每个时钟周期两个内存位置的数据速率应答由两个、四个或八个内存位置组成的突发。因此，从两个连续的时钟周期中读取四个内存位置，或把四个内存位置写入两个连续的时钟周期中。

DDR SDRAM 有多个内存条，提供多个隔行扫描的内存访问，从而提高内存带宽。内存条是一个内存阵列，两个内存条是两个内存阵列，四个内存条是四个内存阵列，依此类推(参见图 3)。四个内存条要求两个位用于内存条地址(BA0 和 BA1)。

例如，有四个内存条的 DDR SDRAM 的工作方式如下。首先，Activate 命令在第一个内存条中打开一行。第二个 Activate 命令在第二个内存条中打开一行。现在，可以把 Read 或 Write 命令的任意组合发送到打开行的第一个内存条或第二个内存条。在内存条上的 Read 和 Write 操作结束时，Precharge 命令关闭行，内存条对 Activate 命令准备就绪，可以打开一个新行。

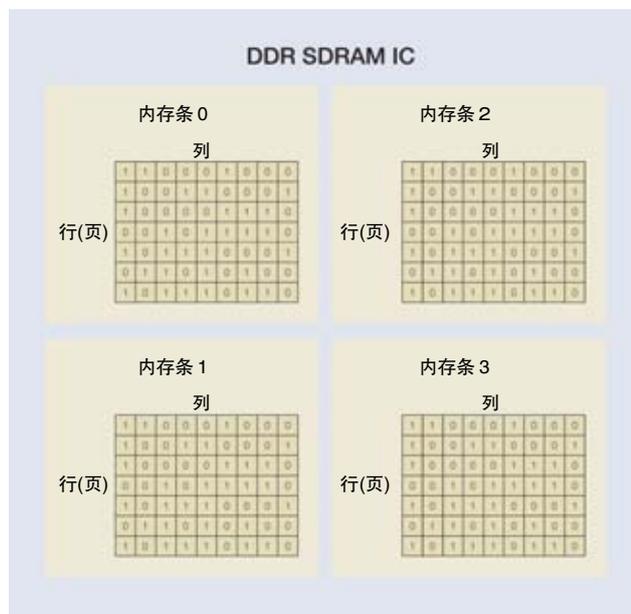


图3. DDR SDRAM中多个内存条提高了访问灵活性,改善了性能。

注意,DDR SDRAM要求的功率与打开行的内存条数量有关。打开的行越多,要求的功率越高,行尺寸越大,要求的功率越高。因此,对低功率应用,一次在每个内存条中只应打开一行,而不是一次打开行的多个内存条。

在内存条地址位连接到内存系统中的低阶地址位时,支持隔行扫描连续内存条中的连续内存字。在内存条地址位连接到内存系统中的高阶地址位时,连续内存字位于同一个内存条中。

DDR2 SDRAM	数据速率	内存时钟
DDR2-400	400 Mb/s/ 针脚	200 MHz
DDR2-533	533 Mb/s/ 针脚	266 MHz
DDR2-667	667 Mb/s/ 针脚	333 MHz
DDR2-800	800 Mb/s/ 针脚	400 MHz
DDR2-1066	1066 Mb/s/ 针脚	533 MHz

表2. DDR2 SDRAM 数据速率和时钟速度。

DDR2 SDRAM

DDR2 SDRAM 较 DDR SDRAM 有多处改进。DDR2 SDRAM 时钟速率更高,从而提高了内存数据速率(参见表2)。随着时钟速率提高,信号完整性对可靠运行内存变得越来越重要。随着时钟速率提高,电路板上的信号轨迹变成传输线,在信号线末端进行合理的布局和端接变得更加重要。

地址、时钟和命令信号的端接相对简明,因为这些信号是单向的,并端接在电路板上。数据信号和数据选通是双向的。内存控制器中心在写入操作中驱动这些信号,DDR2 SDRAM 在读取操作中驱动这些信号。多个 DDR2 SDRAM 连接到同一个数据信号和数据选通上,进一步提高了复杂度。多个 DDR2 SDRAM 可以位于内存系统相同的 DIMM 上,也可以位于内存系统不同的 DIMM 上。结果,数据和数据选通驱动器和接收机不断变化,具体取决于读取/写入操作及访问的是哪个 DDR2 SDRAM。

通过提供 ODT (芯片内端接),并提供 ODT 信号,实现片内端接,并能够使用 DDR2 SDRAM 扩展模式寄存器对片内端接值编程(75 欧姆、150 欧姆等等),DDR2 SDRAM 改善了信号完整性。

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

片内端接大小和操作由内存控制器中心控制，与DDR2 SDRAM DIMM 的位置及内存操作类型(读取或写入)有关。通过为数据有效窗口创建更大的眼图，提高电压余量、提高转换速率、降低过冲、降低ISI (码间干扰)，ODT 操作改善了信号完整性。

DDR2 SDRAM 在 1.8V 上操作，降低了内存系统的功率，这一功率是DDR SDRAM 的2.5V 功率的72%。在某些实现方案中，行中的列数已经下降，在激活行进行读取或写入时降低了功率。

降低工作电压的另一个优势是降低了逻辑电压摆幅。在转换速率相同时，电压摆幅下降会提高逻辑转换速度，支持更快的时钟速率。此外，数据选通可以编程为差分信号。使用差分数据选通信号降低了噪声、串扰、动态功耗和EMI (电磁干扰)，提高了噪声余量。差分或单端数据选通操作配置有DDR2 SDRAM 扩展模式寄存器。

DDR2 SDRAM 引入的一种新功能是附加时延，它使得内存控制器中心能够在Activate命令后，更快地灵活发送Read和Write命令。这优化了内存吞吐量，通过使用DDR2 SDRAM扩展模式寄存器对附加时延编程来配置。DDR2 SDRAM使用八个内存条，改善了1Gb和2Gb DDR2 SDRAM的数据带宽。通过隔行扫描不同的内存条操作，八个内存条提高了访问大型内存DDR2 SDRAM的灵活性。此外，对大型内存，DDR2 SDRAM支持最多八个内存条的突发长度。

DDR2 SDRAM 产品资料有100多页，其主要功能是我们上面介绍的DDR2 SDRAM功能。如需了解完整的功能及操作细节，请参阅DDR2 SDRAM产品资料。

DDR3 SDRAM	数据速率	内存时钟
DDR3-800	800 Mb/s/ 针脚	400 MHz
DDR3-1066	1066Mb/s/ 针脚	533 MHz
DDR3-1333	1333Mb/s/ 针脚	667 MHz
DDR3-1600	1600 Mb/s/ 针脚	800 MHz
DDR3-1866	1866 Mb/s/ 针脚	933 MHz
DDR3-2133	2133 Mb/s/ 针脚	1066 MHz

表 3. 预计的DDR3 SDRAM 数据速率和时钟速度。

DDR3 SDRAM

DDR3 SDRAM 是一种性能演进版本，增强了SDRAM技术，它从800 Mb/s开始，这是大多数DDR2 SDRAM支持的最高数据速率。DDR3 SDRAM支持六档数据速率和时钟速度(参见表3)。DDR3-800/1066/1333 SDRAM于2007年投入使用，DDR3-1600/1866 SDRAM则预计在2008年投入使用，DDR3-2133 SDRAM则预计在2009年投入使用。

DDR3-1066 SDRAM的能耗低于DDR2-800 SDRAM，因为DDR3 SDRAM的工作电压是1.5 V，是DDR2 SDRAM的83%，DDR2 SDRAM的工作电压是1.8伏。此外，DDR3 SDRAM数据DQ驱动器的阻抗是34欧姆，DDR2 SDRAM的阻抗较低，是18欧姆。

DDR3 SDRAM 将从512 Mb内存开始，将来将发展到8 Gb内存。与DDR2 SDRAM一样，DDR3 SDRAM数据输出配置包括x4、x8和x16。DDR3 SDRAM有8个内存条，DDR2 SDRAM则有4个或8个内存条，具体视内存大小而定。

DDR2和DDR3 SDRAM都有4个模式寄存器。DDR2定义了前两个模式寄存器，另两个模式寄存器则预留给将来使用。DDR3使用全部4个模式寄存器。一个重要差异是DDR2模式寄存器规定了读出操作的CAS时延，写入时延则是1减去模式寄存器读出时延设置。DDR3模式寄存器对CAS读出时延和写入时延的设置是唯一的。

DDR3 SDRAM使用8n预取架构，在4个时钟周期中传送8个数据字。DDR2 SDRAM使用4n预取架构，在2个时钟周期中传送4个数据字。

DDR3 SDRAM 模式寄存器可以编程为支持飞行突变，这会把传送 8 个数据字缩短到传送 4 个数据字，这在读出或写入命令期间把地址行 12 设为低来实现。飞行突变在概念上与 DDR2 和 DDR3 SDRAM 中地址行 10 的读出和写入自动预充电功能类似。

值得一提的另一个 DDR3 SDRAM 属性是差分的数据选通信号 DQS，DDR2 SDRAM 数据选通信号则可以由模式寄存器编程为单端或差分。DDR3 SDRAM 还有一个新引脚，这个引脚为活动低异步 RESET# 引脚，通过把 SDRAM 置于已知状态，而不管当前状态如何，改善系统稳定性。DDR3 SDRAM 使用的 FBGA 封装类型与 DDR2 SDRAM 相同。

DDR3 DIMM 为 DIMM 上的命令、时钟和地址提供了端接。采用 DDR2 DIMM 的内存系统端接主板上的命令、时钟和地址。DIMM 上的 DDR3 DIMM 端接支持飞行拓扑，SDRAM 上的每个命令、时钟和地址引脚都连接到一条轨迹上，然后这条轨迹终结在 DIMM 的轨迹端。这改善了信号完整性，其运行速度要快于 DDR2 DIMM 树型结构。

飞行拓扑为内存控制器引入了新的 DDR3 SDRAM 写入电平功能，考虑了写入过程中时钟 CK 和数据选通信号 DQS 之间的定时偏移。DDR3 DIMM 的主要不同于 DDR2 DIMM，防止把错误的 DIMM 插入主板中。

DDR4 SDRAM

DDR4 SDRAM 已经拉开帷幕，预计将在 2012 年发布。其目标是在 1.2V 或以下的电源上运行这些新存储器芯片，同时实现每秒 200 万以上的数据传送速度。

GDDR 和 LPDDR

其它 DDR 变种，如 GDDR (图形 DDR) 和 LPDDR (低功率 DDR)，在业内的地位也在不断提高。

GDDR 是一种图形卡专用存储技术，目前规定的变种有四个：GDDR2、GDDR3、GDDR4 和 GDDR5。GDDR 的技术与传统 DDR SDRAM 非常类似，但功率要求不同。其降低了功率要求，以简化冷却，提供更高性能的存储器模块。GDDR 也是为更好地处理处理图形要求设计的。

LPDDR 采用 166 MHz 时钟速率，在要求低功耗的便携式消费电子中正越来越流行。LPDDR2 改善了能源效率，其工作电压最低 1.2V，时钟速度为 100 - 533 MHz。

DIMMs

双列直插内存模块 (DIMMs) 是计算机使用的插入式内存模块。

DIMM 的物理尺寸、内存数据宽度、排列、内存尺寸、内存速度和内存结构。

JEDEC 已经规定了 DIMM 标准，并继续工作，以规定基于新的内存类型和内存结构的新型 DIMM。

DIMM 物理尺寸

台式机、工作站和服务器中使用标准 DIMM 尺寸。SO-DIMMs (小型 DIMM) 是用于笔记本电脑和其它空间有限的实现方案中的小型 DIMM。蝴蝶配置指的是与计算机主板平行的两个 SO-DIMM，其边缘连接器依次相邻。想象一下两个边缘连接器作为蝴蝶身体，SO-DIMM 作为展开的蝴蝶翅膀。迷你 DIMMs (微型 DIMMs) 比 SO-DIMM 小，用于单板计算机中。VLP-DIMMs (超小型 DIMM) 的高度较短，用于刀片服务器中。

DIMM 数据宽度

DIMM 数据宽度取决于 ECC (纠错码) 支持。ECC 是用来检测和校正错误的 8 个校验位。标准 DIMM 数据宽度在没有 ECC 时为 64 位，在有 8 个 ECC 位时为 72 位。

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

DIMM	每个 IC 4 个 I/O	每个 IC 8 个 I/O	每个 IC 16 个 I/O
1 个排列	16 个 IC	8 个 IC	4 个 IC
2 个排列	32 个 IC	16 个 IC	8 个 IC
4 个排列	64 个 IC	32 个 IC	16 个 IC

表4.基于DIMM上的排列中每个DIMM的内存IC数(没有ECC)和每个内存 IC 的数据 I/O 数。

页面尺寸	I/O 引脚数	内存条
32 MMB	4	4
16 MB	8	4
8 MB	16	4

表 5.不同的 512Mb (兆位)内存 IC 配置实例。

DIMM 排列

排列是 DIMM 上完整的一组内存设备，支持 64 个数据位或带 ECC 时支持 72 个位。两个排列是 DIMM 上两组内存设备。四个排列是 DIMM 上四组内存设备。表 4 显示了没有 ECC 时支持 64 位数据宽度的 DIMM 上有多少个内存 IC。在某个点上，DIMM 两侧没有为所有内存 IC 提供足够的空间。为解决这个问题，内存 IC 在顶部相互堆叠。

DIMM 内存尺寸和速度

DIMM 内存尺寸取决于使用的内存 IC 尺寸和 DIMM 配置。512Mb (兆位)内存 IC 可以设计成不同的配置(参见表 5)。DIMM 速度取决于 DIMM 上使用的 DDR、DDR2 和 DDR3 SDRAM 支持的时钟速度。



图 4. UDIMM 在 DIMM 上没有缓冲 DRAM 信号。

DIMM 结构

DIMM 主要结构有三个：UDIMMs, RDIMMs 和 FB-DIMMs。每个 DIMM 结构都有自己的优点和局限性。

UDIMM 是非寄存 DIMM。UDIMM 不缓冲 DIMM 上的 DDR、DDR2 和 DDR3 SDRAM 信号(参见图 4)。UDIMM 是第一个 DIMM 实现方案。对单或双 DIMM 内存系统，UDIMM 的速度最快，成本最低。内存控制器中心直接控制所有 DRAM 信号。UDIMM 上没有缓冲器或寄存器，会延迟内存控制器中心和 SDRAM 之间的信号。内存控制器中心内存通道上拥有的 UDIMM 数量受到信号完整性限制。下述因素会降低信号完整性：提高内存时钟速度，提高走线长度，提高内存通道上 UDIMM 数量，提高 UDIMM 上的排列数量。内存控制器中心查看每个连接器、每条轨迹、每条轨迹分支和每个 SDRAM 引脚。树枝结构的阻抗问题限制着内存通道可以可靠运行的时钟频率和 UDIMM 数量。



图 5. RDIMM 缓冲 DIMM 上的 DRAM 时钟、命令信号和地址信号。

采用单独内存通道的内存控制器为提高内存系统中的 UDIMM 数量提供了一条途径。两条单独的内存通道可以支持两个高速 UDIMM，每条内存通道一个 UDIMM。

RDIMM 是寄存双列直插内存模块。RDIMM 通过缓冲 RDIMM 上的 RDIMM SDRAM 时钟、命令信号和地址信号，减少树枝结构问题(参见图 5)。时钟信号使用锁相环(PLL)缓冲，命令信号和地址信号使用寄存器锁存装置缓冲。典型的寄存 DIMM 使用一个 PLL IC 及两个带寄存器的 IC 实现。内存控制器中心时钟、命令信号和地址信号查看主板轨迹、DIMM 连接器、RDIMM 寄存器和 RDIMM PLL 的阻抗。这降低了树枝结构，可以在



图 6. FB-DIMM 缓冲 FB-DIMM 上的 DDR2 SDRAM 信号。

内存通道上使用更多的 RDIMM，提高了速度。对双向 DQ 数据线和 DQS 数据选通线，其没有缓冲或降低信号负荷的优势。此外，RDIMM 内存接入时间比 UDIMM 慢一个时钟周期，因为要求一个时钟周期，把命令和地址信号锁存到 RDIMM 上的寄存器中。

FB-DIMM 是全面缓冲的 DIMM。FB-DIMM 使用 DDR2 SDRAM，FB-DIMM2 使用 DDR3 SDRAM。所有 DDR2 SDRAMs 和 DDR3 SDRAMs 信号都在 FB-DIMM 和 FB-DIMM2 中带有 AMB(高级内存缓冲器)的 IC 上从内存系统中缓冲(参见图 6)。

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

字节数	功能描述	SPD HEX 值
0	定义了写入模块制造商串行内存中的字节数	80
1	SPD 内存字节总数	08
2	基础内存类型(FPM 或 EDO)	01 或 02
3	内存设备上的行址数	0C
4	内存设备上的列地址数	0A
5	这个内存模块中的物理内存条数	01
6	这个模块的数据宽度	40
7	数据宽度(续)	00
8	模块电压接口电平	01
9	这个组件的 RAS 接入时间	3C
10	这个组件的 CAS 接入时间	0F
11	模块纠错配置类型(非奇偶性, 奇偶性, ECC)	00 或 01 或 02
12	刷新速率 / 类型	00 或 83
13	一级 DRAM 宽度	10
14	纠错 DRAM 数据宽度	00
15-61	预留	00
62	SPD 修订	00
63	字节 0-62 校验和	计算得出
64	制造商 JEDEC ID 代码	2C
65-71	制造商 JEDEC ID 代码(续)	00
72	制造位置	01 - 08
73-90	制造商部件编号	可变
91	PCB 识别码	01 - 09
92	PCB 识别码(续)	00
93	制造年份	可变
94	制造周	可变
95-98	模块序列号	可变
99-125	制造商特定数据	可变
126-127	预留	00
128-255	没有定义开放用户自由表格	FF

表 8. 计算机 BIOS 使用串行位置检测(SPD)接口读取 DIMM 配置。JEDEC 标准规定了 SPD 数据。

串行位置检测

所有计算机 DIMM 上都有串行位置检测(SPD)功能, 用来在计算机开机过程中为计算机 BIOS 提供 DIMM 内存配置信息, 如内存尺寸、速度、时延、定时、制造商等等(参见表 8)。在开机时, BIOS (基本输入输出软件)使用 SPD 功能读取每个 DIMM 的配置信息。然后使用这些信息配置内存控制器中心及每个 UDIMM 和 RDIMM 上的 DRAM 模式和扩展模式寄存器。JEDEC 标准规定了 SPD 功能。对 UDIMMs 和 RDIMMs, SPD 功能在小

型非易失内存 IC 中实现, 它带有低速 I²C 接口, 位于每个 DIMM 上。主板有一个 I²C 接口, 对每个 DIMM 插槽有一个唯一的地址 (0 - 7)。在开机时, 会使用 I²C 接口校验每个 DIMM 插槽。如果存在 DIMM, 那么 BIOS 将读取 SPD 值。

对 FB-DIMMs, SPD 功能在 AMB 中实现, AMB 有 I²C 接口。FB-DIMM I²C 接口称为 Smbus (系统管理总线)。Smbus 用来在每个 FB-DIMM 中配置 AMB。

内存系统设计

产品设计的前几步是产品要求、产品结构设计和子系统设计。子系统设计之一是内存系统。

内存系统设计取决于内存尺寸、速度、功率、现有标准、新的正在发展的标准、重用现有设计及其它要求。

计算机芯片组制造商对计算机内存系统设计有着很大影响。某些计算机芯片组制造商有自己的测试程序、检验流程和产品测试讲习班。一般来说，这些计算机芯片组制造商的网站上会列明通过其兼容能力测试的内存产品。

设计仿真

内存系统设计的一个关键部分是设计仿真。对内存系统全面进行模拟的重要性不可低估。经验表明，电阻器值只是变化几欧姆，就可能会给内存系统的可靠运行带来明显影响。

内存系统设计仿真应包括连接到原型内存系统时任何仪器导致的探测负荷的影响。如果原型由于探头负荷而停止运行，检验和调试流程将非常困难。此外，模拟应使用仪器探头负荷，分析探头测试点上的信号。数据有效窗口将沿着从内存控制器中心驱动器到SDRAM针脚的信号轨迹变化。

探测点应尽可能靠近接收端针脚，以便仪器能够显示接收端查看的信号。有时这是不可能的，要使用内插器、测试适配器电路板和和其它专用探测夹具和辅助装置，检索很难得到的信号。信号模拟中也应包括这些探测辅助装置，以了解其对SDRAM信号及信号测量的影响。

设计检验

在设计中使用新的DRAM功能要求使用新的设计方法和技術，包括设计仿真新技术及新的BIOS操作。结果，DRAM设计实现方案要求全面检验和测试，包括电路板构建到软件操作，以保证内存可靠运行。如果内存系统由于设计实现方案没有全面检验而发生罕见随机错误，那么产品可靠性会下降。此外，客户可能要求产品满足JEDEC或其它制造商规定的各种一致性测试要求。

检验策略

拥有一个策略，迅速高效地调试任何设计实现方案中的设计问题非常重要。加快产品开发周期要求在设计中提前规划检验/调试。规划中应确定下述要求：

- 哪些是新的设计单元？哪些是重用的设计单元？
- 在过去的设计基础上要避免哪些单元？要改变哪些单元？
- 需要什么等级的检验和测试？测试是否要求专用操作模式或信号码型？
- 需要哪些专用设计功能？(如探测点或测试夹具) 模拟分析是否已经考虑了探测和原型？是否需要信号源？是否需要专用软件对硬件执行测试？
- 需要哪些环境测试？(如温度, 湿度等)
- 需要查看哪些电路操作信息、以进行调试？
- 要求哪些法规标准测试？是否使用检验/调试测试点，测试在制产品？是否使用检验/调试测试点维修使用中的产品？怎样管理目前不知道的项目中的风险？

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

检验	任务	仪器
电路板构建	单线阻抗	采样示波器，带 TDR
	差分线阻抗	采样示波器，带 TDR
	走线长度	采样示波器，带 TDR
	串扰	采样示波器，带 TDT
电功率和信号	电源质量，噪声，毛刺和地跳	示波器或混合信号示波器
	时钟信号质量，上升和下降时间 / 转换速率，扩频时钟廓线	示波器或混合信号示波器，装有抖动分析软件
	命令，地址和数据有效窗口，时钟，选通和数据信号偏移	示波器或混合信号示波器，装有抖动分析软件
	FB-DIMM 串行信号数据有效窗口	示波器，装有串行数据一致性和分析软件，信号源和 FB-DIMM 夹具
协议顺序和定时	内存系统开机初始化协议和定时	逻辑分析仪，装有 SDRAM 支持套件
	SDRAM 模式寄存器操作	逻辑分析仪，装有 SDRAM 支持套件
	SDRAM 命令协议和定时	逻辑分析仪，装有 SDRAM 支持套件
	读 / 写数据有效窗口	逻辑分析仪，装有 SDRAM 支持套件
	刷新操作	逻辑分析仪，装有 SDRAM 支持套件
	内存通道话务	逻辑分析仪，装有 FB-DIMM 支持套件

表 9. 检验任务和相关测试设备

例如，某些检验策略包括构建一个检验原型，其中有大量的探测测试点，检验带有新型 ASIC/FPGA 的新系统结构。检验原型最好以全速运行，以检验快速操作和性能。复杂的设计要求更加全面地查看实时操作，以迅速确定问题。一旦检验原型正确运行并完成检验，可以用更少的测试点实现最终原型。

SDRAM 检验

DRAM 检验和测试技术依赖设计项目。DRAM 设计接地到下述类型中：计算机内存控制器中心 IC，内存 IC，AMB ICs，DIMMs，计算机主板和嵌入式系统。每个产品都要求不同的检验策略、不同的检验测试和不同的测试设备。例如，内存 IC 设计人员将不会检验电路板结

构，而 DIMM 设计人员则要检验 DIMM 电路板结构。

由于处理特定处理器的要求及独特的嵌入式系统输入/输出配置，内存控制器一般是由嵌入式系统设计人员设计的。结果，设计工作的明显组成部分是设计内存控制器及设计内存控制器和内存 IC 之间的电路板布局。检验这部分设计对可靠运行至关重要。

DRAM 检验和测试技术要求一系列测试测量设备，如采样示波器、示波器、逻辑分析仪、探头、测试夹具、分析软件、一致性测试软件等等(参见表 9)。测试设备必需为电信号和协议层提供高精度采集和完整的系统查看能力以及强大的分析功能。

事实证明,不显眼的探测对存储器设计人员带来了更大的挑战。越来越高的速度、低功率电平、形状不断缩小、以及大量的引脚数量,要求完善的探测解决方案。泰克为迎接最复杂的探测挑战提供了完整的一系列解决方案,包括最小负荷的直接探测技术,可以简便接入测试点的各种探头尖端;安装在存储器 IC 和电路板之间的芯片插补器或BGA (球栅阵列)插补器。仪器化DIMM是根据 JEDEC 规范设计的扩展型 DIMM,其增加了与仪器的连接器; DIMM插补器则安装在存储器 DIMM 和电路板之间。

使用逻辑分析仪监测计算机系统或嵌入式系统创造了一个强大的检验和调试开发环境。逻辑分析仪用来跟踪和关联处理器总线活动、内存活动和输入/输出操作。在

逻辑分析仪上全面提供系统信息,可以从关键设计角度查看实时系统操作。此外,使用示波器和逻辑分析仪综合探测、触发和显示功能可以在同一个屏幕上的软件列表、协议列表、数字波形和模拟波形中全面查看设计信息。其结果,提供了强大、全面、高效的原型分析功能。

泰克提供全面的一系列工具,包括业内领先的示波器、真正的差分 TDR 和支持 Nexus Technology 内存的逻辑分析仪,使得嵌入式和计算机设计人员能够迅速精确地对内存设计进行电接口测试,检验内存设计的运行情况。总之,这套工具提供了杰出的性能和前所未有的易用性,使其成为嵌入式系统和计算机内存系统检验和调试的理想解决方案。

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

词汇表

为方便查阅,本词汇表中还包括本文中未使用的常用术语。

A

高级内存缓冲器(AMB): 提供智能南向和北向通道初始化,对准高速串行时钟,定位帧边界,检验通道连接能力。

幅度: 量级或信号强度。在电子器件中,幅度通常指电压或功率。

模拟信号: 带有连续可变电压的信号。

模数转换器(ADC): 把电信号转换成离散的二进制的一种数字电子器件。

异步: 非同步。逻辑分析仪运行自己的采样时钟。时钟独立于、且不知道被测设备上的定时。这是“定时”采集模式的基础。

衰减: 信号幅度在从一个点传输到另一个点的过程中下降。

B

球栅阵列(BGA): 一种集成电路封装。

带宽: 频率范围,通常限定为 -3 dB。

位: 一个二进制字符,其状态可以是 1 或 0。

字节: 一种数字信息单位,通常由 8 个位组成。

C

芯片启动(CE#): 激活器件。

芯片选择(CS#): 选择器件。

时钟速率: 设备执行基本操作的基础速率,单位为每秒周期数。

列地址选择(CAS#): 选择器件内感兴趣的地址列。

光标: 屏幕上标尺,可以把它与波形对齐,进行更加准确的测量。

循环冗余代码(CRC): 从数据块中推导出的、与数据块一起存储或传输的数字,以检测数据毁损。通过重新计算 CRC,并把它与最初发送的值进行比较,接收机可以检测到某些类型的传输错误。

D

分贝(dB): 用来表示两个电信号之间功率相对差的单位,等于两个电平之比常用对数的 10 倍。

被测设备(DUT): 测量仪器测试的设备。

数字示波器: 一种示波器,使用模数转换器(ADC)把测得的电压转换成数字信息。它分成三种类型:数字存储示波器、数字荧光示波器、数字采样示波器。

数字荧光示波器(DPO): 一种数字示波器,它密切建模模拟示波器的显示特点,同时提供传统数字示波器的优势(波形存储、自动测量等)。DPO 采用并行处理结构,把信号传送到光栅型显示器上,这种显示器以灰度等级方式实时显示信号特点。DPO 以三个维度显示信号:幅度、时间和幅度在时间上的分布。

数字采样示波器: 一种数字示波器,它采用等时采样方法,捕获显示信号样点,特别适合精确捕获频率成分远远高于示波器采样率的信号。

数字信号: 使用离散的二进制数字表示电压样点的信号。

数字存储示波器(DSO): 一种数字示波器,通过数字采样采集信号(使用模数转换器)。它使用串行处理结构,控制采集、用户界面和光栅显示器。

数字化: 水平系统中的模数转换器(ADC)在离散的时点上对信号采样,并在这些点上把信号电压转换成数字值(称为样点)的过程。

双倍数据速率(DDR): 峰值数据速率是命令把时钟输入到器件的速率的两倍。

双列直插内存模块(DIMM): PC 平台中动态随机访问内存器件使用的流行的封装方案。

动态随机访问内存(DRAM): 在单独的电容器中存储每个数据位的一种内存。

E

纠错码(ECC): 用来检错和纠错的 8 个校验位。

F

场效应晶体管(FET): 由可变电场控制输出电流的晶体管。

精细间隔球栅阵列(FBGA): 集成电路封装。

频率: 信号在一秒内重复的次数, 单位为赫兹(每秒周期数)。频率等于 1/ 周期。

全面缓冲的双列直插内存模块(FB-DIMM): 下一代内存结构。

G

GDDR: 图形双倍数据速率

千兆位(Gb): 10 亿位信息。

千兆字节(GB): 10 亿字节信息。

千兆赫兹(GHz): 10 亿赫兹。

每秒千兆传送(GT/s): 每秒传送 10 亿次数据。

毛刺: 电路中的间歇性高速错误。

H

赫兹(Hz): 每秒一个周期, 频率的单位。

I

iCapture™ 复用: 通过一个逻辑分析仪探头同时实现数字采集和模拟采集。

iLink™系列工具: 由多个旨在加快问题检测和调试的单元组成, 包括 iCapture™ 复用、iView™ 显示和 iVerify™ 分析。

输入 / 输出 (I/O): 一般指信号进出设备。

集成电路(IC): 一套蚀刻或烙印在芯片上的器件及其互连。

隔行扫描: 以定期间隔散布或放置。

iVerify™ 分析: 使用示波器生成的眼图提供多通道总线分析和检验测试。

iView™显示: 在逻辑分析仪显示屏上提供了时间相关的逻辑分析仪和示波器综合测量功能。

J

联合电子设备工程设计委员会(JEDEC): 电子行业联盟(EIA)的半导体工程设计标准化实体, 这一贸易协会代表着电子行业的所有领域。www.jedec.org

K

千赫(kHz): 1000 Hz。

L

时延: 激励源和响应之间经过的时间。例如, 在 DQ 引脚上提供数据时, 从读取周期第一步到第三步的时间。**负荷:** 探头和示波器与被测电路的、使信号失真的非故意交互。

逻辑分析仪: 用来查看多个数字信号的逻辑状态随时间变化的仪器。它分析数字数据, 可以把数据表示为实时软件执行、数据流量值、状态顺序等。

M

MagniVu™采集: 每个 TLA 系列逻辑分析仪核心采用的独特的高分辨率采样结构。MagniVu 采集在触发点周围以更高的分辨率提供了信号活动的动态记录。

兆位(Mb): 一百万比特的信息。

兆字节(MB): 一百万字节的信息。

SDRAM 内存系统：嵌入式测试和测量挑战

入门手册

兆赫(MHz): 一百万赫兹。

兆样点每秒(MS/s): 采样率单位，每秒一百万样点。

兆传送每秒(MT/s): 每秒传送一百万次数据。

内存周期时间: 读入周期中从第一步开始到最后一步结束的时间。

微秒(μ s): 时间单位，等于 0.000001 秒。

毫秒(ms): 时间单位，等于 0.001 秒。

微型双列直插内存模块(迷你 DIMM): 比 SO-DIMM 小，一般用于单板计算机中。

混合信号示波器: 也称为 MSO; 这种仪器能够显示模拟类信号行为，在数字信号旁边显示电压随时间变化，同时可以在同一时间标度中查看逻辑状态。MSO 中的典型通道数量为 4 条模拟通道和 16 条数字通道。

主板: 计算机主要的系统电路板，包含处理器，内存控制器，硬盘控制器，输入/输出接口芯片组等等。其它电路板(如 DIMM 和视频卡)插入主板中。

N

纳秒(ns): 时间单位，等于 0.000000001 秒。

噪声: 电路中不想要的电压或电流。

O

示波器: 用来查看电压随时间变化的仪器。示波器一词源自英文“振荡”，因为示波器通常用来测量振荡电压。

输出启动(OE#): 激活设备输出。

P

周期: 波完整的一个周期所需的时间。周期等于 1/频率。

触发前查看: 数字仪器捕获触发事件前对信号进行操作的能力。它决定着触发点之前和之后可以查看的信号长度。

预充电: DRAM 访问周期中的一个阶段，在这个阶段，存储电容器充电到相应值。

探头: 一种测量仪器输入设备，通常有一个与电路单元实现电气接触尖端金属端部、连接电路接地参考的一条引线、传输信号的一条软电缆及仪器接地。

脉冲: 一种常见波形形状，具有快速上升沿、宽度和快速下降沿。

脉冲串: 一起传送的脉冲集合。

脉宽: 脉冲从低到高、然后再回到低所需的时间，传统上在全部电压的 50% 上测得。

R

倾斜: 正弦波电压电平之间以恒定速率变化的转换。

随机访问内存(RAM): 可以以任何顺序访问信息的内存设备。

读取周期: 用来从设备中读取数据的定期重复的事件顺序。

记录长度: 用来创建信号记录的波形点数。

刷新: 通过发送新的电脉冲，来对芯片重新充电。

寄存双列直插内存模块(RDIMM): 通过缓冲 RDIMM 上的 RDIMM SDRAM 时钟、命令信号和地址信号，减少树枝结构问题。

上升时间: 脉冲前沿从低值上升到高值所用的时间，一般在从 10% 上升到 90% 时测得。

行地址选择(RAS#): 选择设备中感兴趣的地址行。

S

样点: ADC 中用来计算波形点的原始数据。

采样率: 指数字测量仪器获取信号样本的频度, 用每秒样点数(S/s)表示。

采样: 把输入信号的一部分转换成大量的分散的电气值, 以由仪器进行存储、处理和 / 或显示。

串行位置检测(SPD): 使用单独的、电子可擦除/可编程的只读内存(EEPROM)设备, 保持模块密度、定时和性能参数。

信号完整性: 准确重建信号, 取决于仪器的系统和性能因素及采集信号使用的探头。

信号源: 用来把信号注入电路输入中的设备; 然后由测量仪器读取电路输出。也称为信号发生器。

小型双列直插内存模块(SO-DIMM): 笔记本电脑和其它空间固定的实现方案中使用的小型 DIMM。

同步: 同步化。逻辑分析仪状态采集可以说是同步的, 因为逻辑分析仪从外部来源接收时钟信息, 外部来源通常是 DUT。这会导致两个系统同步化, 逻辑分析仪只在 DUT 激活时采集数据。这称为“状态”采集模式。

同步动态随机访问内存(SDRAM): 旨在把 DRAM 操作同步化到计算机系统其余部分, 不再需要根据 CE#, RAS#, CAS# 和 WE# 边沿转换顺序定义所有不同的内存操作模式。

被测系统(SUT): 测量仪器测试的系统。

T

时域反射计(TDR): 沿着传输线评估阻抗值和变化的传统方式, 如 PC 电路板上的电缆、连接器或微带。

触发器: 参考测量仪器上水平扫描的电路。

触发抑制: 一种控制功能, 允许调节有效触发后仪器不能触发的时间周期。

触发电平: 触发源信号在触发电路发起扫描前必须达到的电压电平。

U

非寄存双列直插内存模块(UDIMM): UDIMM 是 DIMM 的第一个实现方案。UDIMM 不能缓冲 DIMM 上的 DDR, DDR2 和 DDR3 SDRAM 信号。

V

超小型双列直插内存模块(VLP-DIMM): 高度较短、通常用于刀片服务器中的 DIMMS。

伏(V): 电位差单位。

电压: 两点之间的电位差, 用伏表示。

W

波: 随时间推移重复的码型的通用术语。常见类型包括: 正弦波、方波、矩形波、锯齿波、三角波、阶跃、脉冲、周期、非周期、同步、异步。

写入启用(WE#): 激活设备写入功能。

泰克科技(中国)有限公司
上海市浦东新区川桥路1227号
邮编: 201206
电话: (86 21) 5031 2000
传真: (86 21) 5899 3156

泰克北京办事处
北京市海淀区花园路4号
通恒大厦1楼101室
邮编: 100088
电话: (86 10) 6235 1210/1230
传真: (86 10) 6235 1236

泰克上海办事处
上海市静安区延安中路841号
东方海外大厦18楼1802-06室
邮编: 200040
电话: (86 21) 6289 6908
传真: (86 21) 6289 7267

泰克深圳办事处
深圳市罗湖区深南东路5002号
信兴广场地王商业大厦G1-02室
邮编: 518008
电话: (86 755) 8246 0909
传真: (86 755) 8246 1539

泰克成都办事处
成都市人民南路一段86号
城市之心23层D-F座
邮编: 610016
电话: (86 28) 8620 3028
传真: (86 28) 8620 3038

泰克西安办事处
西安市东大街
西安凯悦(阿房宫)饭店345室
邮编: 710001
电话: (86 29) 8723 1794
传真: (86 29) 8721 8549

泰克武汉办事处
武汉市汉口建设大道518号
招银大厦1611室
邮编: 430022
电话: (86 27) 8781 2760/2831

泰克香港办事处
九龙尖沙咀加连威老道2-6号
爱宾大厦15楼6室
电话: (852) 2585 6688
传真: (852) 2598 6260

有关信息

泰克公司备有内容丰富的各种应用文章、技术简介和其他资料, 并不断予以充实, 可为从事前沿技术研究的工程师提供帮助。请访问泰克公司网站 www.tektronix.com.cn



版权所有 © 2009, 泰克有限公司。泰克公司保留所有权利。泰克公司的产品受美国和国外专利权保护, 包括已发布和尚未发布的产品。以往出版的相关资料信息由本出版物所代替。泰克公司保留更改产品规格和定价的权利。TEKTRONIX 和 TEK 是泰克有限公司的注册商标。所有其他相关商标名称是各自公司的服务商标、或注册商标。
9/09 JS/WWW 54C-21473-2

Tektronix®