

SDRAMメモリ・システム 組込みシステムのテスト／測定課題

目次

はじめに	3 - 4
DRAMのトレンド	3
DRAM	4 - 6
SDRAM	6 - 9
DDR SDRAM	6
DDR2 SDRAM	7
DDR3 SDRAM	8
DIMM	9 - 14
DIMMの物理サイズ	9
DIMMのデータ幅	9
DIMMのランク	10
DIMMのメモリ・サイズと速度	10
DIMMのアーキテクチャ	10
SPD (Serial Presence Detect)	13
メモリ・システムの設計	15 - 17
設計シミュレーション	15
設計評価	15
評価手法	15
SDRAMの評価	17
用語集	18 - 22

はじめに

DRAM (Dynamic Random Access Memory) は、多様な性能を持ち、コンピュータや組込みシステムなどのメモリ・システムで広く採用されています。この入門書では、DRAMの概要、DRAM開発の将来性、評価によるメモリ設計の改善について説明します。

DRAMのトレンド

コンピュータで使用されるメモリには、大容量、高速化、低電力化、小型化などの要求が常にあります。これらのニーズにより、DRAM技術の進歩は加速されています。主要なDRAMは、SDRAM (Synchronous DRAM)、DDR (Double Data Rate) SDRAM、DDR2 (Double Data Rate 2) SDRAM、DDR3 (Double Data Rate 3) SDRAMなどによって発展してきました。また、DIMM (Dual Inline Memory Module) におけるコンピュータ・メモリの使用によっても発展してきました。DIMMは、アンレジスタードDIMMに始まり、レジスタードDIMM、FB-DIMM (Fully Buffered DIMM) へと発展してきました。

大容量、高速化、低電力化、小型化が進んでいるのはコンピュータ用メモリだけではありません。組込みシステム・アプリケーションにも同様の要求があり、やはりDRAMを使用しています。

しかし、コンピュータと組込みシステムでは、メモリ・システムの実装方法が異なります。通常、コンピュータ・メモリは、組み立て時にインストールが簡単になるように、差し込み式のDIMMを採用しています。ユーザは、コンピュータを購入した後、DIMMを追加、交換することでメモリをアップグレードします。

この結果、コンピュータで使用されるメモリは、現在または将来のコンピュータと高いレベルでの互換性が必要になります。また、DIMMで使用されるメモリとも高いレベルでの互換性が必要になります。互換性には2種類あります。

まず、コンピュータ・メーカーが使用する、数多くのメモリ・コントローラ・ハブと互換性がなければなりません。次に、コンピュータのメモリ・システム内で異なったメーカーのメモリと混在した場合でも互換性がなければなりません。公開されたメモリの規格は、メモリの互換性に貢献します。

一方、組込みシステムでは通常固定式のメモリを使用し、ユーザは購入後、メモリ・システムを変更することはできません。したがって、組込みシステム・メーカーは、どのメーカーのメモリを組込みシステムで使用するかを決定します。一つのメモリ製造メーカーの特定のメモリを使用することにより、性能とコストを最適化することは、一般的に行われることです。結果として、組込みシステムでは、コンピュータ・システムと比べると、製造メーカー間における相互運用性はそれほど重要ではありません。

JEDEC (Joint Electron Device Engineering Council) は、JEDEC規格としてメモリの仕様を策定しています。JEDECは、メモリ製造メーカー、コンピュータ・メーカー、テスト機器製造メーカーなどから構成される非営利団体です。JEDEC規格は一般に公開され、メモリを実装する製造メーカー間で異なったメーカーのメモリ、コンピュータ・メモリ・コントロール・ハブと相互運用できるよう、必要な仕様を定めています。この規格では、物理的な特性、DIMMの基板レイアウト、電気信号、レジスタの定義、機能動作、メモリ・プロトコルなどを規定します。JEDECの仕様にしたがって適合性をテスト、評価することで、他の製造メーカーの製品との間で、メモリ動作が確実に相互運用できることが確認できます。

最新のDRAM設計では、コンピュータや組込みシステムがメモリに対して要求する、より大容量、高速化、低電力化、小型化という要求を満たしています。この結果、メモリ容量は増え、バンク数は増え、バースト長は長くなり、供給電圧は低下し、ロジック電圧スイングは小さくなり、クロック・レートとデータ・レートは高速になり、メモリ・チャンネルの実装は多チャンネルの平行信号から高速のシリアル信号になり、回路の実装密度は上がるなどの難問に直面しています。設計エンジニアは、このような課題に対して、新しい設計技術、設計ツール、評価、デバッグ方法で対応しています。

メモリのクロック・レートが高速になり、ロジック電圧スイングが低下すると、確実なメモリ動作にとってはシグナル・インテグリティが重要な問題となります。このため、メモリ・システムのシグナル・インテグリティの改善が、新しいDRAMの機能として注目されるようになりました。新しい機能としては、ダイナミック・コントロールODT（オン・ダイ・ターミネーション）、OCD（オフチップ・ドライバ）校正、AMB（拡張メモリ・バッファ）によるFB-DIMMなどがあります。

DRAM

他のメモリと比べたDRAMの利点は、IC（集積回路）上のメモリ・セルあたりの回路を少なくできるという点です。DRAMのメモリ・セルは、キャパシタに電荷を蓄えることを基本としています。一般的なDRAMのセルは、1つのキャパシタと1つまたは3つのFET（電界効果トランジスタ）で構成されています。一般的なSRAM（Static Random Access Memory）のメモリ・セルは6つのFETを使用していますので、同じサイズのICではメモリ・セルの数が少なくなります。SRAMは使い方が簡単で、インタフェースも容易であり、DRAMに比べるとデータのアクセス時間が高速です。

	列								
行（ページ）	1	1	0	0	0	1	0	0	0
	1	0	0	1	1	0	0	0	1
	1	0	0	0	0	1	1	1	0
	0	0	1	0	1	1	1	1	0
	1	0	1	1	1	0	0	0	1
	0	1	1	0	1	0	1	0	0
	1	0	1	1	1	0	1	1	0
	1	0	1	1	1	0	1	1	0

- 行はリフレッシュされる
- 行は上位アドレス・ビット
- 列は下位アドレス・ビット
- 行が先に選択され、次に列が選択される

図1. DRAMのメモリ・セルは、行と列による二次元の配列で構成されます。

DRAMのコア・アーキテクチャは、行と列による二次元の配列によるメモリ・セルで構成されています（図1参照）。メモリ・セルへのアクセスには、2つの手順が必要です。まず行を指定し、次に選択された行の列を指定します。言い換えると、まずDRAM ICの一つの行すべてが内部的に読み出され、次に、列アドレスによってDRAM IC I/O（入力／出力）ピンに読み書きされる行の列を選択します。

DRAMの読み出しでは、メモリ・セルの行データは読み出しによって失われます。したがって、行で読み書きが完了した後、行データを同じ行に書き戻す必要があります。この動作はプリチャージと呼ばれ、行における最後の動作になります。これは、新しい行にアクセスする前に完了する必要があり、開いた行を閉じることとなります。

コンピュータ・メモリ・アクセスの解析によると、メモリ・アドレスのシーケンシャルな読み出しが、メモリ・アクセスの最も一般的なタイプです。データの読み書きに比べ、コンピュータ・インストラクションの読み出しがより一般的であることから、これは妥当であると言えます。また、メモリにおけるほとんどの読み出しのインストラクションは、ブランチやサブルーチンへのジャンプが発生するまではシーケンシャルです。

DRAMの行はメモリ・ページとも呼ばれ、行が開くと、その行の複数のシーケンシャルまたは異なった列アドレスにアクセスできます。同じメモリ・ページのメモリ・セルにアクセスする際、行アドレスを再送する必要がありませんので、メモリのアクセス・スピードが上がり、メモリのレイテンシが低減します。結果として、行アドレスは上位のアドレス・ビットであり、列アドレスは下位のアドレス・ビットとなります。行と列のアドレスは異なった時間に送られますので、パッケージのピン数、コスト、サイズを小さくするため、行アドレスと列アドレスは同じDRAMピンで多重化されます。電力消費は列の数に関係しますので、一般的に、行アドレスのサイズは列アドレスに比べて大きくなります。

初期のDRAMには、RAS#（行アドレス・選択、アクティブ・ロー）やCAS#（列アドレス・選択、アクティブ・ロー）などのコントロール信号があり、実行する行や列のアドレスを選択します。その他のDRAMのコントロール信号には、読み書きの選択のためのWE#（ライト・イネーブル、アクティブ・ロー）、DRAMを選択するためのCS#（チップ・選択、アクティブ・ロー）、OE#（出カインーブル、アクティブ・ロー）があります。初期のDRAMのコントロール信号は非同期であり、シーケンスやDRAMの動作モードを決めるための時間関係をカバーするため、いくつかのタイミング仕様があります。

初期のDRAMの読み出しサイクルには4ステップあります。まず、アドレス・バスの行アドレスでRAS#がローになります。二番目に、アドレス・バスの列アドレスでCAS#がローになります。三番目に、OE#がローになってDQデータ・ピンにリード・データが現れます。最初のステップから三番目のステップまでの、データがDQピンに現れるまでの時間をレイテンシと呼びます。最後のステップは、RAS#、CAS#、OE#がハイ（イネーブル）になり、データ消滅後の行データの復元のための、内部のプリチャージ完了を待ちます。最初のステップから最後のステップが完了するまでの時間を、メモリ・サイクル時間と呼びます。

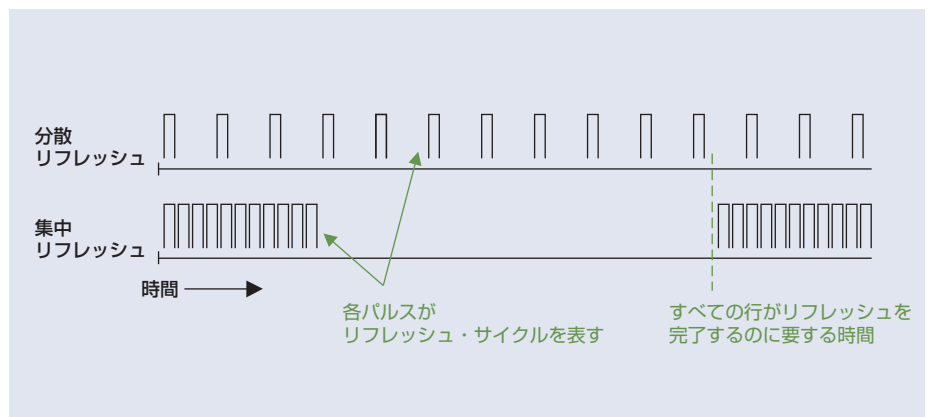


図2. DRAMのリフレッシュには、分散リフレッシュと集中リフレッシュがあります。
(イメージはMicron Technology社提供)

これらの信号のタイミングはエッジのシーケンスに関係し、非同期です。初期のDRAMには、同期クロックの動作はありませんでした。

DRAMのメモリ・セルは、データ消失を避けるためにリフレッシュする必要があります。このリフレッシュは、キャパシタの電荷が失われる前に実行される必要があります。メモリのリフレッシュはメモリ・コントローラによってコントロールされ、リフレッシュ時間の仕様はDRAMメモリによって異なります。メモリ・コントローラは、RAS#のみのサイクルと行アドレスでリフレッシュを実行します。RAS#のみのサイクルの最後が、RAS#のみのサイクルのアドレスの行データを復元するためのプリチャージ動作になります。通常、メモリ・コントローラは、RAS#のみのリフレッシュ・サイクルに必要なすべての行アドレスをシーケンシャルに作成するための行カウンタを持っています。

リフレッシュには、2通りの方法があります（図2参照）。一つは、メモリ・コントローラがバースト・リフレッシュ・サイクルによってすべての行を連続的にリフレッシュし、その後、プロセッサにメモリ・コントロールを戻すという方法です。最長リフレッシュ時間になる前に、次のバースト・リフレッシュを実行します。もう一つの方法は、メモリ・コントローラが、リフレッシュ・サイクルと通常のプロセッサ・メモリ動作をインターリーブする方法です。この方法では、リフレッシュ・サイクルを最長リフレッシュ時間まで広げることができます。

初期のDRAMでは、DRAM IC内にリフレッシュ・カウンタを設け、連続的に行アドレスを生成しました。DRAMの内部では、リフレッシュ・カウンタは、メモリ・アレイの行アドレスをコントロールするマルチプレクサの入力です。外部アドレス入力ピンの行アドレスからも、マルチプレクサに入力されます。この内部リフレッシュ・カウンタ回路により、メモリ・コントローラのリフレッシュ・カウンタ回路が不要になります。このようなDRAMでは、RAS#の前のCAS#サイクルにより、内部で生成する行アドレスを使ってリフレッシュ・サイクルを実行します。

SDRAM

DRAMの非同期動作では、同期プロセッサとインタフェースをとる際、多くの問題が発生します。

SDRAM (Synchronous DRAM) は、DRAMの動作を他のコンピュータ・システムと同期させることにより、CE# (チップ・イネーブル、アクティブ・ロー)、RAS#、CAS#、WE#などのエッジ・トランジションに基づいた、すべての異なったメモリ動作モードを定義する必要がなくなります。

SDRAMでは、クロック信号とメモリ・コマンドの概念を追加しました。メモリ・コマンドのタイプは、SDRAMクロックの立上りエッジにおけるCE#、RAS#、CAS#、WE#信号のステートで決まります。データ・シートには、CE#、RAS#、CAS#、WE#信号のステートによるメモリ・コマンドが表形式で記載されています。

例えば、Activeコマンドは、メモリの行 (ページ) を開けるようSDRAMに行アドレスを送ります。次に、Deselectのコマンド・シーケンスにより、列アドレスと共にリード／ライト・コマンドを送る前のタイミング要求を満足させます。Activeコマンドでメモリの行 (ページ) が開くと、その行 (ページ) のデータについてリード／ライト・コマンドが動作できます。別な行を開く前に、Prechargeコマンドで行を閉じる必要があります。

DDR SDRAM	データ・	メモリ・クロック
DDR-266	266Mbps／ピン	133MHz
DDR-333	333Mbps／ピン	166MHz
DDR-400	400Mbps／ピン	200MHz

表1. DDR SDRAMのデータ・レートとクロック・スピード

DDR SDRAM

DDR (Double Data Rate) SDRAMでは、クロック・レート的高速化、データのバースト転送、1クロック・サイクルあたり2ビットのデータ転送により、メモリ・データ・レート性能を向上しています (表1参照)。DDR SDRAMでは、一つのリード／ライト・コマンドで複数のメモリ・ロケーションがバースト・アクセスされます。メモリのリード動作では、Activateコマンドに続いてReadコマンドを送ります。メモリは、レイテンシの後、クロック・サイクルあたり2つのメモリ・ロケーションのデータ・レートにおいて連続した2、4、8メモリ・ロケーションで応答します。したがって、2つの連続したクロック・サイクルで4つのメモリ・ロケーションが読み書きされます。

DDR SDRAMには複数のメモリ・バンクがあり、複数のインターリーブによってメモリ・アクセスでき、メモリ帯域が拡がります。バンクとはメモリの配列であり、2つのバンクは2列のメモリを、4つのバンクは4列のメモリを表します (図3参照)。4バンクでは、バンク・アドレスのために2ビットが必要になります (BA0&BA1)。

例えば、4バンクのDDR SDRAMでは、次のように動作します。まず、Activeコマンドで第一バンクの行が開きます。二番目のActiveコマンドで第二バンクの行が開きます。これで、第一バンクでも第二バンクでも、任意のRead、Writeの組み合わせでコマンドを送ることができます。バンクでの読み書き動作が完了すると、Prechargeコマンドによって行が閉じ、新しい行を開くActiveコマンドの準備を終えます。

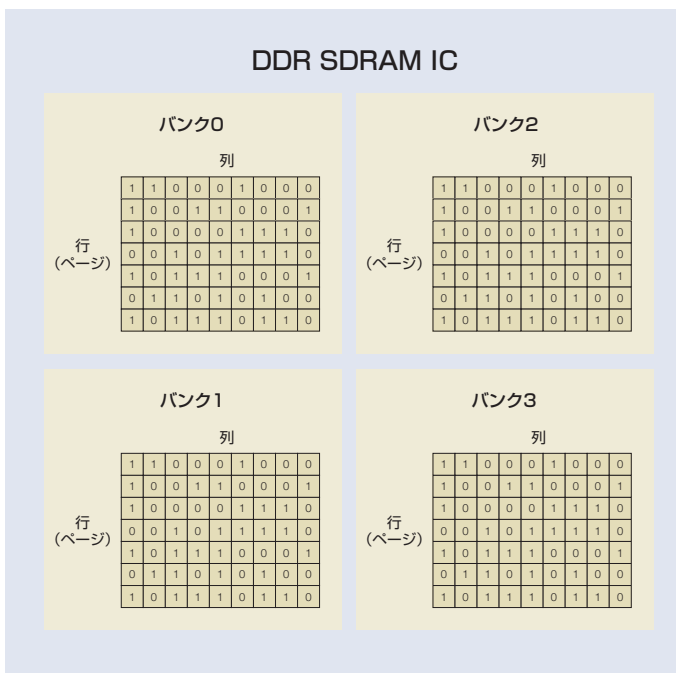


図3. DDR SDRAMにおいて複数のメモリ・バンクをもつことで、柔軟なアクセスと性能の向上が可能になります。

DDR SDRAMに必要な電源は、開く行とバンク数に関係します。開く行の数が多いほど電力が大きくなり、行サイズが大きいほど電力が大きくなります。したがって、低電力のアプリケーションでは、各バンクでは一つだけ行を開くようにし、複数のバンクで同時に行を開かないようにします。

連続したメモリ・バンクで連続したメモリ・ワードをインターリーブすることは、バンク・アドレス・ビットが下位のアドレス・ビットに接続されている場合にサポートされます。バンク・アドレスが上位のアドレス・ビットに接続されている場合に、連続したメモリ・ワードは同じメモリ・バンクに存在します。

DDR2 SDRAM	データ・レート	メモリ・クロック
DDR2-400	400Mbps/ピン	200MHz
DDR2-533	533Mbps/ピン	266MHz
DDR2-667	667Mbps/ピン	333MHz
DDR2-800	800Mbps/ピン	400MHz

表2. DDR2 SDRAMのデータ・レートとクロック・スピード

DDR2 SDRAM

DDR2 SDRAMは、DDR SDRAMに対していくつかの改良が施されています。DDR2 SDRAMのクロック・レートはより高速になっており、メモリのデータ・レートも高速になっています(表2参照)。クロック・レートが高速になっているため、確実なメモリ動作のためにはシグナル・インテグリティが重要になります。クロック・レートが高速になると、回路基板の信号経路は伝送ラインになり、信号経路の終端における正しいレイアウトとターミネーションが重要になります。

アドレス、クロック、コマンド信号は単方向であり、回路基板で終端されていますので、終端処理は比較的簡単です。データ信号とデータ・ストロープ信号は双方向です。メモリ・コントロール・ハブは書き込み動作においてこれらの信号をドライブします。DDR2 SDRAMは読み込み動作のときにこれらの信号をドライブします。複数のDDR2 SDRAMが同一のデータ信号とデータ・ストロープ信号に接続されることが、複雑さを増しています。この複数のDDR2 SDRAMはメモリ・システム上の同一のDIMM上にある場合と、別のDIMM上にある場合があります。結果として、データ信号とデータ・ストロープ信号のドライバ/レシーバは、リード/ライト動作、また、どのDDR2 SDRAMがアクセスされるかによって常に変化します。

DDR2 SDRAMでは、ODT (オンダイ・ターミネーション) によりデータ信号とデータ・ストロープ信号のシグナル・インテグリティを改善しています。ODT信号では、オン・ダイ・ターミネーションが可能であり、またDDR2 SDRAMの拡張モード・レジスタでオン・ダイ・ターミネーションの値 (75Ω、150Ω等) をプログラムできます。

オン・ダイ・ターミネーションの値と動作は、メモリ・コントローラ・ハブによりコントロールされ、DDR2 SDRAM DIMMの場所とメモリ動作（リードまたはライト）により決定されます。ODTにより、電圧マージン、スルー・レートが増え、オーバシュートやISI（Inter-Symbol Interference）が減り、有効なデータ・ウィンドウのアイ・ダイアグラムが大きくなることで優れたシグナル・インテグリティが実現されます。

DDR2 SDRAMのメモリ・システム電源は1.8V動作に減少しており、これはDDR SDRAMの2.5Vに比べて72%になります。実装によっては、行内の列が減ることで、リードまたはライトの低電力化が実現できます。

動作電圧が低いことの利点は、ロジック電圧スイングを小さくできることにもあります。同じスルー・レートでは、電圧スイングが小さいとロジックのトランジション速度が増し、高速のクロック・レートが実現できます。さらに、データ・ストロープ信号を差動信号にプログラムすることもできます。データ・ストロープ信号を差動化することで、ノイズ、クロストーク、ダイナミック消費電力、EMI（電磁妨害）を低減して、ノイズ・マージンを高めることができます。データ・ストロープ信号は、DDR2 SDRAMの拡張モード・レジスタで、差動またはシングルエンド信号に設定されます。

DDR2 SDRAMでは、新機能として追加的なレイテンシが導入されています。これは、メモリ・コントローラ・ハブに柔軟性を持たせることにより、Read/Write信号をActivateコマンドの直後に送れるようにしています。これはメモリのスループットを最適化し、DDR2 SDRAMの拡張モード・レジスタによって追加のレイテンシをプログラミングすることで設定されます。

DDR2 SDRAMでは、8バンクを使用することで1Gビットおよび2Gビットのデータ帯域を実現しています。8ビット・バンクは、異なったメモリ・バンク動作のインターリーブにより、大きなDDR2 SDRAMメモリのアクセスに柔軟性を持たせることができます。また、大きなメモリにおいて、DDR2 SDRAMは8までのバースト長をサポートします。

DDR3 SDRAM	データ・レート	メモリ・クロック
DDR3-800	800Mbps/ピン	400MHz
DDR3-1066	1066Mbps/ピン	533MHz
DDR3-1333	1333Mbps/ピン	667MHz
DDR3-1600	1600Mbps/ピン	800MHz
DDR3-1866	1866Mbps/ピン	933MHz
DDR3-2133	2133Mbps/ピン	1066MHz

表3. DDR3 SDRAMのデータ・レートとクロック・スピード

DDR2 SDRAMのデータ・シートは100ページ以上にもなり、ここで説明した機能は主要な機能の一部にしか過ぎません。機能と詳細については、DDR2 SDRAMのデータ・シートをご参照ください。

DDR3 SDRAM

DDR3 SDRAMはSDRAM技術の性能を改善し、拡張したもので、DDR2 SDRAMで対応している最も高速なデータ・レートである800Mbpsから始まっています。DDR3 SDRAMは、6種類のレベルのデータ・レートとクロック・スピードに対応しています（表3参照）。DDR3-800/1066/1333 SDRAMは2007年に実用化されており、DDR3-1600/1866 SDRAMは2008年に、DDR3-2133 SDRAMは2009年に実用化されると見込まれています。

DDR3 SDRAMは1.5Vで動作します。DDR2 SDRAMの1.8V動作に比べて83%と小さいため、DDR3-1066 SDRAMはDDR2-800 SDRAMよりも低電力です。また、DDR2 SDRAMのデータDQドライバは18Ωですが、DDR3 SDRAMでは34Ωと高インピーダンスになっています。

DDR3 SDRAMのメモリは512Mバイトから始まり、将来は8Gバイトになると見込まれています。DDR2 SDRAMと同様、DDR3 SDRAMのデータ出力は×4、×8、×16で構成されます。メモリ・サイズにもよりますが、DDR2 SDRAMでは4または8バンクであり、DDR3 SDRAMでは8バンクです。

DDR2もDDR3 SDRAMも共に4つのモード・レジスタを持っています。DDR2では2つのモード・レジスタが設定され、2つは予備となっています。DDR3では、4つのモード・レジスタすべてを使用します。大きな違いは、DDR2のモード・レジスタでは読み込みでCASレイテンシを設定し、書き込みではモード・レジスタの読み込みレイテンシ設定-1に設定されます。DDR3のモード・レジスタでは、CASの読み込みレイテンシと書き込みレイテンシの両方を別々に設定します。

DDR3 SDRAMでは8nプリフェッチ・アーキテクチャを使用しており、4クロック・サイクルで8データ・ワードを転送します。DDR2 SDRAMでは4nプリフェッチ・アーキテクチャを使用しており、2クロック・サイクルで4データ・ワードを転送します。

DDR3 SDRAMのモード・レジスタはオンザフライ・バースト・チョップに対応するようプログラムされており、読み込みまたは書き込みコマンドでアドレス・ラインを12行に設定することで、8データ・ワードを4データ・ワードに短くします。オンザフライ・バースト・チョップは、DDR2およびDDR3 SDRAMに共通のアドレス行10の読み込みと書き込みのオートプリチャージ機能の概念と似ています。

その他、DDR3 SDRAMで特長的なのが差動のデータ・ストロブDQSです。DDR2 SDRAMのデータ・ストロブは、モード・レジスタによってシングルエンドまたは差動でプログラムされています。DDR3 SDRAMには、アクティブ・ロー非同期RESET#という新しいピンがあり、現在のステートに関係なくSDRAMを既知のステートにすることでシステムの安定性を改善することができます。DDR3 SDRAMでは、DDR2 SDRAMと同じFBGAパッケージを使用しています。

DDR3 DIMMは、DIMM上にコマンド、クロック、アドレスのためのターミネーションを持っています。DDR2 DIMMを使用する多くのシステムでは、マザーボードでコマンド、クロック、アドレスを終端します。DIMM上のDDR3 DIMMターミネーションにより、フライバイ・トポロジが可能になり、SDRAMの各コマンド、クロック、アドレス・ピンは、DIMMの配線端で終端される1本の配線に接続されます。これによりシグナル・インテグリティが改善され、DDR2 DIMMのツリー・アーキテクチャに比べて高速な動作が可能になります。

フライバイ・トポロジにより、書き込みにおけるクロックCKとデータ・ストロブDQS間のタイミング・スキューを占めるDDR3 SDRAMのメモリ・コントローラにおける新しいレベルの書き込み機能が可能になります。DDR3 DIMMはDDR2 DIMMと異なったキーになっており、間違ったDIMMがマザーボードに差し込めないようになっています。

DIMM

DIMM (Dual Inline Memory Module) は、コンピュータで使用するプラグイン・タイプのメモリ・モジュールです。

DIMMには、いろいろな物理的なサイズ、メモリ・データ幅、ランク、メモリ・サイズ、メモリ・スピード、メモリ・アーキテクチャがあります。

JEDECはDIMMの規格を制定し、新しいメモリ・タイプ、メモリ・アーキテクチャによる、新しいDIMM規格を引き続き策定しています。

DIMMの物理サイズ

標準サイズのDIMMは、デスクトップ、ワークステーション、サーバで使用されます。SO-DIMM (Small Outline DIMM) は小型のDIMMで、ラップトップなどのスペースが限られた用途で実装されます。2枚のSO-DIMMをコンピュータのマザーボードに平行に、エッジ・コネクタを隣どうしに配置したものをバタフライ・コンフィグレーションと呼びます。2つのエッジ・コネクタを蝶々の体に、SO-DIMMを開いた羽と見ることができます。Mini-DIMM (ミニチュアDIMM) はSO-DIMMより小型で、シングル・ボード・コンピュータで使用されます。VLP-DIMM (Very Low Profile DIMM) は高さが低く、ブレード・サーバで使用されます。

DIMMのデータ幅

DIMMデータ幅は、ECC (エラー検出コード) のサポートに依存します。ECCは8ビットのチェック・ビットで、エラーの検出、修復に使用されます。標準のDIMMデータ幅は、ECCなしで64ビット、8ECCビット付きで72ビットです。

DIMM	4 I/O per IC	8 I/O per IC	16 I/O per IC
1ランク	16 ICs	8 ICs	4 ICs
2ランク	32 ICs	16 ICs	8 ICs
4ランク	64 ICs	32 ICs	16 ICs

表4. DIMMのランクとメモリICのデータI/O数による、DIMMあたりのメモリIC数 (ECCなし)

ページ・サイズ	I/Oピン数	バンク数
32メガ・ビット	4	4
16メガ・ビット	8	4
8メガ・ビット	16	4

表5. 512Mb (メガ・ビット) メモリICの構成例

DIMMのランク

ランクとは、DIMMにおいて64ビット・データまたはECC付きで72ビット・データをサポートする、メモリ・デバイス・グループ数をさします。ランク2では、1枚のDIMM上に2つのメモリ・デバイス・グループが存在します。ランク4では、1枚のDIMM上に4つのメモリ・デバイス・グループが存在します。表4では、ECCなしの64ビット・データ幅をサポートする、DIMM 1枚のメモリICの数を示します。DIMMの両サイドにすべてのメモリICを載せるだけのスペースがないことがあります。このような場合は、メモリICを積み重ねて実装します。

DIMMのメモリ・サイズと速度

DIMMのメモリ・サイズは、使用されるメモリICのサイズとDIMM構成に依存します。512Mb (メガ・ビット) のメモリICは、異なった構成で設計されることがあります (表5参照)。DIMMの速度は、DIMMで使用されるDDR、DDR2、DDR3 SDRAMのクロック・スピードに依存します。

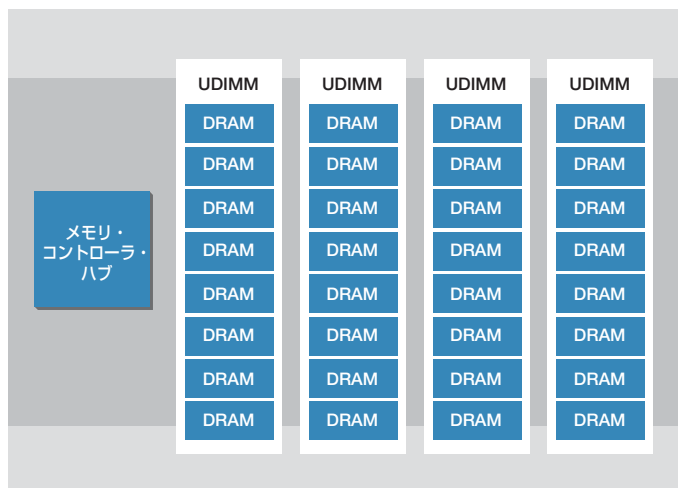


図4. UDIMMはDIMM上のDRAM信号をバッファリングしていません。

DIMMのアーキテクチャ

DIMMには、主にUDIMM、RDIMMそしてFB-DIMMという3種類のアーキテクチャがあります。どのDIMMアーキテクチャにも長所、短所があります。

UDIMMはアンレジスタードDIMMです。UDIMM (Unregistered DIMM) では、DIMM上でDDR、DDR2、DDR3 SDRAM信号をバッファリングしていません (図4参照)。UDIMMは、最初実装されたDIMMアーキテクチャです。1枚または2枚のDIMMメモリ・システムでは、UDIMMが最も高速で低価格です。メモリ・コントローラ・ハブが、すべてのDRAM信号を直接コントロールします。UDIMM上のメモリ・コントローラ・ハブとSDRAM間においては、バッファやレジスタによる遅延はありません。メモリ・コントローラ・ハブのメモリ・チャンネルにおけるUDIMMの数は、シグナル・インテグリティによって制限されます。シグナル・インテグリティは、メモリ・クロックの高速化、トレース長の増加、メモリ・チャンネルあたりのUDIMM数の増加、UDIMMのランク数の増加によって劣化します。メモリ・コントローラ・ハブは、すべてのコネクタ、トレース、トレース・ブランチ、SDRAMピンをモニタします。ツリー・スタブ構造でのインピーダンスによる問題は、クロック周波数と、メモリ・チャンネルが確実に動作できるUDIMM数に影響します。

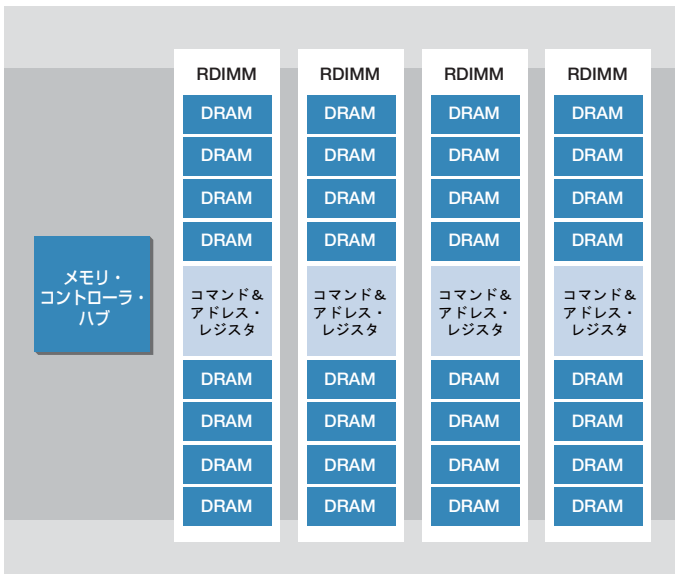


図5. RDIMMでは、DIMM上でDRAMクロック信号、コマンド信号、アドレス信号をバッファします。

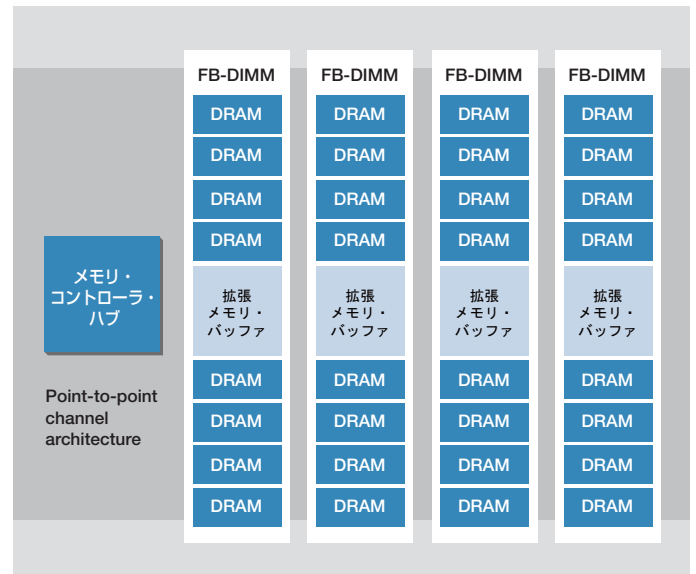


図6. FB-DIMMでは、DIMM上でDDR2 SDRAM信号をバッファします。

メモリ・システムのUDIMM数を増やすには、独立した別のメモリ・チャンネルを持ったメモリ・コントローラ・ハブを使用する方法があります。2つの独立したメモリ・チャンネルにより、メモリ・チャンネルあたり1枚のUDIMMで、合計2つの高速UDIMMがサポートできます。

RDIMMはレジスタードDIMM (Registered DIMM) です。RDIMMではSDRAMクロック、コマンド信号、アドレス信号をバッファリングすることで、ツリー・スタブ構造による問題を軽減します (図5参照)。クロック信号はPLL (Phase Lock Loop) でバッファされ、コマンド信号とアドレス信号はレジスタ・ラッチでバッファされます。通常RDIMMは、1個のPLL ICと2個のレジスタICと共に実装されます。メモリ・コントローラ・ハブ・クロック、コマンド信号、アドレス信号は、マザーボード配線、DIMMコネクタ、RDIMMレジスタ、RDIMM PLLのインピーダンスを見ます。このツリー・スタブ構造により、メモリ・チャンネルでより多くのRDIMMが使用でき、高速になります。双方向の

DQデータ・ラインやDQSデータ・ストロブ・ラインは、バッファリングされてないため、信号負荷の低減による利点はありません。また、RDIMMでは、コマンドとアドレス信号をラッチしてレジスタへ渡すために1クロック・サイクルが必要になりますので、メモリ・アクセス時間は、UDIMMに比べて1クロック分遅くなります。

FB-DIMMは、フル・バッファ型のDIMMです。FB-DIMMではDDR2 SDRAMを使用し、FB-DIMM2ではDDR3 SDRAMを使用します。すべてのDDR2 SDRAMとDDR3 SDRAM信号は、FB-DIMMとFB-DIMM2上のAMB (拡張メモリ・バッファ) ICのメモリ・システムによりバッファされます (図6参照)。FB-DIMMとFB-DIMM2では、異なるAMBが使用されます。メモリ・コントローラ・ハブの隣にある最初のFB-DIMMは、最高24本の高速差動信号でメモリ・コントローラ・ハブと通信し、最高24本の高速差動信号で隣接したFB-DIMMと通信します (図7参照)。

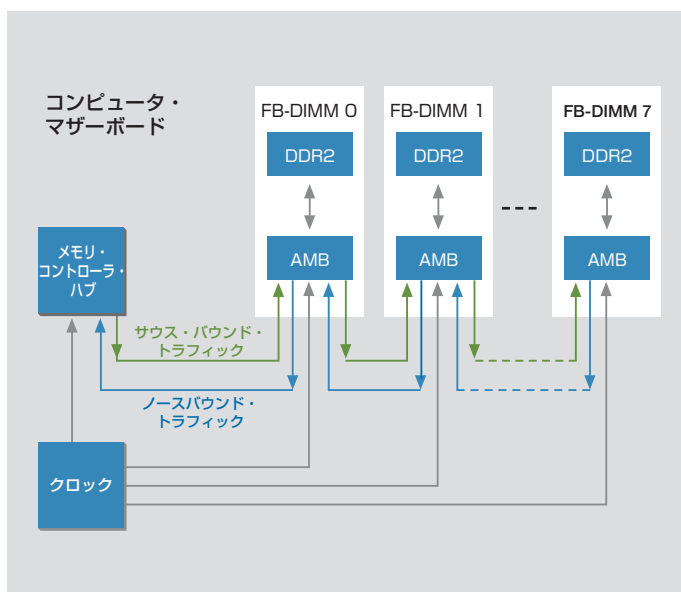


図7. FB-DIMMのポイント・ポイント間、高速シリアル・アーキテクチャ

これらの信号は単一方向、ポイント・ポイント間、高速シリアル技術によりコマンドとデータを送ります。10本の信号により、メモリ・コントローラ・ハブからAMBに向かってサウスバウンド・トラフィックを送り、12～14本の信号により、AMBからメモリ・コントローラ・ハブに向かってノースバウンド・トラフィックを送ります。FB-DIMMのアーキテクチャは、最新の高速デジタル設計トレンドにしたがい、ツリー・スタブ構造によるパラレル・バスから、少ないポイント・ポイント間、高速シリアル・レーンになっています。

FB-DIMMアーキテクチャは、FB-DIMM上のDDR2メモリから、AMBを経由して、シリアル・ノースバウンドのポイント・ポイント間信号をメモリ・コントローラ・ハブへ、メモリのフルスピードでデータ転送するように設計されています。

シリアル・フレームは12ビット長で、その幅は10サウスバウンド信号レーンから14ノースバウンド信号レーンです。

DDR2 SDRAM	4 I/O per IC	8 I/O per IC	16 I/O per IC
DDR2-533	16 ICs	8 ICs	4 ICs
DDR2-667	32 ICs	16 ICs	8 ICs
DDR2-800	64 ICs	32 ICs	16 ICs

表6. FB-DIMMポイント・ポイント間シリアル・レーンのシリアル・データ・レートは、FB-DIMMのDDR2 SDRAMのスピードに依存します。

レーン	シリアル・フレームのビット数
10サウスバウンド・レーン	120
12ノースバウンド・レーン	144
13ノースバウンド・レーン	156
14ノースバウンド・レーン	168

表7. FB-DIMMシリアル・データ・ノースバウンド・フレームのサイズは、使用されるノースバウンド・レーンの数に依存します。

12シリアル・ビットは、一つのDDR2クロック・サイクルで転送されます。したがって、DDR2のクロック周波数を12倍することで、高速シリアル・レーンのデータ・レートが求められます。同様に、DDR2のデータ・レートを6倍することで、高速シリアル・レーンのデータ・レートが求められます（表6参照）。コンピュータのマザーボードのメモリ・システム・クロックは、DDR2クロックの半分です。AMBのPLL機能により、DDR2 SDRAMクロックが2倍になります。

サウスバウンド・レーンは10に固定されており、ノースバウンド・レーンは12～14です。レーンに12シリアル・ビットをかけると、フレームのビット数が求められます（表7参照）。サウスバウンド・レーンは10に固定されていますので、1フレームあたり120ビットです。ノースバウンド・レーンは、FB-DIMMでECCが使用されているか、また使用されるシリアルCRCビット数によって異なります。

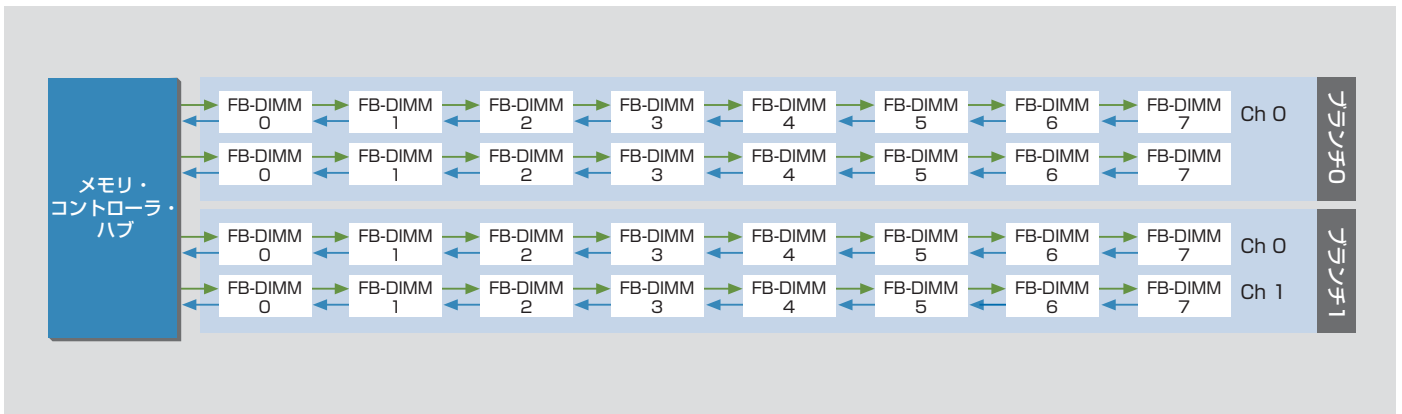


図8. FB-DIMMメモリ・コントローラ・ハブは、最高8つのFB-DIMMをサポートするチャンネルを4つサポートできます。1GバイトのFB-DIMMを使用することで、合計32Gバイトのシステム・メモリが可能になります。4GバイトのFB-DIMMを使用することで128Gバイトまで拡張できますので、パフォーマンス・サーバやハイエンド・ワークステーションでは優れたメモリです。

例えば、ECCがない場合、ノースバウンド・フレームでは、2つの64ビット・ワード（ $2 \times 64 =$ トータル128ビット）が転送される必要があります。1フレームあたり144トータル・ビットの12ノースバウンド・レーンは、このデータ・レートを取り扱うことができます。一方、ECC付きの2つの72ビット・ワード（ $2 \times 72 =$ トータル144ビット）をノースバウンド・フレームで転送する必要があります。1フレームあたりトータル144ビットを転送する場合、12ノースバウンド・レーンでは144データ・ビットにシリアルCRCビットが加わるため不十分ですので、13または14ノースバウンド・レーンが必要になります。

一つのFB-DIMMチャンネルは、最高8つのFB-DIMMをサポートします。メモリ・コントローラ・ハブからは、チャンネルあたりわずか24本の高速信号配線が必要であり、またこれらの配線は

等長である必要はありませんので、FB-DIMMのマザーボードのレイアウトは容易です。一方、UDIMMまたはRDIMMでは、メモリ・コントローラ・ハブからコマンド、アドレス、データなど、多くのパラレル信号が必要であり、また正しい動作のためには等長配線が必要になります。メモリ・チャンネルあたりの少ないFB-DIMM信号と簡単な回路基板配線により、メモリ・コントローラ・ハブはより多くのFB-DIMMメモリ・チャンネルをサポートできます（図8参照）。これは、同時に各メモリ・チャンネルをアクティブにできますので、メモリの帯域が広がることを意味します。

FB-DIMMは、大容量のメモリ・システムが要求されるサーバで使用されています。ハイエンド・ワークステーションも、FB-DIMMを使用すると予想されています。

バイト番号	機能の概要	SPDの16進値
0	モジュール製造メーカーによってシリアル・メモリに書かれたバイト数を定義	80
1	SPDメモリ・バイトの総数	08
2	基本的なメモリ・タイプ (FPMまたはEDO)	01または02
3	メモリ・デバイスの行アドレス数	0C
4	メモリ・デバイスの列アドレス数	0A
5	メモリ・モジュールの物理バンク数	01
6	モジュールのデータ幅	40
7	データ幅 (続き)	00
8	モジュール電圧インタフェース・レベル	01
9	このモジュールのRASアクセス時間	3C
10	このモジュールのCASアクセス時間	0F
11	モジュール・エラー・コレクション設定のタイプ (ノンパリティ、パリティ、ECC)	00または01または02
12	リフレッシュ・レート／タイプ	00または83
13	プライマリDRAM幅	10
14	エラー・チェックングDRAMデータ幅	00
15 - 61	予備	00
62	SPDのリビジョン	00
63	バイト0~62のチェックサム	Calculated
64	製造メーカーのJEDEC IDコード	2C
65 - 71	製造メーカーのJEDEC IDコード (続き)	00
72	製造メーカーの所在地	01 - 08
73 - 90	製造メーカーの部品番号	Variable
91	PCBのIDコード	01 - 09
92	PCBのIDコード (続き)	00
93	製造の年	Variable
94	製造の週	Variable
95 - 98	モジュールのシリアル番号	Variable
99 - 125	製造メーカーによる特有のデータ	Variable
126 - 127	予備	00
128 - 255	ユーザによるフリー・フォーム (未定義)	FF

表8. コンピュータのBIOSは、SPDインタフェースによりDIMMの設定を読み取ります。SPDデータはJEDEC規格により仕様が定められています。

SPD (Serial Presence Detect)

SPDは、すべてのコンピュータのDIMMにある機能で、メモリ・サイズ、スピード、レイテンシ、タイミング、製造メーカーなどのDIMMメモリの設定を、コンピュータのパワーオン時にコンピュータのBIOS (Basic Input Output Software) に知らせます (表8参照)。パワーオン時、BIOSはSPDにより各DIMMの設定情報をSPDを使って読み取ります。この情報は、メモリ・コントローラ・ハブの設定や、各UDIMM、RDIMMのDRAMモードと拡張モード・レジスタの設定に使用されます。SPDは、JEDEC規格により仕様が定められています。

UDIMMやRDIMMでは、SPDは低速度のI²Cインタフェースを持った小型の不揮発性メモリICとして、各DIMMに実装されています。マザーボードには、ユニークなアドレス (0~7) を持った、各DIMMスロットのためのI²Cインタフェースがあります。パワーオン時、I²Cインタフェースによって各DIMMスロットがチェックされます。DIMMが実装されている場合、BIOSによってSPDの値が読み取られます。FB-DIMMでは、SPDはI²Cインタフェースを持ったAMBによって実装されます。FB-DIMMのI²Cインタフェースは、SM (システム・マネージメント) バスと呼ばれます。SMバスは、各FBDIMMでAMBを設定するために使用されます。

メモリ・システムの設計

製品設計の最初の手順は、製品の仕様、製品のアーキテクチャ設計、サブシステム設計です。サブシステム設計の一つがメモリ・システムです。メモリ・システムの設計は、メモリ・サイズ、スピード、電力、現在の規格、新しく策定された規格、既存設計の再利用、その他の要求をもとに行います。

コンピュータ・チップセット・メーカーは、コンピュータのメモリ・システム設計に強く影響を与えます。独自のテスト手順、評価プロセス、製品テストの実験室をもっているコンピュータ・チップセット・メーカーもあります。通常、コンピュータ・チップセット・メーカーは、自社の互換性テストに合格したメモリ製品をウェブ・サイトで公開しています。

設計シミュレーション

メモリ・システム設計の主要パートは設計シミュレーションです。総合的なメモリ・システム設計のシミュレーションの重要性は軽視できません。たった数Ωの抵抗の変更が、メモリ・システムの確実な動作に大きな影響を与えることは、経験則により知られています。

メモリ・システム設計のシミュレーションでは、プロトタイプメモリ・システムに計測器を接続することによって生ずるプローブ負荷の影響も含める必要があります。プローブ負荷によってプロトタイプの動作が止まってしまうような場合は、評価やデバッグが非常にむずかしくなります。また、計測器のプローブ負荷が加わったプローブ・テスト・ポイントにおける解析も、シミュレーションする必要があります。データの有効ウィンドウは、メモリ・コントローラ・ハブ・ドライバからSDRAMのピンまでの信号配線にもなって変化します。

プロービングするテスト・ポイントは、レシーバ・ピンにできるだけ近くとり、レシーバでの信号が観測できるようにします。これが不可能な場合や、インターポーザやテスト・アダプタ基板、特殊なプロービング・フィクスチャを使って信号にアクセスします。このプロービング・フィクスチャなども、SDRAM信号や信号測定の影響を理解するため、設計シミュレーションに含めます。

設計評価

設計において新しいDRAMの機能を使う場合、新しい設計シミュレーションの技術から、新しいBIOS動作まで、新しい設計手法と技術が必要になります。その結果、DRAM設計の実装では、確実なメモリ動作のための回路基板の製作からソフトウェア動作まで、完全な評価とテストが必要になります。設計の実装評価が十分に行われなかったために発生するメモリの間欠的なエラーは、製品の信頼性を損なうことになります。さらに顧客は、JEDECや他のメーカーによって定義された、各種のコンプライアンス・テストを満足するような製品を要求することがあります。

評価手法

どのような設計の実装でも、効率的ですばやく設計問題をデバッグするための手法は大事なことです。短時間かつタイムリーに製品投入しなければならない場合、設計時の早い段階で評価／デバッグの計画が必要になります。計画には、以下のような項目を盛り込みます。

- 新しい設計要素は何か、再利用する設計要素は何か。
- 過去の設計から、避けるべきことは何か、変更すべきことは何か。
- どの程度の評価、テストが必要か。テストでは特殊な動作モード、信号パターンが必要か。
- 特殊なデザイン・イン機能は必要か（プロービング・テスト・ポイントまたはテスト・フィクスチャ）、プロトタイプのプロビングのためのシミュレーション解析が必要か、ハードウェアを実行するための特殊なソフトウェアが必要か。
- 環境試験が必要か（温度、湿度等）。
- デバッグするための回路動作の視覚的な検証方法はあるか。
- 規定されたコンプライアンス・テストは必要か。評価／デバッグ・テスト・ポイントを使って製造時に製品をテストするか、サービス部門で製品を修理する場合、評価／デバッグ・テスト・ポイントを使用するか、また、現時点で知り得ないリスクをどのように管理するか。

評価	項目	計測器
回路基板製造	シングルエンドの配線インピーダンス	TDR (サンプリング・オシロスコープ)
	差動の配線インピーダンス	TDR (サンプリング・オシロスコープ)
	トレース長	TDR (サンプリング・オシロスコープ)
	クロストーク	TDT (サンプリング・オシロスコープ)
電源と信号	電源品質、ノイズ、グリッチ、グラウンド・バウンス	オシロスコープ
	クロックのシグナル・インテグリティ、 立上り/立下り時間/スルー・レート、 拡散スペクトラム・クロック・プロファイル	オシロスコープ (ジッタ解析ソフトウェア)
	コマンド、アドレスとデータの有効ウィンドウ、 クロック、ストローブとデータ信号のスキュー	オシロスコープ (ジッタ解析ソフトウェア)
	FB-DIMMシリアル信号データの有効ウィンドウ	オシロスコープ (シリアル・データ・ コンプライアンス/解析ソフトウェア)、 シグナル・ジェネレータとFB-DIMMフィクスチャ
プロトコル・シーケンスと タイミング	メモリ・システムの電源投入時の初期化プロトコルと タイミング	ロジック・アナライザ (SDRAMサポート・パッケージ)
	SDRAMモード・レジスタの動作	ロジック・アナライザ (SDRAMサポート・パッケージ)
	SDRAMコマンド・プロトコルとタイミング	ロジック・アナライザ (SDRAMサポート・パッケージ)
	リード/ライト・データの有効ウィンドウ	ロジック・アナライザ (SDRAMサポート・パッケージ)
	リフレッシュ動作	ロジック・アナライザ (SDRAMサポート・パッケージ)
	メモリ・チャンネル・トラフィック	ロジック・アナライザ (FB-DIMM/SDRAMサポート・パッケージ)

表9. 評価項目とテスト機器

例えば、評価手法として、新しいASIC/FPGAを使った新しいシステム・アーキテクチャを評価するため、数多くのプロービング・テスト・ポイントをもった評価用のプロトタイプを作ることがあります。評価用のプロトタイプをフルスピードでテストし、そのスピードにおける動作や性能を評価することがベストです。

複雑な設計では、問題点をすばやく、ピンポイントで見つけるための、リアルタイム動作の総合的、視覚的な検証が必要になります。評価用のプロトタイプが正しく機能することがわかり、評価が完了したならば、最終のプロトタイプでは、テスト・ポイントを減らして実装することができます。

SDRAMの評価

DRAMの評価とテスト技術は、どのように設計されたかによって異なります。DRAMの設計は、次のようにグループ分けできます：コンピュータ・メモリ・コントローラ・ハブIC、メモリIC、AMB IC、DIMM、コンピュータ・マザーボード、組み込みシステム。どの製品も、異なった評価手法、評価用テスト、評価用テスト機器が必要になります。例えば、メモリICの設計エンジニアは、回路基板の製造については評価しませんが、DIMMの設計エンジニアはDIMM基板を評価します。

メモリ・コントローラは、通常、組み込みシステム設計エンジニアが設計します。これは、特定のプロセッサとユニークな組み込みシステム入出力構成を組み合わせるための独自の要求があるためです。結果として、設計作業で特に重要となるのは、メモリ・コントローラの設計と、メモリ・コントローラとメモリIC間の回路基板のレイアウト設計となります。設計のこの部分を評価することは、確実な動作のためには非常に重要です。

DRAMの評価、テストには、サンプリング・オシロスコープ、オシロスコープ、ロジック・アナライザ、プローブ、テスト・フィクスチャ、解析ソフトウェア、コンプライアンス・ソフトウェアなど、広範囲な計測器が必要になります（表9参照）。テスト機器では、被測定回路に負荷を与えないプロービング、正確なアクイジション、電気信号とプロトコル・レイヤのシステムの視覚化が必要になります。設計エンジニアにとっては、メモリ動作の短時間の評価、強力な解析能力が必要になります。

コンピュータ・システムや組み込みシステムをロジック・アナライザで観測することで、強力な評価／デバッグが可能になります。ロジック・アナライザでは、プロセッサのバス動作、メモリ動作、入出力動作のトレースと相互の関連付けが可能になります。ロジック・アナライザでは、システム全体が視覚的に表示でき、リアルタイムなシステム動作を評価できます。さらに、オシロスコープとロジック・アナライザの統合されたプロービング、トリガ、表示機能により、ソフトウェア・リスト、プロトコル・リスト、デジタル波形、アナログ波形などが同じディスプレイで表示できます。これらにより、強力で、効率の良い解析が可能になります。

当社は、業界をリードするオシロスコープ、真の差動TDR、Nexus Technology社のメモリ・サポートとロジック・アナライザを初めとする幅広いツール・セットを提供し、組み込みシステム、コンピュータ設計エンジニアのためのメモリ設計の正確な電氣的テストと動作評価がすばやく、正確に行えます。これらのツール・セットを使用することで、優れた操作性と性能が実現され、組み込みシステムやコンピュータ・メモリ・システムの評価、デバッグの理想的なソリューションとなります。

用語集

ご参考のため、この入門書では使われていない用語についても記載しています。

A

AMB (Advanced Memory Buffer／拡張メモリ・バッファ) : 高速シリアル・クロックの割り当て、フレーム・バウンダリの特
定、チャンネル接続の評価など、サウスバウンドとノースバウン
ド・チャンネルの初期化を行う。

Amplitude (振幅) : 信号の量、強さを示す大きさ。電気分野で
は、通常、電圧または電力であらわす。

Analog Signal (アナログ信号) : 連続的に変化する電圧の信号。
ADC (Analog-to-Digital Converter／アナログ・デジタル変換
器) : 電気信号を離散的な2進値に変換するデジタル電気部品。

Asynchronous (非同期) : 同期でないこと。ロジック・アナラ
イザは、自身のサンプリング・クロックで実行する。クロックは
独立しており、被測定回路のタイミングには関係ない。非同期は、
タイミング・モードの基本。

Attenuation (減衰) : 一つのポイントから別のポイントへ転送す
る際に信号振幅が減少すること。

B

BGA (Ball Grid Array／ボール・グリッド・アレイ) : 集積回路
パッケージの一種。

Bandwidth (周波数帯域) : 周波数レンジ。通常は、 -3dB 減衰
する周波数をさす。

Bit (ビット) : 1または0で状態を表す2進数。

Byte (バイト) : 通常8ビットで構成される一つのデジタル情報の
単位。

C

CE# (Chip Enable／チップ・イネーブル) : デバイスをアクティ
ベートする信号。

CS# (Chip Select／チップ・セレクト) : デバイスを選択する
信号。

Clock Rate (クロック・レート) : デバイスが基本的な動作を実
行する、一秒間あたりの基本サイクル・レート。

CAS# (Column Address Select／列アドレス・セレクト) :
デバイス内の列アドレスを指定する信号。

Cursor (カーソル) : 正確な波形測定のためのオンスクリーン・
マーカ。

CRC (Cyclic Redundancy Code／巡回冗長コード) : 受信、
保存、転送されるデータが壊れていないか検出するためのプロッ
ク数。CRCを巡回し、転送された元の値と比較することで、レ
シーバにおいて転送エラーを検出することができる。

D

dB (Decibel／デシベル) : 二つの電気信号における、電力の相対
的差異を表す単位。二つのレベルの比の常用対数を10倍する。

DUT (Device Under Test／被測定デバイス) : 計測器によって
テストされるデバイス。

Digital Oscilloscope (デジタル・オシロスコープ) : 測定した電
圧をデジタル情報に変換するためのADC (アナログ・デジタル変
換器) を使用したオシロスコープの一種。デジタル・ストレージ、
デジタル・フォスファ、デジタル・サンプリングの3種類がある。

**DPO (Digital Phosphor Oscilloscope／デジタル・フォス
ファ・オシロスコープ)** : 波形の保存、自動測定など、従来のデジ
タル・オシロスコープの利点を持ちながら、アナログ・オシロス
コープの表示特性を模したデジタル・オシロスコープの一種。
DPOでは、並列処理アーキテクチャによって信号をラスタ・タイ
プの表示に送ることにより、リアルタイムに輝度階調のある波形
表示が可能になる。DPOでは、振幅、時間および時間に対する振
幅の分布の3次元で表示する。

Digital Sampling Oscilloscope (デジタル・サンプリング・オシロスコープ) : 等価時間サンプリングを採用しているデジタル・オシロスコープの一種で、オシロスコープのサンプル・レートよりも高速な信号成分を持った信号を正確に測定するのに適している。

Digital Signal (デジタル信号) : 電圧が離散的な2進値で表される信号。

DSO (Digital Storage Oscilloscope/デジタル・ストレージ・オシロスコープ) : デジタル・サンプリング (アナログ・デジタル変換器を使用) によって信号を取込むデジタル・オシロスコープのこと。アキュイジション、ユーザ・インタフェース、ラスト表示などをシリアル処理アーキテクチャで実行する。

Digitize (デジタル化) : アナログ・デジタル変換器によって実行されるプロセスで、水平軸システムにより離散的な時間でサンプリングし、そのポイントでの電圧を、サンプル・ポイントと呼ばれるデジタル値に変換する。

DDR (Double Data Rate/ダブル・データ・レート) : クロックの2倍のデータ・レートでコマンドを読み書きする。

DIMM (Dual Inline Memory Module) : PCで使用されるDRAM用に広く採用されているパッケージ規格。

DRAM (Dynamic Random Access Memory/ダイナミック・ランダム・アクセス・メモリ) : メモリの一種で、各データ・ビットを個別のコンデンサによって記憶する。

E

ECC (Error Correction Code/エラー・コレクション・コード) : エラー検出/訂正のための8ビット・コード。

F

FET (Field Effect Transistor/電界効果トランジスタ) : 電界によって出力電流を制御するトランジスタ。

FBGA (Fine-pitch Ball Grid Array) : 集積回路パッケージの一種。

周波数 : 信号が一秒間で繰り返す回数で、Hz (ヘルツ) で表される。1/周期に等しい。

FB-DIMM (Fully Buffered Dual Inline Memory Module) : 次世代のメモリ・アーキテクチャ。

G

Gb (Gigabit/ギガビット) : 10億ビットの情報。

GB (Gigabyte/ギガバイト) : 10億バイトの情報。

GHz (Gigahertz/ギガヘルツ) : 10億ヘルツのこと。

GT/s (Gigatransfers per Second) : 一秒当たり10億のデータ転送。

グリッチ : 回路で間欠的に発生する高速なエラー。

H

Hz (Hertz/ヘルツ) : 周波数の単位で、一秒間に一回のサイクル。

I

iCapture® Multiplexing (iCapture™マルチプレックシング) : 一本のロジック・アナライザ・プローブで、デジタル、アナログの両方の同時信号取込みが可能。

iLink® Toolset (iLink® ツール・セット) : 迅速なトラブル検出、トラブルシュートのための、iCapture®、iView®、iVerify®などを含んだツール・セット。

I/O (Input/Output) : デバイスへの入出力信号。

IC (Integrated Circuit/集積回路) : エッチング、刻印された部品、相互接続の集合セット。

Interleave (インターリーブ) : 一定の間隔で交互に配置すること。

iVerify® Analysis (iVerify®解析) : 複数チャンネルのバス解析と、オシロスコープで作成されたアイパターンによる評価テストが可能になります。

iView® Display (iView®表示) : ロジック・アナライザの表示上で、ロジック・アナライザとオシロスコープによる測定を、時間相関をとりながら表示します。

J

JEDEC (Joint Electron Device Engineering Council) : EIA (Electronic Industries Alliance) の半導体技術標準化団体であり、電子部品に関する業界団体。

K

kHz (Kilohertz／キロヘルツ)：1000Hzのこと。

L

Latency (レイテンシ)：送信から受信までに要する時間。例として、DQピンでデータが利用できる場合、最初のステップから三番目のステップのリード・サイクルに要する時間。

Loading (負荷)：プローブとオシロスコープによる意図しない影響であり、被測定回路に接続することで信号を劣化させる。

Logic Analyzer (ロジック・アナライザ)：時間に対するデジタル信号の論理状態を観測するための計測器。デジタル・データを解析し、リアルタイムなソフトウェア実行、データ・フロー、ステート・シーケンスなどが表示できる。

M

MagniVu® Acquisition (MagniVu®アキュイジション)：当社ロジック・アナライザの核となる、独自の高分解能サンプリング・アーキテクチャ。

トリガ・ポイント周辺の信号を高分解能でダイナミックに記録できる。

Mb (Megabit／メガビット)：100万ビットの情報。

MB (Megabyte／メガバイト)：100万バイトの情報。

MHz (Megahertz／メガヘルツ)：100万ヘルツ。

MS/s (Megasamples per second／メガサンプル／秒)：一秒間に100万サンプルのサンプル・レート。

MT/s (Megatransfers per second／メガトランスファ／秒)：一秒間に100万のデータ転送。

Memory Cycle Time (メモリ・サイクル・タイム)：リード・サイクルの最初のステップから最後のステップを完了するまでの時間。

μs (Microsecond／マイクロセカンド)：0.000001秒。

ms (Millisecond／ミリセカンド)：0.001秒。

Mini-DIMM (Miniature Dual Inline Memory Module)：SODIMMと似ており、通常、シングル・ボード・コンピュータで使用される。

Motherboard (マザーボード)：コンピュータのメイン・システム回路基板であり、プロセッサ、メモリ・コントローラ、ハードディスク・コントローラ、入出カインタフェース・チップなどを含む。DIMMやビデオ・カードなどの回路基板は、マザーボードに接続される。

N

Nanosecond (ns／ナノセカンド)：0.000000001秒。

Noise (ノイズ)：回路で発生する予期しない電圧または電流。

O

Oscilloscope (オシロスコープ)：時間に対する電圧の変化を表示する計測器。「オシロスコープ」という名前は、発振 (Oscillate) 電圧を測定したことから由来している。

OE# (Output Enable／出カインネーブル)：デバイスの出力をアクティベートする。

P

Period (周期)：波形の1サイクルが完了する時間。(1／周波数)に等しい。

Pre-trigger Viewing (プリトリガ観測)：トリガ・イベント前の信号を捉えるデジタル計測器の機能。トリガ以前の観測時間は設定可能。

Precharge (プリチャージ)：適切な電荷をキャパシタに蓄えられるためのDRAMのアクセス・サイクルのステップ。

Probe (プローブ)：計測器の入力デバイスであり、通常は、回路要素と電気的な接点を持つための、先端の尖った金属チップと、グランド基準に接続するためのリード、そして、信号とグランドを計測器に導くためのケーブルで構成されている。

Pluse (パルス)：高速な立上りエッジと立下りエッジを持った波形の形状をさす。

Pluse Train (パルス列)：パルスが連なった集合。

Pluse Width (パルス幅)：パルスがローからハイになり、再びローになるまでの時間。全電圧の50%点間を測定する。

R

Ramps (ランプ)：一定のレートで変化する正弦波の電圧レベル間の遷移。

RAM (Random Access Memory)：任意の順序で情報がアクセスされるメモリ・デバイス。

Read Cycle (リード・サイクル)：デバイスから読み出すため周期的に繰り返されるイベント・シーケンス。

Record Length (レコード長)：信号レコードを作成するための波形ポイント数。

Refresh (リフレッシュ)：チップをリチャージするために新しい電子パルスを送って電荷の損失を防ぐ。

Registered Dual Inline Memory Module (RDIMM)：RDIMM SDRAMクロック、コマンド信号、アドレス信号をバッファリングすることで、ツリー・スタブ・アーキテクチャの問題を軽減する。

Rise Time (立上り時間)：パルスのトレーリング・エッジがローからハイまで要する時間。通常は10~90%で測定する。

RAS# (Row Address Select／行アドレス・セレクト)：デバイス内の対象とする行アドレスを指定する。

S

Sample Point (サンプル・ポイント)：波形ポイントを計算するために使用されるADCからの生データ。

Sample Rate (サンプル・レート)：S/s (サンプル数／秒) で表され、デジタル機器がどの程度の頻度で信号をサンプリングするかを表す。

Sampling (サンプリング)：計測器で入力信号を保存、プロセス、表示するために、離散的な電気の値に変換すること。

SPD (Serial Presence Detect)：独立した、電氣的に消去／プログラム可能なリード・オンリ・メモリ (EEPROM) により、モジュール密度、タイミング、パフォーマンスのパラメータを格納する。

Signal Integrity (シグナル・インテグリティ)：デジタル信号の高速化によって生じるリングングやクロストーク、グランド・バウンスなどのノイズがいかに抑えられているか、すなわちデジタル信号の波形品質のこと。

Signal Source (信号ソース)：回路に信号を入力するために使用されるテスト機器。回路からの出力は計測器に取込まれる。シグナル・ジェネレータとも呼ばれる。

FB-DIMM (Fully Buffered Dual Inline Memory Module)：ノートPCなどのスペースが限られている場合に使用される小型のDIMM。

Synchronous (同期)：ロジック・アナライザのステート・アクイジションは同期で行われる。これは、クロック信号を外部（通常はDUT）から取込むためである。これにより2つのシステムが同期し、ロジック・アナライザはDUTがアクティブの場合にのみ取込む。これがステート・モード。

SDRAM (Synchronous Dynamic Random Access Memory)：DRAMの動作を他のコンピュータ・システムと同期させ、CE#、RAS#、CAS#、WE#エッジ・トランジションのシーケンスによるメモリ動作モードを機種ごとに定義しなくてすむようにしたメモリ。

SUT (System Under Test／被測定システム)：計測器によって測定されるシステム。

T

TDR (Time Domain Reflectometry) : PCボード上のケーブル、コネクタ、マイクロストリップなどのインピーダンスや伝送ラインによる変化を評価する方法。

Trigger (トリガ) : 測定器の水平掃引の基準となる回路。

Trigger Holdoff (トリガ・ホールドオフ) : 有効なトリガの後の、計測器がトリガしない期間を設定する機能。

Trigger Level (トリガ・レベル) : トリガのソース信号がそのレベルに達することで水平掃引を開始する電圧レベル。

U

UDIMM (Unregistered Dual Inline Memory Module) : DIMMの最初の実装。UDIMMには、DDR、DDR2、DDR3信号をバッファリングしていません。

V

VLP-DIMM (Very Low Profile Dual Inline Memory Module) : DIMMに比べて高さの低いDIMMであり、ブレード・サーバなどで使用される。

V (Volt／ボルト) : 電位差の単位。

Voltage (電圧) : 2点間の電位差をボルト (V) で表したものの。

W

Wave (波形) : 時間に対して繰り返されるパターンの総称。一般的なタイプとして、正弦波、方形波、のこぎり波、三角波、ステップ、パルス、周期、非周期、同期、非同期などがある。

WE# (Write Enable／書込みイネーブル) : デバイスに対する書込みをイネーブルにする。

Tektronix お問い合わせ先：

日本

本社 03-6714-3111
SA営業統括部 03-6714-3004
ビデオ計測営業部 03-6714-3005

大宮営業所 048-646-0711
仙台オフィス 022-792-2011
神奈川営業所 045-473-9871
東京営業所 042-573-2111
名古屋営業所 052-581-3547
大阪営業所 06-6397-6531
京都オフィス 075-323-9048
福岡営業所 092-472-2626
湘南カスタマ・サービス・センタ 0120-7-41046

地域拠点

米国 1-800-426-2200
中南米 52-55-542-4700
東南アジア諸国/豪州 65-6356-3900
中国 86-10-6235-1230
インド 91-80-2227-5577
欧州 44-0-1344-392-400
中近東/北アフリカ 41-52-675-3777
他30カ国

Updated 17 October 2007

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ(www.tektronix.co.jp)またはwww.tektronix.comをご参照ください。



TEKTRONIXおよびTEKは、Tektronix, Inc.の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

05/08 DM

542-21473-0

Tektronix
Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティB棟6階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

TEL 03-6714-3010 E-mail ccc.jp@tektronix.com

電話受付時間/9:00~12:00・13:00~18:00 月曜~金曜(休祝日は除く)

当社ホームページをご覧ください。 www.tektronix.co.jp
製品のFAQもご覧ください。 www.tektronix.co.jp/faq/

●記載内容は予告なく変更することがありますので、あらかじめご了承ください。

© Tektronix