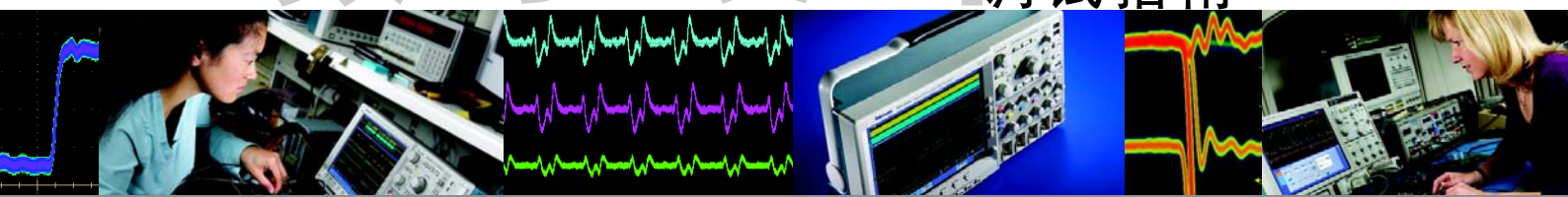


数字设计

调试指南



数字设计调试指南

► 基本读物

目录

引言.....	3
追踪噪声.....	4
传输线效应.....	4
振铃和反射.....	4
地弹.....	5
串扰.....	6
预防措施.....	7
找到建立时间和保持时间超限.....	7
传播延迟.....	8
选通传播延迟.....	8
时钟输入传播延迟.....	8
解决总线竞争用问题.....	9
码型触发.....	10
状态触发.....	10
捕获亚稳定事件.....	10
捕获毛刺.....	11
挑出抖动.....	12
自动测量和分析.....	15
自动抖动和定时分析.....	16
统计测量.....	16
小结.....	16

引言

随着系统速度不断提高及设计不断缩小,电路设计人员保持信号的理想数字特点正变得日益困难。电路中的速度越来越高、电路越来越密,引起了一系列非预期的电气事件,影响着电路操作。部件放置、走线布局、噪声和小信号变化,都在日益影响着高速设计。例如,当电路在上 GHz 的频率上运行时,走线电感在设计中就显得更为重要。

工程师必须迅速找到和分析噪声、建立时间和保持时间超限、毛刺、亚稳定问题、总线争用、抖动和其它信号问题。在观察信号行为,查看有问题的高速数字信号的模拟表示时,许多数字问题确定起来要更加简便。

尽管问题可能表现为数字脉冲放置错误,但问题信号的根源可能与信号的模拟特点有关。在低幅度信号变成假逻辑状态时,或在低速上升时间导致脉冲在时间上发生位移时,模拟特点可能会变成数字问题。在观察数字脉冲流时,查看同一脉冲的同时模拟视图,是调试这些问题的第一步。

数字示波器,如DPO4000和DPO7000系列示波器,为简化工程师调试高速嵌入式系统设计提供了调试工具。记住在查看信号时,很小的细节也可能会给信号外观和测量精度带来显著的差异。

数字设计调试指南

► 基本读物

追踪噪声

噪声是指数字系统中不想要的任何信号。传输线、地弹、反射、串扰、振铃、波传播都是越来越密、速度越来越快的芯片给当前电路设计带来的噪声问题。由于逻辑中拥有更快的上升时间(几volts/ns的转换速率),工程师经常要调试上升时间小于1 ns的高速设计。

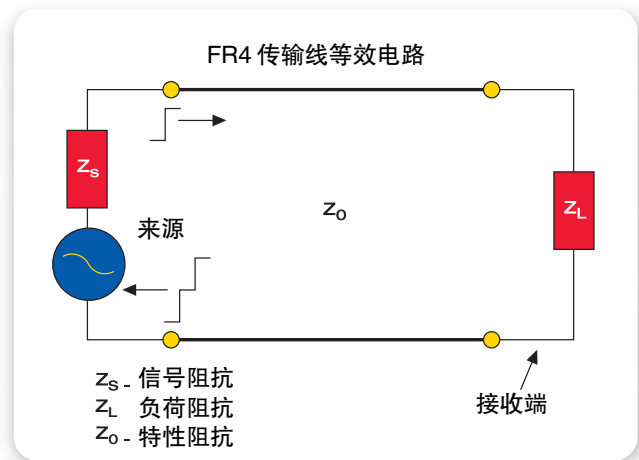
传输线效应

在信号沿着线路来回传播的时间超过完成转换所需的时间时(在 $2T_{\text{prop}} > T_{\text{rise}}$ 时),连接可以作为传输线对待。

对FR4材料制成的典型电路板来说,其传播速度约为15 cm/ns。在1 ns的上升时间时,比7 cm长的任何轨迹都可能会产生传输线效应。由于反射和振铃,源信号和目的信号(接收端)通常不同。在测量这些速度的信号时,探测线路的接收端非常重要(示意图1)。

振铃和反射

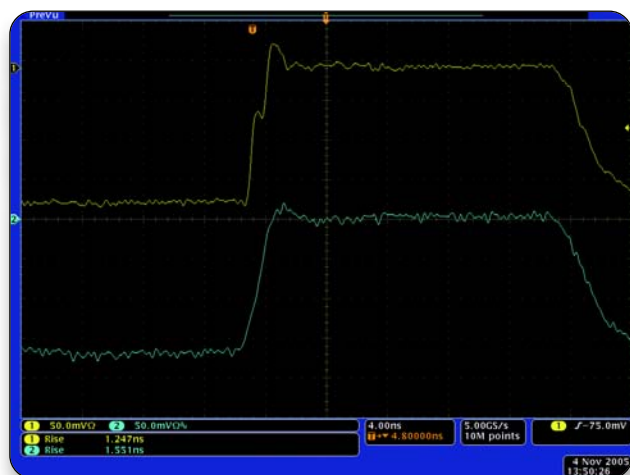
阻尼不足的谐振电路可能会导致振铃和过冲。电源旁路不足、连接到设备的电源线 and 地线太长、探测技术差,都会引起振铃和过冲。不匹配或未端接线路的反射会导致毛刺或其它转换问题。



► 示意图1. 传输线等效电路显示了阻抗不匹配怎样产生信号反射。

这些效应可能会导致不想要的状态转换或定时不确定性。某些数字电路会不频繁地重复码型。拥有充足带宽和取样速率的数字示波器可以轻松地实时捕获这些不重复的事件。

探头和探测技术影响着测量质量。高电容负荷可能会放慢信号边沿,在产生某些问题的同时,也会掩盖某些问题。让探头接触电路节点,可能会导致某种症状消失。来自探头地线的电感和来自探头输入的电容,会构成表现为振铃的串联谐振电路,除非谐振频率提高到示波器带宽以上。



► 图 1. 顶部信号 (Ch 1) 显示了 1 GHz DPO4000 捕获的 1.3 ns 上升沿。底部信号 (Ch 2) 与顶部完全相同，而其带宽限于 250 MHz，显示了 250 MHz 示波器可能显示的结果。带宽不足掩盖了信号中的反射。(注意带宽不足会怎样导致导致信号上升时间不准确)



► 图 2. 在通道 1 上开关输出导致的地面反弹。

缩短探头地线及降低输入电容，可以提高谐振频率。传统探头的负荷电容可以高达 10–15 pF。有源探头减少了这一问题。例如，2.5 GHz TekVPI™ 有源探头的输入负荷电容为 <0.8 pF。这种电容差可以控制振铃，允许使用更长的地线。

图 1 显示了带宽和取样速率对查看反射的重要性。上升转换的反射位于转换区域内。对时钟信号，这可能会导致定时不确定性，或在时钟输出中导致抖动。顶部轨迹 (Ch 1) 是使用 1 GHz 带宽、5 GS/s 的 DPO4000 采集的。底部的轨迹 (Ch 2) 则是使用性能较低的示波器采集的，其中采集速率为 5 GS/s，并采用了 250 MHz 滤波器。为查看转换的影响，DPO 需要相应的取样速率和带宽。

地弹

地弹是接地线中的电流尖峰导致的设备接地参考中发生的位移。在设备上多个输出同时开关时，它们会生成大的瞬时接地电流。搭接线、地线和回路中的电压跌落会导致设备内部的接地电位“反弹”超过系统接地。开关或未开关的输出中振铃或毛刺过多，可能会在其它设备中导致不想要的转换。地弹甚至可能会导致设备丢弃数据。

在图 2 中，通道 1 捕获 74LVC00 Quad AND 门的一个输出。在方形封装的三个 AND 门中，每个门有一个输入捆绑在 +3.3 供电电压上，第四个 AND 门的输入捆绑在接地上。四个其余的 AND 门输入接收 48 MHz 信号。通道 2 观察到设备没有开关。由于地弹，通道 2 显示有一个略高于 1 V 的峰到峰干扰。在通道 2 上分析信号，表明为什么通道上的反弹在相应的通道 1 的下降沿上要大于通道 1 对应的上升沿。

数字设计调试指南

► 基本读物



► **图 3.** 使用 DPO4000 1 GHz 带宽示波器上的边沿触发捕获的串扰实例。其中一条并行 50 欧姆轨迹(通道 1)上的快速脉冲生成了高能辐射。这些入侵者可能会感应到附近的走线中。在距入侵者最近的通道 2 和通道 3 中可以明确看到这一点。随着距入侵者走线的距离提高,串扰会下降。通道 4 上 32 mV 的幅度表明了这一点,这是距入侵者最远的平行的受害者轨迹。

从电气上看,考察 AND 门的输出,把一个输入捆绑到接地上,除少量同等电感外,提供一条几乎直接的路径接地。开关三个 AND 的输出会导致电流流动,把电流感应到未开关 AND 门同等电感的输出中,在通道 2 上导致更大的尖峰。注意,如果输入捆绑到接地上的 AND 门被捆绑到供电电压上,那么在通道 1 的上升沿上将发生更大的尖峰。

串扰

这通常是数字设计中的问题,其中异步线路耦合到时钟线路中。串扰会导致假转换或“上拉”时钟边沿,产生定时误差或建立时间和保持时间超限。在上升时间加快时,程序会恶化。长探头地线会让您看到“假串扰”,因为长地线会产生大的电路环路。

在示波器上观察串扰时,应考虑通道数量、取样速率和带宽。为在 DPO 上实时捕获信号,应在所有通道上设置充足的取样速率。

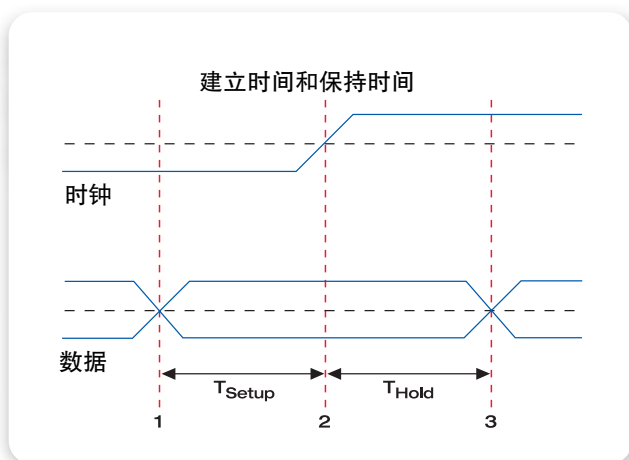
例如,在电路板走线上的快速转换信号耦合到(以电容方式和电感方式)附近信号路径时,就会产生串扰。

在调试过程中应考虑三种串扰模式:电感(或变压器)耦合的串扰、后向串扰和前向串扰。

当脉冲在线路(入侵者)上传播时,其会使用电流尖峰改变下一个位置,感应一个磁场,从而发生**电感或变压器耦合的串扰**。这个磁脉冲又会在第二条线路(受害者)上感应一个电流尖峰。变压器在前向产生两个极性相反的电压尖峰,在后向产生两个正的尖峰。

后向串扰是受害者线路在源方向上扩展的相同极性之和。它被视为小的宽脉冲,其宽度相对于线路长度。后向串扰幅度与入侵者脉冲的上升时间无关,而依赖于互阻抗值。

前向串扰是两个极性相反的脉冲之和,这两个极限取决于电容和电感的相对值。它传播到原始的入侵者线路。在受害者线路末尾可以看到前向串扰,是很窄的尖峰,其宽度为入侵者脉冲的上升时间。入侵者脉冲上升时间越快,幅度越高,脉冲形状越窄。前向串扰依赖成对的线路长度。在串扰位置沿着入侵者脉冲边沿传播时,受害者线路中的前向串扰会收到更多的能量。



► 示意图2. 这个示意图描述了时钟输入的逻辑电路的建立时间(T_{setup})和保持时间(T_{hold})定义。建立时间在第1点和第2点之间测得。保持时间在第2点和第3点之间测得。

预防措施

DPO4000 在全部四条通道上实现了 2 GS/s 的取样速率, 提供了 500 MHz 的带宽和一个有源探头, 为揭示模拟效应提供了理想选择。

记住数字设计中要注意下述事项:

- 保持短的信号走线。
- 在走线的传播延迟超过上升时间的一半时, 考虑传输线效应。
- 电源面和接地面与高效旁路电容器相结合, 可以消除许多振铃和串扰问题。
- 在存在问题时, 示波器在全部四条通道上一定要有足够的带宽和取样速率, 能够有效观察事件。

找到建立时间和保持时间超限

数字系统包含从触发器到微处理器的时钟逻辑器件。每个器件都有制造商指定的建立时间和保持时间。

在时钟信号下降前, 提高数字系统的速度和数据稳定时间。建立时间是在时钟边沿前输入信号必须保持稳定(有效)的时间。保持时间是在时钟边沿后必须保持稳定



► 图4. DPO4000 把搜索和标记功能与专用建立时间和保持时间触发结合在一起。在这个画面顶部, 白色空三角号标记着所有建立时间和保持时间超限, 用户定义的建立时间和保持时间分别是 5.5ns 和 4.5ns。

的时间, 以便数据在输出上提供有效数据。参见示意图1: 建立时间和保持时间。

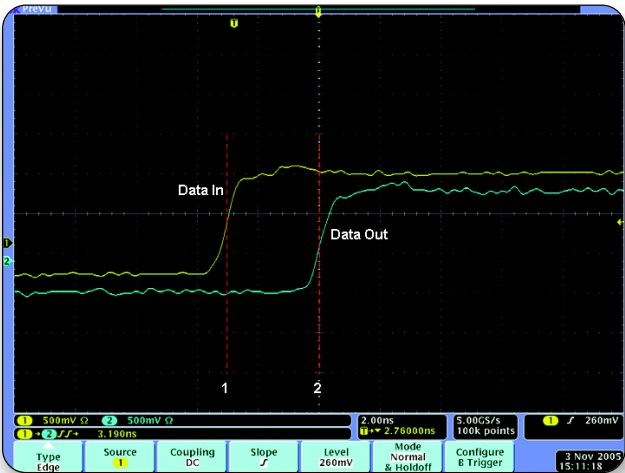
在图4中, 建立时间是数据的第1点和时钟的第2点之间的时间。制造商指定的最小建立时间是 5 ns。保持时间在时钟的B点和数据的C点之间测得。规定的最小保持时间是 4 ns。

当信号在器件建立时间和保持时间之间变化时, 它会产生系统问题或建立时间/保持时间超限。时钟和数据信号上的串扰和反射会使信号完整性劣化, 产生这些超限。在设备运行速度提高时, 建立时间和保持时间会下降, 定时关系调试起来会更加困难。

违反建立时间或保持时间要求会在设备输出上导致不可预测的毛刺, 或根本没有输出转换。数字示波器上的建立时间/保持时间触发允许在任意两条示波器输入通道上存在的时钟信号和数据信号之间的建立时间和保持时间上触发采集。通过使用DPO查看数字信号, 可以看见精确的建立时间和保持时间超限定时测量结果。

数字设计调试指南

基本读物



► 图 5. DPO4000 采用延迟时间测量功能，测量和显示从数据输入上升沿(第 1 点)到数据输出上升沿(第 2 点)之间的传播延迟时间为 3.190ns。

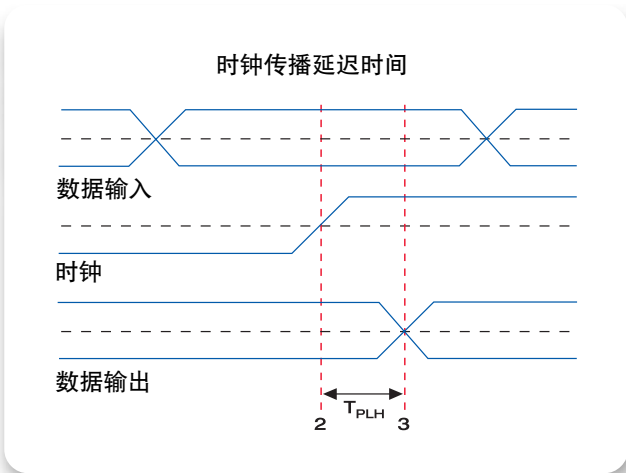
传播延迟

信号从系统中一个点传送到另一个点需要时间,如从电路输入到输出,或从一台设备的输出到下一台设备的输入。这一时间即信号路径的传播延迟。电路通常有两个不同的传播延迟指标,具体视信号变化的极性而定。这两个指标用 t_{plh} (从低到高传播延迟)和 t_{phl} (从高到低传播延迟)表示。

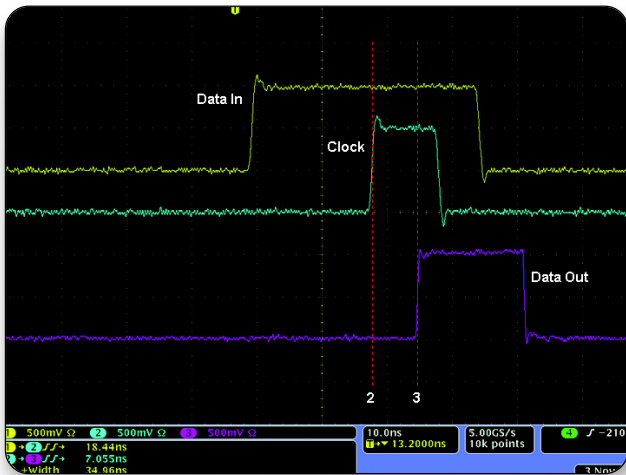
选通传播延迟

对逻辑门,传播延迟是信号从门的输入传送到输出所需的时间。图 5 中捕获的设备的传播延迟指标是在数据输入信号(第 1 点)和数据输出信号(第 2 点)之间测得的。

DPO4000 示波器捕获图 5 中一个 AND 门 IC 的输入和输出数据波形,其中通道 1 探头放在数据输入上,通道 2 探头放在数据输出上。通过使用延迟时间测量功能,可以选择从通道 1 第一个上升沿到通道 2 第一个上升沿的测量时间变量。DPO 测量和显示这一传播延迟为 3.190 ns。



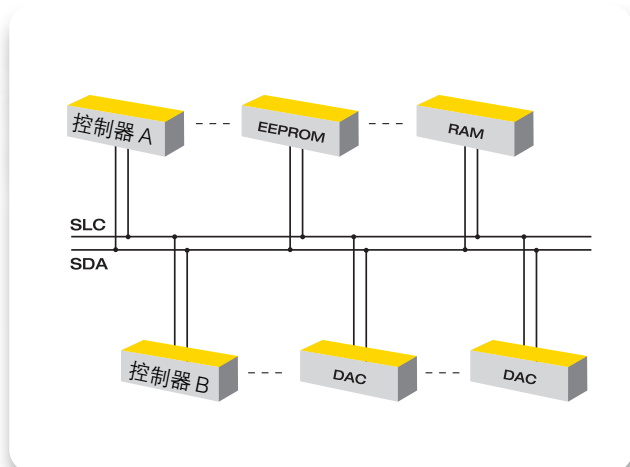
► 示意图 3. 这些信号显示了从低到高(T_{PLH})的传播时间,测量了第 2 点和第 3 点之间的时序逻辑电路。



► 图 6. 可以利用 DPO4000 灵活的延迟时间测量设置功能,测量时钟传播延迟时间,这是数据输出上升沿(第 3 点)相对于时钟上升沿(第 2 点)测得的时间。时钟传播延迟时间是 7.055 ns。

时序传播延迟

对时序电路,如触发器或锁存器,时序传播延迟是有效时钟边沿在电路输出上改变状态或其 CLK 到 Q 传播延迟所需的时间。示意图 3 中的触发器从低到高的最大传播延迟 (T_{PLH}) 是 8 ns。换句话说,在时钟后变成高后不超过 8 ns,输出将变成输入数据的状态。



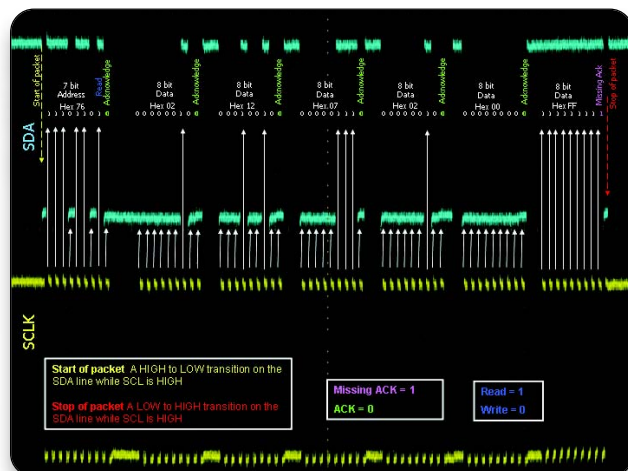
► 示意图 4. 具有各种连接器件的 I²C 总线示意图，每个器件都被发送的每个串行分组中包含的唯一地址进行寻址。

图 6 中的示波器画面显示了 DPO4000 捕获的数据。DPO 设置成以 5 GS/s 取样，其中通道 1 连接到数据输入上，通道 2 连接到数据输出上。数字示波器触发数据输入的上升边沿及连接时钟输入的通道 2。

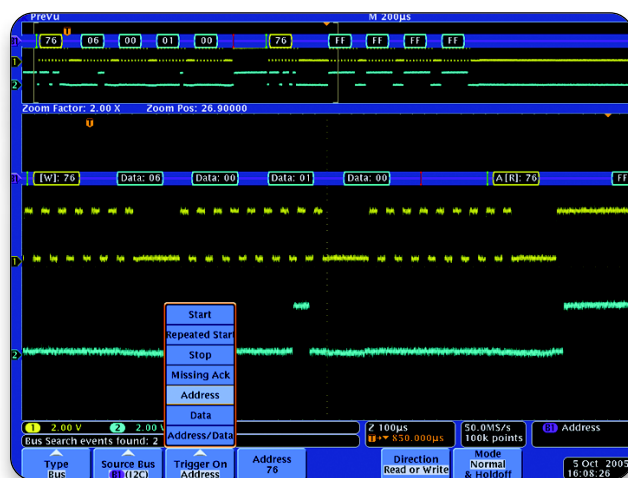
解决总线争用问题

电路器件如 DSPs, RAM, EPROMs, PROMs, ROMs 模数转换器和数模转换器及 I/O 设备，通常会通过低速和高速串行总线与外部世界通信。总线争用表明了这些总线调试起来要比并行总线更加困难。示意图 4 中的低速串行总线是飞利浦半导体公司开发的 I²C 总线标准层和协议。

大多数数字示波器如 DPO4000 或 DPO7000 系列，将触发作为码型信号或状态信号的逻辑信号组合。图 7 说明了工程师怎样不得不逐位解码 I²C 串行总线；先找到包头转换；然后第一个字节的前七位是地址；然后查看第一个字节的第八个位，确定其是读还是写，然后解码数据，直到八个字节。由于位修正，某些串行总线如 CAN 总线，不可能进行手动解码。



► 图 7. DPO 画面显示了 I²C 总线手动解码。地址是 76，操作是读取。



► 图 8. DPO4000 I²C 总线对读或写触发选择的地址 76。可以简便地对每个分组解码，消除了手动解码，减少了错误，节约了时间。

DPO4000 上选装的 I²C、SPI 和 CAN 总线触发允许以高达 10Mbits/s 的速率，触发这些总线的特定信号，调试总线争用。通过使用这些触发，可以设置预计的总线码型。例如，在 I²C 总线上，您可能想触发包头或包尾、帧类型(数据，远程，错误或过载)、标准或扩展标识符、甚至未确认。DPO4000 可以触发和搜索最常用的分组信息。

数字设计调试指南

► 基本读物



► 图9. DPO画面显示了对一个器件的时间判定的码型触发。在通道1和通道2上的信号变成高时，通道3的输入线应该为高。把通道3设为低状态，揭示了附加延迟问题。

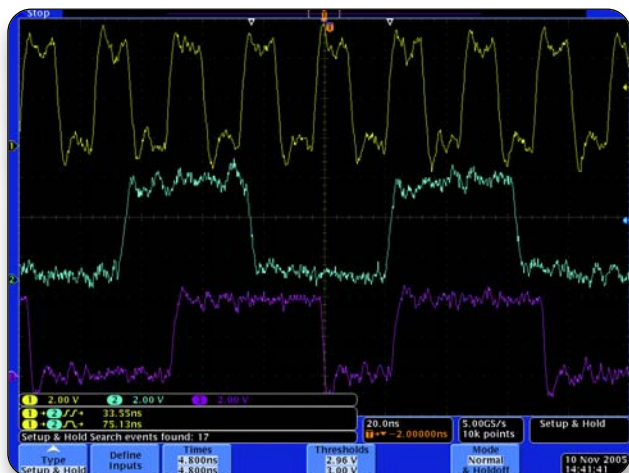
码型触发

只有在逻辑电平组合处于要求的电平，并在整个事件中保持这一电平时，码型才会有效。用户决定是在码型为真时(在进入条件集时)还是在码型为假时(在退出条件集时)触发DPO。

状态触发

在同步系统中(即由系统时钟判定)，状态触发可以判定触发。我们使用类似的总线实例，把接收缓冲器变成锁存缓冲器。图9显示了时间判定的码型触发怎样允许每个器件输入设置一种状态。通道3设置成低状态。通道1和通道2设置为高状态。

我们捕获了问题状态，发现问题是通道3上的信号延迟太大了。在通道1和通道2上的输入线变高时，通道3的输入线必须为高，以便时钟正确锁存。很明显，这只适用于各种设备和总线寻址的控制信号与主时钟同步的系统。

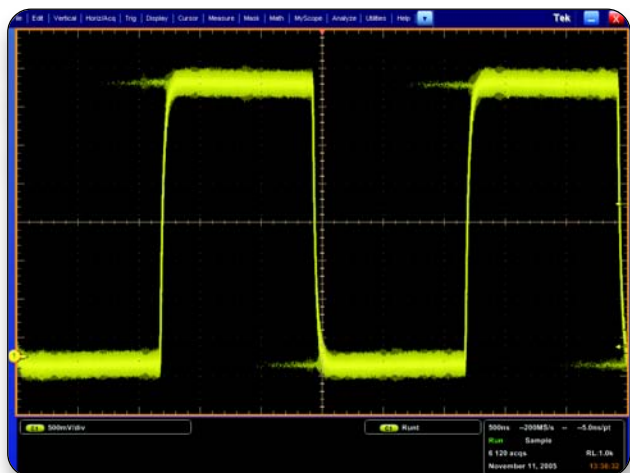


► 图10. 使用DPO4000建立时间和保持时间触发和搜索/标记功能，显示了这个屏幕顶部的白三角形注明的亚稳定状态。通道1是时钟信号，通道2是数据信号，通道3是D型触发锁存装置的亚稳定Q输出。

捕获亚稳定事件

亚稳定性是一种不确定或不稳定的数据状态。得到的输出信号可能是毛刺，导致发生问题。这些状态通常发生频率不高，因此比其它现象更难检测和捕获。亚稳定状态可能是由锁存电路上的建立时间和保持时间超限导致的，如图10中所示的D触发装置。

图11显示了到触发装置的数据和时钟信号异步运行。有时，在数据改变状态时，发生时钟上升沿，导致建立时间和保持时间超限。这可能会改变触发器的输出，其可能会保留在原始状态，反映数据变化，或在这些状态之间犹豫。在这一瞬时“犹豫”期间，触发器会变成亚稳定状态，触发器的输出(Q或/Q)会变得混乱。



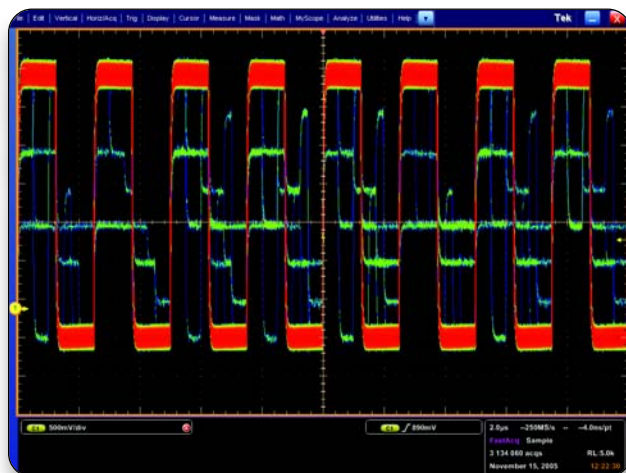
► 图 11. 数字示波器可以显示信号，就象允许设计人员实际查看毛刺怎样影响设计一样。上面的 DPO7000 画面使用余辉显示了间歇性非常强的信号毛刺。余辉画面生成了可视的轨迹历史。

在图 13 中，触发装置未能锁存数据，导致还原到以前的状态。事件触发可以可靠地捕获亚稳定状态，在本例中是转换到欠幅脉冲，而在普通触发中是检测不到的。转换触发和欠幅脉冲触发都使用双幅度门限判定，捕获亚稳定信号。

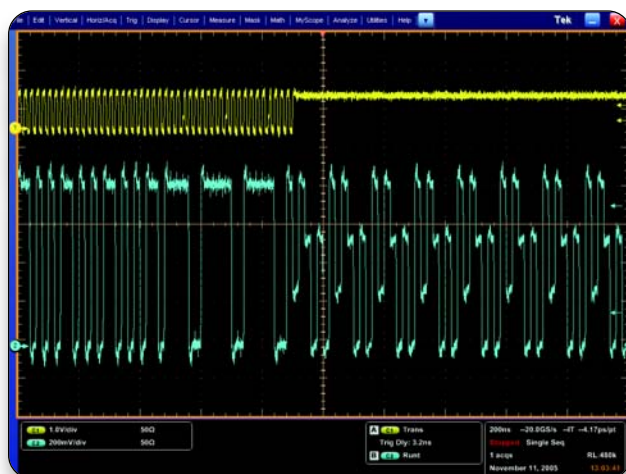
与其它调试难题一样，亚稳定性也会从复合触发中受益。DPO7000 中的 Pinpoint 触发提供了设计调试中最完善的触发机制之一，因为它可以用于示波器的全部带宽。Pinpoint 触发性能和功能可以揭示原型中的难检行为。

捕获毛刺

毛刺是距理想数字波形的任何偏差的通用叫法。毛刺是非常窄、非常快速的非预计脉冲，系统可能会把它们理解为逻辑变化。许多错误都会引起毛刺问题，其调试起来非常困难。毛刺对系统操作的影响是不可预测的。大多数设计问题都会表现为一个或多个信号中的毛刺。它们通常是各种器件错误的前兆，包括噪声、争用条件、



► 图 12. 通过使用 DPO7000 FastAcq 采集模式，可以简便地看到潜在的欠幅脉冲和转换错误条件。



► 图 13. DPO7000 Pinpoint™ 触发可以对 B 事件和 A 事件使用完善的触发类型。在这里，B 事件象 A 事件一样进行定义，隔离后面跟有转换的一个坏转换。B 事件是在 A 事件之后很快到达、还是很久以后到达无关紧要。这两种情况都会导致采集发生。欠幅逻辑脉冲从不会越过为变得有效而必需的所有门限。

端接错误、驱动器错误串扰及建立时间/保持时间超限或其它定时超限。

数字设计调试指南

► 基本读物

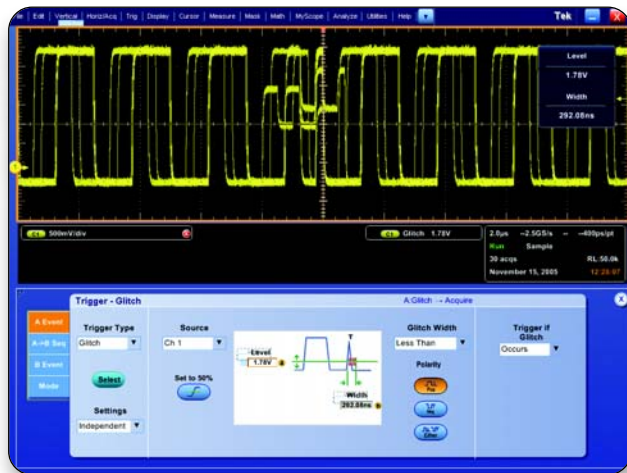


► 图 14. 通过 DPO7000 毛刺触发功能，在 D 型触发装置的 Q 输出上捕获了一个不频繁的亚稳定状态。

快速数字边沿包含着很高的频率，因此在设计中正确端接电路板轨迹至关重要。它们可能会导致更大的瞬时电流，导致动态电流提高，引起地弹或功率分配毛刺等问题。快速边沿还可以提高串扰。过去作为集总电路走线处理的电路板走线，现在已经成为必需正确端接的传输线。

如果电路发生故障，在调试时最好先检查毛刺。通过在数字示波器上比较模拟表示和数字表示，看看毛刺的外观。大多数问题会表现为至少一个信号中的毛刺。

例如，DPO 可能在数字脉冲的上升沿和下降沿同时显示失真。上升沿下跌的程度不足以触发逻辑转换，又不足以表现为毛刺。通过数字示波器(如 DPO7000)和脉宽触发，可以捕获这些间歇性毛刺，跟踪错误，直到其根源。



► 图 15. 在数字示波器没有采集数据时，可能会检测不到毛刺。提高更新速率将降低捕获毛刺所需的时间。

挑出抖动

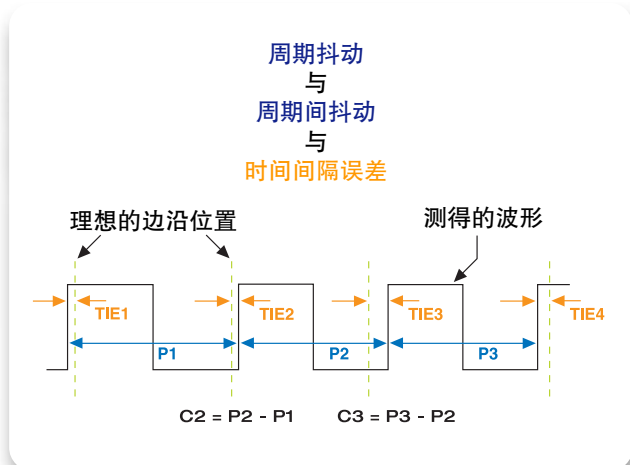
任何一串时钟或数据脉冲中不想要的定时变化称为抖动。抖动发生在使用电压转换表示定时信息的所有电气系统中。这是距数字信号理想时间位置的短期变化。作为随机过程，抖动会降低系统性能，很难进行调试。

在相邻或不相邻脉冲边沿的周期或相位期间发生的迅速定时变化会导致抖动。更简单地说，抖动是定时边沿距“正确”位置的偏差。

测量波形上的抖动的常用方式有三种：周期抖动、周期间抖动和时间间隔。示意图 5 显示了这些测量相互关联。

周期抖动简单地测量波形中每个时钟循环的周期。在第一个边沿中触发示波器将显示第二个边沿上的周期抖动。

示意图 5 显示了时钟类信号及定时抖动。虚线是理想的边沿位置，与无抖动版本的时钟相对应。



▶ 示意图5. 上面显示了一个时钟类信号,其中包括定时抖动。虚线是理想的边沿位置,与无抖动版本的时钟相对应

周期间抖动测量时钟周期在任意两个相邻周期之间怎样变化。

周期间抖动如示意图 5 中的 C2 和 C3 所示,测量时钟周期在两个相邻周期之间怎样变化。如图所示,通过对周期抖动应用一阶差分运算,可以确定周期间抖动。

这一指标非常重要,因为它显示了时钟恢复PLL可能遵循的瞬时动态。计算周期抖动或周期间抖动不需要与参考时钟理想边沿位置有关的任何信息。

时间间隔误差(TIE)测量时钟的每个有效边沿距理想位置的距离。为执行这一测量,必须知道或估计理想边沿。这是一个重要指标,因为它说明了即使数量很小的周期抖动仍会有累积效应。

示意图 5 中的测量 P1、P2 和 P3 所示,周期抖动是波形中每个时钟循环的周期。这是最直接、也是最容易测量的指标。



▶ 图 16. 当 DPO7000 在复杂的信号上运行 TDSIT3 程序时,可以迅速进行完善的抖动分析测量,以便设计工程师分析抖动。

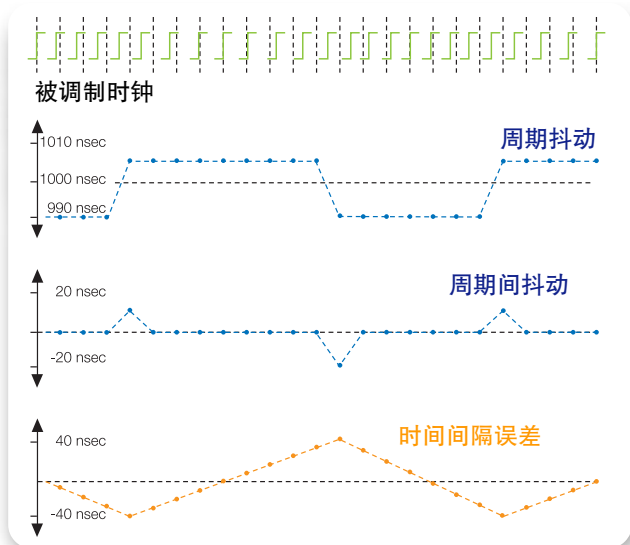
通过调节 DPO,显示略高于一个完整的时钟周期,并把画面设置为无穷大余辉,可以估算峰到峰值。如果示波器触发第一个边沿,那么在第二个边沿上可以看到抖动,如示意图 5 所示。

示意图 5 中的 TIE1 到 TIE4 测量显示了时间间隔误差。TIE 衡量时钟的每个有效边沿距理想位置的距离。执行这一测量要求知道或估算理想的边沿。如果没有某种时钟恢复方式或没有提供后期处理功能,那么很难在示波器上直接观察 TIE。

先从每个测得周期中减去额定(理想)时钟周期,然后对周期抖动求积分,也可以获得 TIE。TIE 是一个重要指标,因为它说明了即使数量很小的周期抖动仍会有累积效应。一旦 TIE 达到 ± 0.5 个时间间隔,眼图会闭合,接收机电路会出现误码。

数字设计调试指南

► 基本读物



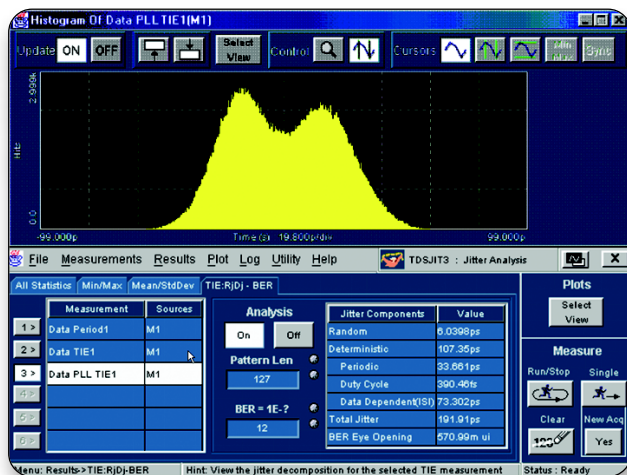
► 示意图6. 同一波形上三个抖动指标比较：周期抖动、周期间抖动和时间间隔。

示意图6提供了这三个抖动测量在同一波形上的比较结果。在本例中，波形的额定周期是 1 ms，但实际周期的码型是 8 个 990 ns 周期、后面跟有 8 个 1010 ns 周期。

所有抖动都同时具有随机成分和确定性成分。由于随机成分，最好使用常用统计技术来指定抖动。可以使用平均值、标准偏差、峰到峰值等指标及置信区间等判定符，来确定有意义、可重复的测量结果。

确定性抖动(Dj)是可重复、可预测的定时抖动。Dj 的峰到峰值是有界的，可以根据数量相对较少的观察结果，以很高的置信度观察或预测其界限。Dj 是由下述因素引起的：

- 周期抖动(Pj)是由于电源、相邻振荡器及某些情况下相邻总线串扰等重复噪声源引起的。

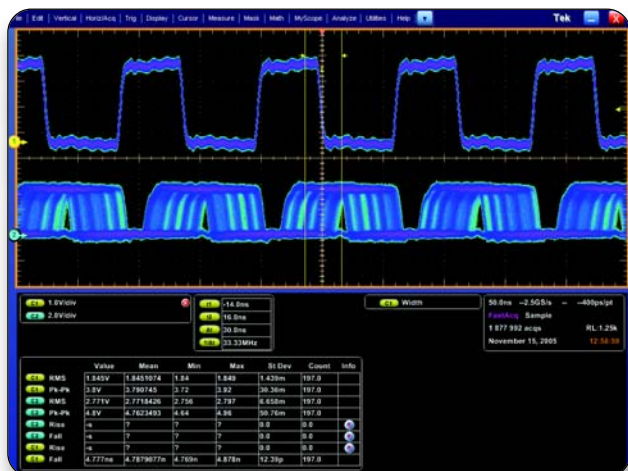


► 图 17. 装有 TDSJIT3 抖动分析软件的 DPO7000 揭示了数据信号上的总抖动等于 $\sim 192 \text{ ps}$ ($T_j = D_j + 2Q(\text{BER}) * R_j$), 其中 $Q(10E-12) = 7$ 。数据 PLL TIE 指标的相关直方图以图形方式向工程师表示数据信号的统计分布情况。

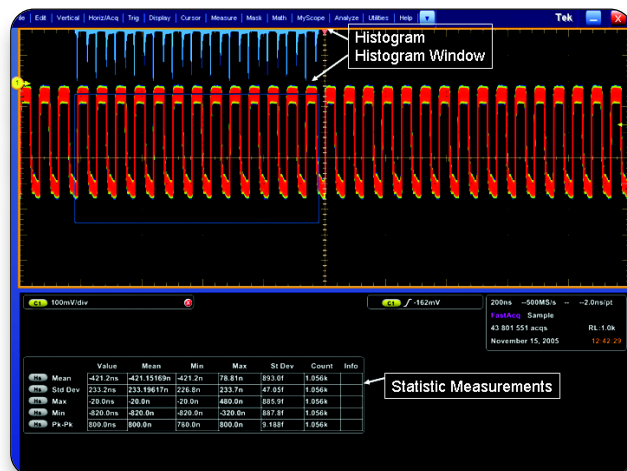
- 占空比失真(DCD)是由驱动电路偏置电平不平衡或发射设备内部的热效应引起的。
- 码间干扰(ISI)也称为数据相关抖动(DDj)，是由于信号路径中频率相关损耗引起的，最常见的原因是互连和线缆损耗。

随机抖动(Rj)是没有可辨别码型、不容易预测的定时噪声。电路中随机噪声的主要来源是热噪声(Johnson 噪声或散粒噪声)。RJ 假设呈高斯分布，对底层分布没有界的峰到峰值，抽样的样点越多，测得的峰到峰值也就越大。

周期抖动(Pj)以循环方式重复。由于周期波形可以分解成一系列正弦傅立叶级数，这类抖动有时称为正弦抖动。Pj 一般是由外部确定性噪声源引起的，如开关电源噪声或很强的本地 RF 载波。不稳定的时钟恢复 PLL 也可能会引起周期抖动。



► 图 18. DPO7000 一次处理最多八个自动测量，包括上升时间、下降时间和峰到峰值。用户只需把光标设置在感兴趣的测量点上，就可以获得结果。



► 图 19. 在 DPO7000 上使用 FastAcq 采集模式，并选择显示统计测量，表明通道 1 上有相对稳定的时钟信号。选择并打开直方图区域，演示了工程师可以多么简便快速地采用统计分析工具，在一致性测试中树立信心。

数据相关抖动(DDj)是与数据流位序列有关的任何抖动。DDj 通常是由电缆或设备的频响引起的。DDj 通常也叫码型相关抖动(PDj)，它是从码间干扰(ISI)测得的。

占空比失真(DCD)是占空比从 50% 额定值的变化量。DCD 的常见原因有两个：上升沿的转换速率与下降沿不同；或由于信号 DC 平均值发生偏移而导致波形的判定门限高于或低于应该的值。

误码率上的总抖动(Tj @ BER)用来估算在用户定义的误码率上的峰到峰抖动。在与单位间隔相结合时，还可以估算在 BER 上估算的预计眼图张开程度，并在 BER 浴缸曲线图中进行显示。

自动测量和分析

对速度较高的信号，自动测量和统计分析可以为调试设计提供大量的信息。当前数字示波器中的许多自动测量

和统计分析为调试任务提供了所需的灵活性和性能水平。一次显示四个或八个波形，可以比较和滚动波形，查看波形之间的关系。

通过自动按键测量，工程师可以以全新的方式观察问题，他们可以采集测量统计数据，定义参考电平，然后在调试任务中实现示波器的灵活性和性能。通过在屏幕上捕获和比较多个测量，DPO 显示了每个测量的统计数据及有差异的地方。

通过这种方式，工程师可以查看元器件是否在指定范围内运行或其容限是否变化及需要校正。

有助于加快调试速度的常用自动测量包括脉宽、过冲、占空比、过冲、峰到峰值及更加复杂的统计测量，如最小值、最大值和均方根(RMS)。

数字设计调试指南

► 基本读物

自动抖动和定时分析

自动测量可以帮助采集与抖动波形有关的统计信息。例如，工程师可以使用这一测量，查看锁相环的性能，确定晶体的稳定性周期是否位于规范范围内，或者查看元器件的上升时间、占空比或脉宽的数据有效窗口。

统计测量

数字示波器还有助于统计评估测量数据，如抖动或不稳定性。调试中可以考虑采用的某些常用统计方法是：

- 平均值是时钟周期的平均值(算术平均值)。它是频率的倒数。
- 标准偏差是测量结果从平均值变化的平均量。它用于高斯流程，其中使用平均值和标准偏差指定分布。
- 最大值、最小值和峰到峰值在测量间隔期间观测。峰值峰值是最大值与最小值之差。
- 直方图针对测量中发生的频次绘制数据集中的测量值图表。它没有提供事件顺序，如抖动，但可以很好地估计事件概率。

小结

数字示波器，如DPO4000和DPO7000系列示波器，为简化工程师调试嵌入式系统设计提供了调试工具。DPO改善了工程设计、检验和调试效率。连续波形捕获等功能可以深入查看影响逻辑状态的噪声、毛刺、串扰和其它模拟特点，以及使理想数字脉冲变形的上升时间与建立时间和保持时间。

泰克科技(中国)有限公司
上海市浦东新区川桥路1227号
邮编：201206
电话：(86 21) 5031 2000
传真：(86 21) 5899 3156

泰克北京办事处
北京市海淀区花园路4号
通恒大厦1楼101室
邮编：100088
电话：(86 10) 6235 1210/1230
传真：(86 10) 6235 1236

泰克上海办事处
上海市静安区延安中路841号
东方海外大厦18楼1802-06室
邮编：200040
电话：(86 21) 6289 6908
传真：(86 21) 6289 7267

泰克广州办事处
广州市环市东路403号
广州国际电子大厦2807A室
邮编：510095
电话：(86 20) 8732 2008
传真：(86 20) 8732 2108

泰克深圳办事处
深圳市罗湖区深南东路5002号
信兴广场地王商业大厦G1-02室
邮编：518008
电话：(86 755) 8246 0909
传真：(86 755) 8246 1539

泰克成都办事处
成都市人民南路一段86号
城市之心23层D-F座
邮编：610016
电话：(86 28) 8620 3028
传真：(86 28) 8620 3038

泰克西安办事处
西安市东大街
西安凯悦(阿房宫)饭店322室
邮编：710001
电话：(86 29) 8723 1794
传真：(86 29) 8721 8549

泰克武汉办事处
武汉市武昌区民主路788号
白玫瑰大酒店924室
邮编：430071
电话：(86 27) 8781 2760/2831
传真：(86 27) 8730 5230

泰克香港办事处
香港铜锣湾希慎道33号
利园3501室
电话：(852) 2585 6688
传真：(852) 2598 6260

有关信息

泰克公司备有内容丰富的各种应用文章、技术简介和其他资料，并不断予以充实，可为从事前沿技术研究的工程师提供帮助。请访问泰克公司网站 www.tektronix.com



© 2006 年 Tektronix, Inc. 版权所有。 全权所有。 Tektronix 产品，不论已获得专利和正在申请专利者，均受美国 and 外国专利法的保护。 本文提供的信息取代所有以前出版的资料。 本公司保留变更技术规格和售价的权利。 TEKTRONIX 和 TEK 是 Tektronix, Inc. 的注册商标。 本文提及的所有其它商号分别为其各自所有公司的服务标志、商标或注册商标。 01/06 DM 55C-19175-0

Tektronix
Enabling Innovation