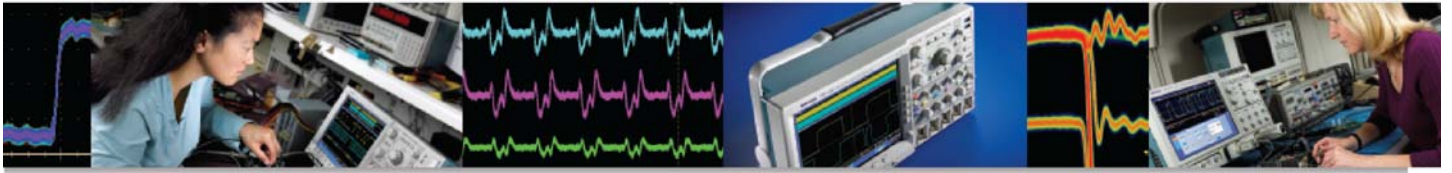


디지털 설계

디버깅 가이드



목차

서론.....	3
노이즈 추적.....	4-7
전송 라인 효과.....	4
공명 및 반사.....	4
그라운드 바운스.....	5
누화.....	6
예방책.....	7
셋업 및 홀드 위반 찾기.....	7-8
전파 지연.....	8
게이트 전파 지연.....	8
클럭 전파 지연.....	8
버스 경합 문제.....	9-10
패턴 트리거링.....	10
상태 트리거링.....	10
준안정적 이벤트 포착.....	10
글리치 포착.....	11
지터 측정.....	12
자동 측정 및 분석.....	15
자동 지터 및 타이밍 분석.....	16
통계적 측정.....	16
요약.....	16

서론

시스템 속도가 증가하고 회로가 축소될수록 회로 설계자가 신호의 이상적인 디지털 특성을 유지하는 것이 더 어려워집니다. 해당 설계의 속도가 높아지고 밀도가 높아질수록 회로 작동에 영향을 미치는 의도치 않은 일련의 전기 이벤트가 발생합니다. 부품 배치, 트레이스 배치, 노이즈 및 신호 편차가 고속 설계에서 더 큰 역할을 합니다. 예를 들어 회로가 기가헤르츠(GHz) 범위의 주파수에서 실행될 때 트레이스의 인덕턴스가 설계에서 더 큰 역할을 합니다.

엔지니어들은 노이즈, 셋업 및 홀드 위반, 글리치, 준안정성 문제, 버스 경합, 지터 및 기타 신호 문제를 신속하게 찾아내어 분석해야 합니다. 신호의 움직임을 관찰하고 문제가 있는 고속 디지털 신호의 아날로그 특성을 보고 있는 경우 많은 디지털 문제들을 파악하기가 더 쉬워집니다.

문제가 잘못 배치된 디지털 펄스로 나타난 경우라도 문제 신호의 원인은 신호의 아날로그 특성과 관련되어 있을 수도 있습니다. 저진폭 신호가 오류 로직 신호로 전환될 때나 느린 상승 시간으로 인해 펄스가 시간 전환될 때 아날로그 특성이 디지털 오류로 될 수 있습니다. 동일한 펄스에 대한 동시 아날로그 보기로 디지털 펄스 스트림을 확인하는 것이 이러한 문제를 디버깅하기 위한 첫 번째 단계입니다.

DPO4000 및 DPO7000 시리즈와 같은 디지털

오실로스코프는 엔지니어들이 고속 임베디드 시스템 설계의 문제를 해결할 때 도움이 될 수 있는 디버깅 도구입니다.

신호를 상세하게 보면 신호 모양 및 측정 정확성에 큰 차이가 발생할 수도 있습니다.

노이즈 추적

노이즈는 디지털 시스템에 발생하는 원치 않는 신호입니다. 전송 라인, 그라운드 바운스, 반사, 누화, 공명, 전파 전달은 모두 밀도가 높고 속도가 빠른 칩으로 인해 오늘날의 회로 설계에 발생하는 노이즈 문제의 예입니다. 로직이 더 빠른 상승 시간(volts/ns의 슬루율)을 가지는 경우 엔지니어들은 공통적으로 상승 시간이 1ns 이하인 고속 설계를 디버깅합니다.

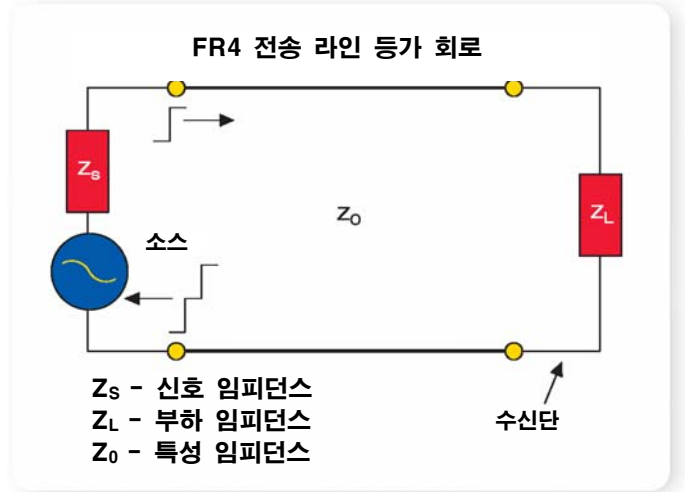
전송 라인 효과

전송 선로의 길이가 신호가 변환을 완료하는 데 소요되는 것보다 더 긴 경우($2T_{prop} > T_{rise}$), 전송 라인과 같은 특성을 갖습니다.

FR4의 일반 회로판의 경우 전파 속도는 약 15cm/ns입니다. 상승 시간이 1ns일 때 7cm 이상인 트레이스에는 전송 라인 효과가 있을 수 있습니다. 송신단 및 종단(수신단) 신호는 반사 및 공명으로 인해 달라질 때가 종종 있습니다. 이러한 속도의 신호를 측정할 때에는 라인의 수신단(다이아그램 1)을 측정하는 것이 중요합니다.

공명 및 반사

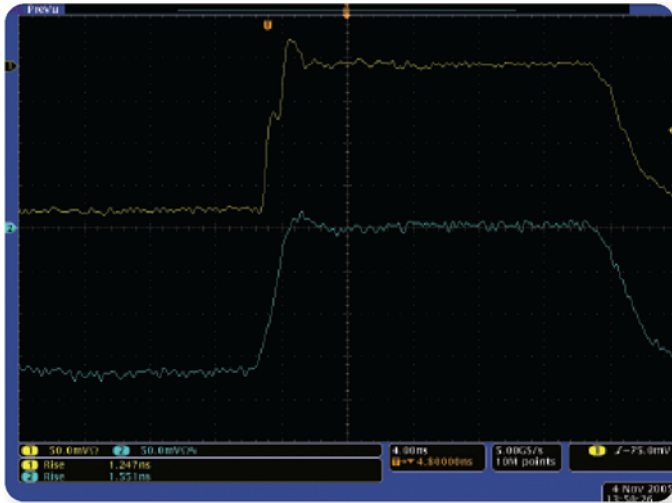
댐핑이 부족한 공명 회로는 공명 및 오버슈트의 원인이 될 수 있습니다. 부적절한 전원 장치 바이패스, 장치에 긴 전원 및 접지 리드 부착 및 열악한 프로빙 기술은 모두 공명과 오버슈트를 일으킬 수 있습니다. 불일치 또는 비종단 라인으로부터의 반사는 글리치나 변환상의 다른 차질을 일으킬 수 있습니다.



▶ **다이아그램 1.** 전송 라인 등가 회로는 임피던스 불일치로 인해 신호 반사가 일어나는 방식을 보여줍니다.

이러한 효과들로 인해 원치 않는 상태 변환이나 타이밍 불확실성이 야기될 수 있습니다. 일부 디지털 회로는 패턴을 불규칙적으로 반복합니다. 적절한 대역폭과 샘플링 속도를 가진 디지털 오실로스코프는 이러한 불규칙적인 이벤트를 실시간으로 쉽게 포착합니다.

프로브 및 프로빙 기술은 측정의 품질에 영향을 미칩니다. 고용량 로딩에서는 신호 에지의 속도가 늦어져 다른 이벤트가 생성되는 동안 일부 문제들이 감추어집니다. 프로브의 회로 노드를 건드리면 증상이 사라질 수 있습니다. 프로브 접지 리드의 인덕턴스 및 프로브 입력의 커패시턴스는 공명 주파수가 오실로스코프 대역폭 이상으로 상승되지 않는 경우 직렬 공명 회로를 형성합니다.



▶ **그림 1.** 상단 신호(Ch1)는 1GHz DPO4000으로 포착된 1.3ns 상승 에지를 보여줍니다. 하단 신호(Ch2)는 상단과 동일하지만 대역폭이 250MHz로 제한되어 있어 250MHz 오실로스코프가 표시할 수 있는 범위를 보여줍니다. 신호의 반사는 불충분한 대역폭으로 인해 감추어집니다 (불충분한 대역폭이 신호 상승 시간에 부정확성을 일으키는 방식에 주의).

프로브의 접지 리드를 단축하고 입력 커패시턴스를 낮추면 공명 주파수가 상승됩니다. 기존의 프로브에 대한 부하 커패시턴스는 10-15pF 정도까지 높아질 수 있습니다. 능동 프로브는 이러한 문제를 감소시킵니다. 예를 들어, 2.5GHz TekVPI™ 능동 프로브는 0.8 pF 미만의 입력 부하 커패시턴스를 가집니다. 이 용량 차이는 공명을 낮은 상태로 유지하고 더 긴 접지 리드를 사용할 수 있도록 허용합니다. 그림 1은 대역폭의 중요성 및 반사를 보기 위한 샘플 속도를 보여줍니다. 상승 변환 시에는 변환 지역 내에 반사가 일어납니다. 클럭 신호의 경우 이로 인해 클럭 출력에서 타이밍 불확실성 또는 지터가 발생할 수 있습니다. 대역폭이 1GHz인 5GS/s DPO4000을 사용하여 상단 트레이스(Ch1)가 확보되었습니다. 더 낮은 성능의 오실로스코프에서 결과를 표시하기 위해 250MHz 필터가 장착된 5GS/s에서 하단 트레이스(Ch2)가 확보되었습니다. 변환 장애를 보려면 DPO는 적절한 샘플 속도와 대역폭을 가져야 합니다.

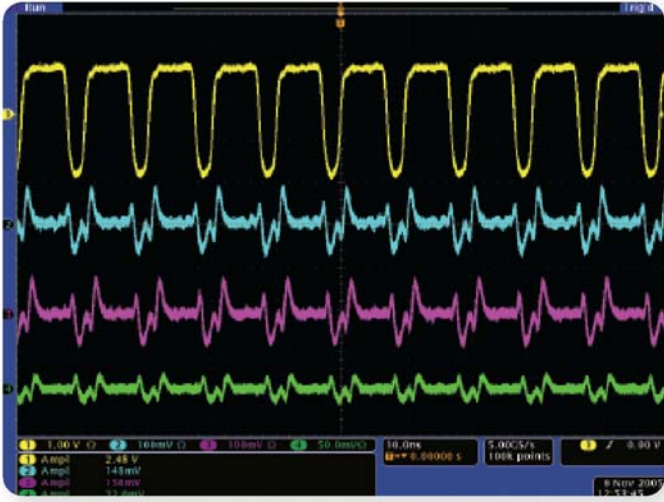


▶ **그림 2.** 채널1의 전환 출력으로부터 생긴 그라운드 바운스

그라운드 바운스

그라운드 바운스는 해당 접지면의 전류 스파이크로 인해 장치의 접지 기준이 변경되는 것입니다. 장치에서 여러 출력이 동시에 바뀌면 과도 접지 전류가 크게 생성될 수 있습니다. 본드 와이어, 접지 리드 및 귀환 경로에 전압 강하가 일어나면 장치 내부의 접지 전위가 시스템 접지 위로 “바운스”하는 원인이 됩니다. 전환 또는 비전환 출력의 지나친 공명은 다른 장치에서 원치 않는 변환을 일으킬 수 있습니다. 그라운드 바운스는 장치에 데이터를 손상시키는 원인이 될 수도 있습니다.

그림 2에서, Ch1은 74LVC00 Quad AND 게이트의 한 출력을 포착합니다. 쿼드 패키지의 세 개의 AND 게이트 각각에는 +3.3V 공급 전압에 연결된 하나의 입력이 있고 네 번째 AND 게이트에는 접지면에 연결된 해당 입력이 있습니다. 나머지 네 개의 AND 게이트 입력은 48MHz 신호를 수신합니다. Ch2는 전환되고 있지 않은 장치를 관찰합니다. 그라운드 바운스로 인해 Ch2는 1볼트를 약간 넘는 Pk-Pk 장애를 보입니다. Ch2의 신호를 분석하면 Ch2의 바운스가 Ch1의 해당 상승 에지에서보다 해당 Ch1의 하강 에지에서 더 큰 이유를 알 수 있습니다.



▶ **그림 3.** DPO4000 1GHz 대역폭 오실로스코프의 에지 트리거를 사용하여 포착된 누화의 예 여러 병렬 50Ω 트레이스(Ch1) 중 하나의 고속 펄스는 높은 에너지 방사를 생성합니다. 이 에너지는 근처 트레이스로 유도될 수 있습니다. 이러한 현상은 Ch2 및 Ch3과 같은 가장 가까운 트레이스에서 분명하게 나타납니다. 트레이스로부터의 거리가 늘어나면 누화가 감소됩니다. 이것은 가장 먼 병렬 트레이스에서, 32mV 진폭으로 Ch4에서 나타납니다.

전기적으로, 한 입력이 접지면에 연결된 AND 게이트의 출력을 살펴보면 소량의 등가 인덕턴스를 제외한 대부분의 직접 경로 접지가 제공됩니다. 세 개의 AND 게이트의 전환 출력은 전류 흐름을 유발합니다. 이 전류 흐름으로 인해 전류가, 비전환 AND 게이트와 등가 인덕턴스로 유도되어 Ch 2에 더 큰 스파이크를 유발합니다. 접지와 연결된 입력을 가진 AND 게이트가 공급 전압과 연결되어 있는 경우, 더 큰 스파이크가 Ch 1의 상승 에지에 발생하게 됨에 유의하십시오.

누화

누화는 비동기 라인이 클럭 라인으로 결합되는 경우로 디지털 설계에서 종종 문제가 됩니다. 누화는 변환 오류를 일으키거나 클럭 에지를 “끌어당겨” 타이밍 오류 또는 셋업 및 홀드 위반을 일으킵니다. 상승 시간이 더 빨라지면 현상은 악화됩니다. 긴 리드는 큰 회로 루프를 생성할 수 있기 때문에 긴 프로브 접지 리드로 인해 누화 “오류”를 본 것으로 착각할 수 있습니다.

오실로스코프에서 누화를 관찰할 때에는 채널 수, 샘플 속도 및 대역폭을 고려해야 합니다. 해당 DPO에서 신호를 실시간으로 포착하려면 모든 채널에 적절한 샘플 속도를 설정합니다.

예를 들어, 회로 기판의 빠른 변환 신호가 (용량성 또는 유도성으로) 근처 신호 경로에 결합하면 누화가 발생합니다.

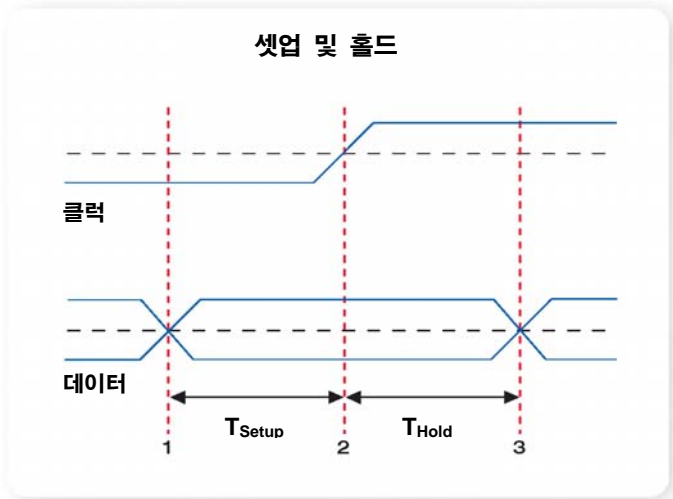
디버깅하는 동안 고려해야 할 누화 모드는 유도성(또는 변압기) 결합 누화, 반전 누화 및 전방 누화 등 세 가지 모드입니다.

유도성 또는 변압기 결합 누화는 펄스가 라인(공격자)에 전파되어 자기장을 유도하는 전류 스파이크로 다음 위치가 변경될 때 발생합니다. 이 자성 펄스는 이후 두 번째 라인(희생자)에 전류 스파이크를 일으킵니다. 변압기는 전방에 두 가지 반대 극성의 전압 스파이크를, 반대 방향에 양극 스파이크를 생성합니다.

반전 누화는 소스 방향으로 전달되는 희생자 라인에서 동일한 극성의 총계입니다. 이것은 폭이 라인 길이와 관련이 있는 낮은 레벨의 넓은 펄스로 보여집니다. 반전 누화 진폭은 공격자 펄스 상승 시간과는 별개의 문제입니다. 이것은 상호 임피던스 값에 따라 달라집니다.

전방 누화는 커패시턴스와 인덕턴스의 상대적인 값에 따른 두 가지 반대 극성 펄스의 합입니다. 이는 원래의 방향으로 전파됩니다. 또한 희생자 라인의 끝에서 좁은 스파이크 및 공격자 라인 상승 시간의 너비로 표시될 수 있습니다. 공격자 펄스 상승 시간이 빨라질수록 상승 에지도 빨라지고, 진폭이 높아질수록 펄스 모양도 더 좁아집니다. 전방 누화는 쌍을 이루는 라인 길이에 따라 달라집니다.

누화 위치가 공격자 펄스 에지를 따라 전파되면서 희생자 라인의 전방 누화는 보다 많은 에너지를 받습니다.



▶ **다이어그램 2.** 이 다이어그램은 클럭 로직 회로에 대한 셋업 시간(T_{setup}) 및 홀드 시간(T_{hold}) 정의를 설명합니다. 셋업 시간은 1 및 2포인트 사이에서 측정되고, 홀드 시간은 2 및 3포인트 사이에서 측정됩니다.



▶ **그림 4.** DPO4000은 검색 및 표시 기능에 특수 셋업 및 홀드 트리거링 기능이 결합되어 있습니다. 이 디스플레이 상단에서 흰색 빈 삼각형은 사용자 정의된 셋업 및 홀드 시간이 각각 5.5ns 및 4.5ns일 때 모든 셋업 및 홀드 위반을 표시합니다.

예방책

모든 채널에서 샘플 속도가 2GS/s, 대역폭이 500MHz이고 능동 프로브가 장착된 DPO4000은 아날로그 효과를 파악하는데 이상적입니다.

디지털 설계의 경우 다음 사항에 유의하십시오.

- ▶ 신호의 단락 상태를 유지합니다.
- ▶ 전파 지연이 상승 시간의 절반 이상인 경우 전송 라인 효과를 고려합니다.
- ▶ 바이패스 커패시터로 결합된 전원 및 접지면은 공명 및 누화와 관련된 많은 문제들을 제거할 수 있습니다.
- ▶ 문제가 있을 경우, 해당 이벤트를 효과적으로 관찰하기 위해 오실로스코프의 네 개의 모든 채널이 충분한 대역폭과 샘플 속도를 가지고 있는지 확인합니다.

셋업 및 홀드 위반 찾기

디지털 시스템에는 플립플롭부터 마이크로프로세서까지 클럭 로직 장치들이 포함됩니다. 각각은 해당 제조업체에 의해 고유의 셋업 및 홀드 시간이 지정되어 있습니다.

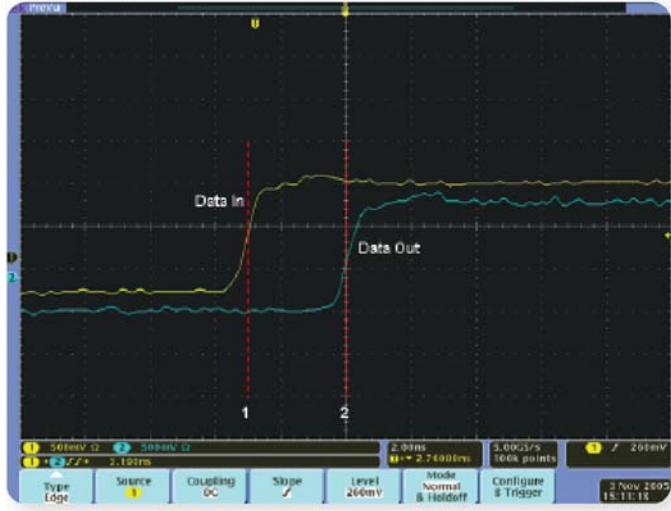
디지털 시스템의 속도를 증가시키면 클럭 신호 이전의 데이터 안정화 시간이 감소됩니다. 셋업은, 입력 신호가 클럭 에지

앞에서 안정적(유효)이어야 하는 시간입니다. 홀드는, 클럭 에지 이후 데이터가 안정적으로 유지되어 출력 시 유효한 데이터가 되는 시간량입니다. 다이어그램 1, 셋업 및 홀드 시간을 참조하십시오.

그림 4에서 셋업 시간은 데이터의 1포인트와 클럭의 2포인트 사이입니다. 제조업체에 의해 지정된 최소 셋업 시간은 5ns입니다. 홀드 시간은 클럭의 B 포인트와 데이터의 C 포인트 사이에서 측정됩니다. 최소 홀드 시간 사양은 4ns입니다.

신호가 장치의 셋업 및 홀드 구간에서 변화될 때마다 시스템 오류 또는 셋업/홀드 위반이 발생합니다. 클럭과 데이터 신호의 누화 및 반사는 시스템 무결성을 저하하고 이러한 위반을 발생시킵니다. 장치가 빠르게 실행될수록 해당 셋업 및 홀드 시간은 감소됩니다. 이로 인해 이들의 타이밍 관계는 디버깅되기 더 어려워집니다.

셋업 또는 홀드 요건의 위반은 장치의 출력에 예기치 못한 글리치의 원인이 되거나 출력 변환이 전혀 일어나지 않게 될 수 있습니다. 디지털 오실로스코프의 셋업/홀드 트리거는 두 개의 오실로스코프 입력 채널에 존재하는 클럭과 데이터 신호 사이의 셋업 및 홀드 시간 모두에 트리거링을 허용합니다. DPO에 디지털 신호가 표시되므로, 셋업 및 홀드 위반의 정확한 타이밍 측정을 확인할 수 있습니다.



▶ **그림 5.** DPO4000은 지연 시간 측정 기능을 사용하여 상승 에지(1포인트)의 데이터에서 데이터 출력 상승 에지(2포인트)까지 전파 지연 시간을 측정 및 표시합니다.

전파 지연

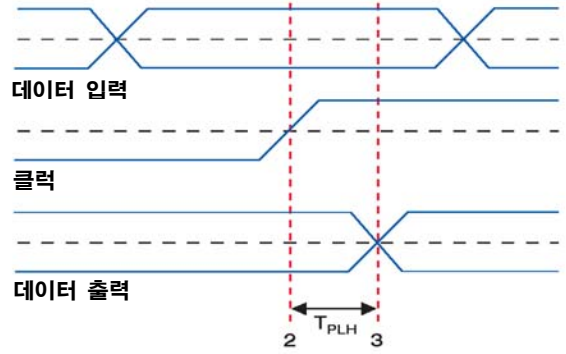
신호가 시스템의 한 포인트에서 다른 포인트로, 회로의 입력에서 출력으로 또는 한 장치의 출력에서 다른 장치의 입력으로 이동하는 데에는 시간이 걸립니다. 이 신호는 신호 경로의 전파 지연입니다. 신호 변화의 극성에 따라서 한 회로에 두 가지 다른 전파 지연 사양이 있는 것이 보통입니다. 이 사양은 t_{plh} (저에서 고로 전파), t_{phl} (고에서 저로 전파)로 표시됩니다.

게이트 전파 지연

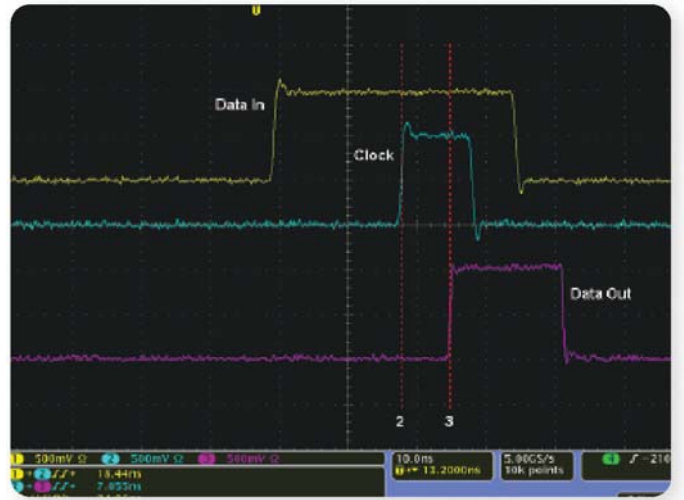
로직 상태에서 전파 지연은 신호가 게이트의 입력에서 출력으로 통과할 때 필요한 시간입니다. 그림 5에 포착된 장치에 대한 전파 지연 사양은 데이터 입력 신호(1포인트)와 데이터 출력 신호(2포인트) 사이에서 측정됩니다.

그림 5에서 DPO4000 오실로스코프는 AND 게이트 IC의 입력 및 출력 데이터 파형을 포착합니다. 이 때 Ch1 프로브는 데이터 입력, Ch2는 데이터 출력에 있습니다. 지연 시간 측정 기능을 사용하여 Ch1의 첫 번째 상승 에지에서 Ch2의 첫 번째 상승 에지까지 측정 시간 변수가 선택됩니다. DPO는 3.190ns의 전파 지연 시간을 측정하여 표시합니다.

클럭 전파 지연 시간



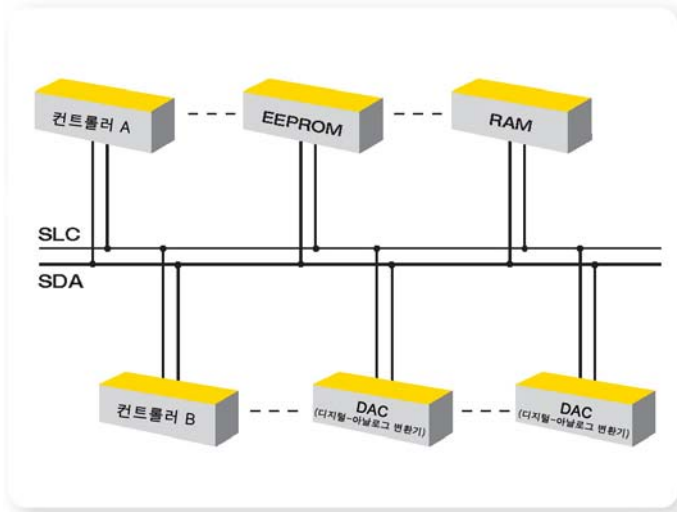
▶ **다이어그램 3.** 이 신호는 고-저 전파 시간(T_{PLH})을 보여주며 클럭 로직 회로의 경우는 2포인트와 3포인트 사이에서 측정됩니다.



▶ **그림 6.** DPO4000 지연 시간 측정 셋업 기능의 유연성은 클럭 전파 지연 시간을 측정하는 데 사용됩니다. 이는 클럭 상승(2포인트)과 관련하여 데이터 출력 상승 에지(3포인트) 사이에서 측정되는 시간입니다. 클럭 전파 지연 시간은 7.055ns입니다.

클럭 전파 지연

플립플롭이나 래치와 같은 클럭 회로의 경우 클럭 전파 지연은, 능동 클럭 에지가 회로의 출력 또는 해당 클럭에서의 상태를 Q 전파 지연으로 변경시키는 데 걸리는 시간입니다. 다이어그램 3의 플립플롭은 최대 저-고 전파 지연(T_{PLH})이 8ns입니다. 다시 말하면, 클럭이 높아진 후 8ns를 넘지 않으면 출력이 입력 데이터 상태로 변경됩니다.



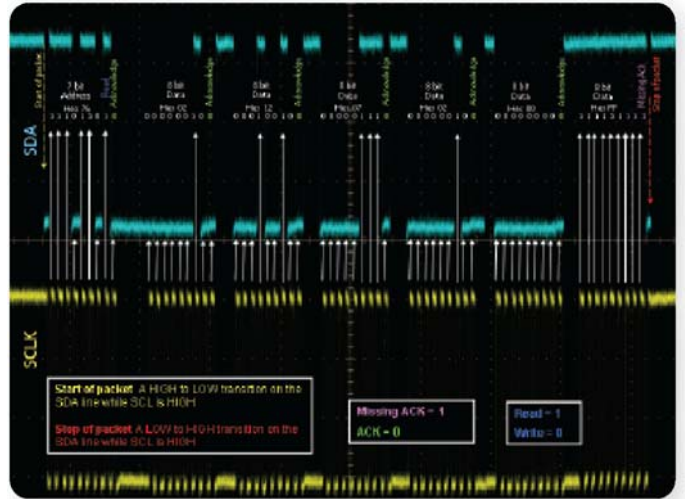
▶ **다이어그램 4.** 전송된 각 직렬 패킷에 포함된 고유 주소 식별자로 각기 선택되는 다양한 연결 장치를 가진 I²C 버스 다이어그램

그림 6의 오실로스코프 디스플레이는 DPO4000을 사용하여 포착된 데이터를 보여줍니다. DPO는 Ch1이 데이터 입력에, Ch2가 데이터 출력에 연결된 상태에서 5GS/s로 샘플링되도록 설정되어 있습니다. 디지털 오실로스코프는 클릭 입력에 연결된 데이터 입력 및 Ch2의 상승 에지를 트리거링합니다.

버스 컨텐션 문제

DSPs, RAM, EPROMs, PROMs, ROMs A/D 및 D/A 컨버터 및 I/O 장치와 같은 회로 장치들은 일반적으로 저속 및 고속 직렬 버스를 통해 외부 세계로 통신합니다. 버스 컨텐션은 이러한 버스가 병렬 버스보다 디버깅하기 더 힘든 이유의 한 예입니다. 다이어그램 4의 저속 직렬 버스는 Philips 반도체에서 개발한 I²C 버스 표준 계층 및 프로토콜입니다.

DPO4000 또는 DPO7000 시리즈와 같은 대부분의 디지털 오실로스코프는 패턴이나 상태 신호로 설명되는 로직 신호 조합을 트리거링합니다. 그림 7은 엔지니어들이 I²C 직렬 버스를 비트별로 디코딩하는 방식을 설명합니다. 먼저 패킷 변환의 시작을 찾고 나면, 첫 번째 바이트(Byte)의 첫 일곱 비트(Bit)가 주소입니다. 첫 번째 바이트의 여덟 번째 비트를 보면 읽기인지 쓰기인지 알 수 있고 데이터는 여덟 바이트까지 디코딩됩니다. CAN 버스와 같은 일부 직렬 버스는 비트 교정으로 인해 핸드 디코딩이 불가능합니다.

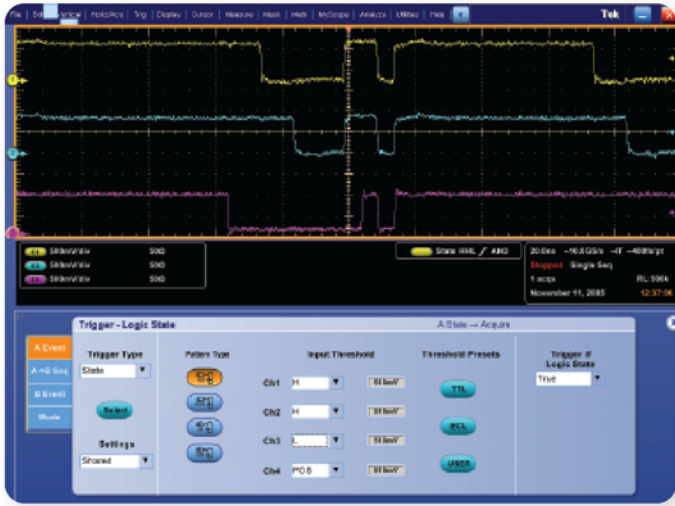


▶ **그림 7.** DPO 디스플레이는 I²C 버스 핸드 디코딩을 보여줍니다. 주소는 76, 동작은 읽기입니다.



▶ **그림 8.** DPO4000 I²C 버스는 읽기 또는 쓰기에 대해 선택된 주소 76을 트리거링합니다. 각 패킷은 핸드 디코딩을 제거하고 오류를 줄이며 시간을 절약하여 쉽게 디코딩됩니다.

DPO4000의 선택적인 I²C, SPI 및 CAN 버스 트리거는 최대 10Mbps/s까지의 속도로 해당 버스에 맞는 신호를 트리거링함으로써 버스 컨텐션의 디버깅을 허용합니다. 이러한 트리거를 사용하여 예상되는 버스 패턴을 설정할 수 있습니다. 예를 들어, I²C 버스에서 패킷의 시작 또는 끝, 프레임 유형(데이터, 원격, 오류 또는 과부하), 표준 또는 확장 식별자나 누락 인정을 트리거하고자 할 수 있습니다. DPO4000은 대부분의 일반 패킷 정보를 트리거링 및 검색할 수 있습니다.



▶ **그림 9.** DPO 디스플레이는 장치에 대한 시간 제한 패턴 트리거링을 보여줍니다. Ch1과 Ch2의 신호가 높아지면 Ch3에 대한 입력 라인이 높아져야 합니다. Ch3를 낮은 상태로 설정하면 추가 지연 문제를 측정합니다.

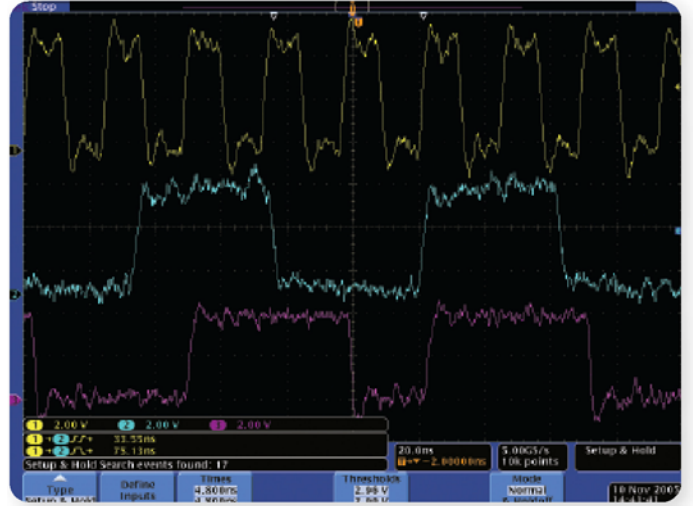
패턴 트리거링

패턴은 로직 레벨의 조합이 필요한 수준에 있고 이벤트 전체 동안 그 위치를 유지하는 경우에만 유효합니다. 사용자는 패턴이 참(설정된 조건으로 들어감)이 되거나 거짓(설정된 조건을 벗어남)이 될 때 DPO를 트리거할지 여부를 결정합니다.

상태 트리거링

동기 시스템(시스템 클럭에 의해 제한됨)에서, 상태 트리거링은 트리거를 제한할 수 있습니다. 유사한 버스 사례를 사용하여 수신 버퍼를 래칭 버퍼로 변경합니다. 그림 9는 시간 제한 패턴 트리거를 통해 장치 입력 각각의 상태를 설정할 수 있는 방법을 보여줍니다. Ch3는 낮은 상태로 설정됩니다. Ch1 및 Ch2는 높은 상태로 설정됩니다.

문제 상태는 Ch3의 신호에 지나친 지연이 발생하는 문제를 발견하면서 포착됩니다. 클럭이 올바르게 래칭할 수 있도록 Ch1과 Ch2의 입력 라인이 높아지면 Ch3에 대한 입력 라인이 높아져야 합니다. 분명한 것은 이러한 현상이 다양한 장치의 제어 신호와 버스 주소가 마스터 클럭에 동기화된 시스템에서만 작용한다는 것입니다.

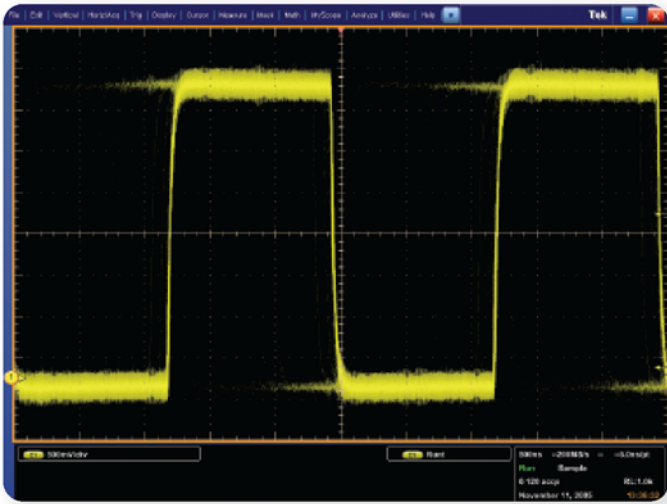


▶ **그림 10.** DPO4000 셋업 및 홀드 트리거와 검색/표시 기능을 사용하여 상기 디스플레이 상단에서 흰색 삼각형으로 표시되는 준안정 상태를 보여줍니다. Ch1은 클럭 신호이고 Ch2는 데이터 신호입니다. 채널3은 D타입 플립플롭 래치의 준안정 Q 출력입니다.

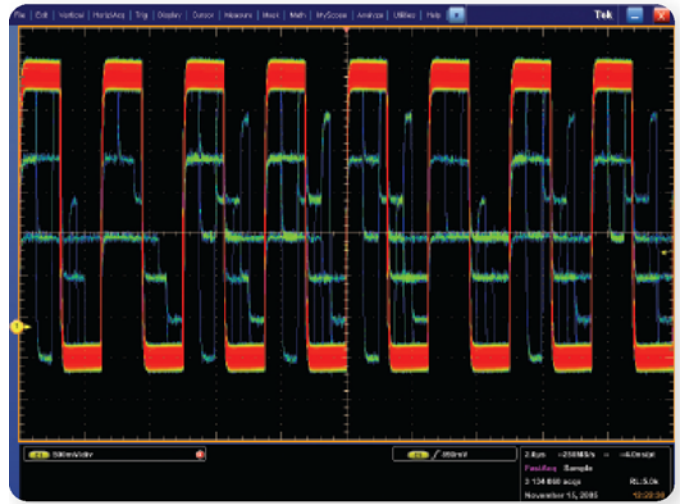
준안정적 이벤트 포착

준안정성은 불확실하거나 불안정한 데이터 상태입니다. 그 결과로서 나오는 출력 신호는 문제를 일으키는 요인이 되는 글리치일 수 있습니다. 이러한 상태는 보통 드물게 발생하여 다른 현상보다 감지 및 포착이 더 어렵습니다. 그림 10의 D 플립플롭과 같이 래칭 회로의 입력에서 셋업 및 홀드 위반으로 인해 준안정 상태가 발생할 수 있습니다.

그림 11은 플립플롭에 대한 데이터 및 클럭 신호가 비동기로 실행되는 것을 보여줍니다. 때로는 데이터의 상태가 변화되어 셋업 및 홀드 위반이 일어나면서 클럭의 상승 에지가 발생합니다. 이로 인해 원래의 상태로 머물러야 할 플립플롭 출력이 다양화될 수 있으며 변화가 데이터에 반영되거나 이들 상태 사이에서 주저할 수 있습니다. 이 일시적인 “주저” 속에서 플립플롭은 준안정 상태가 되고 플립플롭의 출력(Q 또는 /Q)은 혼돈 상태가 됩니다.



▶ **그림 11.** 디지털 오실로스코프는 설계자가 설계에 미치는 글리치의 영향을 실제로 확인할 수 있도록 신호를 보여줄 수 있습니다. DPO7000 디스플레이는 지속을 이용한 매우 간헐적인 신호 글리치를 보여줍니다. 지속 디스플레이는 시각적 추적 내역을 생성합니다.



▶ **그림 12.** DPO7000 FastAcq 수집 모드에서는 잠재적 런트와 변환 오류 조건을 확인하기가 용이합니다.

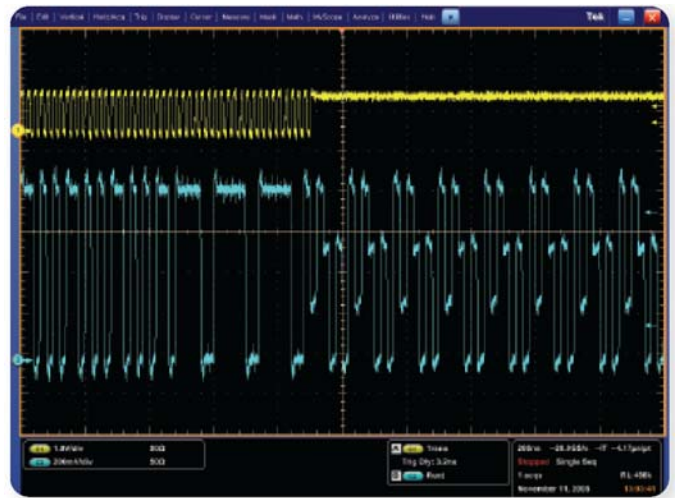
그림 13에서 플립플롭은 데이터를 래치하는 데 실패하여 이전 상태로 돌아갑니다. 일반 트리거링으로는 감지할 수 없는 경우 이벤트 트리거링은 준안정 상태, 이 경우에는 런트로의 변환을 신뢰성 있게 포착할 수 있습니다. 변환과 런트는 이중 진폭 임계값 제한을 통해 준안정 신호를 포착합니다.

다른 까다로운 디버그 문제와 마찬가지로 준안정성은 복잡한 트리거링에서 혜택을 볼 수도 있습니다. DPO7000의 핀포인트 트리거링은 오실로스코프의 전체 대역폭에 유용하기 때문에 디버깅 설계에서 사용 가능한 가장 광범위한 트리거링 도구 중 하나입니다.

핀포인트 트리거링 성능 및 기능은 프로토타입에서 가장 포착하기 어려운 움직임을 발견합니다.

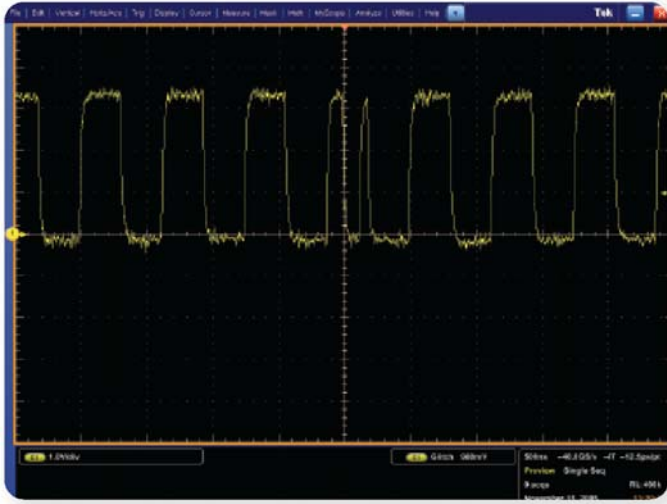
글리치 포착

글리치는 이상적인 디지털 파형에서 벗어난 모든 편차를 일컫는 고유 용어입니다. 글리치는 시스템에서 로직 변화로 해석될 수 있는 매우 좁고 빠른 비예측 펄스입니다. 글리치 문제는 많은 오류 유형으로 인해 발생되며 디버깅하기 어려울 수 있습니다. 글리치가 시스템 작동에 미치는 영향은 예측이 불가능합니다. 대부분의 설계 문제는 하나 이상의 신호에

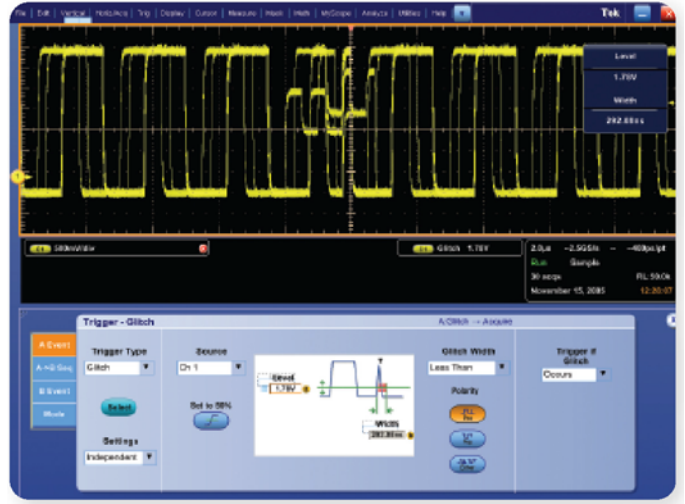


▶ **그림 13.** DPO7000 Pinpoint™ 트리거를 통해 A이벤트는 물론 B이벤트에 대한 정교한 트리거 유형을 사용할 수 있습니다. 여기에서 B이벤트는 A와 마찬가지로 오류가 있는 변환을 다른 변환으로부터 분리하는 것으로 정의됩니다. B이벤트가 A이벤트 직후에 오는지, 훨씬 나중에 오는지 여부는 중요하지 않습니다. 어느 경우든 수집이 일어납니다. 런트 로직 펄스는 유효화되기 위해 필요한 모든 임계값을 거치지 않습니다.

글리치로 나타납니다. 종종 글리치는 노이즈, 경합 상황, 종단 오류, 드라이버 오류, 누화 및 셋업/홀드 또는 기타 타이밍 위반을 포함한 광범위한 장치 오류의 첫 번째 신호일 때가 많습니다.



▶ 그림 14. DPO7000 글리치 트리거를 사용하면 드물게 발생하는 불안정 상태가 D타입 플립플롭의 Q 출력에서 포착됩니다.



▶ 그림 15. 디지털 오실로스코프가 데이터를 수집하고 있지 않을 때에는 글리치가 감지되지 않을 수 있습니다. 업데이트 속도가 더 빨라지면 글리치를 포착하는 데 필요한 시간이 감소됩니다.

고속 디지털 에지에는 설계에 중요한 회로 기판 트레이스의 올바른 종단을 만드는 고주파수가 포함됩니다. 이는 큰 과도 전류를 발생시킴으로써 동적 전류가 증가되고 그라운드 바운스나 전원 공급 글리치와 같은 문제가 발생하는 원인이 될 수 있습니다. 고속 에지는 누화를 증가시킬 수도 있습니다. 과거에 집중 회로 트레이스로 처리되었던 회로 기판 트레이스는 이제 적절한 종단이 필요한 전송 라인입니다.

회로가 제대로 작동하지 않으면 글리치를 점검하는 것이 디버깅의 좋은 시작 지점이 됩니다. 디지털 오실로스코프에서 아날로그 및 디지털 표시를 비교해봄으로써 글리치의 모양을 확인합니다. 대부분의 문제는 하나보다 많지는 않더라도 적어도 하나의 신호에서 글리치로 나타납니다.

예를 들어, DPO는 디지털 펄스의 상승 에지와 하강 에지 양쪽에서 왜곡을 표시할 수 있습니다. 상승 에지는 로직 변환을 트리거할 만큼 낮게 떨어지지 않으므로 글리치로 나타나지 않습니다. DPO7000과 같은 디지털 오실로스코프와 펄스 너비 트리거링을 사용하여 오류를 해당 소스로 트레이스하기 위해 이러한 간헐적인 글리치를 포착하는 것은 유용합니다.

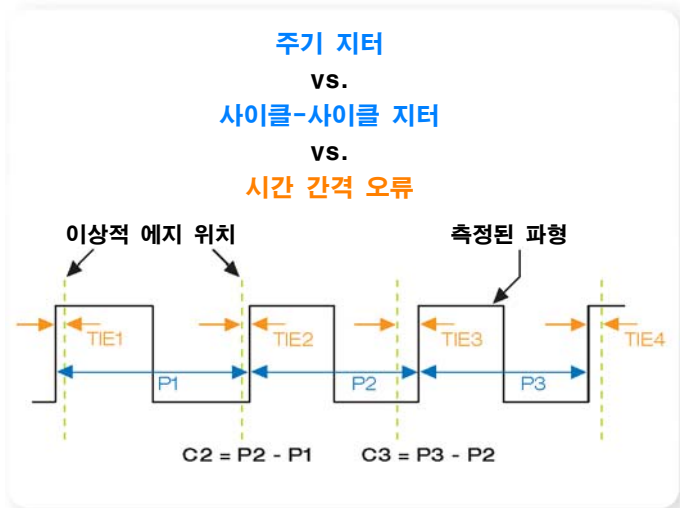
지터 측정

일련의 클럭 또는 데이터 펄스에서 발생하는 원치 않는 타이밍 편차를 지터라고 합니다. 지터는 전압 변환을 사용하여 타이밍 정보를 표시하는 모든 전기 시스템에서 발생합니다. 지터는 디지털 신호의 이상적인 시간 위치에서 발생하는 단기적 편차입니다. 임의의 프로세스인 지터는 시스템 성능을 저하시키고 디버깅을 어렵게 합니다.

인접 또는 비인접 펄스 에지의 주기 또는 위상 중 발생하는 빠른 타이밍 편차가 지터를 야기합니다. 더 간단하게 말하면, 지터는 “올바른” 위치에서 타이밍 에지가 벗어난 편차입니다. 파형에서 지터를 측정하기 위한 일반적인 방법은 주기 지터, 사이클-사이클 및 시간 간격의 세 가지가 있습니다. 다이어그램 5는 이러한 측정이 서로 연관되어 있다는 것을 보여줍니다.

주기 지터는 파형의 각 클럭 사이클 주기를 측정하는 것입니다. 첫 번째 에지에서 오실로스코프를 트리거링하면 두 번째 에지의 주기 지터가 표시됩니다.

다이어그램 5는 타이밍 지터의 클럭 모양 신호를 보여줍니다. 점선은 클럭의 무지터 버전에 상응하는 이상적인 에지 위치를 보여줍니다.



▶ **다이어그램 5.** 상기 다이어그램은 타이밍 지터를 보여주는 클럭 모양 신호입니다. 점선은 클럭의 무지터 버전에 상응하는 이상적인 에지 위치입니다.

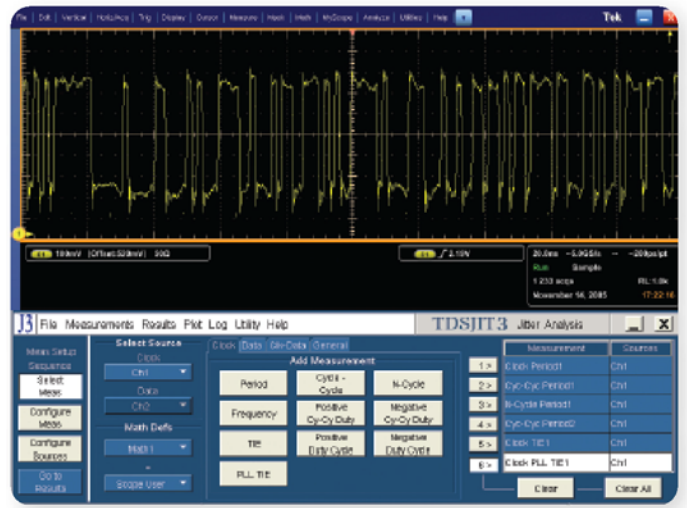
사이클-사이클 지터는 두 개의 인접 주기 사이에서 클럭 주기가 얼마나 변화하는지 측정합니다.

다이어그램 5에서 C2와 C3로 표시되는 사이클-사이클 지터는 두 개의 인접 주기 사이에서 클럭 주기가 얼마나 변화하는지를 측정합니다. 다이어그램에서 볼 수 있듯이, 사이클-사이클 지터는 주기 지터에 1차 차동을 적용하여 확인할 수 있습니다.

이 측정은 클럭 복구 PLL이 영향을 받을 수 있는 순간 역학을 보여주기 때문에 관심의 대상이 될 수 있습니다. 주기 지터나 사이클-사이클 지터를 계산할 때에는 레퍼런스 클럭의 이상적인 에지 위치에 관한 정보는 필요하지 않습니다.

시간 간격 오류(TIE)는 클럭의 능동 에지 각각이 이상적인 위치에서 얼마만큼의 편차가 있는지 측정합니다. 이 측정을 수행하려면 이상적인 에지를 알거나 추정하고 있어야 합니다. 이 방식은 적은 양의 주기 지터라도 시간이 지남에 따라 가질 수 있는 누적 효과를 보여주기 때문에 중요한 측정 방식입니다.

다이어그램 5에서 P1, P2 및 P3 측정으로 표시되는 주기 지터는 파형에서 각 클럭 사이클의 주기를 측정합니다. 이것은 가장 쉽고 직접적인 측정 방식입니다.

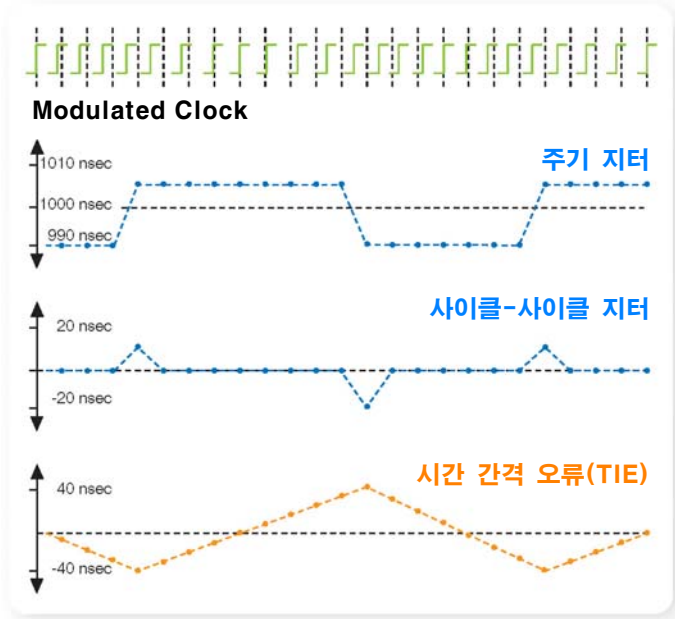


▶ **그림 16.** DPO7000i이 복잡한 신호에서 TDSJIT3 애플리케이션을 실행할 때 설계 엔지니어가 분석할 수 있도록 정교한 지터 분석 측정이 신속하게 이루어집니다.

Pk-Pk 값은 디스플레이가 무한 지속으로 설정된 상태에서 하나 이상의 완전한 클럭 사이클이 표시되도록 DPO를 조절하여 측정할 수 있습니다. 스코프가 첫 번째 에지를 트리거하면 다이어그램 5에서와 같이 주기 지터는 두 번째 에지에서 볼 수 있습니다.

TIE는 TIE1부터 TIE4까지 측정에 의해 다이어그램 5에 표시됩니다. TIE는 클럭의 각 능동 에지가 해당 이상적 위치에서 얼마만큼의 편차가 있는지 측정합니다. 이 측정을 수행하기 위해서는 이상적인 에지를 알거나 추정하고 있어야 합니다. 클럭 복구나 후처리를 위한 도구가 없이 오실로스코프로 TIE를 직접 관찰하기는 어렵습니다.

TIE는 먼저 각 측정된 주기에서 공칭(이상적) 클럭 주기를 뺀 다음 주기 지터를 적분하여 얻을 수도 있습니다. TIE는 적은 양의 주기 지터라도 시간이 지남에 따라 가질 수 있는 누적 효과를 표시하기 때문에 중요합니다. TIE가 ±0.5 단위 간격에 도달하면 아이가 폐쇄되고 수신 회로는 비트 오류를 겪게 됩니다.



▶ **다이어그램 6.** 동일한 파형에서의 세 가지 지터 측정(주기, 사이클-사이클, 시간 간격) 상호 비교

다이어그램 6은 이 세 가지 지터 측정이 동일한 파형에서 어떻게 비교되는지 예를 보여줍니다. 이 예에서, 해당 파형은 공칭 주기가 1ms이지만 실제 주기는 여덟 번의 990ns 사이클 다음에 여덟 번의 1010ns 사이클이 뒤따르는 패턴을 따릅니다.

모든 지터에는 랜덤 및 결정성 요소가 있습니다. 랜덤 성분으로 인해 지터는 일반 통계 기술을 사용하여 가장 잘 설명됩니다. 평균값, 표준 편차 및 Pk-Pk 값과 같은 측정 기준은 신뢰 간격과 같은 식별자와 함께 의미 있고 반복적인 측정 결과를 수립하는 데 사용됩니다.

결정성 지터(Dj)는 반복 및 예측이 가능한 타이밍 지터입니다. 결정성 지터의 Pk-Pk 값은 제한되어 있으며 그 한계는 상대적으로 낮은 횟수의 관찰을 통해 높은 신뢰도로 관찰 및 예측될 수 있습니다. 결정성 지터의 발생 원인은 다음과 같습니다.

- ▶ 주기성 지터(Pj)는 전원 공급, 인접 발진기와 같은 반복적 노이즈 원인 및 때로는 인접 버스의 누화로 야기됩니다.

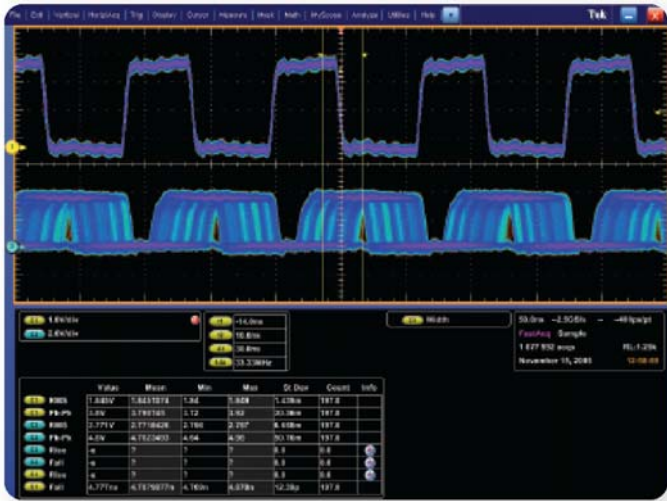


▶ **그림 17.** TDSJIT3 지터 분석 애플리케이션이 포함된 DPO7000은 데이터 신호상의 총 지터가 다음 값과 동일함을 보여주고 있습니다. 즉, $\sim 192 \text{ ps} (T_j = D_j + 2Q(\text{BER}) * R_j)$, 여기서 $Q(10E-12) = 7$. 데이터 PLL TIE 측정의 관련 히스토그램은 엔지니어에게 데이터 신호 통계 분포의 그래픽화된 표시를 제공합니다.

- ▶ 듀티 사이클 왜곡(DCD)은 드라이브 회로 바이어스 레벨의 불균형 또는 송신 장치 내부의 열 효과로 인해 발생합니다.
- ▶ 데이터 종속성 지터(DDj)라고도 하는 심벌간 간섭(ISI)은 가장 흔하게는 상호 연결 및 케이블 손실로 인한 신호 경로의 주파수 관련 손실로 발생합니다.

랜덤 지터(Rj)는 식별할 수 있는 특별한 패턴이 없고 쉽게 예측이 가능하지 않은 타이밍 노이즈입니다. 전기 회로에서의 랜덤 노이즈의 주요 원인은 열 노이즈(존슨 노이즈 또는 쇼트 노이즈)입니다. RJ는 가우시안 분포를 가진 것으로 추정되며 기저 분포에 대한 제한된 어떤 Pk-Pk 값도 없습니다 (샘플을 많이 취할수록, 측정된 Pk-Pk 값은 더욱 커집니다).

주기성 지터(Pj)는 주기적으로 반복합니다. 주기성 파형이 고조파적 관련 정현파로 분해되기 때문에, 이러한 종류의 지터를 정현파 지터라고도 부릅니다. 주기성 지터(Pj)는 일반적으로 전환 전원 노이즈나 강력한 로컬 RF 캐리어와 같은 외부적인 노이즈 결정 원인에서 비롯됩니다. 불안정한 클럭-복구 PLL도 또한 원인이 될 수 있습니다.



▶ 그림 18. DPO7000을 통해 한 번에, 상승, 하강 및 Pk-Pk를 포함하여 최대 8개까지의 자동 측정이 가능합니다. 관련 측정 포인트 상에 단순히 커서를 놓음으로써 결과를 산출할 수 있습니다.

데이터 종속성 지터(DDj)는 데이터 스트림 비트 시퀀스와

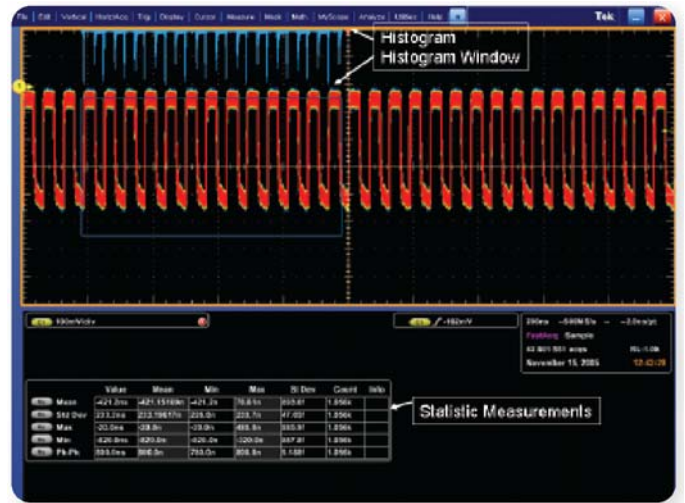
상관 관계에 있는 지터를 일컫습니다. 데이터 종속성 지터(DDj)는 종종 케이블이나 장치의 주파수 응답에 의해 야기됩니다. 데이터 종속성 지터(DDj)는 또한 일반적으로 패턴 종속성 지터(PDJ)로도 불립니다. 이는 심볼간 간섭(ISI)의 측정 결과입니다.

듀티 사이클 왜곡(DCD)은 50% 공칭값으로부터의 듀티 사이클 편차입니다. 듀티 사이클 왜곡(DCD)에는 두 가지 일반적인 원인이 있습니다. 즉, 상승 에지의 슬루율이 하강 에지의 슬루율과 다르거나, 파형에 대한 결정 임계값이 신호 DC 평균의 변화를 이유로 너무 높거나 너무 낮아질 경우입니다.

비트 오류 할당(Tj @ BER)에서의 총 지터는 사용자 지정 비트 오류율에서의 추정된 Pk-Pk 지터입니다. 단위 간격과 결합 시, BER에서의 추정된 예측 아이 오프닝이 BER bathtub 곡선 좌표에서 또한 추정되고 표시됩니다.

자동 측정 및 분석

고속 신호에 있어 자동 측정 및 통계적 분석이 설계의 디버깅에 통찰력을 제공해줍니다. 오늘날의 디지털 오실로스코프에 있어서의 많은 자동 측정 및 통계적 분석은 디버깅 작업에 필요한 유연성과 기량을 제공해주고 있습니다.



▶ 그림 19. 통계적 측정과 함께 DPO7000의 FastAcq 신호 포착 모드는 Ch 1의 상대적으로 안정된 클럭 신호를 선택하고 표시해 줍니다. 히스토그램 영역이 선택되고 커짐으로써, 설계 엔지니어가 규격 준수에 있어 통계적 분석 도구를 쉽고 빠르게 사용할 수 있음을 보여줍니다.

한 번에 4개 또는 8개의 파형을 표시함으로써 파형간 비교 및 스크롤이 가능하여 그 관계를 파악할 수 있습니다.

자동화된 버튼식 측정 덕분에 엔지니어들은 새로운 방법으로 문제를 관측할 수 있습니다. 즉, 측정 통계를 취합하고, 레퍼런스 레벨을 규정하여 오실로스코프의 유연성과 성능을 통해 디버깅 작업을 수행할 수가 있는 것입니다. 화면 상에 복수의 측정을 포착하고 비교함으로써, DPO는 각각의 통계와 차이점을 표시해줍니다.

이러한 방법으로 엔지니어들은 구성 요소들이 특정 범위 내에서 작동하고 있는지 여부와, 그 허용 오차가 상이한지 그리고 보정이 필요한지 여부를 확인할 수 있습니다.

디버깅의 속도를 높이는 데 도움이 되는 일반적인 자동 측정으로는 펄스 폭, 오버쇼트, Pk-Pk 및 최소, 최대 및 제곱 평균 제곱근(RMS) 등의 더욱 복잡한 통계 측정을 포함하고 있습니다.

자동 지터 및 타이밍 분석

자동 측정은 지터 파형에 대한 통계적 정보를 확보하는 데 도움을 줍니다. 예를 들어, 엔지니어는 이 측정을 사용하여 PLL(위상동기루프)의 성능을 관측하여 크리스털의 안정 주기가 사양 범위 내인지를 결정할 수 있습니다. 또한 구성 요소의 상승 시간, 듀티 사이클 또는 펄스 폭의 데이터 유효 원도우를 관측할 수도 있습니다.

통계적 측정

디지털 오실로스코프는 지터 또는 준안정성 등의 측정을 통계적으로 평가하는데 유익합니다. 디버깅에 있어 고려할 일부 통계적 접근 방법은 다음과 같습니다.

- ▶ 평균값은 클럭 주기의 평균적 값(산술 평균)입니다. 이는 주파수의 역수입니다.
- ▶ 표준 편차는 측정이 그 평균값에서 변경하는 평균량입니다. 이는, 분포가 평균 및 표준 편차에 의해 특정되는 가우시안 프로세스에 유익합니다.
- ▶ 최대, 최소 및 Pk-Pk 값은 측정간에 관측됩니다. Pk-Pk 값은 최대값에서 최소값을 뺀 값입니다.
- ▶ 히스토그램은 데이터세트의 측정값을 측정 시 발생 주파수에 대해 좌표로 나타냅니다. 지터와 같은 이벤트에 있어서는 어떠한 차수도 제공하지 않지만 이벤트 확률을 추정하는데 유익합니다.

요약

DPO4000와 DPO7000 시리즈 같은 디지털 오실로스코프는, 내장 시스템 설계에 대한 엔지니어의 문제 해결 방법을 간소화시켜 주는 디버깅 도구입니다. DPO는 엔지니어링 설계, 검증 및 디버그 생산성을 개선시켜 줍니다. 연속 파형 포착과 같은 특징은, 이상적 디지털 펄스를 변형하는 셋업 및 홀드 시간, 상승 시간 및 로직 상태에 영향을 주는 노이즈, 글리치, 누화 및 기타 아날로그 특징에 있어서의 통찰력을 제공해줍니다.

텍트로닉스 연락처:

동남아시아/대양주 (65) 6356 3900
오스트리아 +41 52 675 3777
백관, 이스라엘, 남아프리카 및 기타 ISE 국가들 +41 52 675 3777
벨기에 07 81 60166
브라질 및 남미 55 (11) 3741-8360
캐나다 1 (800) 661-5625
중앙동유럽, 우크라이나 및 발트국 +41 52 675 3777
중앙 유럽 및 그리스 +41 52 675 3777
덴마크 +45 80 88 1401
핀란드 +41 52 675 3777
프랑스 및 북아프리카 +33 (0) 1 69 86 81 81
독일 +49 (221) 94 77 400
홍콩 (852) 2585-6688
인도 (91) 80-22275577
이탈리 +39 (02) 25086 1
일본 81 (3) 6714-3010
룩셈부르크 +44(0) 1344 392400
멕시코, 중앙아메리카 및 카리브해 52 (55) 56666-333
중동, 아시아 및 북아프리카 +41 52 675 3777
네덜란드 090 02 021797
노르웨이 800 16098
중국 86 (10) 6235 1230
폴란드 +41 52 675 3777
포르투갈 80 08 12370
대한민국 82 (2) 528-5299
러시아 및 CIS +7 095 775 1064
남아프리카 +27 11 254 8360
스페인 (+34) 901 988 054
스웨덴 020 08 80371
스위스 +41 52 675 3777
대만 886 (2) 2722-9622
영국 및 아일랜드 +44 (0) 1344 392400
미국 1 (800) 426-2200
기타 지역: 1 (503) 627-7111
2006년 1월 5일 업데이트

추가 정보

텍트로닉스는 최첨단 기술을 다루는 엔지니어를 지원하기 위해 애플리케이션 노트, 기술 문서 및 기타 리소스 등을 총 망라한 방대한 자료를 보유 관리하고 있으며 이를 계속 확장하고 있습니다. www.tektronix.com을 방문해 보세요.



Copyright © 2006, Tektronix. All rights reserved. 텍트로닉스 제품은 현재 등록되어 있거나 출원중인 미국 및 국제 특허의 보호를 받고 있습니다. 이 문서에 포함되어 있는 정보는 이전에 발행된 모든 자료에 실린 내용에 우선합니다. 사양이나 가격 정보는 예고 없이 변경될 수 있습니다. 텍트로닉스 및 TEK은 텍트로닉스, Inc.의 등록 상표입니다. 본 문서에 인용된 다른 모든 상표는 해당 회사의 서비스 마크, 상표 또는 등록 상표입니다.

01/06 DMxxx

55K-19175-0

Tektronix
Enabling Innovation