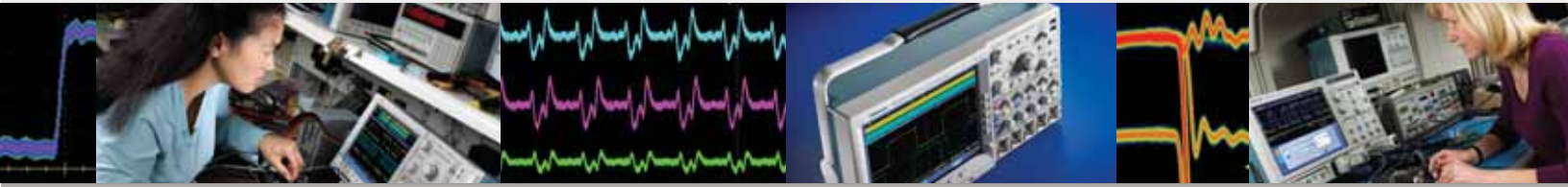


數位設計除錯指南



目錄

簡介	3
追蹤雜訊	4 - 7
傳輸線效應	4
振鈴與反射	4
接地雜訊	5
串音	6
預防措施	7
尋找設定和保持違反	7 - 8
傳輸延遲	8
閘控傳輸延遲	8
時脈傳輸延遲	8
解決匯流排衝突問題	9 - 10
樣式觸發	10
狀態觸發	10
擷取介穩態事件	10
捕捉突波	11
辨識抖動	12
自動量測與分析	15-16
自動抖動與時序分析	16
統計量測	16
摘要	16

簡介

系統速度的增加和設計尺寸縮減，都使得電路設計者更難以維護訊號的理想數位特性。設計中更高速和更密集的設計，引發了一系列影響電路運作的非預期性電子事件。零件放置、軌跡執行放置、雜訊和微小的訊號改變等，在高速設計中扮演的角色更顯重要。例如，當電路在千兆赫的頻率範圍中運作時，軌跡的電感在設計中會佔有更重要的地位。

工程師必須迅速找出和分析雜訊、設定與保持違反、突波、介穩態問題、匯流排衝突、抖動和其他的訊號問題，若觀察訊號行為和查看有問題之高速數位訊號的類比呈現結果，會更容易找出許多其他的數位問題。

雖然問題看起來或許像是位置錯誤的數位脈衝，但問題訊號的原因可能和訊號的類比特性有關。在低振幅訊號轉變為錯誤邏輯狀態，或是上升時間緩慢而造成脈衝時間偏移時，類比特性有可能會成為數位故障，使用同一脈衝的同步類比檢視來查看數位脈衝，是為這類問題進行除錯的第一步。

如 DPO4000 和 DPO7000 系列的數位示波器，是可以協助工程師對高速嵌入式系統設計進行疑難排除作業的除錯工具。請記住，在檢視訊號時，微小的細節也可能對訊號外觀和量測準確性造成重大的差異。

追蹤雜訊

雜訊是數位系統中任何不想要的訊號。傳輸線、接地雜訊、反射、串音、振鈴和波傳輸等，都是更密集、更快速的晶片為今日電路設計所帶來的雜訊問題。隨著邏輯的上升時間更為快速（迴轉率為數個 V/ns），工程師常常必須為 1 ns 內有數個上升時間的高速設計進行除錯。

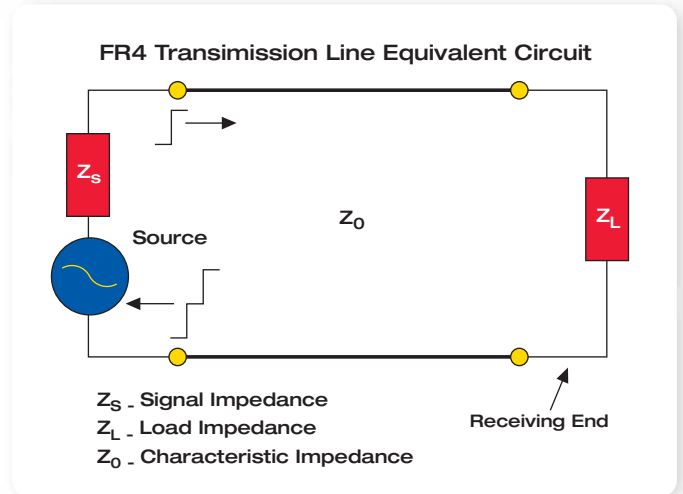
傳輸線效應

當訊號穿過整條線然後返回的傳輸時間，大於完成轉態所需的時間（即 $2T_{prop} > T_{rise}$ ）時，可將連線視為傳輸線。

在一般 FR4 材質的電路板上，傳輸速度約為 15 cm/ns，在上升時間為 1 ns 時，任何長度超過 7 公分的軌跡都會發生傳輸線效應。來源端和目的端（接收端）的訊號常會因為反射和振鈴而有差異，在量測這些速度的訊號時，請務必探測線路的接收端（簡圖 1）。

振鈴與反射

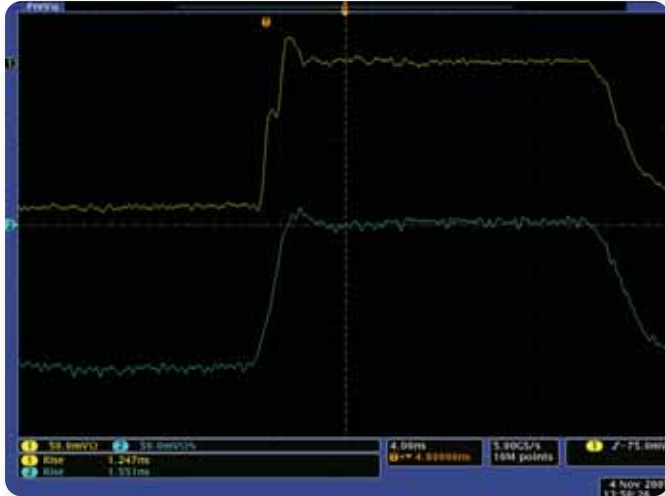
欠阻尼 (under damped) 的共振電路會產生振鈴與過激。不適當的電源供應器旁路、在裝置上連接過長的電源和接地線，以及探測技術不佳，都可能引發振鈴與過激。因線路不相符或未阻抗匹配而產生的反射，會造成突波或其他轉態中斷的情形。



► 簡圖 1. 相當於傳輸線的電路顯示阻抗不相符如何產生訊號反射的情形。

這些效應可能會造成不想要的狀態轉換或時序不確定性。某些數位電路會罕見地重複樣式，擁有適當頻寬和取樣率的數位示波器，可以輕易地即時擷取這些非重複性的事件。

探棒和探測技術會影響量測的品質。高電容負載會讓訊號邊緣減慢，以致掩蓋某些問題並又製造其他問題。讓探棒接觸電路節點可能會導致問題徵兆消失，來自探棒接地線的電感，和來自探棒輸入的電容，會形成串聯共振電路，除非共振頻率被推高至超過示波器頻寬，否則看起來會像是振鈴。



▶ 圖 1. 上方的訊號 (通道 1) 顯示 1 GHz DPO4000 擷取到的 1.3 ns 上升邊緣。下方的訊號 (通道 2) 與上方訊號相同，但其頻寬僅限於 250 MHz，說明 250 MHz 示波器可能會顯示的畫面。訊號中的反射被不足的頻寬掩蓋了。(請注意頻寬不足會導致訊號上升時間不準確的情形。)

縮短探棒的接地線和降低輸入電容，可增加共振頻率。傳統探棒的負載電容可能高達 0 至 15 pF，而主動式探棒可減少這個問題。例如，2.5 GHz TekVPI™ 主動式探棒的輸入負載電容小於 0.8 pF，這種電容的差異可保持低振鈴，並讓您能夠使用更長的接地線。

圖 1 顯示了檢視反射時頻寬及取樣率的重要性。上升轉態在轉態區域中會有反射，如果是時脈訊號，這可能造成時脈輸出中的時序不穩定或抖動。上方的軌跡 (通道 1) 是 5 GS/s DPO4000 在 1 GHz 頻寬下擷取到的，為了顯示較低效能示波器上的結果，下方的軌跡 (通道 2) 是 250 MHz 濾波器在 5 GS/s 下擷取到的。欲查看轉態的中斷，DPO 需要適當的取樣率和頻寬。

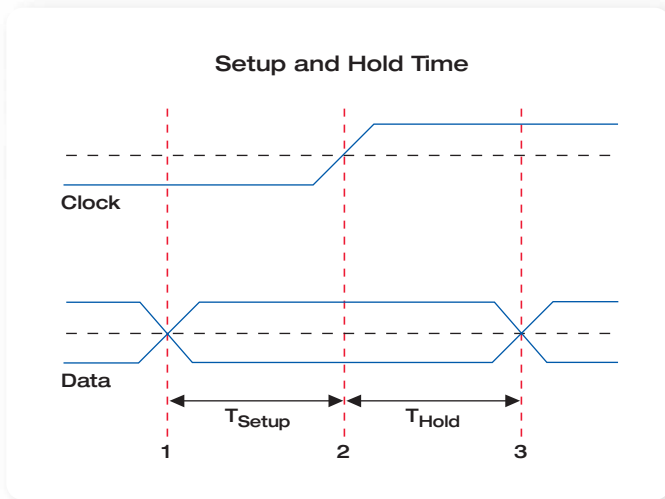


▶ 圖 2. 通道 1 上切換輸出所產生的接地雜訊。

接地雜訊

接地雜訊是接地面中的電流尖波 (current spike) 所造成的裝置接地參考的偏移。若裝置上多個輸出同步切換，則會產生大量的暫態接地電流。鏢線 (bond-wire)、接地線和折回路徑兩側的電壓下降，會讓裝置內部的接地電位「跳」到比系統接地更高。已切換或未切換之輸出內的過度振鈴和突波，會在其他裝置中產生不想要的轉態，接地雜訊甚至會導致裝置失去資料。

在圖 2 中，通道 1 擷取的是 74LVCO0 四單元 AND 閘極的一個輸出。四單元套件中的其中三個 AND 閘極各有一個輸入連接至 +3.3 供應電壓，而第四個 AND 閘極則將自己的輸入連接至接地，剩下四個 AND 閘極輸入則接收 48 MHz 的訊號。通道 2 觀察的是未切換的裝置。由於接地雜訊，通道 2 出現了稍微超過一伏特的峰對峰干擾。分析通道 2 的訊號，可以看到為何通道 2 中的雜訊在相對應之通道 1 的下降邊緣上，會比在相對應之通道 1 的上升邊緣上更大。



▶ 簡圖 2. 此簡圖說明時脈邏輯電路的設定時間 (T_{Setup}) 與保持時間 (T_{Hold}) 的定義。設定時間是量測第 1 點和第 2 點之間的距離，而保持時間是量測第 2 點和第 3 點之間的距離。



▶ 圖 4. DPO4000 結合了搜尋與標記功能和專門的設定與保持觸發。在本畫面的頂端，白色空心三角形依據使用者將設定與保持時間分別定為 5.5ns 和 4.5ns 的設定，標出所有的設定與保持違反。

預防措施

DPO4000 在四個通道上都擁有 2 GS/s 取樣率、500 MHz 頻寬和主動式探棒，是發現類比效應的理想工具。

進行數位設計時請記住下列事項：

- ▶ 保持訊號路徑短捷。
- ▶ 在訊號行進的傳輸延遲超過上升時間的一半時，要考慮到傳輸線效應的問題。
- ▶ 電源和接地面搭配有效的旁路電容，就能減少許多振鈴和串音的問題。
- ▶ 出現問題時，請確認示波器在所有四個通道上都有足夠的頻寬和取樣率，以求有效地觀察事件。

尋找設定和保持違反

數位系統包含從正反器 (flip-flop) 至微處理器的時脈邏輯裝置，各裝置都各自擁有由製造商指定的設定與保持時間。

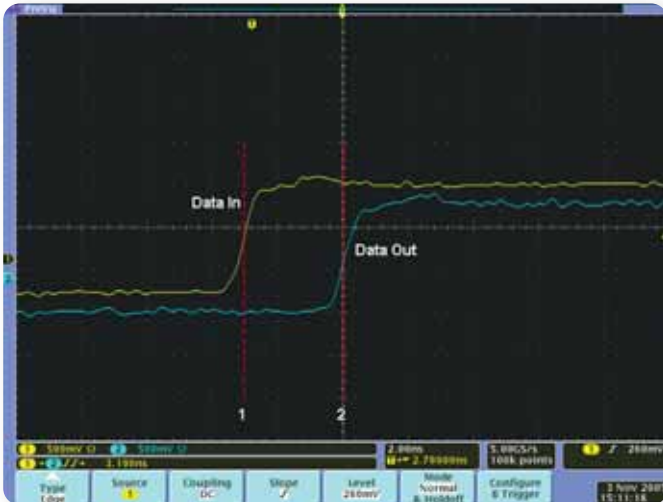
請在時脈訊號降低前，增加數位系統的速度和資料穩定時間。設定指的是在時脈邊緣之前，輸入訊號必須穩定 (有效)

的時間，而保持指的是在時脈邊緣之後，資料必須穩定，讓資料在輸出時仍為有效資料的時間長度。請參閱簡圖 1，設定與保持時間。

在圖 4 中，設定時間介於資料的第 1 點和時脈的第 2 點之間。製造商指定的最小設定時間為 5 ns。保持時間則是量測時脈的 B 點和資料的 C 點之間的距離，指定的最小保持時間為 4 ns。

每當訊號在裝置的設定與保持之間產生變化時，就會造成系統錯誤，或是設定/保持違反。時脈及資料訊號上的串音與反射，會降低訊號完整性並產生這些違反。裝置執行速度加快時，其設定與保持時間會降低，這會使其時序關係更難以進行除錯。

設定或保持要求的違反，可能會在裝置的輸出上造成無法預期的突波，或是根本沒有輸出轉態。數位示波器上的「設定/保持」(SETUP/HOLD) 觸發，可讓您在任何兩個示波器輸入通道上的時脈與資料訊號之間，在設定與保持時間上同時進行觸發。有了可在 DPO 上檢視的數位訊號，就能夠看到設定與保持違反的精確時序量測。



▶ 圖 5. DPO4000 使用其延遲時間量測功能，量測並顯示從 Data In 上升邊緣 (第 1 點) 到 Data Out 上升邊緣 (第 2 點) 的傳輸延遲時間為 3.190ns。

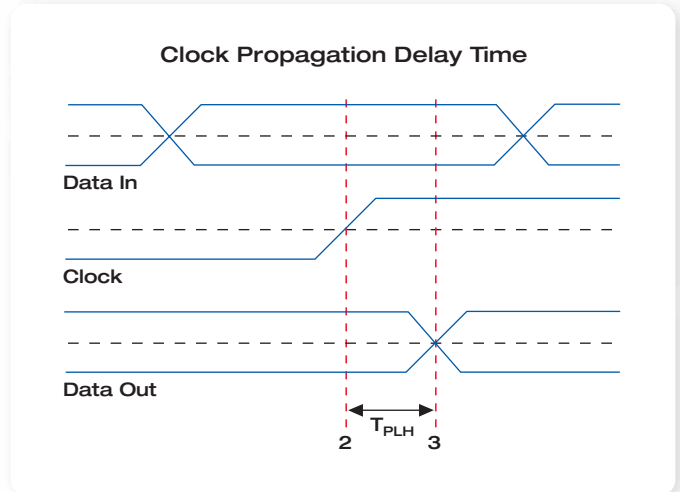
傳輸延遲

訊號在系統中從一個點行進到另一個點，亦即從電路的輸入到其輸出，或是從一個裝置的輸出到另一裝置的輸入，都必須花費時間，這段時間就是訊號路徑的傳輸延遲。依訊號變更的極性不同，電路通常會有兩個不同的傳輸延遲規格，這些規格以 t_{plh} (由低至高傳輸)、 t_{phl} (由高至低傳輸) 表示。

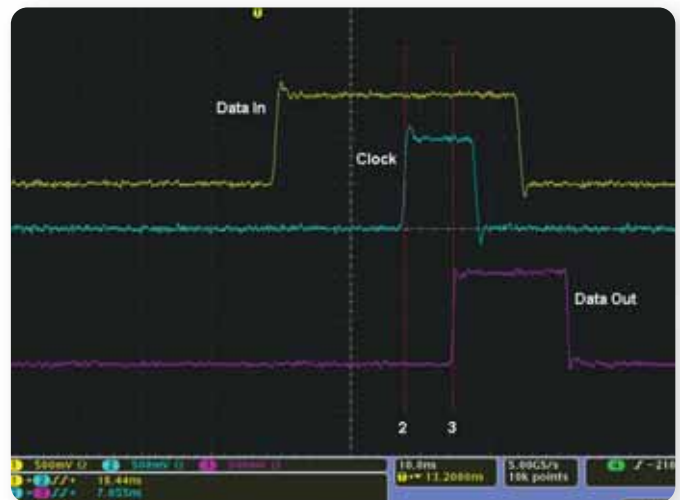
閘控傳輸延遲

在邏輯閘極上，傳輸延遲是訊號從閘極的輸入到輸出所需的時間。圖 5 中擷取的裝置傳輸延遲規格，是量測 Data In 訊號 (第 1 點) 和 Data Out 訊號 (第 2 點) 之間的距離。

DPO4000 示波器在圖 5 中擷取的輸入和輸出資料波形是來自 AND 閘極 IC，其中通道 1 探棒位於 Data In，而通道 2 探棒位於 Data Out。使用延遲時間量測功能，就可選取從通道 1 上第一個上升邊緣到通道 2 上第一個上升邊緣的量測時間變數。DPO 量測並顯示傳輸延遲時間為 3.190 ns。



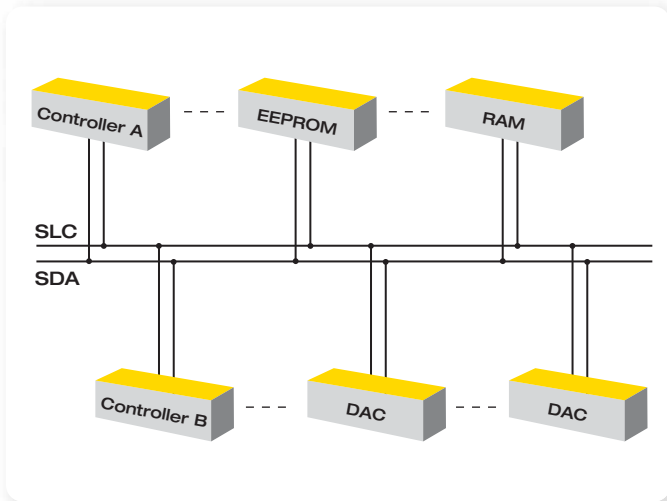
▶ 簡圖 3. 這些訊號說明了由高至低的傳輸時間 (T_{PLH})，以及若為時脈邏輯電路時，應量測第 2 點和第 3 點之間的距離。



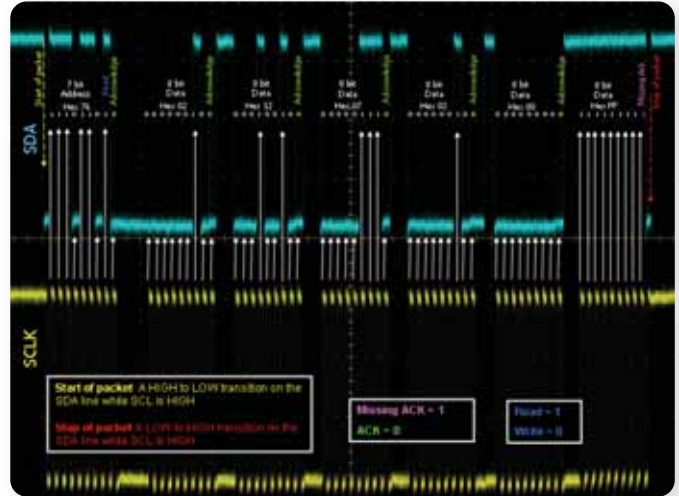
▶ 圖 6. DPO4000 延遲時間量測設定功能的彈性，可用於量測時脈傳輸延遲時間，亦即量測 Data Out 上升邊緣 (第 3 點) 相對於時脈上升 (第 2 點) 之間的時間。時脈傳輸延遲時間為 7.055 ns。

時脈傳輸延遲

若為時脈電路，如正反器或鎖存一般，時脈傳輸延遲即為主動時脈邊緣在電路輸出上變更狀態所需的時間，或是其 CLK 至 Q 的傳輸延遲。簡圖 3 中的正反器之最大由低至高傳輸延遲 (T_{PLH}) 為 8 ns，換句話說，時脈升高後的 8 ns 之內，輸出將會改變為輸入資料的狀態。



▶ 簡圖 4. 擁有多個連線裝置的 I²C 匯流排簡圖，各自自由傳輸的各串列封包中所包含的獨特位址識別碼選取。



▶ 圖 7. DPO 畫面說明了 I²C 匯流排手動解碼。其位址為 76，作業為讀取。

圖 6 中的示波器畫面顯示了 DPO4000 所擷取到的資料。DPO 設定為在 5 GS/s 下取樣，同時通道 1 連接至 Data In，而通道 2 連接至 Data Out，數位示波器在 Data In 的上升邊緣和連接至時脈輸入的通道 2 上進行觸發。

解決匯流排衝突問題

DSP、RAM、EPROM、PROM、ROM A/D 和 D/A 轉換器，以及 I/O 裝置等電路裝置，經常透過低速和高速的串列匯流排與外界通訊。這些匯流排比並列匯流排更難進行除錯的情形中，匯流排衝突就是一個例子。簡圖 4 中的低速串列匯流排為 Philips Semiconductor 公司所開發的 I²C 匯流排標準層和通訊協定。

大多數的數位示波器如同 DPO4000 或 DPO7000 系列一般，都會在描述為樣式或狀態訊號的邏輯訊號組合上進行觸發。圖 7 顯示出工程師必須如何為 I²C 串列匯流排一個位元接著一個位元地進行解碼。首先找到封包起始 (Start of Packet) 轉換，接下來第一個位元組的前七個位元是位址，再查看第一個位元組的第八個位元，以判斷它是讀取或寫入，然後將高達八個位元組的資料解碼。某些串列匯流排，如 CAN 匯流排，因為位元修正的問題，以致於無法以手動解碼。



▶ 圖 8. DPO4000 I²C 匯流排在選定的位址 76 上進行讀取或寫入的觸發。各封包均可輕易解碼而無須手動解碼，因此可減少錯誤並節省時間。

DPO4000 上選用的 I²C、SPI 和 CAN 匯流排觸發，可在這些速率高達 10Mbps/s 之匯流排專屬的訊號上進行觸發，以允許進行匯流排衝突的除錯作業。您可以使用這些觸發，設定預期的匯流排樣式。例如在 I²C 匯流排中，您可能希望在封包的起始或結束、訊框類型 (資料、遠端、錯誤或過載)、標準或延伸識別碼，甚至或遺失的 Ack 上進行觸發。DPO4000 可觸發和搜尋最常見的封包資訊。



▶ 圖 9. DPO 顯示器可顯示裝置的時間條件樣式觸發。當通道 1 和通道 2 的訊號上升到高狀態 (high) 時，通道 3 的輸入端應該為高狀態 (high)。設定通道 3 為低狀態 (low) 可發現額外的延遲問題。



▶ 圖 10. 使用 DPO4000 設定與保持觸發以及搜尋/標記功能會顯示螢幕上方由白色三角形所標示的介穩狀態。通道 1 是時脈訊號，而通道 2 是資料訊號，通道 3 是 D 型正反器鎖存的介穩態 Q 輸出。

樣式觸發

當邏輯位準組合達到所需的位準，並且在整個事件中維持不變，則樣式才算有效。當樣式維持準確時 (即樣式進入條件設定時) 或當樣式發生錯誤時 (即樣式離開條件設定時)，使用者可決定是否觸發 DPO。

狀態觸發

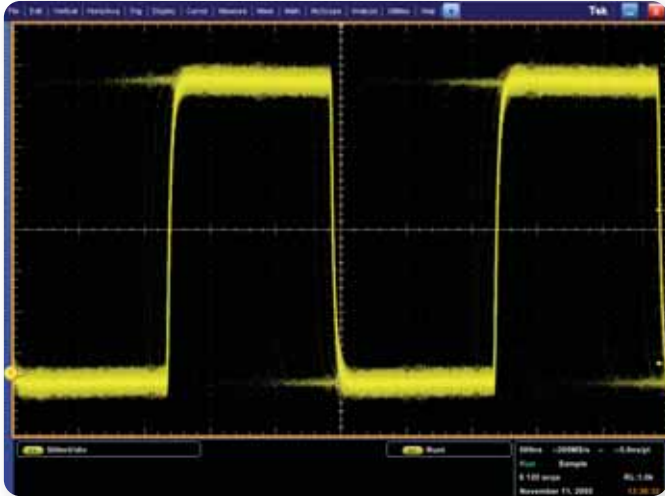
在同步系統中 (即以系統時脈為條件時)，能夠以狀態觸發來設定觸發條件。使用類似的匯流排範例，將接收緩衝改變成鎖存緩衝。圖 9 顯示時間條件的樣式觸發是如何讓每一個裝置輸入設定狀態。設定通道 3 為低狀態，而通道 1 和通道 2 則設定為高狀態 (high)。

擷取到有問題的狀態時，發現通道 3 的訊號有延遲太長的問題。當通道 1 和通道 2 的輸入端上升到高狀態 (high) 時，通道 3 的輸入端必須為高狀態，才能讓時脈鎖存到正確值。很明顯地，這只能夠在不同裝置的控制訊號和定址匯流排與主要時脈同步的系統上運作。

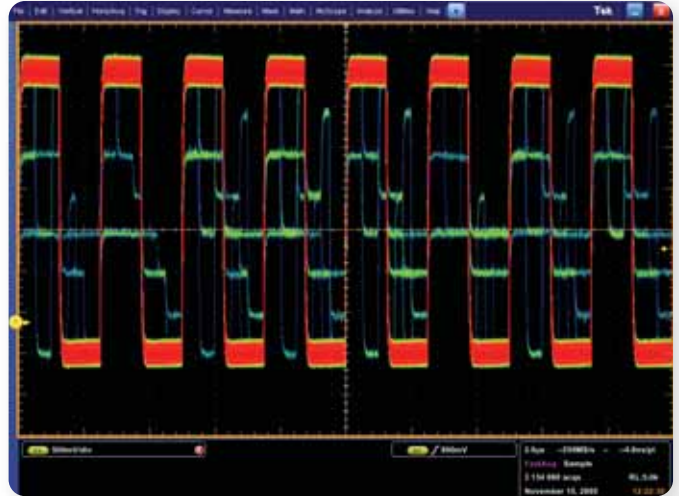
擷取介穩態事件

介穩態是不固定或不穩定的資料狀態，結果輸出訊號可能是造成問題的突波，這樣的狀態通常很少發生，因此比其他現象更難偵測與擷取。介穩狀態可能由鎖存電路的輸入設定和保持違反所引起的，如圖 10 的 D 型正反器。

圖 11 顯示非同步運作正反器的「資料」與「時脈」訊號。有時候時脈上升邊緣會發生在資料改變時的狀態，造成設定和保持違反，這會改變正反器的輸出，可能保持原來的狀態、反應資料的改變，或是在這些狀態之間游移。在瞬間「游移」期間，正反器會呈現介穩態，且正反器的輸出 (Q 或/Q) 會變得混亂。



▶ 圖 11. 數位示波器能夠顯示實際的訊號狀態，讓設計者能夠瞭解突波對設計的影響。在 DPO7000 顯示器上能夠使用累積 (persistence) 模式來顯示極間歇性訊號突波，累積顯示會產生視覺軌跡歷程。



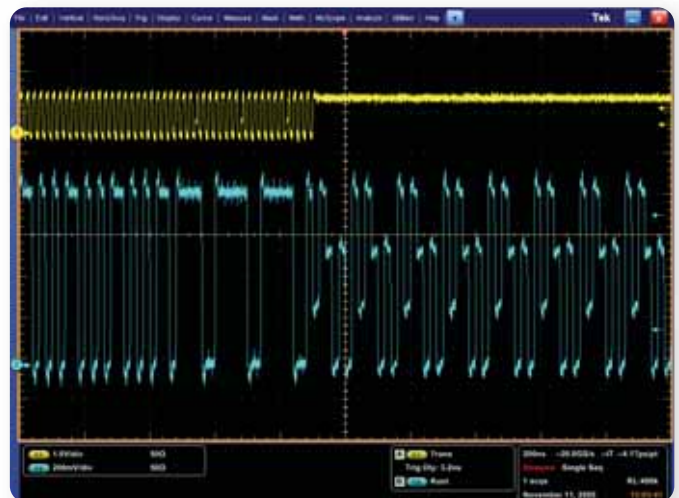
▶ 圖 12. 使用 DPO7000 的 FastAcq 擷取模式就能夠輕易地偵測到潛在矮波與轉態錯誤的狀況。

在圖 13 中，正反器無法鎖存資料，因此造成資料回到先前的狀態上。事件觸發無法以正常觸發來偵測，因此能夠確實地擷取到介穩狀態，在此例中為轉態至矮波，轉態和矮波觸發均使用雙振幅臨界值條件，以擷取介穩態訊號。

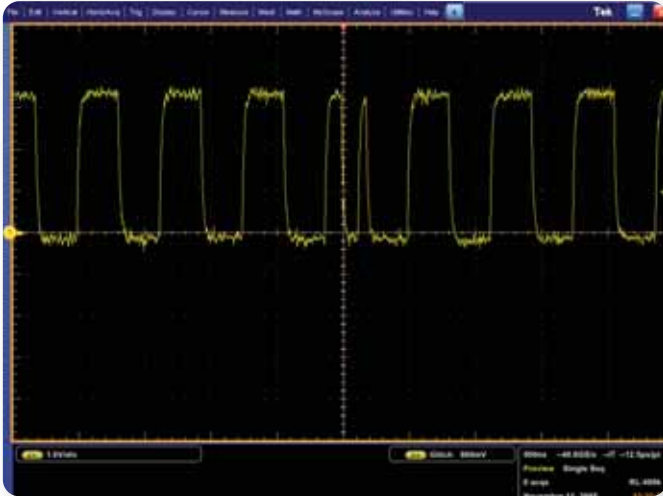
介穩態如同其他困難的除錯問題一樣，也能夠在複雜的觸發中受益。由於 DPO7000 的 Pinpoint 觸發對示波器的整個頻寬都很有幫助，因此能提供在最廣泛的觸發機制中可用於除錯設計的其中一項功能，亦即 Pinpoint 觸發效能與功能在原型上能夠偵測捉摸不定的行為。

捕捉突波

突波是在理想數位波形中任何偏差的通稱，突波是非常狹窄、快速且無法預期的脈衝，可能使系統誤認為邏輯變化。突波問題是由許多種類的錯誤所引起，且很難進行除錯，它們對系統運作的影響是無法預期的。大部分的設計問題都出現在一個或數個訊號的突波上，它們通常是不同裝置錯誤的第一徵兆，包含雜訊、競態、終端錯誤、驅動錯誤、串音和設定/保持或其他時序違反等。



▶ 圖 13. DPO7000 Pinpoint™ 觸發讓 B 事件與 A 事件都能夠使用精密的觸發類型。在此定義 B 事件和 A 事件相同，以隔離連續的錯誤轉態。不論 B 事件在 A 事件之後立即發生或更晚發生，每一項都會造成擷取動作，矮波邏輯脈衝無法通過成為有效樣式的所有臨界值位準。

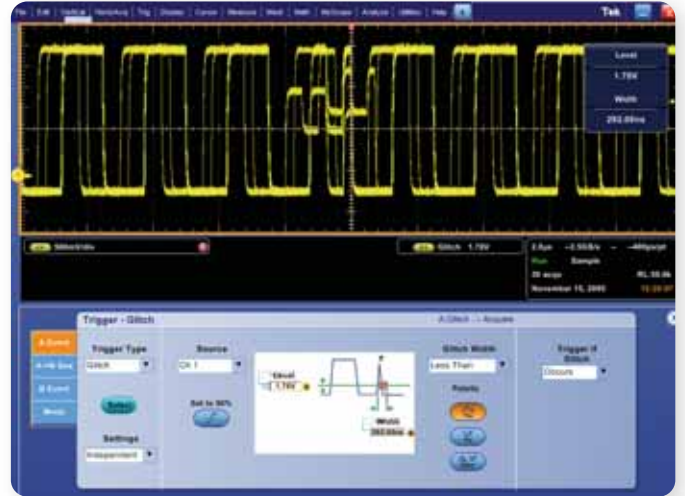


► 圖 14. 搭配 DPO7000 突波觸發，罕見的介穩狀態就可由 D 型正反器的 Q 輸出擷取。

快速數位邊緣包含高頻率，使得設計中電路板軌跡的適當終端變得重要，它們可能會引起較大的暫態電流，造成動態電流增加，而產生像接地雜訊或電源分佈突波的問題。快速邊緣也會增加串音的產生。在過去被視為集總 (lumped) 電路軌跡的電路板軌跡，目前則是需要適當終端的傳輸線。

當電路故障時，檢查突波是開始進行除錯的最佳步驟。在數位示波器上，藉由比較類比和數位呈現結果可觀察到突波的長相。大部分的問題都出現在訊號上至少一個的突波 (若沒有更多突波的話)。

例如，DPO 在數位脈衝的上升和下降邊緣可能會同時顯示失真，上升邊緣無法掉到足夠低的位準以觸發邏輯轉態，因此就不會以突波出現。搭配如 DPO7000 的數位示波器和脈衝寬度觸發，擷取這樣的間歇性突波來追蹤訊號源錯誤是很有幫助的。



► 圖 15. 當數位示波器沒有取得資料時，可能就無法偵測到突波。較高的更新率可降低擷取突波所需的時間。

辨識抖動

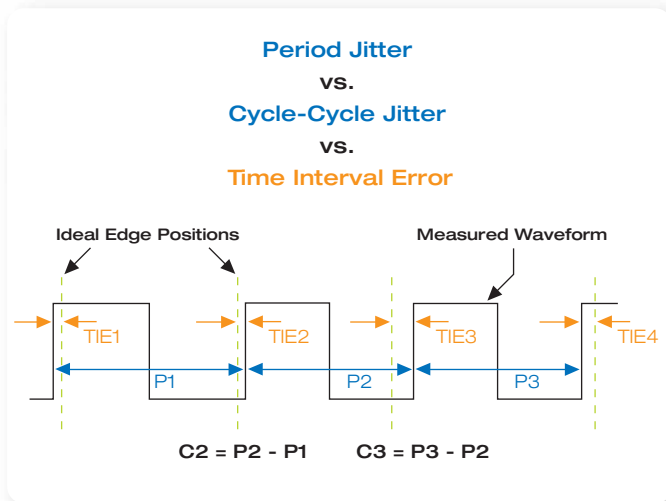
在任何連續時脈或資料脈衝上非預期的時間變化就稱為抖動。抖動發生在所有使用電壓轉態以顯示時序資訊的電子系統中，它是在時間上與數位訊號理想位置間的短期變化。如同隨機程序一般，抖動會降低系統效能並耗費除錯的精力。

發生在鄰近或非鄰近脈衝邊緣期間或相位的快速時間變化將會造成抖動，更簡單地說，抖動是時序邊緣與「正確」位置之間的偏差。

在量測波形抖動時，有三種常見的方法：週期抖動、週期對週期 (cycle-cycle) 和時間間隔。簡圖 5 說明這些相互關聯的量測。

週期抖動 是簡單地量測波形上每個時脈的週期，在單個波形的第一個邊緣觸發示波器，將會顯示第二個邊緣的週期抖動。

簡圖 5 說明具時序抖動的時脈訊號。虛線描述理想的邊緣位置，相當於沒有抖動版本的時脈。



▶ 簡圖 5. 上圖說明具時序抖動的時脈訊號。虛線表示理想的邊緣位置，相當於沒有抖動版本的時脈。



▶ 圖 16. 當 DPO7000 在複雜訊號上執行 TDSJIT3 應用程式時，可使用精密的抖動分析量測，讓設計工程師能夠快速進行分析。

週期對週期抖動 是量測時脈週期在任何兩個鄰近週期之間有多少的變化量。

週期對週期抖動，如簡圖 5 的 C2 和 C3 所示，量測時脈週期在任何兩個鄰近週期之間有多少的變化量。如上所示，週期對週期抖動可以由對週期抖動的一次微分 (first-order difference) 運算來取得。

這項量測是有益的，因為它能夠顯示時脈復原 PLL 可能會遇到的瞬間動態。計算週期抖動或週期對週期抖動，並不需要參考時脈之理想邊緣位置的相關資訊。

時間間隔錯誤 (TIE) 可量測時脈的每個觸動訊號緣與它理想位置之間的差異有多少。欲執行這項量測，您必須瞭解或估算理想邊緣，這項量測是重要的，因為它甚至能夠顯示數量很少，且隨時間變化的週期抖動所累積的效應。

週期抖動，如簡圖 5 的 P1、P2 和 P3 量測所示，可以簡單地量測波形上每個時脈的週期，這是最簡單且最直接的量測方法。

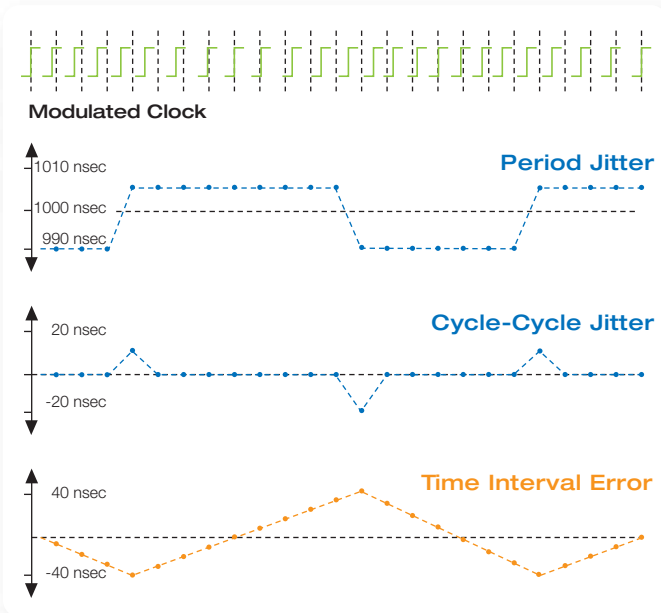
可使用無限累積的顯示設定調整 DPO，以顯示超過完整時脈週期的些微值，來估算峰對峰值。當示波器在第一個邊緣進行觸發時，可以在第二個邊緣上看到週期抖動，如簡圖 5 所示。

透過量測 TIE1 至 TIE4 可得如簡圖 5 所示的時間間隔錯誤。TIE 可量測時脈的每個觸動訊號緣與它理想位置之間的差異有多少，欲執行這項量測，需要已知或估算的理想邊緣。若沒有使用時脈還原或後續處理的一些工具，那麼要直接在示波器上觀測 TIE 是很困難的。

在每個量測週期與額定 (理想) 時脈週期第一次相減之後，也可由對週期抖動的積分來取得 TIE。因為 TIE 甚至能夠顯示數量很少，且隨時間變化的週期抖動所累積的效應，因此它是很重要的。只要 TIE 達到 ± 0.5 個單位間隔，則眼狀圖會封閉，而接收器電路將會產生位元錯誤。

數位設計除錯指南

▶ 入門手冊



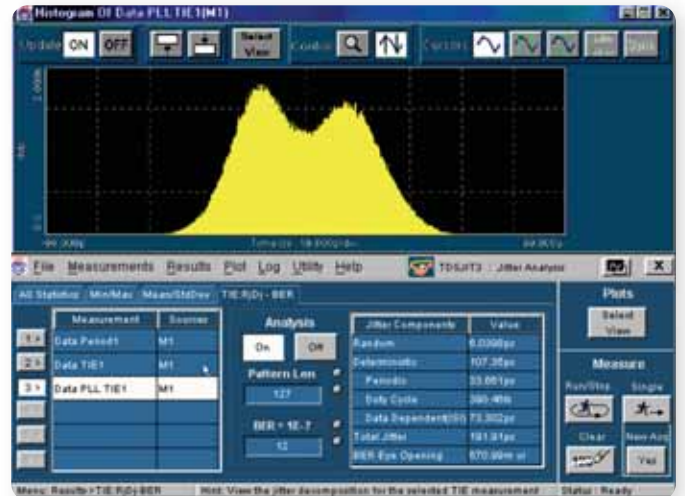
▶ 簡圖 6. 在相同波形上的三項抖動量測-週期、週期對週期和時間間隔-如何互相比較。

簡圖 6 提供在相同波形上這三項抖動量測如何互相比較的範例。在此範例中，波形具有 1 ms 的額定週期，但是實際週期是 8 個 1010 ns 的週期緊跟著 8 個 990 ns 週期的樣式。

所有抖動都含有隨機且決定性的組成要素。對於隨機的組成要素來說，使用常見的統計技術來表示抖動是最佳的方法，可使用如平均值、標準偏差值和峰對峰值的矩陣，並搭配如信賴區間 (confidence interval) 等條件，來建立有意義且可重複的量測結果。

決定性抖動 (Dj) 是可重複且可預測的時序抖動。Dj 的峰對峰值是有界限的，並且可以較低的觀測數極準確地觀察或預測界限。Dj 是由下列因素所引起：

- ▶ 週期抖動 (Pj) 是由於重複性的雜訊訊號源所引起，如電源供應器、鄰近的示波器，以及在某些狀況下鄰近匯流排的串音。

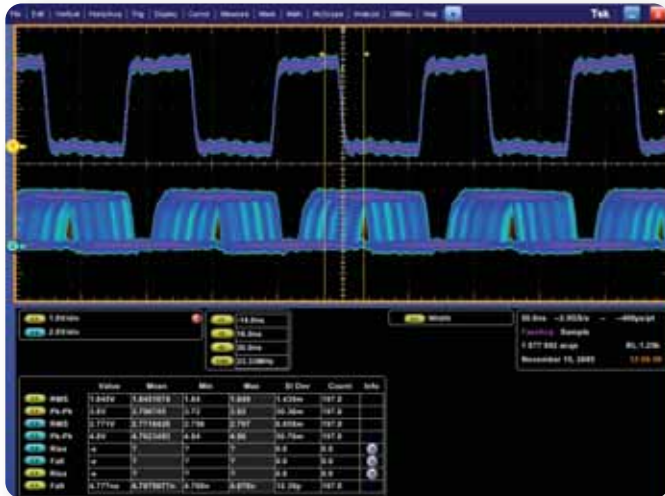


▶ 圖 17. 具備 TDSJIT3 抖動分析應用程式的 DPO7000 可顯示資料訊號的整體抖動，相等於 -192 ps ($T_j = D_j + 2Q(\text{BER}) * R_j$)，其中 $Q(10E-12) = 7$ 。資料 PLL TIE 量測相關的長條圖可提供工程師資料訊號統計分佈的圖形表示。

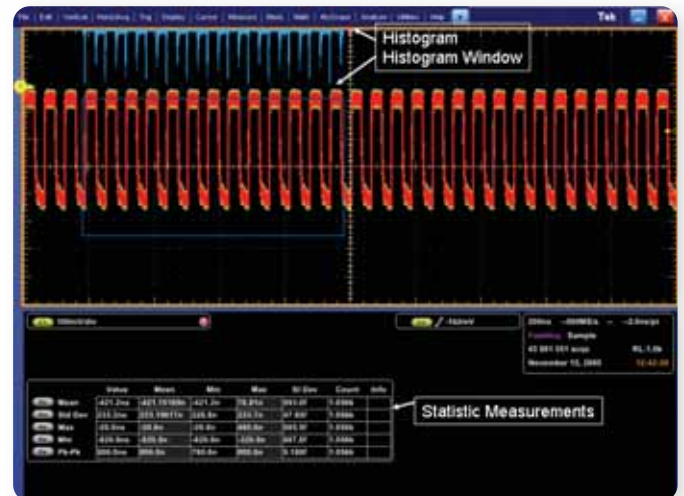
- ▶ 工作週期失真 (DCD) 是由於驅動電路偏移位準的不平衡或傳送裝置內的熱效應所引起。
- ▶ 符號間干擾 (ISI) 也稱為資料依存抖動 (DDj)，是由於在訊號路徑上的頻率相關損失所引起，而相關損失則大部分是互連和電纜損失。

隨機抖動 (Rj) 是無法辨識樣式且不能持續預測的時序雜訊。在電路上，隨機雜訊的主要來源是熱雜訊 (Johnson 雜訊或散彈「shot」雜訊)。假設 Rj 是高斯分佈 (Gaussian distribution)，並且是沒有界限的峰對峰值基礎分佈，則表示取樣愈多，量測的峰對峰值就愈大。

週期抖動 (Pj) 是以循環樣式重複。由於週期性波形可以由諧波相關正弦曲線的傅立葉級數 (Fourier series) 來分解，此種抖動有時可稱為正弦抖動。Pj 典型上是由外部決定性雜訊訊號源所引起，如切換式電源供應器的雜訊或強大的本地 RF 載波，同時也可能由於不穩定的時脈還原 PLL 所引起。



▶ 圖 18. DPO7000 同時可處理高達 8 個自動量測，包括上升、下降和峰對峰。只要在感興趣的量測點上設定游標就能夠得到結果。



▶ 圖 19. 具備統計量選擇與顯示的 DPO7000 FastAcq 擷取模式，可在通道 1 上顯示極為穩定的時脈訊號。選擇並開啟長條圖區域，就可向設計工程師示範如何簡單快速地使用統計分析工具來產生相容性的可靠度。

資料依存抖動 (DDj) 是與資料串位元序列關聯的任何抖動。DDj 通常是由纜線或裝置的頻率響應所引起。DDj 的另一個常用名稱是樣式依存抖動 (PDj)，即符號間干擾 (ISI) 的量測結果。

工作週期失真 (DCD) 表示工作週期在 50% 額定值的變化。有兩種常見的 DCD 產生原因：上升邊緣的迴轉率會隨著下降邊緣的迴轉率而不同；或由於訊號直流平均已偏移，因此波形的判斷臨界值比預期值較高或較低。

位元錯誤率的整體抖動 (Tj @ BER) 是在使用者定義位元錯誤率上對峰對峰抖動的估算，當合併單位間隔時，在 BER 評估的預測眼狀圖開口也會在 BER 浴盆 (bathtub) 曲線圖中估算和顯示。

自動量測與分析

對較高速訊號而言，自動量測與統計分析能夠提供對設計除錯的洞察力。在目前的數位示波器中，許多自動量測與統計分析可以提供除錯作業所需的彈性與效能，也可同時顯示四個或八個波形來作比較，並透過波形捲動來觀察它們之間的關係。

自動、按下按鈕、量測讓工程師能夠透過蒐集量測統計資料、定義參考位準，並提供進行除錯作業所需的示波器彈性與效能等新方式來觀察問題所在。藉由在螢幕上擷取和比較多重量測，DPO 可顯示各個量測的統計資料和差異處所在。

此種方法能夠讓工程師看到元件是否在它們限定的範圍內運作，或是誤差是否變化而需要修正。

常見的自動量測對加速除錯作業很有幫助，包括脈衝寬度、過激量、工作週期、峰對峰，以及更複雜的統計量測，如最小、最大及均方根 (RMS)。

自動抖動與時序分析

自動量測能夠協助取得抖動波形的相關統計資訊。例如，工程師必須使用這個量測來觀測相位鎖定迴路的效能，來決定晶格的穩定週期是否符合規格，或觀測元件上升時間、工作週期或脈衝寬度的資料有效視窗。

統計量測

數位示波器能夠協助評估統計量測，如抖動或介穩態等。欲進行除錯作業可考量的一些常用統計方法如下：

- ▶ 平均值是時脈週期的平均值 (算術平均數)，同時也是頻率的倒數。
- ▶ 標準偏差值是指量測值與平均值間偏差的平均總和，這對高斯程序 (Gaussian processes) 而言很有幫助，其中，分佈是由平均值和標準偏差值所定義的。
- ▶ 最大、最小和峰對峰值可在量測週期中觀測到，峰對峰值是最大值與最小值的相減結果。
- ▶ 在量測中，長條圖可以描繪相對於出現頻率的資料集量測值，它無法提供事件的順序 (如抖動)，但是能夠提供對事件機率的良好評估。

摘要

如 DPO4000 和 DPO7000 系列的數位示波器，是可以簡化工程師對嵌入式系統設計進行疑難排除作業的除錯工具。DPO 可以改善工程師的設計、驗證和除錯生產力。如連續波形擷取等功能，能深入分析雜訊、突波、串音、其他影響邏輯狀態的類比特性、上升時間，以及使理想數位脈衝變形的設定和保持時間等。

請聯絡 Tektronix：

東南亞國協/大洋洲 (65) 6356 3900
奧地利 +41 52 675 3777
巴爾幹半島、以色列、南非及其他 ISE 國家 +41 52 675 3777
比利時 07 81 60166
巴西與南美洲 55 (11) 3741-8360
加拿大 1 (800) 661-5625
中東歐、烏克蘭及波羅的海諸國 +41 52 675 3777
中歐與希臘 + 41 52 675 3777
丹麥 +45 80 88 1401
芬蘭 + 41 52 675 3777
法國及北非 + 33 (0) 1 69 86 81 81
德國 + 49 (221) 94 77 400
香港 (852) 2585-6688
印度 (91) 80-22275577
義大利 + 39 (02) 25086 1
日本 81 (3) 6714-3010
盧森堡 + 44 (0) 1344 392400
墨西哥、中美洲與加勒比海諸國 52 (55) 5666-333
中東、亞洲及北非 + 41 52 675 3777
荷蘭 090 02 021797
挪威 800 16098
中華人民共和國 86 (10) 6235 1230
波蘭 + 41 52 675 3777
葡萄牙 80 08 12370
大韓民國 82 (2) 528-5299
俄羅斯及獨立國協 7 095 775 1064
南非 + 27 11 254 8360
西班牙 (+ 34) 901 988 054
瑞典 020 08 80371
瑞士 + 41 52 675 3777
台灣 886 (2) 2722-9622
英國與愛爾蘭共和國 + 44 (0) 1344 392400
美國 1 (800) 426-2200
其他地區請以下列電話連絡 Tektronix 公司：1 (503) 627-7111
2006 年 1 月 5 日修訂

如需詳細資訊

Tektronix 維護豐富的應用摘要、技術簡介與其他資源，並定期擴充這些文件的收集，以協助工程人員處理創新的科技。請造訪 www.tektronix.com



Copyright © 2006, Tektronix 版權所有。Tektronix 產品受美國和外國專利權的保護、聲明與審查。本出版品中的資訊可取代之前任何出版品中的資訊。本公司保留變更規格與價格的權利。TEKTRONIX 和 TEK 為 Tektronix, Inc. 的註冊商標。其他商標名稱則是該相關公司的使用標記、商標或註冊商標。

01/06 DM

55T-19175-0

Tektronix
Enabling Innovation