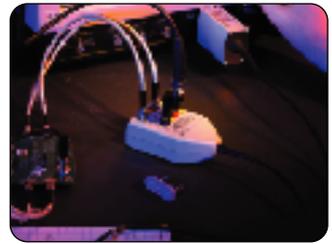


高速差動データ信号伝送と測定



Label	Value	Unit
01	000.0000	0.0000000
02	000.0000	0.0000000
03	000.0000	0.0000000
04	000.0000	0.0000000
05	000.0000	0.0000000
06	000.0000	0.0000000
07	000.0000	0.0000000
08	000.0000	0.0000000
09	000.0000	0.0000000
10	000.0000	0.0000000



高速差動信号伝送と測定

▶ 入門

第1部: 差動信号伝送

はじめに	1
データ通信技術の変化	1
従来の内部データ・バス・インタフェース	1
従来の外部データ・バス・インタフェース	1
遠隔データ通信インタフェース	2
次世代データ・バス・インタフェース	2
シングルエンド信号伝送	3
差動信号伝送	5
差動信号のインタコネクと終端	6
差動インタコネク	7
差動終端	8
シリアル・データ通信の物理層規格	9
InfiniBand	9
まとめ	14

第2部: 差動測定

はじめに	14
差動測定の基礎	14
差動プローブの仕様	16
P7350型プローブの入力負荷	17
P7350型プローブの振幅応答	18
P7350型プローブのタイミング応答	21
差動プローブの取り付け問題	22
差動プローブの取り付け	23
可変スペーシング・アダプタ	24
スクエア・ピン・アダプタ	24
半田付けアダプタ	25
代替測定方法	26
差動プローブを使用したシングルエンド測定	26
擬似差動測定	27
測定チャンネル・デスクュー	28
差動SMA入カプローブ	28
まとめ	33

第1部: 差動信号伝送

はじめに

デジタル・インタフェースがワイド・バス構造からギガビットのシリアル・データ・リンクへと移行し、データ通信は大きく変化しています。この変化の要因は様々ですが、中でも、データ・レートの高速化に伴い、ますます困難なシグナル・インテグリティ問題に対処する必要性が第1の要因です。ワイド・パラレル・バスを使用したシングルエンド信号伝送は、データ・レートおよびデータ密度において事実上頭打ちに達したようです。新たなデータ通信規格の多くで、物理層のデータ転送技術として、ギガビットのシリアル・データ・リンクを使用する差動信号伝送が選択されています。差動信号伝送の特徴である優れたノイズ除去とノイズ発生の抑制は、シグナル・インテグリティ性能の向上を可能にしました。また、差動信号伝送のアプリケーションから、差動測定技術を理解する必要性が生まれました。当社は、最も困難なアプリケーションにおいて、測定を行うためのプロービング技術など、最良の差動測定ツールを提供できるよう取り組んでいます。この入門書は2部構成になっており、第1部では、高速シリアル・データ・リンクにおける差動信号伝送の使用について述べます。第2部では、差動測定技術について、特に広帯域差動プローブの使用に焦点を当てて説明します。

データ通信技術の変化

マイクロプロセッサの誕生以来、演算能力は指数関数的に向上し、それに伴いデータ通信の伝送レートの高速化も要求されてきました。コンピュータとメモリや内部周辺機器間の内部データ通信の場合、共有データ・バスが従来のインタフェース構造でした。データ・クロック・レートが高速化し、データ・バスの幅が広くなり、内部通信のデータ・レートが向上しました。コンピュータとローカル周辺機器との外部データ通信では、高速パラレル・バス・インタフェースと低速シリアル・バス・インタフェースが併用されてきました。インタコネク・ケーブルのサイズを制限する必要があるため、外部パラレル・バス・インタフェースのバス幅は比較的狭いままで、主にデータ転送レートを高速化することで、外部パラレル・バス・インタフェースの性能を向上させてきました。コンピュータと遠隔周辺機器間、またはローカル・エリア・ネットワークの外部データ通信の場合、より長い距離に渡ってデータを伝送するために、シリアル・データ・インタフェースが必要とされてきました。こうした遠隔データ通信アプリケーションでも、ネットワーク処理やストレージをサポートするデータ・レートの飛躍的な高速化へと向かう傾向にありました。

従来の内部データ・バス・インタフェース

従来の内部データ・バス構造の1例がPCIインタフェースです。PCIバスは、IBM互換機に採用されていたバス、ISAバスの高性能後継規格です。1990年代初頭に導入されたPCIバスはクロック・レート33MHz、データ・バス幅32ビット、データ転送レートはISAバスと1桁違う高速なものでした。PCIバスのデータ・レートは133MByte/sでしたが、よりパワフルになるプロセッサのデータ転送ニーズに追いつくため、絶え間なく進化してきました。最新のPCI規格は、クロック・レート66MHz、データ・バス幅64ビットと2倍になっています。さらに新しいPCI規格の拡張版、PCI-Xは、マルチレート・クロッキングとより効率的なデータ転送プロトコルを備え、性能が一層向上しています。マルチレート・クロッキングは、各クロック・サイクルで2倍(DDR)または4倍(QDR)のデータ転送が行われる同期クロック・システムのデータ転送を向上させる技術です。データ・レートが高速になるにつれて、PCI規格はバス負荷の数とバス長を制限して、シグナル・インテグリティ問題を低減しています。たとえば、PCI-X規格の負荷制限はわずか1本のバス負荷で、バス拡張にはバッファ付きブリッジ技術が必要です。

従来の外部データ・バス・インタフェース

ローカル周辺機器用の外部データ・バス構造の一例がSCSIインタフェースです。SCSIは、データ転送用のインテリジェント・プロトコルを使用して、様々な周辺機器を接続する高速ダイジー・チェーン・ケーブル・インタフェースです。1986年に規格化された当初のSCSIは、8ビット幅の双方向データ・バスで、データ転送レートは5MByte/sでした。バスの両端に終端抵抗を設ける必要があり、最大ケーブル長は6.1m(20フィート)で、最高8台までの周辺機器を接続できました。16ビット幅のデータ・バス版であるWide SCSIは、SCSIを強化した規格でしたが、SCSIの性能向上は主にバス・データ・レートが繰り返し倍増されたことによります。SCSIにおけるデータ転送レートの高速化は、信号トランシーバの最大信号伝送速度だけではなく、インタコネクの物理的特性によっても制限されていました。電気ケーブルの損失により生じる信号の拡散は、データ・レートが高速になると悪化するので、シングルエンドSCSI信号のデータ・レート、ケーブル長、デバイス負荷数の間でトレードオフが起きます。たとえば、Ultra SCSIのデータ転送レートは20MHzですが、最大ケーブル長は4台までのデバイス負荷で3m(10フィート)、5台以上のデバイス負荷でわずか1.5m(5フィート)と短くなっています。最近強化されたSCSIインタフェースでは、LVDS(低電圧差動信号)伝送仕様を導入して、これらのデータ・レート制限と接続制限に対処しています。差動信号伝送のノイズ性能が向上したため、SCSI LVDデバイスでは、バス・インタコネク環境でより長いケーブルが使用できます。

高速差動信号伝送と測定

▶ 入門

遠隔データ通信インタフェース

遠隔データ通信インタフェースの一例がイーサネット、1980年代初期に導入されて以来、LAN規格の主流になっています。イーサネットは、当初パケット・ベースのデータ転送プロトコルを使用して、接続されているデバイス間で共有10Mbpsデータ・レートを提供するシリアル・バス・インタフェースでした。イーサネットの最初のバージョンでは、1本の共有伝送ライン上で接続されているデバイス間で半二重通信が可能でした。イーサネットは、衝突検出と再伝送プロトコルで、接続デバイス間の伝送競合問題に対応しました。イーサネットで最初に使用された接続媒体は同軸ケーブルでしたが、1990年にイーサネット10Base-T規格が導入されてから、価格の安い電話用ジャック・コネクタが付いたツイスト・ペア・ケーブルが主に使用されています。イーサネットにおけるデータ転送レートの最初の改良点は、共有接続上のデータ転送から専用接続上のスイッチング・データ転送への変更でした。イーサネットのデータ・レートは、高速イーサネット100Mbps、Gbps (ギガビット・イーサネット) 1000Mbps、10Gbps (10ギガビット・イーサネット) 10Gbpsと、急速に高速化しています。高速化するデータ・レートで、イーサネットのケーブル接続距離もインタコネクタの物理特性により制限されますが、こうした制限を克服するために、様々な高度な物理層インプリメンテーションが開発されています。その一例が1000Base-T規格で定義されているマルチワイヤ、マルチレベルの論理技術です。高度な変調技術、高品質インタコネクタ・ケーブル、DSP処理により、1000Base-T規格では、当初10Base-T規格で指定されていた100mの距離制限に合わせて最大ケーブル長が拡張されました。ギガビット・レートのイーサネットの物理層インプリメンテーション方法には、光接続に加えて、電気接続も含まれています。光接続は電気接続より高価ですが、損失特性が優れており、データ・レートが引続き高速化すれば、さらに普及するのはまず間違いありません。

次世代データ・バス・インタフェース

こうしたデータ通信規格例のほとんどにおいて、データ・レートの一層の高速化に向けた進化は、現在の技術のスイッチング速度だけではなく、パラレル・バスとシングルエンド信号伝送を使用することから生じるシグナル・インテグリティ問題によっても制限を受けていました。パラレルのシングルエンド・データ転送の使用は事実上限界に達したようで、シリアル・差動データ転送へと変わりつつあります。たとえば、パラレルPCIバスは、今後数年間にPCI Expressと呼ばれる高速シリアル・バスに取って代わられる可能性があります。PCI Expressアーキテクチャは、低電圧差動信号伝送、パケット・ベースのデータ転送プロトコル、2.5Gbps以上の拡張可能高速データ・レートを使用します。PCI Expressは、各シリアル・データ・レーン上で、双方向転送の送信信号ペアと受信信号ペアを提供するため、4線インタフェースを使用しています。また、アプリケーションに応じて、最高32レーンの幅までレーンを束ねる機能が定義されています。PCI Expressのメッセージ・ベースのプロトコルと埋め込み式クロックには、従来のデータ・バスよりデータ・ビット当たり多くの信号線が必要ですが、従来のデータ・バスで必要とされる多くのデータ制御信号は必要ありません。PCI Expressインタフェースでデータ転送制御信号がなくなった結果、双方向差動信号伝送でビットあたり4線でも、バックプレーン・コネクタのサイズが特に大きくなることはありません。PCI Expressのデータ・レートには、8B/10B符号化のため、25%のオーバーヘッドが含まれています。このデータ符号化は、高伝送密度のDC平衡ビット・ストリームおよびデータ転送プロトコル用の特別な制御キャラクタを提供します。DC平衡ビット・ストリームでAC結合が可能になり、シグナル・インテグリティを向上でき、高伝送密度はSERDESレシーバでのクロック再生作業を容易にします。

(注: SERDES (シリアライザ/デシリアライザ) は、パラレルからシリアルに、シリアルからパラレルに変換する機能を高速シリアル伝送の共通ビルディング・ブロック・コンポーネントに統合します。) また、PCI Expressで使用する差動信号伝送の同相モード・ノイズ除去により、信号ドライバの所要電力を削減し、EMI問題を減少させる低電圧スイングも可能です。

以下の表は、従来と次世代のデータ転送技術との相違点の一部をまとめたものです。

表1. 高速パラレル・データと高速シリアル・データの特性比較

	従来の伝送	次世代の伝送
信号伝送	シングルエンド	差動
データ幅	パラレル	シリアル/マルチレーン
インタコネク	共有バス	スイッチ・ポイント間
伝送	半二重	二重単方向
クロッキング	同期	エンベデッド
データ転送	レジスタベース	メッセージベース
データ要素	バイト/ワード	データ・パケット
データ・コントロール	イベント・ドリブン	データ・フロー
振幅制限	反射、クロストーク、ノイズ	損失、分散
タイミング制限	スキュー	ジッタ

従来のデータ転送と次世代のデータ転送の根本的な相違点は信号伝送のタイプで、シングルエンドから差動へと変化しています。次の2項で、シングルエンド信号伝送と差動信号伝送の主な相違点について考えてみます。

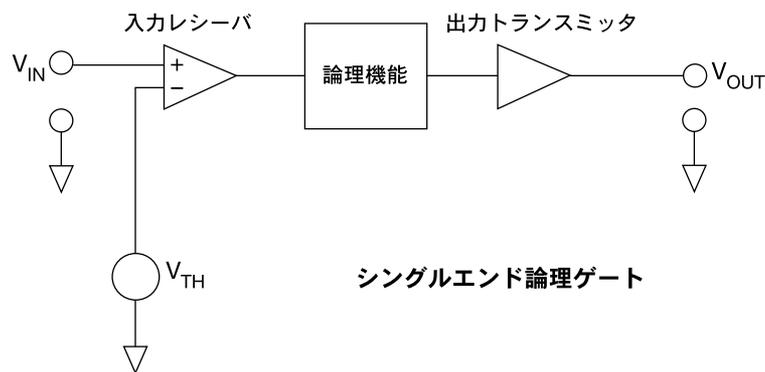
シングルエンド信号伝送

物理論理回路のデジタル信号の伝送には、伝送プロセスの各段階で出力トランスミッタと入力レシーバが必要です。一般に、これはASIC内の論理ゲート間で、あるいは高速シリアル・データ・リンクのバック・プレーンで通信が発生するかどうかに関わらず、当てはまります。たとえば、単純な論理インバータは、単純な入力インバータ、単純な出力トランスミッタおよび内部論理インバータ機能で構成されていると考えることができます。低速の論理回路の場合、論理ゲート間のインタフェースは、通常1本のワイヤ接続として示され、データ転送プロセスはシングルエンド信号伝送と呼ぶことができます。しかし、物理的な電気信号には復帰電流バスが必要なため、この1本のワイヤ接続は実際には具体性に欠けています。シングルエンド論理信号の復帰電流バスは通常、回路基板またはシステム上にあるすべての論理デバイスの共通基準である「グランド」と見なされます。デバイス間のインタコネクを伝送ラインと考えなければいけません。非常に高速でシングルエンド・データ信号がスイッチングする場合でも、一般に信号の復帰電流バスはグランドで、回路基板層の固形グランド面として実装されます。

シングルエンド信号の共通グランド接続は、復帰電流バスになるだけでなく、安定した電圧基準になります。一般にグランドは、各論理ゲート入力の内論理スレッショルド・ゼネレータの安定した電圧基準として使用されます。図1の構成図に示されているように、シングルエンド論理ゲート入力はすべて、実際は電圧コンパレータです。このゲートの入力を内部論理スレッショルド電圧と比較して、受信した入力信号が論理HIであるか、論理LOであるかを判断します。図1のスレッショルド電圧ゼネレータは、グランドを基準にしているように示されていますが、デバイス・ファミリによっては、スレッショルド・ゼネレータは、論理ゲートの電源を基準にすることがあります。TTL論理の場合、入力論理スレッショルド電圧は、相互に接続されて、TTL回路トポロジを構成するいくつかのバイポーラ・トランジスタのターン・オン特性によって決まります。ECL論理の場合、入力構造はバイポーラ・トランジスタの差動ペアで、エミッタは共通の電流源と結合しています。シングルエンド論理で使用する場合、ECL論理ゲートの内部電圧ゼネレータは、差動ペアの一方をドライブします。これにより、差動ペアのもう一方に接続されているECL入力信号に対するコンパレータのスレッショルド電圧が得られます。CMOS論理の入力論理スレッショルドは、単にCMOS回路トポロジ内で相互接続されたpチャンネルとnチャンネルMOSトランジスタのターン・オン特性によって確立されます。

高速差動信号伝送と測定

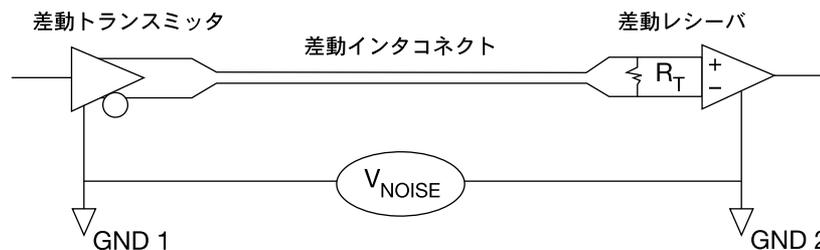
▶ 入門



▶ 図1. シングルエンド信号伝送

シングルエンド論理ファミリは、様々な方法で入力論理スレッショルド電圧を生成しますが、すべて組み込み決定回路を持っています。シングルエンド論理ゲート入力は、わずか1つの入力接続で図示されていますが、実際には考慮しなければならない内部スレッショルド比較電圧があります。入力信号スイングに対するこの内部スレッショルド電圧の安定性は、論理ゲートからの信号出力の特性に大きな影響を及ぼすことがあります。たとえば、入力信号に影響するノイズ源は、内部電圧スレッショルド・ゼネレータ基準とは異なって、信号振幅とタイミングの歪み、場合によっては論理ゲート出力の論理エラーの原因になることがあります。論理ゲート出力、特に複数の出力を持つデバイスのスイッチングは、ローカルのグラウンド電位に影響を及ぼすスイッチング・トランゼントを発生させることがあり、これは内部スレッショルド・ゼネレータに注入されるノイズとして現れます。

シングルエンド信号は、基準グラウンドのスイッチング・ノイズだけでなく、インタコネクタのノイズ問題にも影響を受けやすくなっています。システムのクロック・レートが100MHz以上になり、信号密度が32ビット・パス幅以上に高くなっているため、シグナル・インテグリティ問題は、シングルエンド論理信号のインタコネクタにおいてさらに大きな問題になっています。伝送ラインの影響による信号反射とインタコネクタの相互作用による信号間のクロストークは、信号データ・レートが高速化し、信号密度が高まるにつれて、ますます困難な問題になっています。データ・レートと信号密度が高まったため、EMIに関する問題も大きくなり、システム・シールド費用が増加しています。差動信号伝送によりシグナル・インテグリティが向上し、ノイズの可能性が低減したため、多くのデジタル通信設計がシングルエンド信号伝送から差動信号伝送へと移行しています。



▶ 図2. 差動信号伝送

差動信号伝送

差動信号は2本の信号バスで伝送され、2つの信号は一方の信号が他方の論理的に逆になるコンプリメンタリ・ペアとしてドライブされます。図2に示されているように、差動信号伝送には、差動トランスミッタ、差動インタコネクタ、差動レシーバが組み込まれています。

差動信号伝送は新しいものではなく、トランスミッタとレシーバのグラウンド電位が大きく異なることがある長距離伝送アプリケーションでは長年使用されてきました。図2では、このトランスミッタとレシーバのグラウンド電位差は、ノイズ電圧源としてモデル化され、DCとAC両方の成分を持つことがあります。低速アナログ・アプリケーションで、差動信号伝送技術が長年使用されてきた一例は、一般電話サービスです。平衡音声信号がツイスト・ペア伝送ラインで平衡受話器に伝送されます。差動信号伝送は、そのノイズ除去性能により構内電話サービスに使用されます。最近では、差動信号伝送は、同様にノイズ除去性能が優れていることから、高速データ・リンクでも使用されています。しかし、高速データ・リンクでは、比較的短い接続であっても、ノイズ問題が深刻になりがちな、かなり高い周波数で差動信号伝送を使用します。

高速データ転送における差動信号伝送には、以下のような利点があります。

- ▶ 同相モード・ノイズ除去
- ▶ ノイズ・イミュニティ(耐ノイズ性)の向上
- ▶ クロストークの減少
- ▶ グラウンド・ノイズの減少
- ▶ EMIの抑制

差動信号伝送には、そのインタコネクタ・トポロジと信号処理技術により、同相モード・ノイズ問題に対して、シングルエンド信号伝送よりはるかに大きなノイズ・イミュニティがあります。差動信号伝送では、トランスミッタとレシーバ間のグラウンド電位変化から同相モード・ノイズを除去できるほか、クロストーク、信号バスに共通する他の外来ノイズを除去できます。差動信号のインタコネクタは、結合伝送ラインとして配線されることがよくあります。この結合伝送ライン・トポロジは、結合の度合いに応じて、結合伝送ライン間の復帰電流バスを提供します。ツイスト・ペアのような緊密に結合した伝送ラインで伝送される平衡コンプリメンタリ信号の場合、電界は主に2本の信号線間に分布し、一方の線上に伝播する信号電流はもう一方の線上で復帰します。

高速差動信号伝送と測定

▶ 入門

次に、伝送された差動信号は、2本のライン間の電圧差としてレシーバで処理されます。このように、差動信号には、トランスミッタやレシーバのグランド電位とは関係のない固有の基準電圧があります。2つの差動信号の電圧差を処理することで、レシーバは双方の信号にある同相モード・ノイズのほとんどを効果的に除去します。2つのコンプリメンタリ信号の差を取ることで、差動レシーバはシングルエンド信号の2倍の信号スイングを発生させ、ノイズ・イミュニティを向上させます。

ノイズ除去の向上に加えて、差動信号伝送では、シングルエンド信号に比べてノイズ発生も減少します。クロストーク・ノイズは、間隔が狭いシングルエンド伝送ライン間でフィールド結合が増加しているため、高密度・高速シングルエンド設計において重要な問題になっています。コンプリメンタリ信号によってドライブされる緊密に結合している伝送ラインのフィールド分布は、2本の信号線間に入る傾向があるため、差動信号伝送により発生するクロストークはシングルエンド信号より少なくなります。またクロストークは、結合ライン・ペアの2本のラインを接近させて配線でき、一般にそれにより結合ペアのグループ間を大きく離すことができます。差動信号の平衡のとれた性質は、シングルエンド回路で見られるより、一定のスイッチング電流の原因になります。差動ドライバの信号電流は、信号極性スイッチとして2つの出力間で誘導される傾向にあり、シングルエンド・ドライバでよく見られる負荷電流スパイクと比較して、より一定した負荷電流になります。負荷電流トランゼントが減少すると、グランド・リード・インダクタンスを通過する電流スパイクによって、発生するグランド・ノイズのその部分も減少します。これは特に、多くのビットが同時に論理状態を切り換えるワイド・パラレル・バス抵抗のシングルエンド・ドライバに当てはまります。改善されたノイズ・イミュニティと差動レシーバの高感度により、減少した論理スイングを差動信号伝送で使用することができます。差動信号伝送に付随するこのより小さな信号スイングと平衡フィールド分布によってもEMIは減少します。

差動信号伝送には多くの利点があり、高速データ・アプリケーションでの使用が増加していますが、以下の欠点があることを認識しておく必要があります。

▶ レイアウトの複雑化

▶ 平衡信号とインタコネクットのノイズ

すべての信号について2本の信号バスを配線すれば、1つの信号に1本の信号バスを配線するより複雑になるのは当然です。さらに、共有バス構造ではなく、ポイント間接続が普及すれば、信号の伝送と受信用に信号バスが分かれ、高速シリアル・リンクに必要な信号ペアの数は事実上2倍になります。差動信号の2本の信号バスは、一般に結合ペアとして一緒に配線されるため、これによっても配線作業がさらに複雑になります。差動信号の信号バスの配線は、慎重に長さを合わせ、対称インタコネクット・バスや終端整合を行う必要があります。差動信号バスの不均衡により、同相モード電流が発生し、レシーバでの同相モード除去が低下します。

差動信号のインタコネクットと終端

ギガビットのシリアル・データ・レートで、差動信号のインタコネクットは制御インピーダンス接続として扱う必要があります。高速差動インタコネクットは、ケーブル内でも回路基板上での配線でも、理想的にはトランスミッタ・ドライバの出力インピーダンスと整合する特性インピーダンスで設計する必要があります。さらに、図2に示されているように、差動信号伝送ラインは、インタコネクットの特性インピーダンスと整合する抵抗で終端する必要があります。最後に、差動信号インタコネクットは、ギガビット信号でシグナル・インテグリティ問題やジッタ問題を発生させることがある影響を最小限に抑制するため、できるだけ短く配線し、きれいに接続する必要があります。

差動インタコネクタ

いくつかの高速シリアル・データ規格では、演算ノードとデータ・ストレージ・ノード間に範囲を拡張した通信リンクを提供するために、電気ケーブル・インタコネクタを定義しています。この電気ケーブル・インタコネクタの定義には、伝送ケーブルと回路基板のマウント・コネクタの仕様が両方とも含まれています。ほとんどのポイント間シリアル・データ規格では、送信信号と受信信号の双方で、それぞれの方向について別の差動信号バスが定義されています。これは一般に、双対単体通信リンクと呼ばれています。これは、4線信号インタフェースと通常複数のグランド・パッドを持つ1レーン・コネクタの代表的なピンアウトになります。高速シリアル・データを伝送する電気ケーブルは、シールドされていることがよくあり、差動信号伝送バスは一般にツイスト・ペアで実装されます。ツイスト・ペアは、差動信号のインピーダンスを制御し、送信信号ペアと受信信号ペア間のクロストークを最小限にするために使用されます。ツイスト・ペアは、緊密に結合した伝送ラインのよい例で、差動モード信号を通過させ、同相モード信号を抑制する傾向があります。シリアル・データ規格の中には、1つの通信ポートに複数の物理信号伝送レーンを定義しているものがあります。たとえば、InfiniBandでは×1、×4、×12の信号レーン・コネクタとケーブルが定義されています。

回路基板上の高速シリアル・データ・インタコネクタには、差動信号の配線技術を用いる必要もあります。ギガビットのデータ・レートでは、差動信号インタコネクタは結合伝送ラインとして配線されることがよくあります。一般に回路基板のトレースとグランド面の間隔は接近しているため、回路基板における差動ライン間の結合程度は、ツイスト・ペア、特にエッジ結合ラインより低くなっています。この回路基板の差動ペア間の結合制限は、2本の結合していない伝送ラインとして回路基板で別々に配線されている差動ペアはあまりないことを示します。これは、差動信号をある程度離すため、特に差動ペアをコネクタやその他の非常に狭い間隔のバリアを介して、配線しなければならないときに当てはまります。しかし、差動ペアが2本の結合していないトレース

スとして配線される場合でも、遅延が一致するように慎重に制御し、できるだけ対称に配線しなければなりません。狭い間隔の結合ライン・リンクとして差動ペアを配線すると、配線の対称性が観測しやすいので、結合ラインの配線ははまだ非常によく使用されています。回路基板の差動ペアの結合が制限されていると、クロストークが重要な問題になることがありますが、狭い間隔の差動ペアでは、隣接する信号のクロストークの影響はいくらか少なくなっています。もちろん、高密度で配線されている回路基板では、クロストークは常に問題になります。

また、差動ペアのトレース間の結合により減少する差動モードの特性インピーダンスは、レイアウト設計の際に考慮に入れなければなりません。この差動モードの特性インピーダンスの減少は、コンプリメンタリ信号でドライブされたときに、結合伝送ラインの有効インダクタンスが減少し、有効キャパシタンスが増加した結果です。差動モード信号の場合、結合伝送ラインの有効インダクタンスは、ラインの相互インダクタンスのため減少し、有効キャパシタンスはラインの相互キャパシタンスのため増加します。結合効果により差動モードの特性インピーダンスが減少するため、各トレースに対する同一の信号駆動により発生する同相モードの特性インピーダンスは増加します。差動信号伝送ペアに適用される標準的なコンプリメンタリ信号駆動の場合、最小限に抑えるべきその影響は差動信号バスの不均衡でのみ見られるため、同相モードの特性インピーダンスは通常それほど大きな問題ではありません。

結合ラインは、レイアウトの要件に応じて、いくつか異なる方法で配線できます。同じ回路基板層でトレースが並んで配線されるエッジ結合ラインは、内側の層のストリップ・ラインとして組み込むこともできますが、一般にはマイクロストリップ・ラインとして外側の層に配置されます。異なる回路基板層でトレースが重ね合わせて配線される側面結合ラインは、対称構造を取るために、通常ストリップ・ラインとして内側の層にのみ配線する必要があります。

高速差動信号伝送と測定

▶ 入門

ギガビットのデータ・レートでは、差動信号インタコネクタで、高周波数の影響を多く考慮する必要があります。信号伝送の周波数が高くなると、電気信号は表皮効果と誘導損出によって減衰が増加します。ケーブル・インタコネクタの場合、通常この減衰は挿入損失とパルス分散としての特性を持ちます。回路基板インタコネクタの場合、特によく使用されるFR-4回路基板材では、マルチギガビットのデータ・レートの誘導損出がほとんどですが、同様に周波数に依存する損失の影響が見られます。こうした損失の影響のため、差動信号のトレース長は、高速データ信号に合わせて最小限にする必要があります。いくつかの高速シリアル・データ規格では、周波数に依存する損失の影響を相殺するために、プリエンファシスや等化が使用できます。プリエンファシス（デエンファシスと呼ばれることもあります）は、信号極性が変化した直後の最初のビット周期でトランスミッタ駆動信号が増加し、信号極性の変化がないビット周期でトランスミッタ駆動信号が減少します。等化は、周波数によるインタコネクタ減衰の増加を相殺するために、信号インタコネクタに使用するハイ・パス・フィルタ技術です。最も簡単な等化は、AC結合キャパシタを使用して、終端抵抗でハイ・パス・フィルタを構成することです。終端抵抗値は、インタコネクタの特性インピーダンスにより設定されるため、AC結合キャパシタの値は、希望する等化応答に合うように選択する必要があります。

また、ほとんどの差動信号のインタコネクタ・パスには、ギガビットのデータ・レートの高速化に伴い、より大きな問題になる寄生要素があります。その1例が信号配線パスにおけるパイアの使用で、これは1つの回路基板層から別の層へ信号を移動するために使用しなければならないことがあります。1つのパスのパイアは、伝送ラインで不連続に動作する寄生キャパシタンスとインダクタンスを発生させますが、これは反射問題の原因になり、おそらく信号エッジの低速化をもたらします。スルー・ホール・パイアは、信号が外側の層以外の間で伝送されると、短いスタブを発生させることもあります。ブラインド・パイアや埋め込みパイアを使用して、パイア寄生を最小限にできますが、

回路基板コストが増加します。信号配線パスでパイアを使用しなければならない場合、パイア的设计は、寄生が最小限になるようにし、差動ペアの両方のトレースで寄生を一致させる必要があります。今日では、パイアの寄生や他の高周波数による寄生の影響を抜き出す際に使用できる電磁モデリング・ツールがあります。配線パス寄生のその他の例としては、シリアル・データ・レシーバの入力ピンの寄生入力キャパシタンス、回路基板に取り付けられているシリアル・データ・コネクタのパッケージ寄生が挙げられます。

差動終端

正しく整合されたソース終端と負荷終端により、寄生による不連続な反射を吸収して、インタコネクタの寄生の影響を最小限に抑えることができます。差動信号伝送ラインは、ラインの特性インピーダンスと整合する抵抗で終端する必要があります。差動ドライバ回路とレシーバ回路の要件に応じて、この終端は、結合ラインの差動モード・インピーダンスを終端する1つの抵抗と、または差動ペアの差動モード・インピーダンスと同相モード・インピーダンスの両方を終端するマルチ抵抗ネットワークのどちらか一方です。より複雑なマルチ抵抗終端ネットワークには、同相モード・キャパシタンスおよびDCパイアスの挿入も含まれることがあります。一部のシリアル・データ・トランシーバでは、パッケージ寄生を最小限にし、またインタコネクタ作業を容易にするためにも、こうした終端抵抗はトランシーバ内部にあります。終端抵抗ネットワークは、差動信号パスがAC結合かDC結合かによっても影響を受ける場合があります。AC結合は8B/10B符号化を用いるプロトコルのような、DC平衡プロトコルによく使用されます。

新しいシリアル・データ通信規格の多くは、SERDESデバイスや回路との物理層インタコネクタを採用しています。SERDESは、バイト幅データ・ストリームと高速シリアル・データ・ストリーム間のインタフェースを提供し、符号化、同期、クロック再生回路が含まれることがあります。ある種のSERDESデバイスの高速シリアル出力は、CML(電流モード論理)で実装されます。CMLは当初、出力エミッタ・フォロワが除去された、バイポーラECL出力構造の変形でした。しかし、CMLはMOSFETトランジスタで、あるいはステア電流源スイッチとして設定されたトランジスタで実装できます。CML出力構造は、一般に出力ペアの各ライン上で内部50Ωプルアップ抵抗を負荷とするスイッチ電流源出力トポロジです。これらのCML出力プルアップ抵抗は、伝送ライン・インタコネクタのソース終端またはバック終端として機能します。もちろん、CML伝送ライン・インタコネクタは、ラインのレシーバ側でも終端する必要があります。伝送ライン・インタコネクタのソース終端と負荷終端の両方を使用することで、高速シリアル・データ信号の理想的な信号パスになります。これらは、特にマルチギガビットのデータ信号でよく使用されています。

シリアル・データ通信の物理層規格

最近では、次世代I/O接続のニーズに応えるために、多くの高速データ通信規格が導入されています。以下は、こうした新しいインタフェース規格の例です。

- ▶ InfiniBand
- ▶ PCI Express
- ▶ Serial ATA
- ▶ XAUI

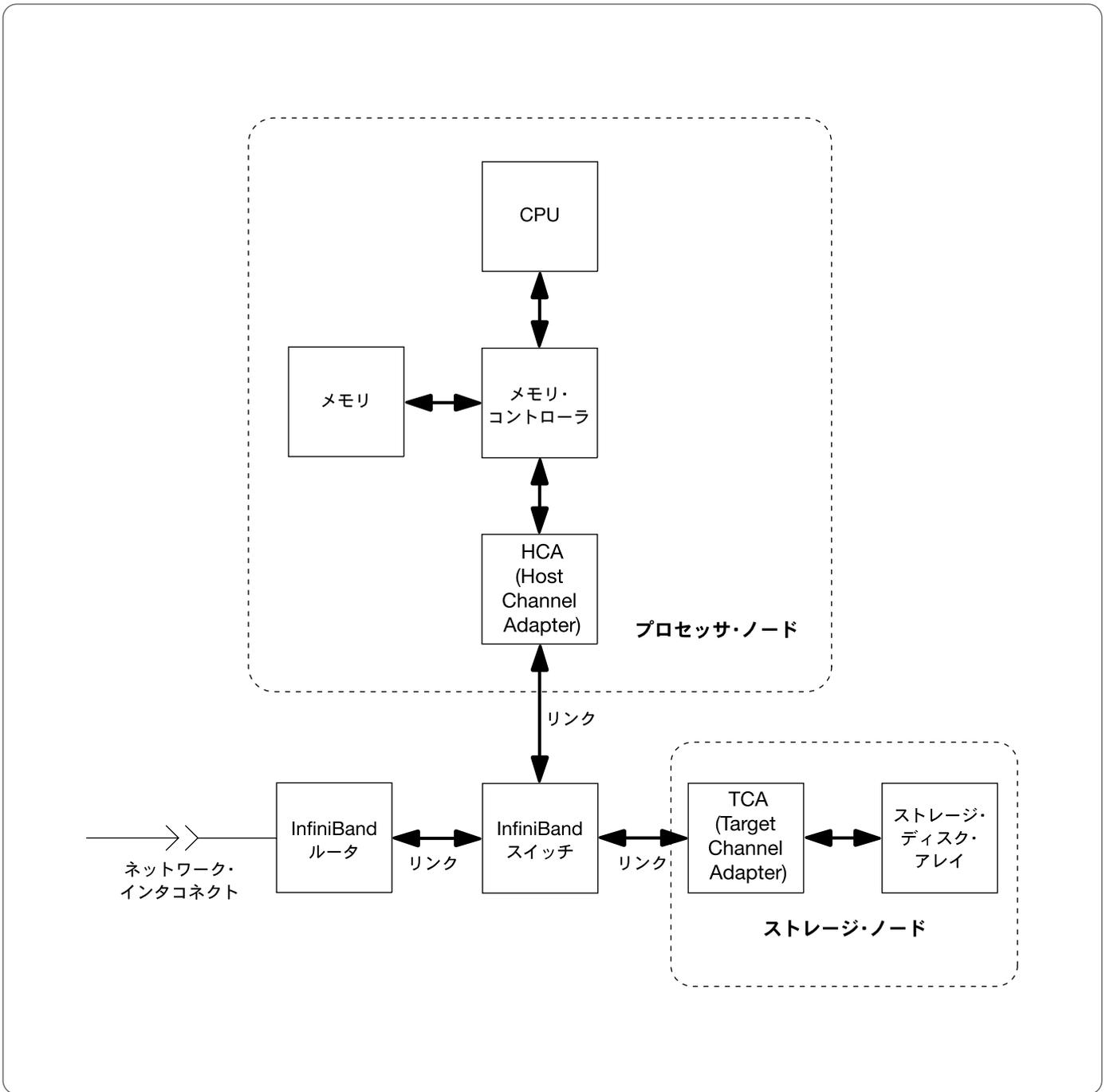
これらの規格は、それぞれ多少異なるアプリケーション用に開発されましたが、共通の8B/10B符号化方式を使用しており、ほぼ同じ差動信号伝送トポロジを採用しています。InfiniBandは、計算サーバ、高速ストレージ・アレイ、そしてインターネット・アクセス・デバイス間のデータ通信インタフェースとして、インターネット・データ・センタで使用するために開発されました。PCI Expressは、高性能アプリケーションにおけるPCIインタフェースの後継として開発され、ソフトウェア・レベルでPCIと後方互換が取れるように設計されています。Serial ATAは、多くのPCディスク・ドライブで使用されているパラレルATAインタフェース(IDEインタフェースとも呼ばれます)に代わる高速

シリアル・インタフェースです。XAUIは、10 Gigabit イーサネットインタフェースでシステムの電気トランシーバと光トランシーバ間を確実に接続するための4レーンのチップ間インタフェースです。

こうした規格はよく似た機能を持っていますが、基本になる通信プロトコルと仕様の詳細は、規格によって大きく異なります。信号伝送速度も、様々なアプリケーションや要件を反映して幾分か異なっています。InfiniBandとPCI Expressの信号伝送速度は同じ2.5Gbpsですが、Serial ATAの信号伝送速度はわずか1.5Gbps。XAUIの信号伝送速度は3.125Gbpsです。XAUIの場合、それぞれが3.125Gbpsで動作する4レーンを使用すると、信号伝送速度は、8B/10B符号化で10Gbpsのデータ・レートbpsに25%のオーバーヘッドを加えるために必要な12.5Gbpsになります。ここで、新しい高速シリアル・データ通信規格の1例として、InfiniBand規格について詳しく考察します。

InfiniBand

InfiniBandは、ローカル・プロセッサのバス・インタフェースに代わるだけでなく、それ以上を目指す次世代通信インタフェースとして開発されました。InfiniBandは、様々な物理媒体に対して、アプリケーションの柔軟性が得られるように設計されています。プロセッサのバックプレーン・インタフェースとして短い距離(<20インチ)での使用が規定されています。また、電気ケーブル・インタフェースとして長い距離(<17m)での使用も規定されています。光ケーブル・インタフェースとして、さらに長い距離にでも使用できます。75mの距離では短波長ファイバ、10kmまでの距離では長波長ファイバのいずれかが使用できます。InfiniBandは、PCIのような階層型メモリマップ・ツリー構造プロトコルの制限を解決することで、インターネット・データ・センタの通信性能の障害を克服するよう設計されました。InfiniBandは、一般にI/O転送をサポートするために必要な計算サーバ、ストレージ・サーバ、インターネット・ルータのオーバーヘッド処理の一部を軽減するインテリジェントI/Oインタフェースとして設計されました。



▶ 図3. InfiniBandアーキテクチャ

図3に示されているように、InfiniBandアーキテクチャは以下で構成されます。

- ▶ HCA (Host Channel Adapter: ホスト・チャンネル・アダプタ)
- ▶ TCA (Target Channel Adapter: ターゲット・チャンネル・アダプタ)
- ▶ InfiniBandスイッチ
- ▶ InfiniBandルータ

HCAは、計算サーバに常駐し、その通信インタフェースを制御します。TCAは、ストレージ・アレイに常駐し、物理ディスク・ドライブへのインテリジェント・

インタフェースを提供します。InfiniBandスイッチは、ローカル通信ネットワークの複数のHCAとTCA間の完全にマッピングされたスイッチ・インタフェースです。InfiniBandルータは、IPv6のような既存ネットワーク・プロトコルを使用したローカル・ネットワーク間のインタコネクタとして設計されています。プロトコル・レベルでの高性能を実現するために、InfiniBandアーキテクチャは、メモリマップ中央制御プロセッサからの階層型通信ではなく、デバイス・チャンネルを介したピア間通信を可能にします。InfiniBandデータ転送プロト

InfiniBand電気信号伝送仕様の詳細は、InfiniBandアーキテクチャの仕様第2巻、第6章に規定されています。表2は、主要な電気仕様を示したもので、これらについては次の項で詳しく考察します。

表2. InfiniBand電気信号の伝送仕様 (リリース1.1から一部抜粋)

インピーダンス

ドライバ	記号	パラメータ	最大	最小	単位
	Z_D	差動出力インピーダンス	125	75	Ω
	Z_{SE}	シングルエンド出力インピーダンス	75	30	Ω
	Z_{MSE}	シングルエンド・インピーダンス整合	10		%

レシーバ

	Z_{Rterm}	終端	62.5	40	Ω
	L_{DR}	差動リターン・ロス		10	dB
	L_{CMR}	同相モード・リターン・ロス		6	dB

振幅

ドライバ	記号	パラメータ	最大	最小	単位
	V_{diff}	差動出力 (pp)	1.6	1.0	V
	V_{CM}	同相モード電圧	1.0	0.5	V
	$V_{disable}$	無効モード出力	1.6	1.0	V

レシーバ

	V_{RSense}	入力感度 (p-p)		175	mV
	V_{RCM}	同相モード電圧	1.25	0.25	V
	V_{tt}	終端電圧	1.0	0.5	V

タイミング

ドライバ	記号	パラメータ	最大	最小	単位
	UI	ユニット・インターバル	400	400	ps
	t_{DRF}	ドライバの立上り/立下り時間		100	ps
	J_{T1}	ドライバのトータル・ジッタ	.35		UI

レシーバ

	t_{REye}	アイ・オープニング		140	ps
	J_{TR}	レシーバのトータル・ジッタ	.65		UI
	S_{RBTB}	トータル・スキュー	24		ns

コルは、高いInfiniBand転送レートにより、保証された品質のサービスでリアルタイム・データの伝送を可能にするデータ・パケットの優先順位付けをサポートします。また、InfiniBandプロトコルは、InfiniBandデータ・パケットに埋め込まれたエラー検出符号を使用して、より信頼性の高いデータ通信をサポートします。

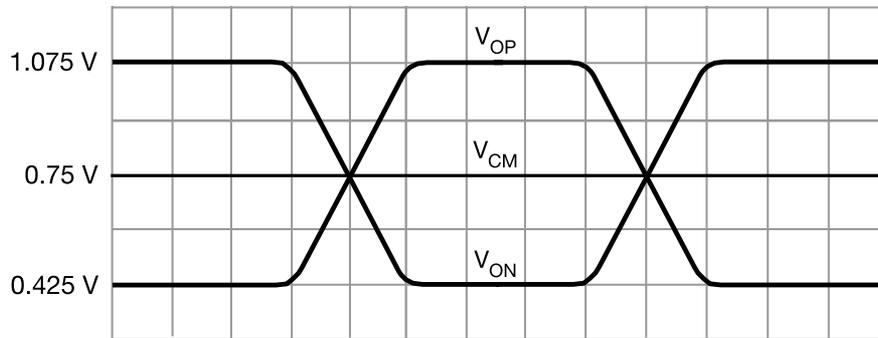
InfiniBandは、物理層でポイント間シリアル・データ・インタフェースを介して高性能を提供します。InfiniBand通信レーンには、2つの独立した差動信号伝送パスがあり、一方のパスは送信用、もう一方は受信用で、双方とも2.5Gbpsのレートで動作します。InfiniBand規格には、現在規定されている×1、×4、×12のリンクなど、複数のレーン・リンクを使用することで、スケラブルな性能を実現しています。サーバのパックプレーン・インタフェースとして、InfiniBandインタフェースは、演算能力のスケールアップの際に使い易く、また

信頼性の高いサーバ・システムの保守に便利なホットプラグ対応です。計算サーバやストレージ・アレイ間のケーブル・インタコネク・インタフェースとして、InfiniBandインタフェースは、電気ケーブルの長さをインターネット・データ・センタの対象アプリケーションに十分な17mに制限して、低電力オペレーション用に最適化されてきました。

InfiniBandインピーダンス仕様では、InfiniBand信号インタコネク環境での制限が規定されています。InfiniBand差動信号インタコネクは、標準的な100 Ω 差動インピーダンスに合わせて設計されているため、ドライバ・インピーダンス・パラメータの Z_D 、 Z_{SE} および Z_{Rterm} に、そのような緩やかな公差があるのは異常に思えるかもしれませんが、インピーダンス公差が緩やかに指定されていると、ワーストケース条件でシグナル・インテグリティが劣化しますが、集積回路プロセスとの互換性が得られます。

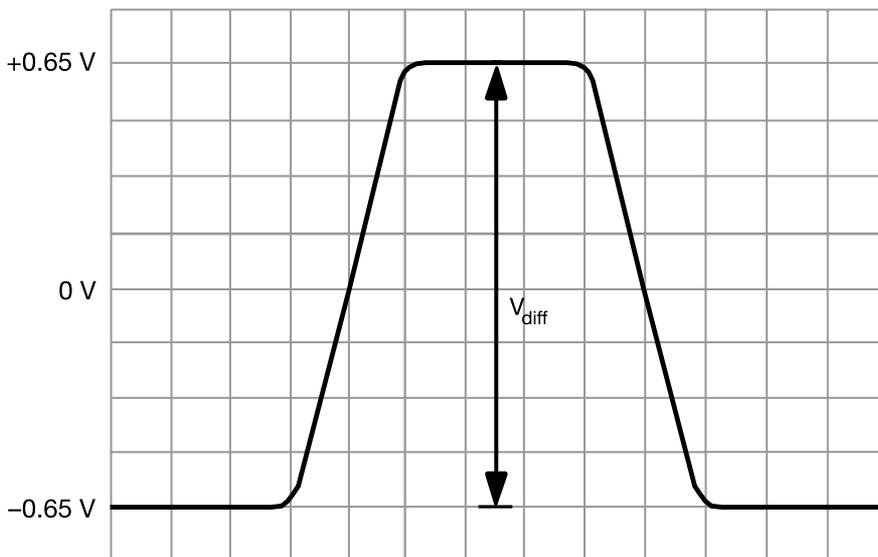
高速差動信号伝送と測定

▶ 入門



$$V_{CM} = \frac{V_{OP} + V_{ON}}{2}$$

(a) シングルエンド駆動信号



$$V_{diff} = V_{OP} - V_{ON}$$

(b) 差動駆動信号

▶ 図4. InfiniBandドライバ信号: $V_{CM} = 0.75\text{ V}$; $V_{diff} = 1.3\text{ V}$

集積ドライバ・ソース抵抗とレシーバ終端抵抗を順に使用すると、終端寄生が減少するため、シグナル・インテグリティに役立ちます。シングルエンド・インピーダンス整合パラメータ Z_{MSE} も、集積回路プロセスとの互換性があり、こうした整合は信号の不均衡を最小限に抑えるために必要です。差動信号の不均衡は、差動モード信号の一部が同相モード信号に変換される原因になり、シグナル・インテグリティ問題やEMI問題を発生させます。レシーバ終端パラメータ Z_{Rterm} は、シングルエンド・インピーダンス値で、差動終端インピーダンスはもちろん、その値の2倍です。

レシーバのリターン・ロス・パラメータ L_{DR} および L_{CMR} の目的は、レシーバへのきれいな伝送ライン環境を保証することです。しかし、差動モードおよび同相モードのリターン・ロス測定には、ミクスト・モードのSパラメータ・テスト・セットと、ミクスト・モード変換ソフトウェアを備えたネットワーク・アナライザが必要です。ほとんどのインピーダンス・パラメータは、100MHz～1.875GHzの帯域幅で、言い換えれば、bps8B/10B符号化された2.5GbpsのInfiniBand信号のほとんどの信号電力スペクトラムを含む周波数帯域について規定されています。

InfiniBand振幅仕様では、ドライバとレシーバ間の信号電圧の許容範囲が規定されています。InfiniBandでは差動信号伝送が使用されるため、差動モードと同相モード両方のパラメータが規定されています。同相モード・パラメータは、DC結合インタコネクタでのみ意味があります。InfiniBand規格で要求しているケーブル接続はAC結合で、必要に応じてバックプレーン接続もAC結合にできます。また、この規格では、4700pFの最小DCブロッキング・キャパシタンスが提案されており、これは250MHzで1□を大きく下回る結合インピーダンスになります。ここでは、250MHzと言う周波数が、2.5Gbpsの信号伝送レートで、bps8B/10B符号化された信号の最小信号伝送周波数であることに注目します。これは、8B/10B符号化の特徴である5ビットの連続長制限の結果です。ドライバの差動出力パラメータは、ドライバの出力ピンにおけるバックプレーン・インタコネクタについて規定されており、インタコネクタ・パスまで測定された場合、インタコネクタ・ロスによって減衰します。バックプレーン・ドライバがプリエンファシスを使用する場合、差動出力パラメータの範囲は、トランジション直後の最初のビット周期にのみ適用され、プリエンファシス・ドライバが削除された後のビットについては低下することがあります。ケーブル・インタコネクタでは、差動出力パラメータは、ケーブル・ポートで指定され、その範囲はプリエンファシスの有無に関係なく有効です。図4の例に示されているように、差動出力パラメータはピーク間電圧差として規定されるため、ドライバの各ピンの信号スイングは、その値の2分の1になります。図4(b)に示されている V_{diff} パラメータ信号は、図4(a)の2つの信号間に接続した差動プローブを使用するか、シングルエンド・プローブで測定した図4(a)の2つの信号の波形差を計算することでのみ測定できることに注意する必要があります。したがって、図4(b)に示されている信号は、図4(a)のドライバからの2つのコンプリメンタリ入力信号をレシーバが処理した結果を表し、シングルエンド信号として直接測定できません。トランスミッタ・ドライバが無効モード状態の場合、差動出力電圧はゼロ・ボルトに降下しますが、ドライバ・ピンは同相モードの電圧範囲内にある必要があります。トランスミッタが無効モードで、差動電圧がレシーバに印加されない場合、レシーバを無効にして、擬似信号が生成されないようにしなければなりません。

InfiniBandレシーバの入力感度パラメータは、 1×10^{-12} の規定された最大ビット誤り率で、適切に検出される最小ピーク・トゥ・ピーク差動信号です。入力感度レベルを下回る信号の検出は保証されません。レシーバの終端電圧範囲および同相モードの電圧範囲は、ドライバへのDC結合インタコネクタにのみ適用可能です。

InfiniBandタイミング仕様は、高速シリアル・リンクの重要なジッタ特性を制御して、信頼性の高いリンク性能を実現するよう設計されています。InfiniBandタイミング・パラメータは、アイ・パターン測定^{*1}に基づいています。アイ・パターンのUI (Unit Interval) は、1ビット周期のタイム・ウィンドウで、2.5Gbpsの信号伝送bpsでは400psになります。信号のジッタは、アイ・パターンのトランジション・エッジで観測できます。ドライバのトータル・ジッタは、ランダム・ジッタとデターミニスティック・ジッタの両方の成分を含んだもので、InfiniBandバックプレーン・インタコネクタについて、1UIの3分の1余りに規定されています。ケーブル・インタコネクタのトータル・ジッタ仕様は、部分的な仕様の表には示されていませんが、バックプレーン・インタコネクタの場合より制限されていて、長いケーブル・インタコネクタでのジッタ累積のマージンを大きくとることができます。トランスミッタで許容されているトータル・ジッタと、レシーバで許容されているそれより大きなトータル・ジッタとの間の差は、インタコネクタの長さによって累積されるジッタを示します。レシーバのアイ開口パラメータは、レシーバのアイ・パターンの中心にあるジッタのない時間を測定したもので、レシーバの入力感度パラメータと組み合わせると、許容されるエラー範囲内での信号伝送のアイ・パターン・マスクを定義するために使用できます。今日では、当社ではTDSJIT3、TDSRT-Eye™などのさらに高性能なジッタ解析ツールを用意しており、当社のリアルタイム・オシロスコープと併用して、様々なジッタ成分をより詳しく解析できます。

^{*1} アイ・パターンは、1ビット周期ウィンドウ内における信号のすべてのステートを累積して示すため、信号を重ね合わせで表示したものです。目のような形をした表示になるので、アイ・パターンと呼ばれています。またインタコネクタの長さに伴って、減衰とジッタが増加すると、アイ・パターンインタコネクタが閉じてくる性質を持っています。アイ・パターンが閉じると、信号はレシーバから「可視」ではなくなります。アイ・パターンのジッタ・パラメータは、UI (Unit Interval) 単位で規定されています。

高速差動信号伝送と測定

▶ 入門

ドライバの立上り時間と立下り時間のパラメータは、エッジ速度が速くなると悪化するので、シグナル・インテグリティ問題を制御する最小値として規定されています。ドライバの最大立上り/立下り時間は、直接規定されていますが、トランスミッタでの非常に遅いトランジションは、インタコネクタを經由してさらに遅くなり、レシーバでのマスク違反の原因になるため、レシーバのアイ開口マスクによって効果的に制御されています。ドライバの立上り/立下り時間は、計測器の性能を指定するためによく使用されている10~90%測定ではなく、20~80%測定と規定されていることに注意する必要があります。立上り/立下り時間は、信号のトランジションで発生するため、ドライバでプリエンファシスを使用する場合は、プリエンファシスを使用した信号で、立上り/立下り時間測定を行います。レシーバのトータル・スキュー・パラメータは、6UIと等しいため、非常に大きく見えますが、InfiniBandポートの物理レーン両端のスキューを表し、InfiniBandトレーニング・プロトコル内のデータ同期とアライメント・プロセスの一部として補正できます。1つのトランスミッタ・ドライバからドライブされるレーン間で許容されるスキューは、かなり少なく(500ps)、1レーンの差動ペアのライン間スキューは、直接規定されていますが、高品質の信号を伝送し、シグナル・インテグリティ問題やEMI問題を抑制するため、できるだけ小さく抑える必要があります。

第1部のまとめ

InfiniBand物理層規格との適合を保証するために測定しなければならない重要な信号パラメータについて簡単に見てきましたが、これは新しい高速シリアル・データ通信規格の測定条件を代表するものです。最後の項で説明したほとんどの電圧とタイミングの測定に、最もよく使用される標準的なツールは、高性能オシロスコープです。かつては、ギガビットのデータ信号の測定に必要な広帯域幅は、サンプリング・オシロスコープの使用を必要としましたが、リアルタイム・オシロスコープの性能が飛躍的に向上し、シリアル・データ測定でもリアルタイム・オシロスコープが使用されるようになりました。オシロスコープは、規格適合テストや電気回路のデバッグを行うための一般的な測定ツールですが、おそらく差動信号測定ではそれほど使用されていません。本書の第2部では、特に高速シリアル・データ通信信号への適用に重点を置いて、差動測定について説明します。

第2部:差動測定

はじめに

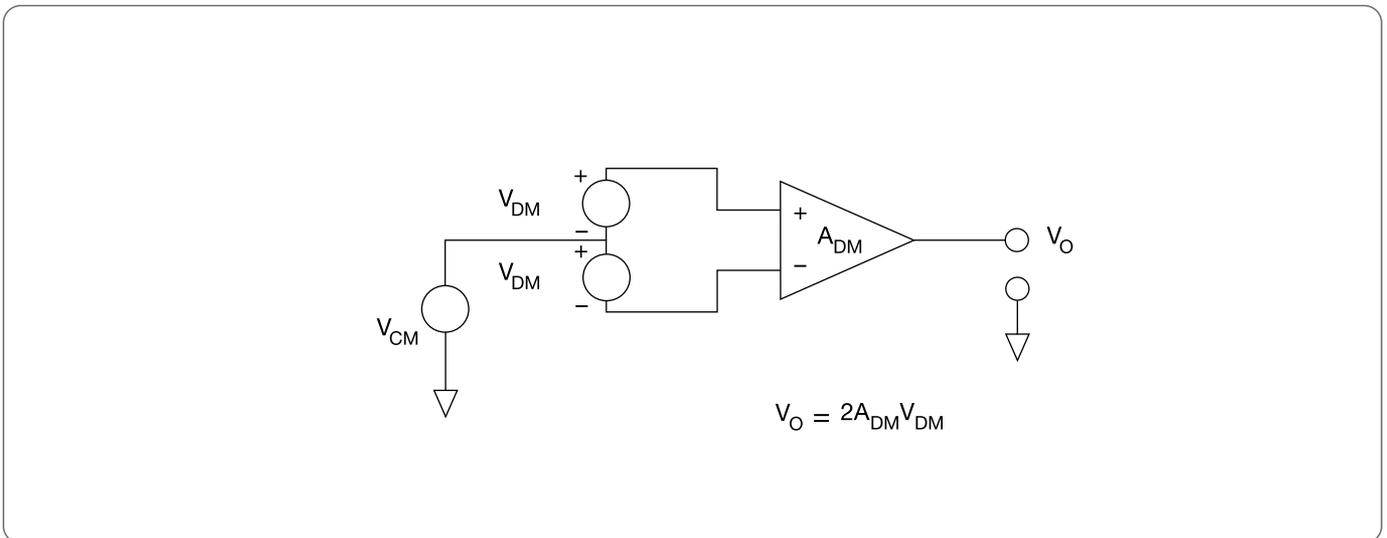
本書の第1部では、新しいインタフェース規格においてシングルエンド信号伝送から差動信号伝送への移行がどのように進んだかについて説明しました。シングルエンド信号伝送と差動信号伝送の主な相違点と、高速データ・リンクで差動信号伝送を使用する利点について考察しました。また、差動信号伝送のアプリケーションから、差動測定技術を理解する必要性が生まれました。2つのシングルエンド信号が1つの差動信号になるため、差動信号伝送により信号評価はさらに複雑になりました。一般に差動信号伝送では、差動モードと同相モードの両方のパラメータを指定する必要があります。同様に、差動測定では、差動信号伝送インタフェースを表す差動モードと同相モードの双方のパラメータ測定を行わなければなりません。本書の第2部では、差動測定および差動信号の測定に使用するツールについて説明します。高性能差動プローブは測定精度において重要な役割を担うため、詳しく取り上げます。

差動測定の基礎

シングルエンド測定ツールは、差動測定を間接的に測定するのに使用できますが、差動測定ツールを使用すれば、差動レシーバが観測するような方法で差動信号を観測できます。優秀な差動測定ツールには、高い信号精度で高速差動信号を測定できる以下のような特性が必要です。

- ▶ 高い周波数応答特性
- ▶ 高い同相除去
- ▶ 高い感度と応答確度
- ▶ 低いノイズ・フロア
- ▶ 低い回路負荷(広帯域終端として設計されている場合を除く)

図5は、差動モードと同相モードの電圧源の組み合わせで駆動される理想的な差動増幅器を示しています。図5の電圧源は、コンプリメンタリ差動信号をモデル化するために設定されています。図5の差動増幅器は、無限大の入力インピーダンスと、固定した差動モード利得、無限大のCMRR、プローブ・ケーブルを駆動する理想的な50Ω出力インピーダンスを備えた、理想的な差動プローブのモデルを表していると見なせます。



▶ 図5. 理想的な差動増幅器

理想的な差動増幅器は、入力間の電圧差を増幅し、両方の入力に共通する電圧を完全に除去します。図5に示す差動増幅器のプラス入力側の電圧 V_+ は以下の通りです。

$$V_+ = V_{CM} + V_{DM}$$

差動増幅器のマイナス入力側の電圧 V_- は以下の通りです。

$$V_- = V_{CM} - V_{DM}$$

固定の差動モード利得 A_{DM} を備えた差動増幅器の電圧差出力は以下の通りです。

$$V_O = A_{DM} * (V_+ - V_-)$$

$$V_O = A_{DM} * [(V_{CM} + V_{DM}) - (V_{CM} - V_{DM})]$$

$$V_O = A_{DM} * (2 V_{DM})$$

この結果で発生する出力電圧は、同相モード入力電圧が除去され、シングルエンドの差動モード入力電圧が2倍になることを示しています。

前の差動入力の式は、同相モード電圧が2つの差動入力電圧の平均であることを示しています。

$$V_{CM} = (V_+ + V_-) / 2$$

同様に、単一利得の差動増幅器からの差動電圧出力は、単に2つの差動入力間の電圧差です。

$$V_{DIFF} = V_+ - V_-$$

理想的ではない差動増幅器には、2つの入力間にわずかな不均衡があり、これは出力に送られる同相モード入力電圧の一部になります。この出力の同相モード電圧信号は、その一部がグラウンド・ノイズや他の同相モード・ノイズ源から発生することがあるため、望ましくないエラー項と見なすことができます。理想的ではない差動増幅器の純粋な同相モード入力信号に対する応答を測定できるため、この増幅器の同相モード利得は以下のように計算できます。

$$A_{CM} = V_O / V_{CM} \quad \text{with } V_{DM} = 0$$

望ましくない同相モード入力信号を除去する差動増幅器の性能を測定したものを、CMRR (同相除去比) と言います。

$$CMRR = A_{DM} / A_{CM}$$

高品質の差動増幅器は、CMRRが非常に大きい値になるので、よくデシベルで表されます。

$$CMRR \text{ (dB単位)} = 20 \log (A_{DM} / A_{CM}) \text{ in dB}$$

高品質差動増幅器における同相モード・エラー項の大きさを、DCのCMRRが60dBの増幅器に、1V DCの同相モード信号を入力した場合の例について考えてみます。60dBのCMRRは利得比が1000:1なので、その結果、1Vの同相モード入力から生じるDCエラーは1mVです。CMRR測定には位相情報は含まれていないため、1mVエラー項の極性は不明です。同相モード信号には、一般にACとDC両方の成分があるため、差動増幅器のCMRR周波数応答を考慮しなければなりません。標準的な差動増幅器のCMRRは、一般にDCで最も高く、周波数が高くなると低下し、高い周波数では著しく悪化します。

高速差動信号伝送と測定

▶ 入門

このような周波数によるCMRRの低下は、高周波数寄生の影響が増加するため、平衡のとれた増幅器応答を維持する際の困難さを表す目安になります。

差動プローブの仕様

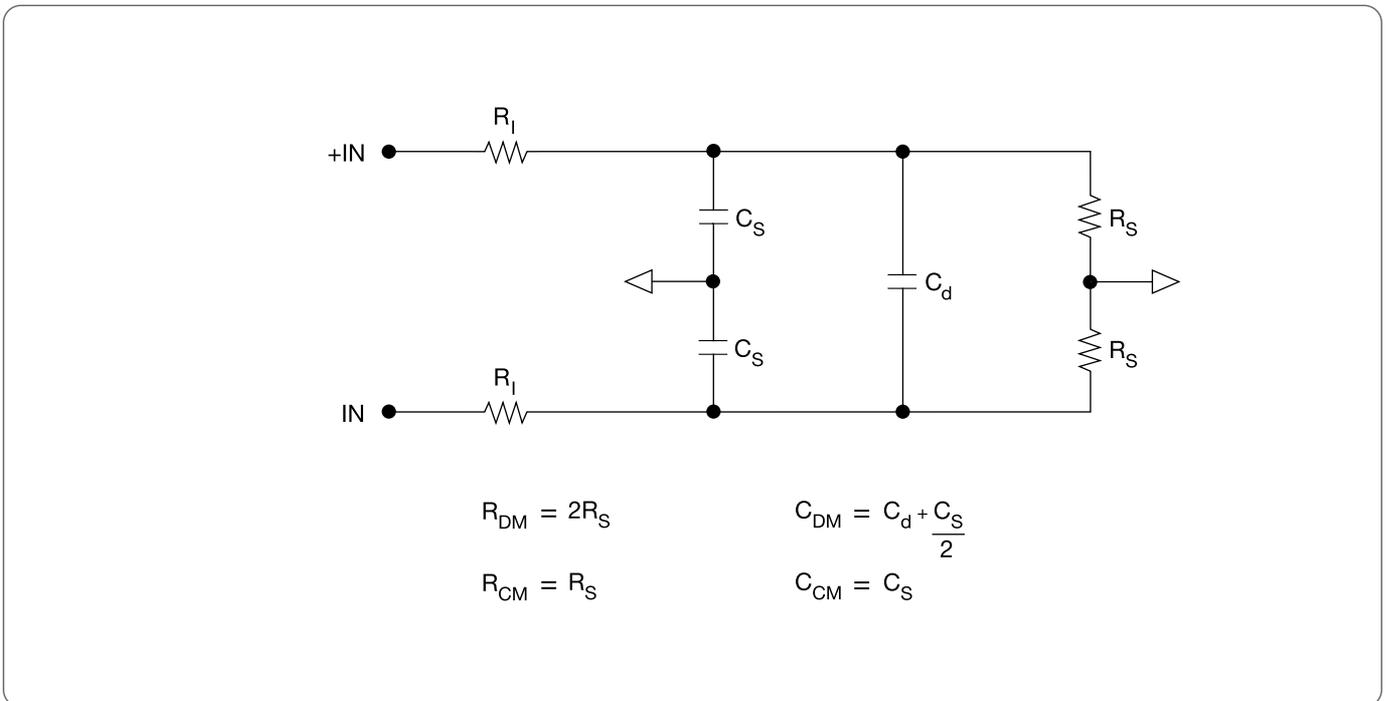
オシロスコープは、前面パネルの入力コネクタで測定性能が規定されています。オシロスコープ・プローブの目的は、最大限の信号精度で、オシロスコープの前面パネルから被測定回路まで測定性能を拡張することです。オシロスコープから1~2m離れた場所で、プローブを使用して高精度な測定を行うには、周波数が高く、シールドされたケーブルで、プローブをオシロスコープに接続する必要があります。こうした接続によく使用される同軸ケーブルは、特性インピーダンスが50Ωで、分散容量負荷が約30pF/ft.のため、プローブ設計ではこのケーブル負荷を補正しなければなりません。インピーダンスが高い1MΩのオシロスコープ入力に接続する受動プローブは、高いインピーダンスのプローブ・チップ・アッテネータを使用して、ケーブル負荷を補正します。一般に、受動プローブによく使用されるインピーダンスの高い×10アッテネータは、プローブの帯域幅を500MHzまでに制限します。より高い周波数のアプリケーションでは、アクティブ・プローブがよく使用されます。

理想的な差動プローブは、信号の負荷がなくとも、完全な精度で信号を測定できますが、実際のプローブには理解しておくべき制限があります。実際のプローブ性能の制限を理解することで、測定した信号応答を真の信号応答と関連付けることができます。測定アプリケーションに適した性能を備えたプローブとオシロスコープを選択し、プローブの制限を最小限にする方法を用いてプローブを使用すると、測定した信号性能と真の信号性能を一致させることができます。プローブ応答の制限は、プローブ仕様で決まります。表3に当社のP7350型プローブの主要性能仕様の一部を示します。P7350型は、高速シリアル・データ信号解析などのアプリケーションで使用するために設計された高性能差動プローブです。表3に示すP7350型の仕様の定義については、以下の項で詳しく取り上げます。表3には仕様の保証値と代表値の両方が記載されていることに注意してください。特定の数値の詳細については、P7350型プローブのデータ・シートまたはユーザ・マニュアルを参照してください。

表3. P7350型プローブの電気的特性

パラメータ	仕様	注
入力負荷		
差動モード入力抵抗	100 kΩ ±2%	
同相モード入力抵抗	50 kΩ ±2%	1側面につき
差動モード入力キャパシタンス	<0.3 pF	100MHzにて
同相モード入力キャパシタンス	<0.45 pF	100MHzにて、1サイド当たり
振幅応答		
DC利得精度	0.16 ±2%	減衰比×6.25
差動モード入力範囲	±2.5 V	差動オフセット=0
同相モード入力範囲	+6.25 V ~ -5.0 V	
最大入力 (非破壊)	±15 V	
差動オフセット範囲	±1.25 V	
CMRR	DC	>60 dB
	1 MHz	>55 dB
	30 MHz	>50 dB
	1 GHz	>30 dB
タイミング応答		
帯域幅	DC~5 GHz	3dB帯域幅
立上り時間	<100 ps	10~90%立上り時間
	<65 ps	20~80%立上り時間

広帯域オシロスコープの50Ω入力に接続するアクティブ・プローブは、プローブ・チップに高周波バッファ増幅器を使用して、ケーブル負荷を補正します。アクティブ・プローブ・チップのバッファ増幅器には、分散するプローブ・ケーブルの負荷を、伝送ラインとしてドライブする50Ω出力ドライバ段があります。プローブ・ケーブルを伝送ラインとしてドライブすると、広帯域の周波数応答が得られます。しかし、プローブ・ケーブルは、すべての伝送ラインと同様に、電気ケーブル損失の影響を受けやすくなっています。信号精度を保証するために、プローブのバッファ増幅器は、プローブ・ケーブルの周波数に依存する損失の影響をプローブの周波数制限まで補正しなければなりません。また、プローブ・ヘッドに高周波数バッファ増幅器を使用すると、プローブ・チップのプローブ負荷の影響も低下します。バッファ増幅器の前にインピーダンスの高いアッテネータを追加すると、バッファ増幅器の入力キャパシタンスの影響が減少し、入力ダイナミック・レンジが増大します。しかし、この入力アッテネータの利点は、信号対ノイズ比の低下とトレードオフされます。



▶ 図6. P7350型プローブの1次差動プローブ負荷モデル

差動プローブの場合、プローブ・チップに差動測定の機能があり、プローブはオシロスコープのチャンネル入力1つに接続します。P7350型は、プローブ・ヘッドにアクティブ・ハイブリッド回路を持つ広帯域差動プローブです。P7350型のアクティブ・ハイブリッド回路には、高いインピーダンスのレーザ・トリミング・アッテネータと差動バッファ増幅器が組み込まれています。プローブ・ヘッドのバッファ増幅器を、プローブ入力ピンのごく近くに配置することで、プローブ負荷の影響を最小限に抑え、CMRRを最大限にすることができます。小型プローブ・ヘッドは、物理的に制限のある環境での使用を可能にし、プローブ取り付けバスの寄生を最小限にして、最高の信号精度を実現します。P7350型アクティブ・プローブのヘッド回路は、Tektronix高性能オシロスコープの標準プローブ・インタフェース、TekConnect™インタフェースにより、電力供給およびコントロールされます。

P7350型プローブの入力負荷

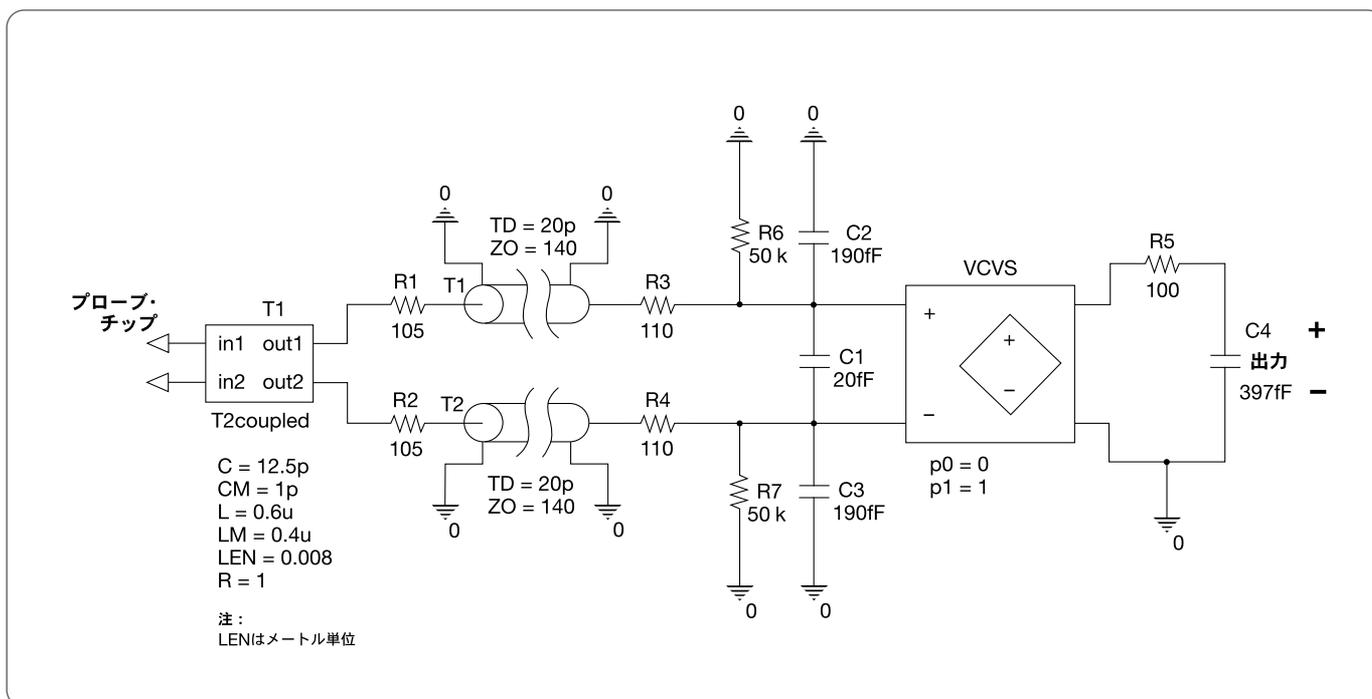
理想的な差動プローブは、差動回路に取り付けることができ、被測定回路を妨害することなく測定を行えます。しかし、現実のプローブには、特に高周波での測定の際に考慮しなければいけない有限の負荷インピーダンスがあります。図6は、P7350型差動プローブの1次負荷モデルです。予想通りに、プローブ負荷モデルは、2つの入力それぞれについて、1次が同じである平衡した構造を示しています。

入力抵抗 R_I はダンピング・レジスタで、P7350型プローブの代表値は約130 Ω です。同相モード入力キャパシタンス C_S は、入力をともに短絡して測定したキャパシタンスの2分の1で、P7350型プローブの代表値は約0.4pFです。差動モード入力キャパシタンスは、2つの入力間で差動測定されるキャパシタンスで、 C_D と直列に組み合わせた2つの同相モード入力キャパシタの合計になります。P7350型プローブの場合、 C_D 代表値は約0.1pFで、これは約0.3pFの差動モード入力キャパシタンスになります。P7350型差動プローブの同相モード入力抵抗 R_S は、50k Ω で、これは100k Ω の差動モード入力抵抗 R_{DM} になります。

この1次プローブ負荷モデルから、低周波数でのプローブ負荷に関する有用な情報が得られます。プローブの差動モード入力インピーダンスは、DCから約1MHzまでの範囲では本来抵抗性で、P7350型プローブの場合は、100k Ω で一定です。約1MHzを超えると、プローブの差動モード入力キャパシタンスは、約1GHzを上回る周波数でP7350型のダンピング抵抗の130 Ω に達するまで、プローブの入力インピーダンスを低下させ始めます。このディスクリット・コンポーネント・モデルは、低周波数の有用な情報を提供しますが、このモデルにはプローブ入力インダクタンスが含まれていないことに注意してください。プローブ・ハイブリッドの固有インダクタンスも、プローブ・ピンまたは接続アダプタからの取り付けインダクタンスも、この1次モデルには含まれていません。プローブ入力インダクタンスにより、この1次プローブ負荷モデルに共振の影響が加わります。一般に比較的小さなプローブ・ピン・インダクタンスに、さらにインダクタンスが加わるプローブ・インタコネクタ・アダプタ

高速差動信号伝送と測定

▶ 入門



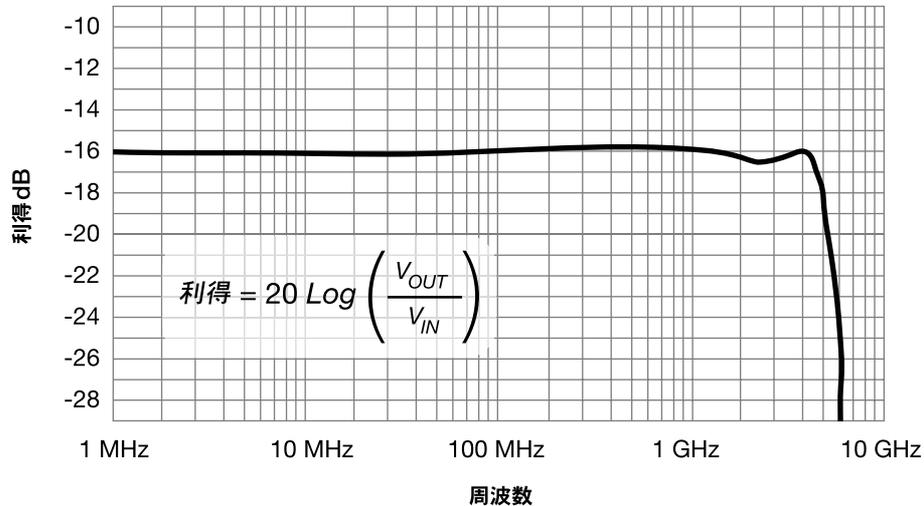
▶ 図7. P7330型プローブの分散モデル

を追加すると、プローブの共振オーバーシュートが増加し、測定ノードにダンピング抵抗を追加する必要があります。当社は、差動プローブを始めとする高性能プローブのほとんどについて、より正確な分散コンポーネント・モデルを、Webサイト上に掲示しています。たとえば、図7はP7330型プローブの分散コンポーネント・モデルを示しています。P7330型プローブは、P7350型に非常によく似ていますが、帯域幅はわずか3.5GHzです。P7330型の分散モデルには、結合伝送ライン入力と、1極のロールオフ応答を持つ簡略化した増幅器出力モデルが含まれています。この分散コンポーネント・モデルは、プローブの周波数応答の限度までプローブ負荷の影響を正確にモデリングします。分散コンポーネント・モデルは、プローブ負荷の影響に合わせて最適化されますが、プローブに1次トランゼントと周波数応答性能も提供します。

P7350型プローブの振幅応答

高精度で電気信号を測定するために、プローブ増幅器の利得は広い周波数帯域に渡って慎重に制御しなければなりません。理想的なプローブ増幅器の利得は、DCから規定されている帯域幅制限近くの周波数まで一定で、その後かなり急速に低下します。この理想的なプローブの利得ロールオフ特性も、パルス応答アベレージョンを最小限にするために制御しなければなりません。実際のプローブ振幅応答は、広い周波数帯域に渡って平坦になるよう設計されていますが、特に1GHzを越える周波数で多少の利得変動があります。P7350型プローブの利得精度は、DCで2%と規定されていることに注意が必要です。プローブの利得と精度は、主に測定で便利のようにDCで定められています。図8に示されているように、P7350型の利得はDCから約1GHzまで比較的平坦ですが、プローブの利得精度は、1GHzを超える周波数でDCの仕様から著しく逸脱します。たとえば、P7350型プローブの帯域幅制限の5GHzでは、利得は3dB減少しますが、これはDC電圧利得から約30%の利得低下を意味します。

P7350型プローブのDC電圧利得は0.16と規定されていますが、これは入力信号の減衰比が×6.25であることを表します。このプローブ減衰比の×6.25は、プローブ入力アッテネータとプローブ増幅器の一定した利得を組み合わせた結果です。図9は、P7350型プローブ・アーキテクチャの簡略構成図で、プローブの入力アッテネータとバッファ増幅器を示しています。DC利得精度仕様の2%を満足するために、P7350型の入力アッテネータは、バッファ増幅器とともにレーザー・トリミングで製造されます。



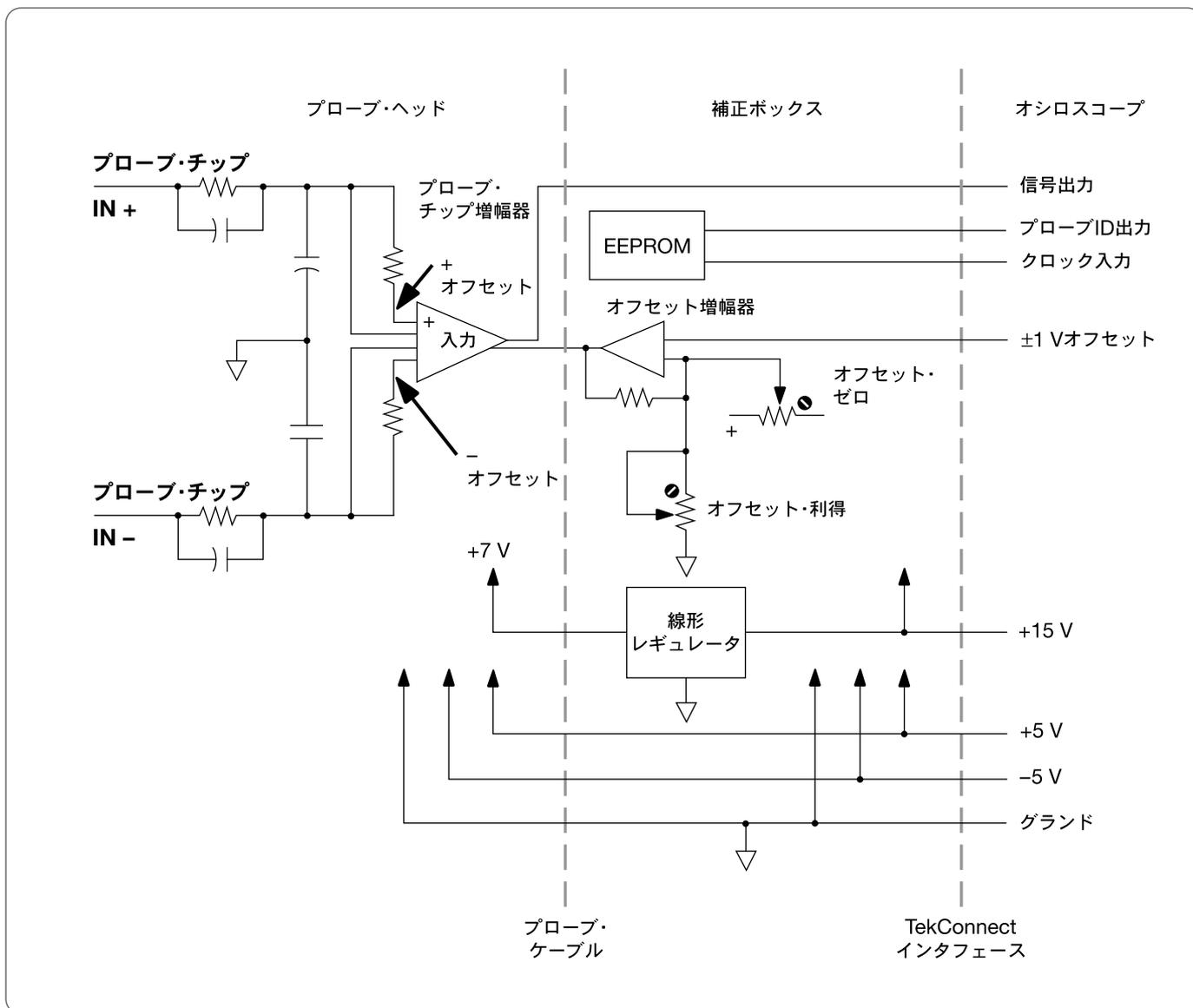
▶ 図8. P7350型プローブの周波数利得応答(シングルエンド)

当社のプローブとオシロスコープの間は、インテリジェント機能を備えた TekConnect インタフェースを介して接続されるので、プローブのDC利得は通常ユーザには見えません。オシロスコープは、規定されているプローブ利得とオシロスコープの垂直軸スケール・ファクタが一致するように、自動的に内部利得コントロールのスケールを調整します。プローブのDC利得に関する情報は、プローブの不揮発性メモリに保存され、オシロスコープにプローブを取り付けた時に、オシロスコープが読み取ります。当社のオシロスコープでは、プローブ校正プロセスを実行して、システム利得の精度と、プローブとオシロスコープのオフセットを最適化することもできます。

おそらく、P7350型プローブの振幅応答仕様で最も重要なのは、差動モードと同相モードの入力範囲仕様です。差動モードの入力範囲は、入力差動信号の有効ダイナミック・レンジを表します。プローブ増幅器の不注意によるオーバドライブを防止するために、当社のオシロスコープの多くは、垂直軸スケールまたは位置がダイナミック・レンジの限界近くで調整される時、ダイナミック・レンジの限界に一時的な警報マーカを表示します。P7350型プローブの差動モード入力範囲は $\pm 2.5V$ で、これはTekConnectインタフェースで伝達され、オシロスコープはダイナミック・レンジ・マーカを正確に設定できます。同相モード入力範囲は、プローブ応答を制限せずに、両方のプローブ入力ピンに適用できるグラウンドを基準にしたDC電圧範囲を表します。P7350型プローブのCMRRは高いため、 $-5.0V \sim +6.25V$ までの同相モード入力範囲内の同相モードDC信号は、mVレベルのDCオフセット電圧まで減少します。

高速差動信号伝送と測定

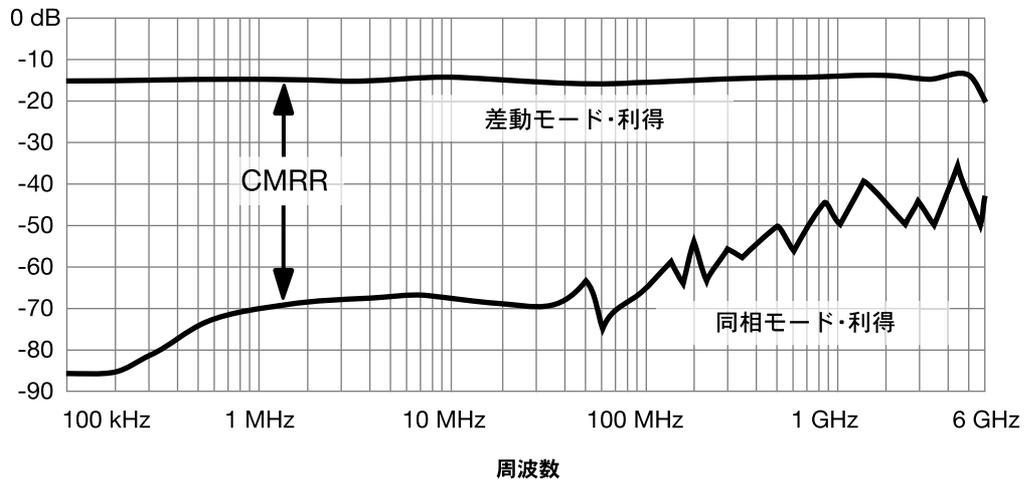
▶ 入門



▶ 図9. P7350型プローブの簡略化した構成図

P7350型プローブの帯域幅と立ち上がり時間の仕様は、小さな入力信号で測定されていることに注意が必要です。しかし、P7350型プローブは大きな信号にも使用可能な速度で設計されています。同相モード入力範囲は、プローブの入力ダメージ電圧制限を表す最大非破壊入力範囲と同じではありません。P7350型の $\pm 2.5\text{V}$ 差動信号範囲内または $+6.25\text{V} \sim -5.0\text{V}$ の同相モード範囲内で入力信号を測定する場合、信号はプローブのバッファ増幅器による優れた直線性とゲイン精度で処理する必要があります。

P7350型プローブの差動モード入力範囲は、差動信号オフセットをプローブに適用して、さらに $\pm 1.25\text{V}$ 拡張することができます。この差動オフセット・コントロールは、接続されているオシロスコープから、TekConnectインタフェースを介してプローブに適用されます。図9の簡略化した構成図に示されているように、オシロスコープからのDCオフセット信号は、P7350型の補正ボックスのコントロール・ボードにあるシングルエンド増幅器によりバッファされ、プローブ・ヘッドの増幅器のオフセット入力に渡されます。次に、プローブ・ヘッドの増幅器は、シングルエンド・オフセット信号を、入力アッテネータの終了点をドライブするコンプリメンタリ・オフセット信号に変換します。差動オフセット信号は、P7350型入力ピンに印加される差動DC電圧を完全にキャンセルします。差動オフセット・コントロールは、おそらくP7350型差動プローブで行うシングルエンド測定で最も有効です。シングルエンド測定は、



▶ 図10. P7350型プローブのCMRR応答

差動プローブを使用して、プローブのマイナス入力ピンのグラウンドをとって行います。シングルエンドDC電圧がプローブのプラス入力ピンにある場合、DC差動モード電圧に有効に変換されます。

$$V_{DIFF} = V_{+} - V_{-} = V_{DC} - 0 = V_{DC}$$

このDC差動モード電圧は、 $\pm 1.25V$ の差動オフセット範囲内にある場合、差動オフセット・コントロールを使用してゼロにすることができます。このDC差動モード電圧をゼロにすることで、P7350型のダイナミック・レンジ・ウィンドウは有効に拡張されますが、拡張されたダイナミック・レンジ・ウィンドウ内でも $\pm 2.5V$ の差動信号範囲制限が適用されます。

P7350型プローブのCMRR(同相除去比)仕様は、DCから1GHzのいくつかの周波数で規定されています。CMRRは、差動モード・ゲインと同相モード・ゲインの比率と定義されています。CMRRは、プローブ入力の2つの差動信号パスがどの程度整合されて設計され、製造されているかを示したものです。特に高周波数では、パスの不整合により、差動モード信号の一部が同相モード信号に変換されることがあり、CMRRが低下します。図10に示されているように、周波数が高くなると寄生の影響が増加するため、CMRRは周波数に応じて低下します。図10の周波数に対する差動モード・ゲインと同相モード・ゲイン

のログスケール表示では、CMRRは以下のように任意の周波数のCM(同相モード)ゲイン(dB)からDM(差動モード)ゲイン(dB)を引くだけで計算できます。

$$CMRR = A_{DM}(dB) - A_{CM}(dB)$$

P7350型プローブのCMRR性能は、非常によくコントロールされたインピーダンス環境を持つネットワーク・アナライザで測定します。実際の差動測定アプリケーションで観測されるCMRRは、信号源と負荷インピーダンスの不整合ばかりではなく、差動信号スキューやその他のルーティングの変化から影響を受けます。

P7350型プローブのタイミング応答

オシロスコープ・プローブの2つの主要なタイミング応答パラメータは、帯域幅と立上り時間です。帯域幅はプローブのタイミング性能を周波数領域で表したもので、プローブのDC利得が3dBまで低下する周波数として定義されます。立上り時間はプローブのタイミング性能を時間領域で表したもので、ステップ(パルス)波形上で10%と90%に交差する点の間の時間間隔として定義されます。既知の信号応答特性の場合、帯域幅と立上り時間には、一定の関係がありますが、高速プローブ増幅器の応答は変化するため、ガウシアン増幅器の

高速差動信号伝送と測定

▶ 入門

従来の帯域幅と立上り時間の積が0.35になる関係式はそれほど正確ではありません。オシロスコープは基本的に時間領域機器であるため、当社はプローブの立上り時間性能を保証し、プローブの帯域幅を代表値として規定しています。プローブの帯域幅は代表値ですが、当社のプローブの場合は、計算値でなく、実際に測定された値で、製造品質の限界を明確に表しています。

P7350型差動プローブの帯域幅は、DCから $\geq 5\text{GHz}$ と規定されています。帯域幅は、プローブのみの仕様で、代表値として規定されています。測定は、二重に終端されたプローブ・テスト・フィクスチャを使用して行いますが、その結果、有効なソース・インピーダンスは 25Ω になります。製造を容易にするため、帯域幅は現在プローブ・ピン的一方をグランドし、ネットワーク・アナライザを使用して、シングルエンド測定しています。しかし、差動モード帯域幅性能は、ミクスド・モードのSパラメータ方法を使用して確認されています。P7350型を使用した時の測定システムの帯域幅は、接続するオシロスコープの帯域幅によって決まりますが、オシロスコープの帯域幅とプローブのみの帯域幅を組み合わせた従来の自乗平均平方根計算は、有効ではないと考える必要があります。インテリジェント機能を備えたTekConnectインタフェースにより、TekConnectオシロスコープは、取り付けられたプローブのタイプを特定し、システム帯域幅の最適化を制御しながら測定を行うことができます。たとえば、P7350型プローブと6GHzのTDS6604型オシロスコープを併用した時、システム帯域幅は、プローブ応答により大きく制限されて5GHzになります。同様に、P7350型プローブと4GHzのTDS7404型オシロスコープを併用した時、システム帯域幅は、この場合、オシロスコープの帯域幅で制限されて4GHzになります。この2つのケースでは、システム帯域幅は、プローブのみの帯域幅とオシロスコープの帯域幅を組み合わせた自乗平均平方根計算に基づいて予想した結果より広帯域になっています。

P7350型差動プローブの10~90%立上り時間は、 $\leq 100\text{ps}$ と規定されています。立上り時間は、保証されたプローブのみの仕様として規定されています。測定には、帯域幅の測定に使用したのと同じ二重に終端されたプローブのテスト・フィクスチャを使用します。使用したパルス源とプローブの立上り時間を測定するために使用したサンプリング・オシロスコープのシステム立上り時間はわずか約30psなので、プローブの立上り時間は、以下のように自乗平均平方根計算を用いた測定から推定しなければなりません。

$$\text{rise time}_{\text{probe}} = \sqrt{(\text{rise time}_{\text{system\&probe}})^2 - (\text{rise time}_{\text{system}})^2}$$

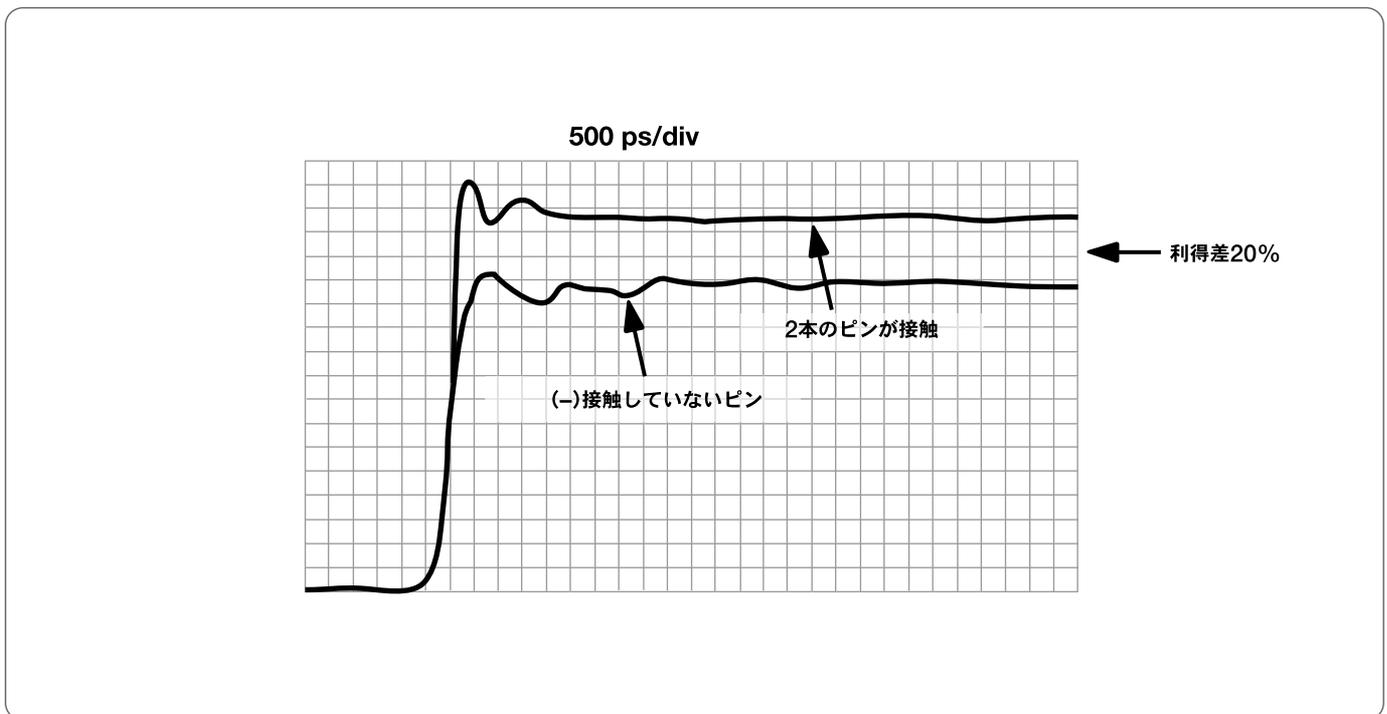
多くのシリアル・データ規格では、現在のところ20~80%の立上り時間測定を規定しているため、P7350型では20~80%のプローブ立上り時間が代表値で $\leq 65\text{ps}$ に規定されています。この値は、プローブ・テストで完全に確認されていますが、10~90%立上り時間と20~80%立上り時間との関係の一般的なルールと一致します。

$$RT_{10-90} \approx 1.5 * RT_{20-80}$$

差動プローブ取り付けの問題

高速信号を正確に測定する際の重要なプロービング問題の1つは、プローブの被測定回路への取り付けです。広帯域アクティブ・プローブは差動であれ、シングルエンドであれ、測定ノードをプローブの入力ピンに短いリードで接続している場合のみ、全周波数帯域の性能が得られます。プローブ入力に長い接続リードを使用すると、プローブの帯域幅を減少させたり、共振影響を発生させたりする、寄生インダクタンスとキャパシタンスが付加されます。このため、長い接続リードを使用して、回路にプローブを取り付けると、測定される信号が歪んで表示されます。この歪みの中には、プローブの負荷と接続寄生による測定回路の障害で発生する実際の歪みも含まれます。プロービングした回路が、寄生測定負荷によって著しい影響を受けない場合でも、インタコネクト寄生はプロービングする信号の測定を歪ませることがあります。長い接続リードにより発生するこうした寄生問題は、測定する信号の立上り時間が高速化するにつれて悪化します。長い接続リードを使用することで測定に大きな寄生が加わると、プローブ・チップの入力寄生がより小さく、より広帯域のプローブを使用してもあまり意味はありません。プローブ接続アダプタを使用しないと、回路に接触できない場合がありますが、アダプタを取り付けても、測定寄生が増加することがあります。

また、重要なプローブ取り付けの問題として、測定の信頼性と再現性もあります。シングルエンド測定の場合、グランド・リード接続の品質が接続再現性の第1の要因になることがあります。シングルエンド・プローブは通常非対称構造で設計されているため、接続の際にプローブ入力ピンと回路信号の間で確実に接点を作ることに重点が置かれています。低速信号に対するプローブ・グランドの要件は、回路基板上のどこか便利なグランド・ポイントと接続することだけです。しかし、高速信号の場合、グランド接続は、高い信号精度を実現するため、信号接続と同様に重要となります。高速グランド接続は可能な限り短くし、信号接続に近い低インダクタンスのグランド基準と接続する必要があります。短いグランド接続は、インタコネクト寄生を最小限に抑えるだけでなく、プローブのグランド・ループによる誘導性ノイズ・ピックアップを減少させるためにも重要です。シングルエンド測定のグランド・ノイズに対する感度は、様々なグランド・ノードを測定信号ノードの近くで接続する場合、測定信号に変動が発生することがあります。本体のキャパシタンスはプローブ全体のインタコネクト寄生の一因になるため、シングルエンド測定はプローブの取っ手の物理的な位置によっても影響を受けることがあります。プローブ・リードの機械的な取り付けの適合性の問題は、通常グランド・リードのスプリングの動作により対処します。これは、プローブの信号とグランド・ポイント間のプローブ間隔が、回路基板上のテスト・ポイントに合わせて正確に設計されている場合は、ポーゴピン・グランド・リードを使用して行えます。さらに



▶ 図11. 差動プローブの接触エラー

一般的な場合、柔軟なZグラウンド・リードを使用できます。また、カスタマイズ可能なグラウンド・リードを信号ポイントに近いグラウンド基準に半田付けして、プローブのグラウンド・ソケットに差し込むことができます。

差動プローブの取り付け

差動プローブを取り付ける場合、プローブ・ヘッドの側面に信号入力2つとグラウンド・リード接続ポイント1つがあります。差動プローブのCMRRは高いため、グラウンド接続の要件はシングルエンド・プローブとは大きく異なります。一般に、測定を行う場合、差動プローブにグラウンド・リードを接続する必要はありません。実際、差動プローブから回路グラウンドにグラウンド・リードを接続すると、測定にノイズが混入することがあります。差動プローブを使用してシングルエンド測定を行う場合、回路のグラウンド接続は、プローブ・ヘッドのグラウンド・リード接続を使用しないで、差動プローブのマイナス入力ピンで行う必要があります。差動プローブ・ヘッドのグラウンド接続が必要な唯一のアプリケーションは、バッテリー駆動式デバイスなど、絶縁された回路のグラウンドをとる場合です。

差動プローブを使用する際のより困難な取り付け問題の1つが、プローブのリード接続の適合性です。差動プローブには同じ入力ピンが2本あるため、同

時にこの2本のピンで回路接点と確実に接続するのは、一般にシングルエンド・プローブを使用するより困難です。前述したように、シングルエンド・プローブの構造は通常非対称で、グラウンド・ピンに対する接続適合性を向上させるのは、差動プローブを使用する場合より容易になります。差動プローブは、高いCMRRを確保するため、対称性を維持しなければいけません。性能の低い差動プローブの中には、入力部分にソケットがあるものもありますが、当社のP6330型、P7330型、P7350型などのような今日の高性能差動プローブでは、入力リードとして堅固なオス・ピンが使用されています。一般に入力ピン・ソケットには、各種のアダプタを簡単に取り付けられるため、様々な測定アプリケーションに柔軟に対応できます。しかし、オス入力ピンはピン・ソケットに比べて寄生が減少するため、高性能プローブに使用されています。このオス入力ピンにアダプタを取り付ける問題は、プローブ・チップ・アダプタにエラストマ接点を使用することで解決されました。

差動プローブとの接続適合性問題のため、微妙な測定エラーを発生させないように注意する必要があります。図11は、差動プローブのピン接触不良で発生することがあるその種のエラーの例です。図11の2つの波形は、2本の差動入力ピンの1本のみが回路に確かに接触している場合、波形が正しく表示され、測定が行えるかのように見えることを示しています。

高速差動信号伝送と測定

▶ 入門

しかし、ピンの1本のみが正しく接触している時の測定は、ピンが2本とも正しく接触している時の測定と比較した場合、利得エラーが増加し、立下り時間が遅くなり、長時間にわたり信号が歪みます。差動プローブの取り付け適合性に役立つ方法の1つは、当社のPPM100型のようなプローブ・ポジショナを使用することです。プローブ・ポジショナは手を使わずにプロービングが行え、プローブの取り付け適合性問題を解決するように設計されています。PPM100型プローブ・ポジショナは、位置の粗調整や微調整コントロール、そして柔軟なプローブ保持リングにより、取り付け適合性問題に対応します。プローブ・ホルダ・アームにプローブを取り付ける柔軟なプローブ保持リングは、回路との確実な接触する場合には、プローブを保持する際にスプリングを使用します。

また、差動プローブ入力に堅固なオス・ピンを使用することで、回路基板上に適切なプローブ・ピン間隔で、測定テスト・ポイントに対するプランニングをすることを奨励しています。理想的には、最高の測定性能を実現するために、重要な測定ノードを特定し、プロービングにパッドを付加する必要があります。しかし、現実には、すべての測定ノードを事前に特定することはできません。また、プローブを取り付けていない場合でも、回路に寄生負荷をかけずに高速回路にプロービング・パッドを付加するのがますます困難になっています。間隔が10ml幅未満の差動トレースのペアに、間隔が100mlの差動プローブ・ピンでプロービングするのは、当然不可能です。このプローブ取り付け問題に対処するために、当社では様々なプローブ・チップ・アダプタを開発してきました。

当社の差動プローブに使用できるプローブ・チップ・アダプタはたくさんありますが、高速差動プロービングに使用できる主要なアダプタは以下の通りです。

- ▶ 可変スペーシング・アダプタ
- ▶ スクエア・ピン・アダプタ
- ▶ 半田付けアダプタ

この3種類のアダプタはすべて、P6330型、P7330型、P7350型など、オス・ピンを使用する差動プローブのプローブ・チップ・ハウジングにはまるよう設計されています。プローブ・ピンとアダプタ・ピンの電気接続は、アダプタ・ハウジング内のエラストマ接点で行います。当社のオス・ピン・アダプタに使用されているエラストマ接点は、挿入サイクル50~75となっています。確実なオペレーションを行うためには、アダプタは、プローブ・ヘッドにはまるまでプローブ・チップ・ハウジングに完全に押し込まなければなりません。これらのアダプタには極性があり、差動プローブ・チップ・ハウジングのプラス入力ピンとマイナス入力ピンと、アダプタ・ハウジング+と-のマークが一致しなければいけません。

可変スペーシング・アダプタ

可変スペーシング・アダプタは、20mils~180mils離れた2つの回路ポイント間までプローブ・ピンがアクセスできる範囲を拡張できるよう設計されています。可変スペーシング・アダプタのピンはハウジング内で回転して、この接触範囲を決定します。アーティキュレッド・ピンは丁寧に扱う必要があります。可変スペーシング・アダプタのピンは曲げることができますが、壊れやすいため、細心の注意を払って扱う必要があります。差動プローブ自体のオス・ピンは、柔軟性がなく、強度が発揮できるよう設計されており、曲げられません。可変スペーシング・アダプタを使用しても、プローブの立上り時間が劣化することはありませんが、アダプタのない場合と比較すると、余分なインダクタンスで、非常に速い立上り時間パルスを測定した場合、アベレーションが増加します。この影響は、観測されるアベレーションの程度がプローブ応答特性だけでなく、入力信号の立上り時間とアベレーションの双方に左右されるため、定量化するのが困難です。規定されているプローブの立上り時間より立上り時間が遅い入力信号は、立上り時間が速い信号よりアベレーションは小さく見えます。立上り時間が遅い信号は、プローブのインタコネクト共振を引き起こす高周波エネルギーが小さくなります。

スクエア・ピン・アダプタ

スクエア・ピン・アダプタは、100mils間隔の25milスクエア・ピンに、プローブを取り付けられるように設計されています。また、スクエア・ピン・アダプタには、他のプローブ・チップ・アクセサリを取り付けられるので、可変スペーシング・アダプタで可能なプローブ接触の範囲を拡張することができます。短いスクエア・ピンを取り付けたスクエア・ピン・アダプタの応答は、可変スペーシング・アダプタとよく似ていますが、ダンピング抵抗を加えないで、リードを長くすると、さらに測定応答の共振が生じ、立上り時間が速いパルスのアベレーションが増加します。スクエア・ピン・アダプタからの長いリード接続に、ダンピング抵抗を加えると、測定アベレーションの大きさは小さくなりますが、測定帯域幅も大きく減少します。

他社プローブ最近導入されたプローブ取り付けポイントにダンピング抵抗を使用する技術は、画期的な開発のように思われますが、当社のアクティブ・プローブの入力ピンには、すべてダンピング抵抗が組み込まれています。このダンピング抵抗が選択されたのは、非常に短いプローブ取り付け接続で、最適のパルス応答を得るためで、これは最高周波数応答を持つ構成です。しかし、プローブ取り付け接続が長くて最適ではない場合、プローブ応答にオーバershootやリングが発生することがあります。

表4. P7350型プローブの半田付けアダプタの応答特性 (100ps入カステップ)

接続タイプと長さ	帯域幅	立上り時間 10/90%	立上り時間 20/80%	オーバershoot
プローブのみ (基準)	>5 GHz	127 ps	85 ps	10%
ワイヤ, 0.050"	>5 GHz	114 ps	77 ps	14%
ワイヤ, 0.100"	>5 GHz	111 ps	76 ps	22%
10□, 0.050"	4.5 GHz	120 ps	81 ps	18%
10□, 0.100"	4.0 GHz	120 ps	81 ps	21%
20□, 0.050"	4.2 GHz	129 ps	87 ps	9%
20□, 0.100"	3.9 GHz	128 ps	87 ps	13%

この測定歪みは、プローブ取り付けインダクタンスと共振するプローブの入力キャパシタンスが原因です。ダンピング抵抗値を調整し、プローブ取り付けトポロジ内のダンピング抵抗の位置をある程度調整することで、プローブ取り付けリード長と帯域幅をトレードオフして、比較的平坦なパルス応答を維持することができます。

半田付けアダプタ

半田付けアダプタは、差動信号に手を使わない接続が行えるようにカスタマイズでき、外部ダンピング抵抗を簡単に加えることができます。また、回路に半田付けで接続すると、手で押し付けて差動プローブ・ピンを接続するより、信頼性や再現性が高い接続が可能です。半田付けアダプタは、スクエア・ピン・アダプタに非常によく似ていますが、細いワイヤ用ソケットが組み込まれているので、25milスクエア・ピンを差し込むと破損することがあります。半田付けアダプタに付属している抵抗とワイヤのキットには、細いワイヤ・リードと細いワイヤに合うリード付き抵抗が入っています。さらに柔軟性を高めるために、このキットには、小さな回路基板ビアに接続できるワイヤと抵抗も入っています。半田付けアダプタ・キットでは、アダプタ・ソケットに合うワイヤの直径範囲を確認する必要があります。抵抗リードのアダプタ側は、寄生を最小限に抑えるため、完全に押し込んだときに、抵抗本体がアダプタ・ソケットに接触するように、あらかじめ切断されています。抵抗リードの回路側は、回路

に接続するとき、できるだけ短く、しかもプローブのCMRRを維持するため、対称になるように切断する必要があります。半田付け接続の物理サイズは小さいため、接着剤を使用して回路基板に抵抗やワイヤを固定することをお勧めします。可能な場合、測定を行う際にプローブを回路にテープで仮止めして、アダプタと半田付け接続の歪みを軽減する必要があります。PPM100型のようなプローブ・ポジショナは、プローブや半田付けアダプタを機械的に支持するために使用することもできます。半田付けアダプタ・キットに付属している抵抗は、1%金属フィルム抵抗です。当社の差動プローブの場合、既にプローブ・チップ・ハイブリッドにダンピング抵抗が組み込まれているため、10□と20□という小さな値の抵抗だけがキットに入っています。回路への半田付け接続にワイヤと抵抗のどちらを使用するかは、接続の長さによって決まります。表4は、P7350型プローブで使用したときの半田付けアダプタの代表的な電気特性を示します。この表は、半田付けアダプタの場合、ワイヤ接続が長くなるにつれて、さらに接続の共振が生じ、パルス応答のオーバershootが増加することを示しています。また、長いリードによる接続共振は、ワイヤではなく、10□と20□の抵抗のいずれかを使用して、半田付け接続を行うことで、減衰できることも示しています。この表にも示されているように、リードが長くなり、ダンピングが増加すると、その代わり帯域幅が低下します。

高速差動信号伝送と測定

▶ 入門

代替測定方法

シングルエンド測定はシングルエンド・プローブで行い、差動測定は差動プローブで行うのは当然のことのように思えるかもしれませんが、代替測定方法は広く使用されています。たとえば、差動プローブでシングルエンド測定を行うのは可能です。同様に、シングルエンド・プローブとオシロスコープの波形演算機能を使用して差動測定が行えます。また、50Ω 信号伝送環境で、プローブを使用せずに、シングルエンド測定や差動測定を行うこともできます。50Ω 信号伝送環境の信号は、計測器の50Ω 入力で終端されます。50Ω 信号伝送環境の信号は、高性能リアルタイム・オシロスコープとサンプリング・オシロスコープのどちらにもある50Ω 入力に直接ケーブルで接続されます。次に、差動信号応答は、オシロスコープの波形演算機能を使用して、2つのチャンネル入力の差をとって計算されます。当社は、P7350SMA型プローブを使用して50Ω 信号伝送環境で差動測定を行う独自のアプローチを採用しています。P7350SMA型プローブを使用すると、オシロスコープの1つのチャンネルで、50Ω 信号環境での差動測定が行えます。P7350SMA型プローブには、差動入力終端ネットワークと高性能差動バッファ増幅器が組み込まれています。本書の最終項では、こうした代替測定方法のそれぞれについて詳しく考察します。

差動プローブを使用したシングルエンド測定

差動プローブの使用に関するよくある誤解の1つは、差動プローブは差動信号の測定以外には使用できないということです。実は、差動プローブの高いCMRRは、差動プローブを使用して高い信号精度でシングルエンド測定が行えることを示しています。当社のP6330型、P7330型、P7350型などの高性能差動プローブの低入力キャパシタンスにより、回路負荷を低減し、同じ帯域幅のシングルエンド・プローブより優れた信号精度を実現することができます。さらに、差動プローブでは、低インピーダンスのグランド・リードではなく、高インピーダンスの入力ピンで、シングルエンド測定のグランド接続を行うため、測定グランド・ループに混入するノイズの影響を受けにくくなるようです。差動プローブのこうした同相モード・ノイズ除去特性により、実際のプローブの取り付けおよび取り扱いに対する感度が低下します。

差動信号のシングルエンド測定は、差動測定だけでは分離できない2つの差動信号ペア間の非対称性が特定できるため、差動信号テストにおいて非常に重要です。差動プローブを使用して理想的なコンプリメンタリ差動信号を測定する場合、信号の同相モード成分は、プローブの高CMRRで除去されるDC電圧です。差動プローブを使用してコンプリメンタリ信号の一方のシングルエンド測定を行う場合、信号の同相モード成分には、AC応答とDC応答の両方があります。差動プローブで測定を行う場合、シングルエンド信号の同相モード成分は、信号振幅の2分の1に等しくなります。

$$V_{CM} = (V_+ + V_-)/2$$

$$V_+ = \text{シングルエンド信号}$$

$$V_- = 0V(\text{グランド})$$

差動プローブのCMRRが十分に高くない場合、同相モード信号の中にはブリード・スルーを起こし、出力信号を歪ませるものもあります。この同相モードのブリード・スルー問題は、寄生の不整合がCMRRを低下させる傾向がある高周波数で悪化します。シングルエンド測定の差動モード成分も、コンプリメンタリ信号での差動測定の差動モード成分の2分の1です。このように信号が小さくなる結果、同相モードのブリード・スルーによるエラーも比較的大きく表示されます。差動プローブを使用したシングルエンド測定に、同相モードのエラー項があったとしても、高いCMRRのプローブの場合は小さくなります。また、エラー項は、シングルエンド・プローブを使用したシングルエンド測定のグランド・ノイズ・エラー信号より小さくなる場合があります。

擬似差動測定

シングルエンド・プローブ2本とオシロスコープの波形演算機能を使用して行った差動測定は、一般に擬似差動測定と言います。擬似差動測定は、リアルタイム・オシロスコープまたはサンプリング・オシロスコープのいずれかで行うことができます。測定の信号伝送環境に応じて、擬似差動測定はケーブルまたはプローブのいずれでも行うことができます。伝送信号が50Ω信号伝送環境で、信号パスがグランドを基準にした50Ωオシロスコープ入力で切断・終端できる、シリアル・データ・コンプライアンス・テストの場合、ケーブルを使用できます。信号パスを切断できない場合、または信号パスの複数の場所で信号のデバッグを行わなければならない場合、高インピーダンス・プローブを使用しなければなりません。2つの離れたオシロスコープ・チャンネルで信号パスを整合させるのは困難なため、擬似差動測定のCMRRは、優れた差動プローブのCMRRより低下する傾向があります。差動プローブは、CMRRを最適化するため、差動信号パスが整合するよう設計されています。その結果、振幅応答や回路負荷などのその他の要素が測定の精度に影響を及ぼすこともあります。擬似差動測定は高性能差動プローブを使用して行った測定より信号精度が低下することがあります。擬似差動プロービングでは、1差動信号当たりに必要なオシロスコープ・チャンネル数は、差動プローブで必要とするチャンネル数より当然多くなります。

サンプリング・システムの帯域幅が広い場合、50Ω信号伝送環境での擬似差動測定にサンプリング・オシロスコープが選ばれることがよくあります。サンプリング・システムでは、信号反射問題が少なく、ノイズ性能が優れているため、測定精度も高くなる傾向にあります。しかし、サンプリング・オシロスコープは繰り返し信号が必要なので、トランゼント問題のデバッグに使用するには無理があります。PCI Expressのようなシリアル・データ規格の一部では、データ信号のジッター・テストでリアルタイム・データ・ストリームの取り込みと解析が必要とされますが、そのような用途にもサンプリング・オシロスコープは使用できません。また、一般にサンプリング・オシロスコープには、データ・レート・クロックなどの外部トリガ信号が必要ですが、これは常に得られるわけではありません。今日では、高速シリアル・データ測定アプリケーションに使用するのに十分な広帯域とサンプリング・レートを備えた高性能リアルタイム・オシロスコープを利用できます。リアルタイム・オシロスコープは、入力データ信号でトリガをかける機能を備えています。当社の一部のオシロスコープは、さらに特定のシリアル・データ・パターンにトリガをかける機能や内部クロック・リカバリ・トリガ機能などを備えています。

擬似差動測定は2つの差動測定信号パスを用いて行うため、高い測定精度を実現するには、測定パスの振幅応答とタイミング遅延を厳密に整合しなければなりません。一般に、振幅応答の不整合とオシロスコープの2チャンネル間信号遅延の変動により、擬似差動測定の基本的なCMRR限度が設定されます。しかし、測定する信号とオシロスコープのチャンネル間インタコネクタ不整合が最小限になるように注意が必要です。2つの信号入力パスが整合されていないと、インタコネクタ・パスの差はその応答を歪ませます。擬似差動測定のインタコネクタには、応答と時間遅延が整合した同じケーブルまたはプローブを使用する必要があります。信号インタコネクタにケーブルを使用する場合、遅延変動は主にケーブル長によって決まりますが、よく使用されている50Ω同軸ケーブルの一般的な信号遅延は約150ps/インチです。プローブの遅延変動は、プローブ・ケーブルの長さやプローブ・ヘッド増幅器の遅延の違いによって影響を受けます。たとえば、P7350型のプローブ間遅延は最大600psと規定されています。リアルタイム・オシロスコープのチャンネルは、入力からアキュイジション・サンプルまでの信号パスの遅延変動も公開されています。オシロスコープのチャンネル間で数百ピコ秒のタイミング変動があり、信号チャンネルのアッテネータ・パス間で同様の遅延変動がある場合もあります。サンプリング・オシロスコープには、チャンネル間、特に差動サンプリング・モジュールのチャンネル間に遅延変動がありますが、入力アッテネータがないため、アッテネータ・パスの遅延変動はありません。

高速差動信号伝送と測定

▶ 入門

測定チャンネルのデスキュー

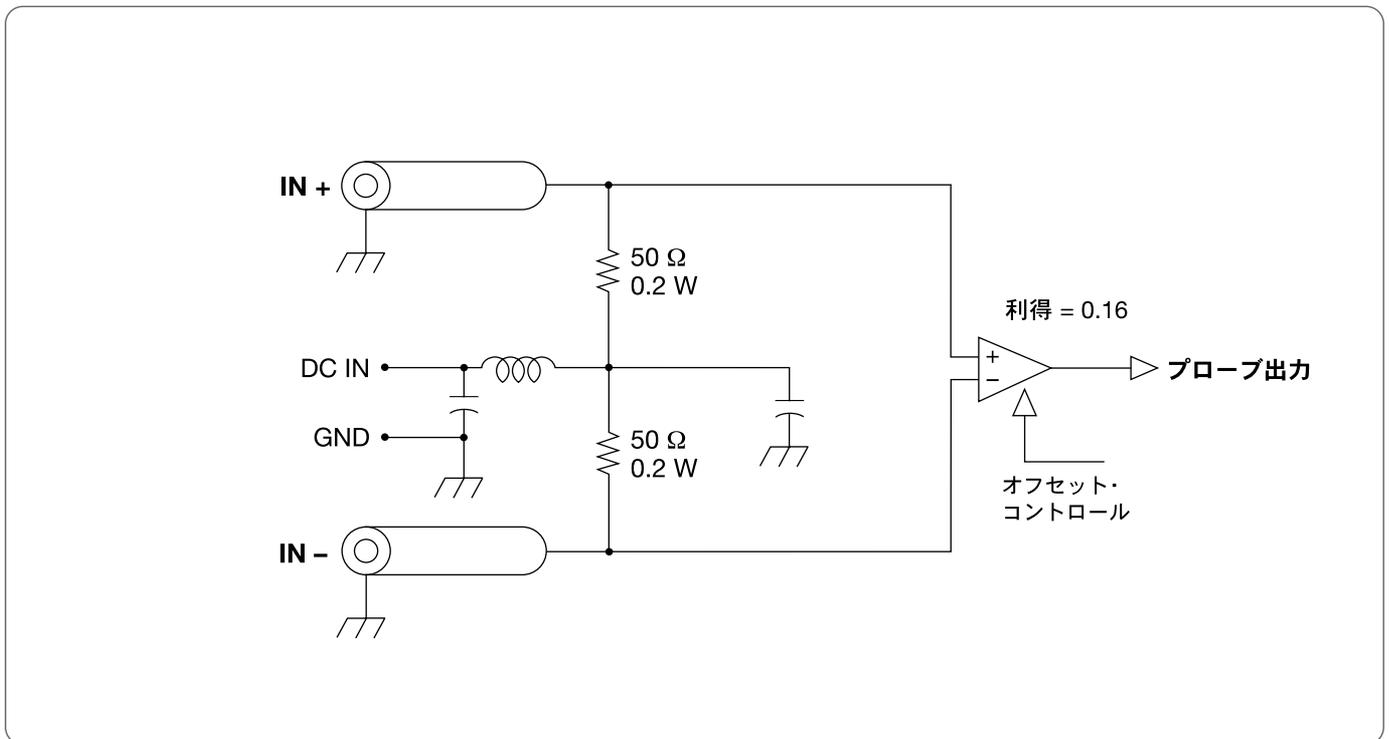
擬似差動測定では、サンプリング・オシロスコープとリアルタイム・オシロスコープに、2つの測定チャンネルと取り付けられたケーブル間の遅延差を補正するチャンネル・デスキュー手順が必要です。TDS8000型サンプリング・オシロスコープの2チャンネル・デスキューには、サンプリング・モジュールが2つ必要です。TDS8000型の電気サンプリング・モジュールの多くは、2チャンネルですが、サンプリング・アーキテクチャは、1モジュールに1つのトリガ・ストロブのみを提供します。このアーキテクチャは、モジュール内のチャンネル間で優れたタイミング調整を行いますが、モジュール間チャンネルでは時間調整したチャンネルでのみデスキューできます。TDS8000型サンプリング・オシロスコープのコントロールにより、モジュール内のチャンネルのデスキューが行えますが、チャンネル間のタイミング調整はアキュイジションを交互に行って実行されます。交互にアキュイジションして、2つの擬似差動信号を取り込むと、共通のアイ・パターン信号を計算された差動信号で作成する際に、時間調整の問題が発生します。TDS8000型サンプリング・オシロスコープのチャンネル・デスキューは、チャンネル・デスキュー・コントロールを使用して、垂直軸セットアップ・メニューから行います。チャンネルをデスキューする手順は、TDS8000型ユーザ・マニュアルの「測定精度の最適化」の項に記載されています。

サンプリング・オシロスコープとは異なり、高性能リアルタイム・オシロスコープでのチャンネル・デスキューは、時間調整された波形問題を心配することなく、任意の組み合わせのチャンネルで行えます。しかし、多くの高性能リアルタイム・オシロスコープには、擬似差動測定で使用するチャンネルの選択に影響を与えることがある最大リアルタイム・サンプリング・レート制限があります。たとえば、6GHzのTDS6604型オシロスコープは、2チャンネル・アキュイジションの場合20GS/sでサンプリングを行えますが、これはCH1とCH3など、特定のチャンネルの組み合わせでのみ行えます。一部の2チャンネル・アキュイジションとすべての4チャンネル・アキュイジションでは、最大リアルタイム・サンプリング・レートは10GS/sまで低下します。最高の信号精度を最高サンプリング・レートで実現されるため、擬似差動測定では、最高レートでサンプリングが可能なチャンネルの組み合わせを使用する必要があります。

TDS6604型オシロスコープでは、同じ垂直軸スケール・ファクタと結合を持つ2チャンネル間の最大スキューは30psに規定されています。差動信号バスへのインタコネクต์に使用するケーブルまたはプローブにより、新たなスキューが付加されます。TDS6604型オシロスコープのチャンネル・タイミングのデスキューは、垂直軸セットアップ・ウィンドウのコントロールで行います。チャンネルをデスキューする手順は、TDS6000シリーズ・ユーザ・マニュアルの「測定精度の最適化」の項に記載されています。デスキュー手順には、差動信号インタコネクต์双方に高速信号エッジを接続する必要があります。プローブ2本を使用するために、当社では、高速エッジ信号と便利なプロービング・ポイントを生成するプローブ・デスキュー・フィクスチャを用意しています。ケーブルの場合、2つのバスに慎重に信号を分配しなければ、50 \square 環境の高速エッジ信号は深刻な歪みの問題の影響を受けやすいため、厳密に整合させた遅延信号のペアを取り込むのは一層困難です。このアプリケーションには、50 \square パワー・スプリッタがよく使用されますが、当社80E04型のような2チャンネルTDRサンプリング・モジュールを使用すると、より制御された整合遅延と高速エッジ信号が得られます。デスキュー信号にどんな信号源を使用しようと、TDS6604型オシロスコープは、測定アプリケーションで使用される垂直軸および水平軸スケール設定に合わせて設定する必要があります。チャンネルのデスキュー後に垂直軸スケール・ファクタまたは水平軸スケール・ファクタを変更すると、チャンネル間のタイミング精度が大きく変動することがあり、ほぼ間違いなくチャンネル・スキューが増加します。

差動SMA入カプローブ

当社のP7350SMA型プローブは、シリアル・データ適合テストやその他の高速差動測定アプリケーションに合わせて最適化された独自のアーキテクチャを備えています。P7350SMA型プローブは、オシロスコープの1つのチャンネル入力を使用して、50 \square 信号伝送環境において、差動信号からシングルエンド信号に変換するニーズの拡大に対応しています。SMAコネクタを使用することで、測定入力で信号バスに割り込んで終端することがある適合テストのために、確実に再現性の高いプローブ取り付け方法が実現します。さらに、P7350SMA型プローブは、組み込み差動増幅器を使用して、オシロスコープの前面パネルではなく、1.2mのケーブルの先端に差動測定インタフェースを提供します。これにより、差動測定インタフェースを被測定回路に近づけることができ、周波数に依存するケーブル・インタコネクต์損失を最小限に抑え抑えます。



▶ 図12. P7350SMA型プローブのアーキテクチャ

図12に示されているように、P7350SMA型プローブのアーキテクチャには、2つのSMAコネクタ入力、2つの50Ω抵抗終端ネットワーク、終端ネットワークへの同相モードDCバイアス接続、組み込み差動増幅器が含まれています。SMA入力は、組み込み差動増幅器と入力終端ネットワークへの高周波50Ω信号パスの確実な接続インタフェースを提供します。プローブ入力終端ネットワークは、広帯域、低電力損、優れたCMRR性能を提供するレーザー・トリミング・ハイブリッド回路技術を利用したシールド・モジュール内に実装されています。入力終端抵抗は、グラウンドへの低インピーダンス・パスを提供するように設計されている、同相モード終端ネットワークとともに結合されています。同相モード終端ネットワークへのDCバイアス接続は、プローブのデュアル・バナナ・プラグ・コネクタを介して、ユーザ提供の外部DC電源から行います。組み込み差動増幅器は、帯域幅が5GHz、減衰比が×6.25、そして従来のP7350型プローブと同様の振幅およびタイミング仕様を備えています。

入力終端ネットワークは、差動信号の同相モード信号ペアの双方に対して、広帯域な50Ω終端を提供するように設計されています。理想的なコンプリメンタリ差動信号には、DC同相モード成分しかないため、終端抵抗だけで反射を最小に抑制して信号を終端する必要があります。しかし、実際の差動信号には、AC同相モード成分になる振幅とタイミングの不整合があります。入力終端ネットワークには終端抵抗間のノードに同相モード・キャパシタンスがあり、高周波信号に同相モード終端を提供します。P7350SMA型の終端ネットワークにある約0.02μFの同相モード・キャパシタンスは、約7MHzのブレイクポイント周波数まで、1Ω未満の同相モードのノード・インピーダンスを保持します。同相モード・ノード・インピーダンスのブレイクポイント周波数は、低抵抗DC電源からのDCバイアス入力をドライブして、DCにシフトさせることができます。

高速差動信号伝送と測定

▶ 入門

P7350SMA型プローブは、同相モードDC終端電圧の必要がない高速コンプリメンタリ差動信号の測定に使用した場合、DCバイアス・ポートを開放したままで使用できます。これは、50 \square 終端抵抗の電力制限500mWを超える危険性が少ないため、一般にP7350SMA型プローブの最も安全な設定です。しかし、一般的な高速論理回路の中には、規定されているDC終端電圧に接続された終端抵抗でのみ、正しく動作するよう設計されているものもあります。たとえば、LVPECL論理ファミリは、3.3V電源で使用する場合、1.3Vのプルダウン電圧に接続された出力終端抵抗で動作するよう設計されています。LVPECLデバイスの評価テストを行う従来の方法では、分配電源(たとえば、+2.0Vと-1.3V)から電力を供給するテスト・ボードを必要とします。オシロスコープのチャンネル入力でグランドをとるため、出力は50 \square で終端できます。P7350SMA型プローブのDCバイアス入力では、分配電源を使用しないで、LVPECL回路のテストが行えます。P7350SMA型プローブは、DCバイアス入力がCML終端抵抗のプルアップ電圧を提供する、CML論理出力のテストにも使用できます。P7350SMA型プローブのDCバイアス入力を使用する場合、プローブの終端抵抗の電力定格500mWを超えないように注意する必要があります。終端電力は、プローブの入力信号電圧とDCバイアス電圧の関数であるため、最大DCバイアス電圧の仕様は十分ではありません。プローブの入力信号がDC電圧である特別な場合、プローブのSMA入力とDCバイアス入力の電圧差も、終端抵抗の電力定格500mWを超えないように、5.0V未満に維持する必要があります。コンプリメンタリ差動信号の終端抵抗における電力損出を計算するため、P7350SMA型のユーザ・マニュアルに計算式が記載されています。

P7350SMA型プローブは、主に差動信号測定用に設計され、仕様が定められていますが、シングルエンド測定にも使用できます。P7350SMA型プローブを使用してシングルエンド測定を行うには、シングルエンド信号をプローブのプラス入力ピンに接続して、プローブのマイナス入力ピンを50 \square SMA終端抵抗で終端します。P7350SMA型プローブには、プローブ入力を保護し、シングルエンド測定に使用できるように、1組のSMA終端抵抗が付いています。10MHz未満の限定された低周波数電力で、高速シリアル・データ信号測定に使用する場合、同相モード・キャパシタンスはシングルエンド信号入力を効果的に終端し、その結果、DCバイアス・ポートを開放したままにできます。8B/10B符号化を用いたほとんどのギガビット・シリアル・データ信号は、この低周波スペクトラムの要件を満たしており、DCバイアス接続なしで使用できます。この原則の例外は、信号ドライバに同相モードDC終端電圧が必要な場合です。P7350SMA型でプローブ校正を実行する場合に、DCバイアス入力を使用できるように、デュアル・バナナ・プラグと短いストラップも付属しています。TekConnectインタフェースを備えたオシロスコープのプローブ校正信号は、プローブ校正作業中はDC電圧になるため、正しく動作させるには、プローブのマイナス入力ピンでグランドをとり、強制的にグランドへ短絡する必要があります。

SMAコネクタにおけるP7350SMA型プローブ入力間のタイミング・スキューは通常1ps未満ですが、インタコネクタ・ケーブルによって付加される差動信号パスのスキューは、注意してコントロールしなければなりません。P7350SMA型プローブには、汎用インタコネクタインタコネクタ用に低損失で遅延が整合した1組のSMAケーブルが付いています。この長さ12インチのケーブルは、遅延を整合するためにケーブル・アセンブリとしてストラップでまとめてあり、スキュー<10psのスキューを保証するテストが実施されています。このケーブル・アセンブリには、低損失で柔軟な同軸ケーブルが使用され、このケーブルの規定挿入損失は18GHzまでで<1.0dB、標準挿入損失は5GHzまでで<0.5dBです。高速差動信号測定の入力スキューの影響の1つが、表5の立上り時間データに示されています。スキュー異なるTDR信号の高速立上り時間のパルス・エッジ間にスキューを意図的に追加するため、当社80E04型TDRサンプリング・モジュールのTDRデスキュー・コントロールを使用しました。次に、P7350SMA型プローブで差動TDR信号を測定し、約±100psの範囲で変化するスキュースキューの影響を観測しました。スキューが最小の時、最速立上り時間が測定されます。P7350SMA型プローブからの信号出力の立上り時間は、<±10psのスキューでその最速値の数ピコ秒以内に留まっていました。スキューは±10psを上回っているため、プローブ出力の立上り時間は、スキューが約±50psに達するまで遅くなり続けました。±50psを超えるスキューでは、出力エッジの歪みが目立ち、最終的にダブルステップのエッジになります。パルス・ステップの歪みが最初に見えるスキューは、TDR信号の立上り時間（約30ps）とプローブの規定立上り時間（<100ps）を組み合わせたと見えます。これは、プローブの測定された立上り時間も、信号の立上り時間とプローブの規定立上り時間の組み合わせであるため、理にかなっています。表5のデータは、スキューが<±10psの場

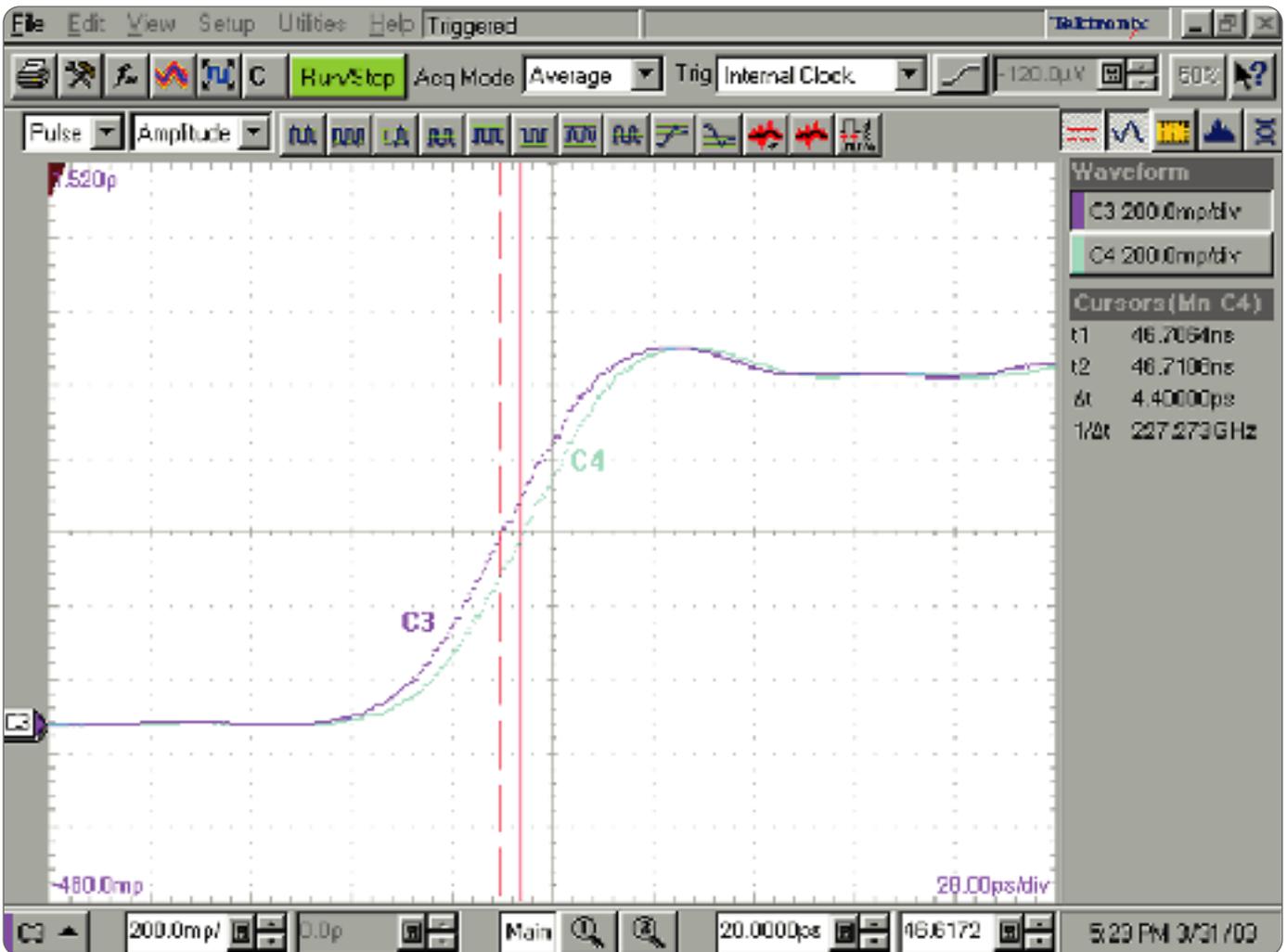
表5. P7350SMA型プローブの入力スキューによる立上り時間変動

入力信号スキュー (差動TDR)	立上り時間 (10~90%)
-100 ps	253 ps(歪み)
-75 ps	206 ps(歪み)
-50 ps	141 ps
-25 ps	106 ps
-10 ps	97 ps
0 ps	94 ps
5 ps	95 ps
10 ps	96 ps
15 ps	98 ps
20 ps	101 ps
25 ps	104 ps
30 ps	110 ps
35 ps	116 ps
40 ps	125 ps
45 ps	133 ps
50 ps	142 ps
75 ps	213 ps(歪み)
100 ps	264 ps(歪み)

合、測定された差動信号には影響がほとんどないことを示しているように見えますが、この表のデータは測定されたパルスの立上り時間にのみ当てはまることに注意する必要があります。±10psのスキューは、高いデータ・レートのアイ・パターンのクロスオーバー・ポイントなど、その他の差動信号測定により顕著な影響を及ぼすことがあると考えられます。

高速差動信号伝送と測定

▶ 入門



▶ 図13. P7350SMA型プローブの整合ケーブル遅延

P7350SMA型プローブに付属している遅延を整合したケーブルのスキューが、アプリケーションの要件に適合するほど小さくない場合、1組のSMA位相調整器を使用して、ケーブルを手動でデスキューできます。SMA位相調整器は、P7350SMA型プローブのオプション・アクセサリとして当社より購入できます。遅延を整合したケーブル・アセンブリに、1組のSMA位相調整器を追加する前に、スキューが保証仕様の<10psより小さい場合があるため、ケーブルの実際のスキューを測定した方がよいと思われます。ケーブルのスキューの測定結果が十分に低ければ、非常に低いスキュー評価を行わなければならない場合を除いて、手動でケーブルをデスキューする必要がない場合があります。ケーブルのスキューは、TDR測定機器を使用して測定できます。図13は、当社TDS8000型サンプリング・オシロスコープの80E04型TDRサンプリング・モジュールに接続したケーブル・セットについて行ったTDR遅延測定を示しています。TDR法を用いて測定したケーブルのスキューには、表示され

たTDS遅延はダウン遅延とバック遅延を表すことを考慮に入れる必要があります。その結果、測定されたスキューはダウンおよびバックTDR反射遅延の2分の1になります。たとえば、図13に示されているカーソルを使用して測定したスキューは2.2psです。SMA位相調整器の調整範囲はわずか25psと限られていますが、これはP7350SMA型プローブに付属している遅延を整合したケーブル・セットのデスキューには十分です。遅延を整合したケーブル・セットを手動でデスキューするには、各信号パスにおけるSMA位相調整器の約450psの挿入遅延を整合させるため、SMA位相調整器が2台必要です。各ケーブルでSMA位相調整器を使用すると、各信号パスの位相調整器の損失特性を整合させることにもなります。SMA位相調整器を使用した遅延を整合したケーブル・セットを手動でデスキューする手順は、P7350SMA型のユーザー・マニュアルに記載されています。

差動測定を行うために説明した代替測定方法には、それぞれ利点と欠点があります。サンプリング・オシロスコープを使用した擬似差動測定は、広帯域が必要とされる場合に選択されます。高性能リアルタイム・オシロスコープを使用した擬似差動測定は、長いレコード長のリアルタイム・アキュイジションが必要で、しかも広帯域シングルエンド・プローブ2本が使用できることから選択されます。いくつかの差動シリアル・データ・レーン間でレーン間スキュー測定を行う必要性から、P7350SMA型プローブ2本を使用する方法が選択されることがあります。こうした代替測定方法を選択する際に考慮すべき要因の1つは、そのCMRR性能です。前述したように、DCだけではなく、動作周波数範囲のすべてに渡るCMRR応答は、高い信号精度で差動測定を行うための重要なパラメータの1つです。P7350SMA型プローブのCMRR性能は、多くの周波数ポイントで規定・保証されています。擬似差動測定に対するCMRR性能は、一般にはリアルタイム・オシロスコープとサンプリング・オシロスコープのいずれでも規定されていません。様々なチャンネル組み合わせの可能性があり、広範な垂直・水平設定に渡ってデスキューする必要があるため、オシロスコープのCMRRを規定するのは非常に困難です。

しかし、特定の擬似差動測定用のセットアップは、CMRR性能を確実に測定できます。DC信号は反射問題を起こさずに分離できるため、擬似差動セットアップのDC CMRR測定を行うのは比較的簡単です。しかし、AC CMRR測定は、特に1GHzを超える帯域幅について行うのは困難です。擬似差動測定セットアップのAC CMRR測定を行うのに可能な方法の1つは、当社80E04型TDRサンプリング・モジュールなどの2チャンネルTDRパルス源を使用することです。80E04型は差動モードと同相モードの双方のパルス信号を生成できるため、擬似差動測定セットアップで差動モードと同相モードの応答を生成するのに使用できます。差動モードと同相モードのパルス応答波形を微分し、その結果生じるインパルス応答に関してFFTを実行することで、応答の周波数領域変換が行えます。周波数に対する差動モード利得と同相モード利得の比率を取ることによって、AC CMRR応答が得られ、アクセプタビリティを評価できます。

第2部のまとめ

第1部では、新しいデータ通信インタフェースで、差動信号伝送がますます普及していることを説明しました。差動信号伝送は、多くの性能上の利点があるため、ギガビットのシリアル・データ・リンクで使用されています。高速化するデータ・レートに対するアプリケーションの要件は、物理的なインタコネクタ設計の制限が拡張されていることと、ジッタと損失の影響は慎重に制御しなければならないことを示しています。設計制限を拡張するには、設計をテストしてシミュレーションされた性能を検証し、規格適合を確認して、問題をデバッグする必要があります。

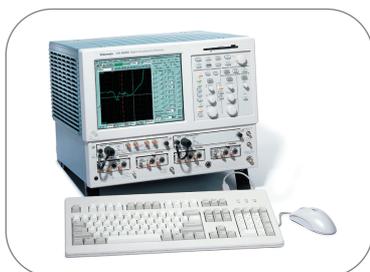
第2部では、有効な差動信号テストを行うために理解する必要がある差動測定問題について検討しました。プローブの限界と測定精度に及ぼすその影響を理解するために、高速差動プローブの性能特性について考察しました。また、プローブ接続はプローブ性能の重要な部分であるため、確実なプローブ取り付け技術についても検討しました。最後に、擬似差動法と新しい差動プローブ・アーキテクチャを使用して、50Ω信号環境での差動測定について説明しました。プロービング技術は、最も困難なアプリケーションに合わせて進化しているため、当社は、今後も高速差動信号テストをサポートするために必要な高性能測定ツールを用意していく予定です。



▶ **P7350SMA型5.0GHz SMA入力差動プローブ**
P7350SMA型は、新しい高速シリアル・データ規格に対してより効率的に対応する測定ソリューションを提供します。プローブ・ヘッドに二重の50Ω終端ネットワークと差動増幅器を備えたP7350SMA型は、複数チャンネル・オシロスコープの各チャンネルで、差動信号ペアを測定します。当社の差動プロービングにおける専門知識と技術を実証しています。



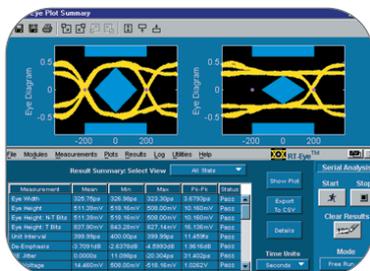
▶ **P7350型高速差動プローブ**
P7350型は、ピン間隔を調整できる可変スペーシング・アダプタと半田付けアクセサリ・キットが付属した、実装密度の高い回路基板でも使いやすい小型のプローブです。また、TekConnect™ プローブ・インタフェースを備えたオシロスコープで使用でき、10GHzを超える周波数までシグナル・インテグリティを維持できるので、広帯域を必要とするニーズに対応できます。



▶ **TDS8200型デジタル・サンプリング・オシロスコープ**
優れた測定再現性、垂直軸分解能、高速波形取り込み、表示更新レートを備えたTDS8200型は、半導体試験、回路基板、ICパッケージ、ケーブルのTDR評価、高速デジタル通信における強力な測定ツールです。



▶ **TDS6000シリーズデジタル・ストレージ・オシロスコープ**
シングル・ショット・アクイジションが行えるTDS6000シリーズは、この速度で複数チャンネルの同時アクイジションを実現した初めてのオシロスコープで、デジタル・システムの性能に影響を及ぼすトランゼントや高速信号エッジを正確に取り込むことができます。



▶ **TDSRT-Eye™ TDSRT-EYEシリアル・データ・コンプライアンス/解析ソフトウェア**
新たな銅シリアル・データ規格に合わせたプローブ・チップからコンプライアンス・レポートまでのトータル・ソリューションを提供します。勤に頼らなくても、コンプライアンス・テストが行えます。

www.tektronix.com/accessories

日本テクトロニクス株式会社

東京都品川区北品川5-9-31 〒141-0001

●製品についてのご質問・ご相談は、お客様コールセンターまでお問合せください。

TEL 03-3448-3010 FAX 0120-046-011

電話受付時間/9:00~12:00・13:00~19:00 月曜~金曜(休祝日を除く)

ホームページ <http://www.tektronix.co.jp/>
E-mail ccc.jp@tektronix.com

テクトロニクスの以下の連絡先までご連絡ください。

ASEAN / オーストラレーシア/ パキスタン (65) 6356 3900

イタリア +39 (02) 25086 1

インド (91) 80-22275577

英国およびアイルランド +44 (0) 1344 392400

オーストリア +41 52 675 3777

オランダ 090 02 021797

カナダ 1 (800) 661-5625

韓国 82 (2) 528-5299

スイス +41 52 675 3777

スウェーデン 020 08 80371

スペイン +34 (901) 988 054

台湾 886 (2) 2722-9622

中央東ヨーロッパ、ウクライナ、およびバルト諸国

+41 52 675 3777

中央ヨーロッパおよびギリシャ +41 52 675 3777

中国 86 (10) 6235 1230

中東、アジア、および北アフリカ +41 52 675 3777

デンマーク 80 88 1401

ドイツ +49 (221) 94 77 400

日本 81 (3) 6714-3010

ノルウェー 800 16098

バルカン、イスラエル、南アフリカ、

およびその他の東ヨーロッパ諸国 +41 52 675 3777

香港 (852) 2585-6688

フィンランド +41 52 675 3777

ブラジルおよび南米 55 (11) 3741-8360

フランスおよび北アフリカ +33 (0) 1 69 81 81

米国 1 (800) 426-2200

米国 (輸出販売) 1 (503) 627-1916

ベルギー 07 81 60166

ポーランド +41 52 675 3777

ポルトガル 80 08 12370

南アフリカ +27 11 254 8360

メキシコ、中米およびカリブ諸国 52 (55) 56666-333

ルクセンブルグ +44(0) 1344 392400

ロシア、CIS およびバルト諸国 7 095 775 1064

その他の地域からのお問い合わせ : Tektronix, Inc.1 (503) 627-7111

2004年11月3日更新

詳細については、

www.tektronix.comまたはwww.tektronix.co.jpをご参照ください。



Copyright © 2004, Tektronix, Inc. All rights reserved. Tektronixの製品は、取得済み、出願中を問わず、米国およびその他の国の特許法で保護されています。本書は過去に公開されたすべての文書に優先します。製品の仕様と価格は予告なく変更する場合があります。TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。その他、本書に記載されている商品名は、各社が保有するサービス・マーク、商標、または登録商標です。

12/04 MOR/WOW

55Z-16761-1

Tektronix

Enabling Innovation