

Digital Design

デジタル設計におけるデバッグ・ガイド



目次

はじめに	3
ノイズの捕捉	4-7
伝送ライン効果	4
リングングと反射	4
グラウンド・バウンス	5
クロストーク	6
予防措置	7
セットアップ／ホールド時間違反の検出	7-8
伝播遅延	8
ゲートにおける伝播遅延	8
クロックにおける伝播遅延	8
バス競合の解決	9-10
パターン・トリガ	10
ステート・トリガ	10
メタステーブル・イベントの捕捉	10
グリッチの捕捉	11
ジッタの検出	12
自動測定と解析	15
ジッタとタイミングの自動解析	16
統計測定	16
まとめ	16

はじめに

システムが高速になり、回路が高密度化するにつれ、理想的なデジタル信号特性を維持することはますます困難になっています。高速、高実装密度の設計では、回路動作に影響を与える、予期しない電気的なイベントが発生することがあります。高速の回路設計では、部品の配置、基板のパターン、ノイズ、小振幅信号は極めて重要な要素となります。例えば、ギガヘルツの周波数で回路が動作する場合、波形のインダクタンスは大きな影響を及ぼすこととなります。

ノイズ、セットアップ／ホールド時間の違反、グリッチ、メタステーブル、バスの競合、ジッタなどをいち早く検出、解析する必要があります。信号の振る舞いを観測し、問題となる高速デジタル信号のアナログ波形を観測することにより、多くのデジタル問題は容易に特定することができます。

予期されないところに現れるデジタル・パルスが問題となることがある一方で、問題の原因が信号のアナログ特性に関係する場合があります。低振幅の信号が偽の論理状態になる場合、または立上り時間が遅いためパルスが時間的にシフトする場合、アナログ特性がデジタルの障害となることがあります。デジタル・パルス列と同時にアナログ波形を観測することは、これらの問題をデバッグするための最初のステップとなります。

DPO4000シリーズやDPO7000シリーズ・デジタル・フォスファ・オシロスコープ（DPO）は、高速な組込みシステム設計のトラブルシュー트에最適なデバッグ・ツールです。信号の詳細な部分まで観測できますので、信号の見え方や測定精度が大幅に改善されます。

ノイズの捕捉

ノイズは、デジタル・システムにおいては予期しない信号であり、高実装密度、高速なチップによる今日の回路設計では、伝送ライン、グラウンド・バウンス、反射、クロストーク、リンギング、波形の伝播遅延などは、すべてノイズによるトラブルといえます。スルー・レートが数V/nsのような高速な立上り時間をもつロジックでは、高速回路のデバッグは1nsにもなる高速な立上り時間を取り扱うことになります。

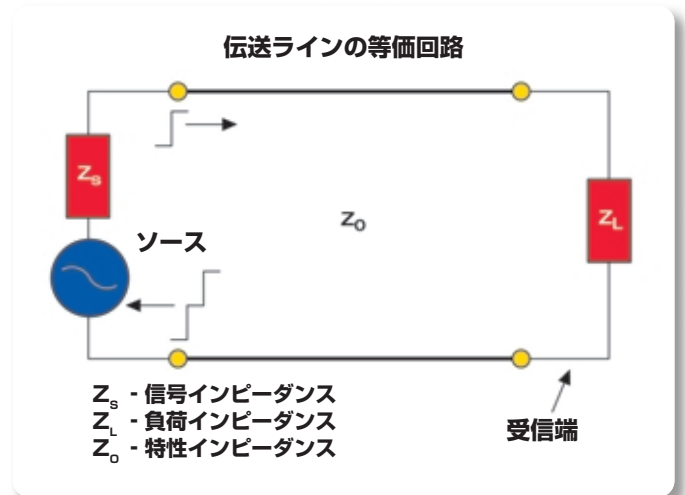
伝送ライン効果

信号伝播の行きと戻り（往復）時間が、信号遷移時間より長い（ $2T_{prop} > T_{rise}$ ）場合、接続は伝送ラインのように取り扱う必要があります。

一般的なFR4（ガラス・エポキシ）素材の基板では、伝播速度は約15cm/nsです。1nsの立上り時間では、7cmより長いパターンは伝送ライン効果を受けます。信号ソースと終端における信号は、反射やリンギングによって異なったものになります。これらの信号速度を測定する場合、伝送路の受信端にプロービングすることが重要です（図解1参照）。

リンギングと反射

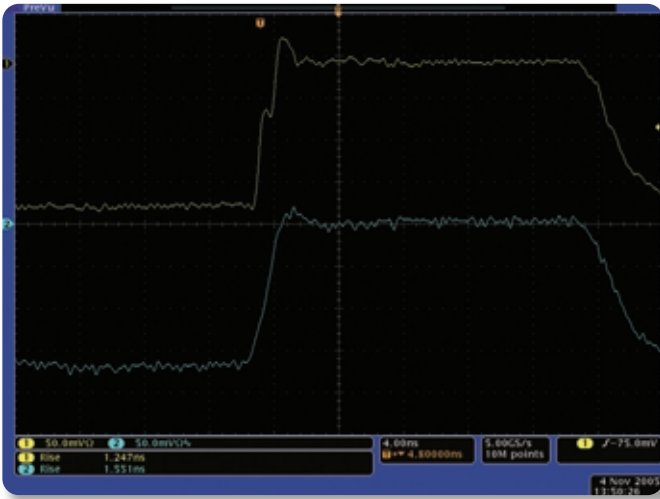
ダンピングが不十分な共振回路では、リンギングやオーバシュートが発生します。デバイスへの不適切な電源のバイパス、電源やグラウンド・リードを長くとること、また不適切なプロービングなどによってもリンギングやオーバシュートは発生します。不整合や終端されていないラインでは、グリッチなどの問題となる波形が発生します。



▶ 図解1：伝送ラインの等価回路では、インピーダンスの不整合により信号の反射が起こることを示しています。

伝送ライン効果により、意図しないステート伝送やタイミングのずれが発生します。デジタル回路では、間欠的にパターンが繰り返されることがあります。適切な周波数帯域とサンプル・レートを装備したデジタル・オシロスコープを使用することで、これらの繰り返し性のないイベントをリアルタイムに取り込むことができます。

使用するプローブやプロービング技術によっても、測定品質は影響を受けます。容量負荷が大きいと信号エッジが遅くなり、問題が見えなくなる一方で別の問題を発生させることにもなります。回路ポイントにプローブを接続することで、問題の症状がなくなることがあります。プローブのグラウンド・リードとプローブ入力の容量により直列の共振回路ができ、この共振周波数がオシロスコープの周波数帯域よりも高くないと、リンギングが発生します。



▶ 図1：上の波形 (Ch1) は、1GHzのDPO4000シリーズで取り込んだ1.3nsの立ち上がりエッジです。下の波形 (Ch2) は、オシロスコプの周波数帯域を250MHzに制限し、同じ波形を250MHz帯域のオシロスコプで見た場合を想定しています。帯域が不十分ですので、信号の反射が見えなくなっています。(帯域が十分でないと、立ち上がり時間の測定精度も低下することにご注意ください。)

プローブのグランド・リードを短くし、プローブの入力容量を下げることで、共振周波数を上げることができます。従来のプローブの負荷容量は10~15pFですが、アクティブ・プローブを使用することでこの問題を解決することができます。例えば、2.5GHzのTekVPI™アクティブ・プローブの入力負荷容量は、0.8pF以下です。この容量の差により、リングングを抑え、長いグランド・リードを使用することも可能になります。

図1は、反射観測における周波数帯域とサンプル・レートの重要性を示しています。立ち上がり遷移において反射が起きています。クロック信号であれば、クロックの出力においてタイミングのずれやジッタとなります。上の波形 (Ch1) は、DPO4000シリーズを使用し、1GHz、5GS/sで取り込んだものです。帯域の低いオシロスコプによる取り込みと比較するため、下の波形 (Ch2) では、5GS/s、250MHz帯域制限をかけて取り込んでいます。遷移部分の波形の違いからもわかるように、十分なサンプル・レートと周波数帯域が必要であることがわかります。

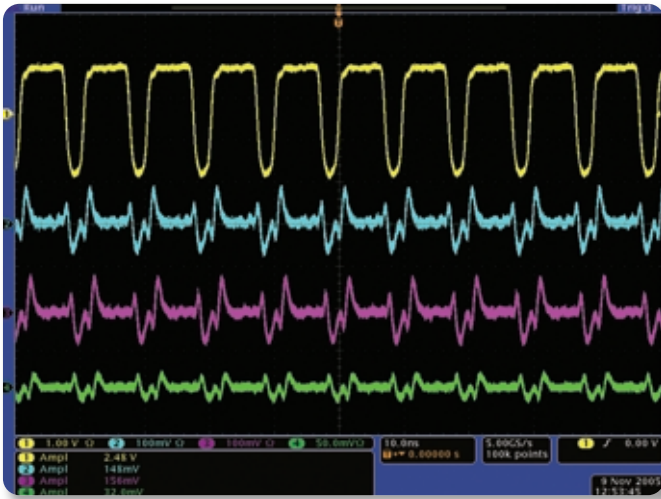


▶ 図2：Ch1のスイッチング出力によるグランド・バウンスの例

グランド・バウンス

グランド・バウンスとは、グランド・プレーンで発生する電流スパイクによる基準グランドの変動です。一つのデバイスの複数の出力が同時にスイッチングすると、大きなトランジェント・グランド電流が発生します。ボンディング・ワイヤ、グランド・リード、リターン・パスによる電圧降下により、デバイスのグランド電位がシステム・グランドより大きくバウンドします。スイッチング・デバイスまたはスイッチングしていないデバイスにおける過度のリングングやグリッチは、他のデバイスに思わぬトランジションを与えてしまいます。グランド・バウンスは、デバイスにおいてデータの欠損の原因になることさえあります。

図2のCh1の波形は、74LVCOO Quad ANDゲートの一つの出力を取り込んだものです。4個入りのANDゲートのうち3個のANDゲートは、入力の一つが+3.3Vの電源に、4つ目のANDゲートの入力はグランドに接続されています。残りの4つのANDゲートの入力は48MHz信号を受信します。Ch2では、スイッチングしていないデバイスを観測しています。グランド・バウンスのため、1Vピーク・ピークをわずかに超える波形となっています。Ch2の信号を解析することで、なぜCh1に対応するCh2の立下りエッジの方が、対応するCh1の立ち上がりエッジに比べて大きいかわかります。



▶ 図3：1GHz帯域のDPO4000シリーズ・オシロスコープを使用し、エッジ・トリガで取り込んだクロストーク例。複数のパラレル50Ωのパターンにおける高速パルス（Ch1）により、大きなエネルギー放射が発生しています。これにより、近傍にあるパターンに影響が現れます。このパターンに近いCh2とCh3にはっきりと影響が現れています。距離が離れるにしたがってクロストークの影響は小さくなります。Ch4は最も距離が離れているもので、32mVとなっています。

電気的に見ると、入力の一つがグランドに接続されているANDゲートの出力は、ごくわずかな等価インダクタンスを除いて、グランドに直接接続されます。3つのANDゲートのスイッチング出力による電流は、スイッチングしていないANDゲートの出力、等価インダクタンスに電流を誘起し、Ch2に大きなスパイクを発生させます。入力がグランドに接続されているANDゲートが電源に接続されていると、Ch1の立上りエッジに大きなスパイクが発生します。

クロストーク

クロストークは、デジタル設計において、非同期のラインがクロック・ラインに接続される場合に問題となります。クロストークは、間違った伝送や、クロック・エッジを引っ張る原因となり、タイミング・エラーやセットアップ／ホールド違反を発生させます。立上り時間が高速になると、問題はさらに悪化します。長いグランド・リードを使用すると大きな回路ループを形成することになり、間違ったクロストークを観測することになります。

オシロスコープでクロストークを観測する場合、チャンネル数、サンプル・レート、周波数帯域を考慮する必要があります。信号をリアルタイムに取り込むためには、DPOにおいて、全チャンネルのサンプル・レートを適切に設定します。

例えば、基板上の高速のトランジション信号2本が（容量的、誘導的に）互いに近くを走っている場合、クロストークが発生します。

デバッグにおいては、次の3種類のクロストークを考慮に入れる必要があります。

誘導性クロストーク、リバース・クロストーク、フォワード・クロストーク

誘導性クロストーク

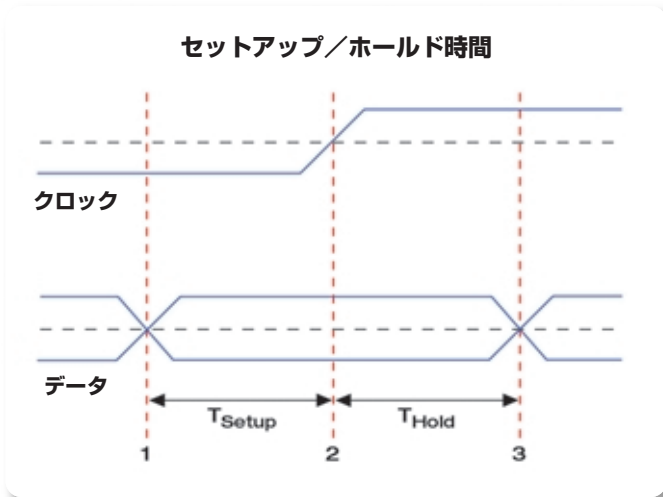
誘導性クロストークは、あるライン（アグレッサ）上を伝播するパルスが、磁気フィールドにて二番目のライン（ヴィクティム）に電流スパイクを誘起することで発生します。トランス結合により、順方向に対しては反極性の電圧スパイクを、逆方向に対しては正方向の電圧スパイクを生成します。

リバース・クロストーク

リバース・クロストークは、発信元の方に広がるヴィクティム・ラインの同一極性の総和となります。ライン長に関連した低レベル、ワイド・パルスとして観測されます。リバース・クロストークの振幅は、アグレッサ・パルスの立上り時間とは関係なく、相互インピーダンスの値に依存します。

フォワード・クロストーク

フォワード・クロストークは、容量とインダクタンスの相対値に依存する、2つの反極性パルスの総和であり、アグレッサ・ラインに向かって伝播します。ヴィクティム・ラインの終端では、幅の狭いスパイクでアグレッサ・ラインの立上り時間の幅として観測されます。アグレッサ・パルスの立上り時間が短いほど、立上りエッジは鋭く、振幅は高く、パルス形状は狭くなります。フォワード・クロストークは、一対のライン長に依存します。クロストークはアグレッサのパルス・エッジに沿って伝播しますので、ヴィクティム・ラインのフォワード・クロストークは、より大きなエネルギーを受けます。



▶ 図解2: クロック同期のロジック回路のセットアップ時間 (T_{setup}) とホールド時間 (T_{hold}) を示しています。セットアップ時間は、1から2までを測定します。ホールド時間は、2から3までを測定します。



▶ 図4: DPO4000シリーズには、セットアップ/ホールド時間違反でトリガおよびサーチ、マークする機能があります。画面上部にある白抜き三角矢印は、ユーザ定義されたセットアップ時間5.5ns、ホールド時間4.5nsに違反した箇所すべてにマークされています。

予防措置

DPO4000シリーズは、全チャンネルで最高サンプル・レート5GS/s、最高周波数帯域1GHzを実現、さらにアクティブ・プローブの併用により、アナログ特性問題の解決に適しています。

デジタル設計では、以下を考慮する必要があります。

- 信号線路長はなるべく短くする。
- 伝播遅延時間が立ち上りの半分以上になる場合は、伝送ライン効果を考慮する。
- 効果的なバイパス・キャパシタをもった電源プレーンとグラウンド・プレーンは、リングングやクロストークの影響を抑えることに効果がある。
- 何か問題が起こった場合は、オシロスコープが、イベントを効率的に観測するのに十分な帯域、すべての4チャンネルにおいて十分なサンプル・レートをもっていることを確認。

セットアップ/ホールド時間違反の検出

デジタル・システムでは、フリップフロップからマイクロプロセッサまで、クロックで動作するデバイスを数多く使用しています。どのデバイスも、製造メーカーによってセットアップ時間、ホールド時間が定められています。

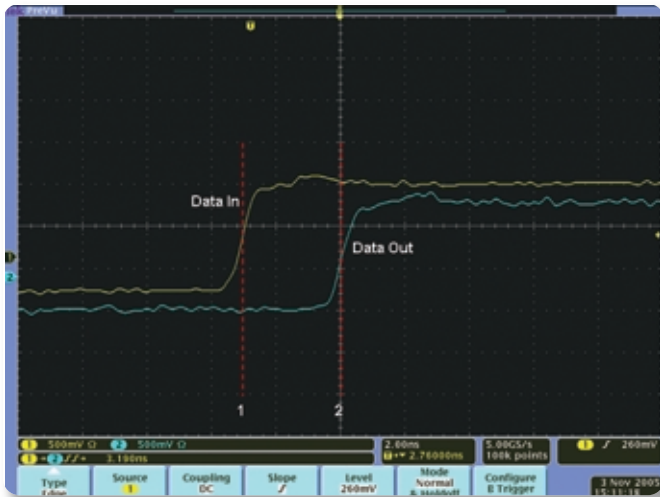
デジタル・システムは高速になり、クロック信号前の、データが確立するまでの時間は短くなっています。セットアップ時間は、

クロック・エッジまでに入力信号が安定して(有効になって)いなければならない時間です。ホールド時間は、クロック・エッジの後にデータとして安定していなければならない時間です(図解2参照)。

図解2において、セットアップ時間は、データのポイント1からクロックのポイント2までの時間になります。図4において、製造メーカーによって指定されている最小のセットアップ時間は5nsです。ホールド時間は、ポイント2からポイント3までの時間を測定します。図4における最小のホールド時間は4nsです。

デバイスのセットアップ/ホールド時間のウィンドウ間に信号が変化すると、システム・フォルトまたはセットアップ/ホールド時間違反となります。クロックやデータ信号でクロストークや反射が発生すると、シグナル・インテグリティが低下し、セットアップ/ホールド時間違反を起こします。デバイスが高速で動作するほどセットアップ/ホールド時間は減少しますので、タイミング関係のデバッグはますます難しくなります。

セットアップ/ホールド時間の違反は、デバイスの出力において予期しないグリッチが発生したり、出力に何の変化も現れなくなったりします。セットアップ/ホールド・トリガでは、任意の2チャンネルのクロックとデータ信号のセットアップ時間、ホールド時間に対してトリガすることができます。DPOでデジタル信号を観測することにより、セットアップ/ホールド時間違反の正確なタイミング測定が行えます。



▶ 図5：DPO4000シリーズの遅延時間測定機能では、Data In信号の立上りエッジ（ポイント1）からData Out信号の立上りエッジ（ポイント2）までの伝播遅延時間を表示、測定することができます。この例では、3.190nsと測定されています。

伝播遅延

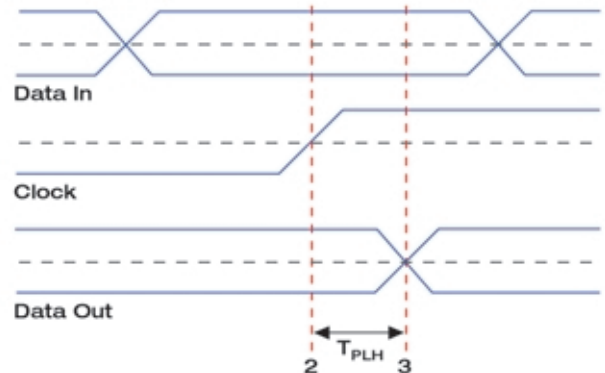
ある回路の入力から出力まで、またはあるデバイスの出力から次のデバイスの入力までのように、システム内で信号が一つのポイントから別のポイントまで移動するには、ある程度の時間を要します。これを伝播遅延時間と呼びます。回路の伝播遅延は、信号の極性により t_{plh} （propagation low to high：ローからハイへの伝播）と t_{phl} （propagation high to low：ハイからローへの伝播）という2種類があります。

ゲートにおける伝播遅延

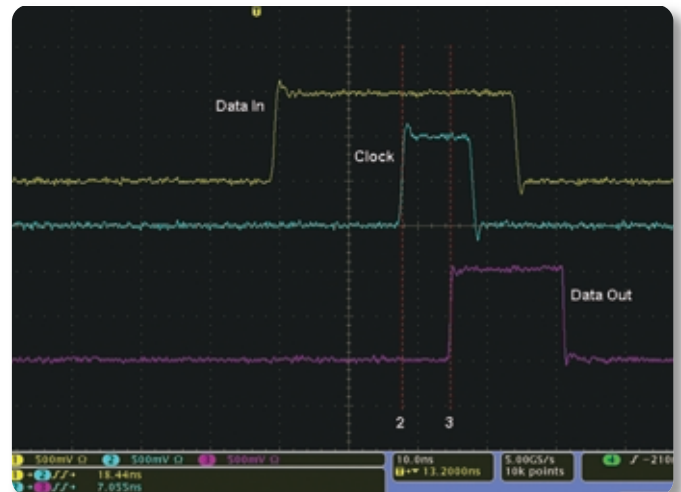
ロジック・ゲートでは、伝播遅延は、ゲートの入力から出力までに要する時間となります。図5では、デバイスの伝播遅延は、Data In信号（ポイント1）からData Out信号（ポイント2）までの時間として測定されます。

図5は、DPO4000シリーズ・オシロスコープでANDゲートICの入出力データ波形を測定した例です。Ch1のプロンプをData Inに、Ch2のプロンプをData Outに接続しています。遅延時間測定機能では、測定時間の変数は、Ch1の最初の立上りエッジからCh2の最初の立上りエッジまでが選択されています。この例では、伝播遅延時間は3.190nsと測定されています。

クロック伝播遅延時間



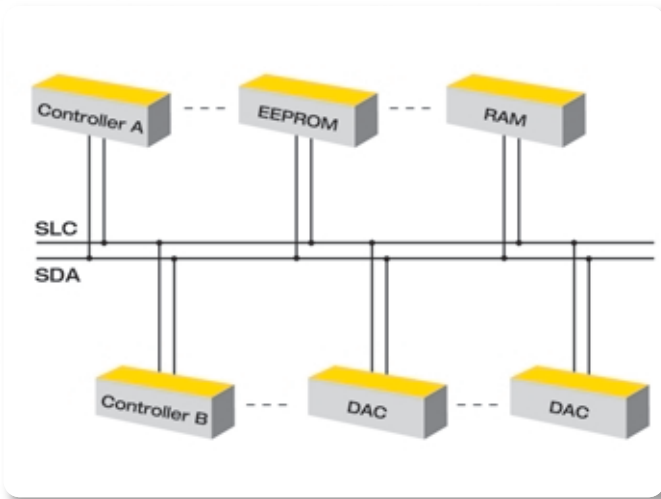
▶ 図解3： T_{plh} （ローからハイへの伝播時間）はクロックからの時間であり、2から3までの時間を測定します。



▶ 図6：DPO4000シリーズの遅延時間測定機能により、クロックの伝播遅延時間を測定した例。この例では、クロックの立上りエッジ（ポイント2）からData Out信号の立上りエッジ（ポイント3）までの時間が7.055nsと測定されています。

クロックにおける伝播遅延

フリップフロップのようなクロック回路では、クロックの伝播遅延とは、回路の出力においてアクティブなクロック・エッジがステートを変化させるために要する時間、またはCLKからQまでの伝播遅延時間となります。図解3における最大の T_{plh} は8nsです。別な言い方をすると、クロックがハイになってから入力データのステートが変化するまで8ns以上はかからないことを意味しています。



▶ 図解4：I²Cバスに接続された各種のデバイスは、転送される各シリアル・パケットに含まれるアドレス識別子によって選択されます。

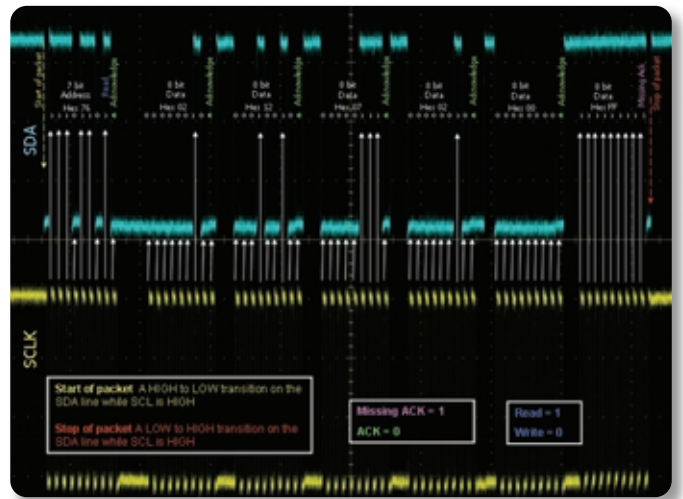
図6は、DPO4000シリーズでデータを取り込んだ例です。DPOのサンプル・レートは5GS/sに設定され、Ch1をData Inに、Ch2をData Outに接続しています。オシロスコープは、Data Inの立上りエッジでトリガにしています。

バス競合の解決

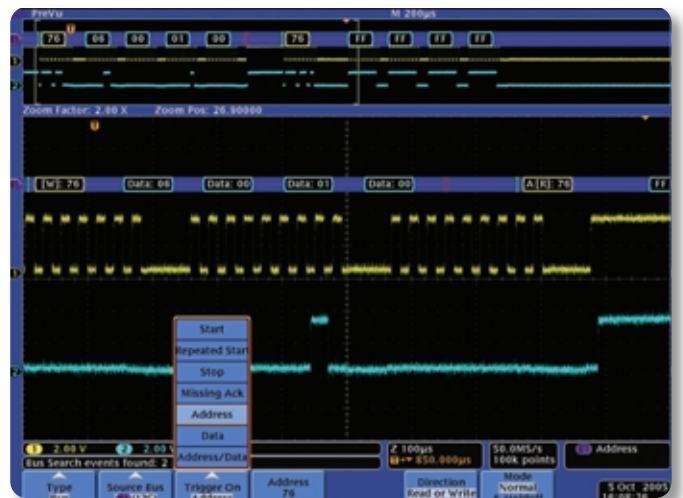
DSP、RAM、EPROM、PROM、ROM、A-D、D-Aコンバータ、I/Oデバイスなどのデバイスは、一般に、低速または高速のシリアル・バスで外部と通信します。シリアル・バスがパラレル・バスに比べてデバッグが難しい理由の一つに、バス競合があります。図解4に示す低速シリアル・バスは、Philips Semiconductor社によって開発された、I²Cバスの標準レイヤとプロトコルです。

図7では、I²Cシリアル・バスをビットごとにデコードする方法を示しています。まずパケットの開始点を見つけます。最初のバイトのはじめから7ビットがアドレスで、8番目のビットで読み取りか書き込みかを判断します。次の8バイトまでのデータをデコードします。CANバスなどのシリアル・バスでは、ビット・コレクションのために手作業によるデコードは不可能です。

多くのデジタル・オシロスコープでは、パターンやステートなどのロジック信号の組合せでトリガすることができますが、さらにDPO7000シリーズは標準でI²C、SPI、RS232、オプションでCANバス、DPO4000シリーズではオプションでI²C、SPI、CANバスのトリガ機能が用意されており、最高10Mbpsのレートで特定の信号にトリガでき、バス競合のデバッグが可能になります。このトリガ機能では、バスのパターンでトリガを設定する



▶ 図7：DPOによる、手作業でのI²Cバス・デコーディングの表示例。アドレスは76で、読み込みです。

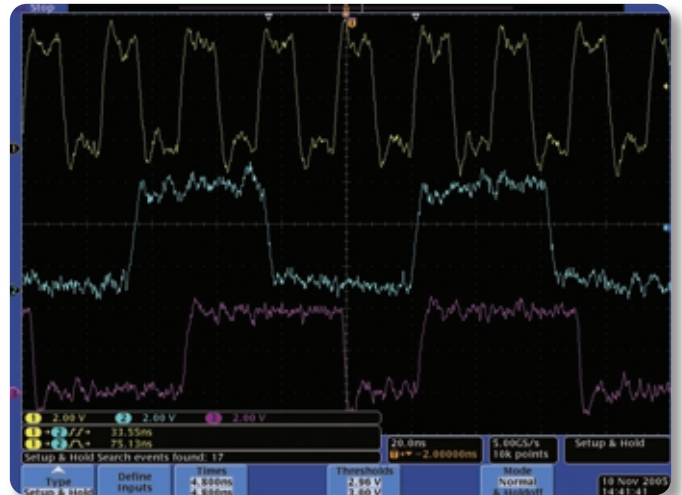


▶ 図8：DPO4000シリーズによるI²Cバス・トリガにより、選択されたアドレス76、読み込みまたは書き込みでトリガします。手作業によるデコードの必要なしに、パケットは自動的にデコードされ、エラーを低減して作業時間が短縮できます。

ことができます。例えば、I²Cバスではパケットの開始/終了点、フレームの種類（データ、リモート、エラーまたはオーバーロード）、標準または拡張の識別子、あるいは「Ack不検出」でもトリガすることができます。DPO4000シリーズは、ほとんどのパケット情報にトリガし、サーチすることができます。



▶ 図9：デバイスにおいて、時間で指定したパターンでトリガした例。Ch1とCh2がハイになるとCh3の入力ラインはハイになります。Ch3をローに設定することで、遅延による問題を解決することができます。



▶ 図10：DPO4000シリーズのセットアップ/ホールド・トリガとサーチ/マーク機能によりメタステーブルが検出され、画面上部の白抜きの三角印でマークされています。Ch1はクロック信号、Ch2はデータ信号です。Ch3はDタイプ・フリップフロップ・ラッチのメタステーブルQ出力信号です。

パターン・トリガ

パターン・トリガでは、指定されたロジック・レベルの組合せが、検出された場合にトリガします。パターンが真になる（設定された条件に一致する）か、偽になる（設定された条件から外れる）場合を設定します。

ステート・トリガ

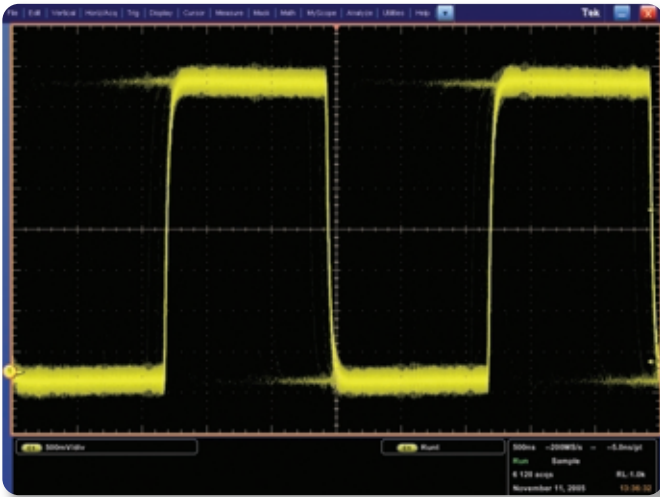
同期システム（システム・クロックで制限される場合）では、ステート・トリガでトリガを条件付けることができます。同様のバスの例を使用し、レシーバ・バッファをラッチング・バッファに変更します。図9では、時間条件をもったパターン・トリガにより各デバイスの入力のステートを設定します。Ch3はロー・ステートに設定されています。Ch1とCh2はハイに設定されています。

問題のステートが取り込まれ、Ch3の信号に過度の遅延があることがわかりました。Ch3の入力ラインを、クロックが正しくラッチするためには、Ch1とCh2の入力ラインがハイになるときにCh3がハイになるべきです。これは、各種デバイスやバスのアドレスがマスタ・クロックに同期しているシステムでのみ機能します。

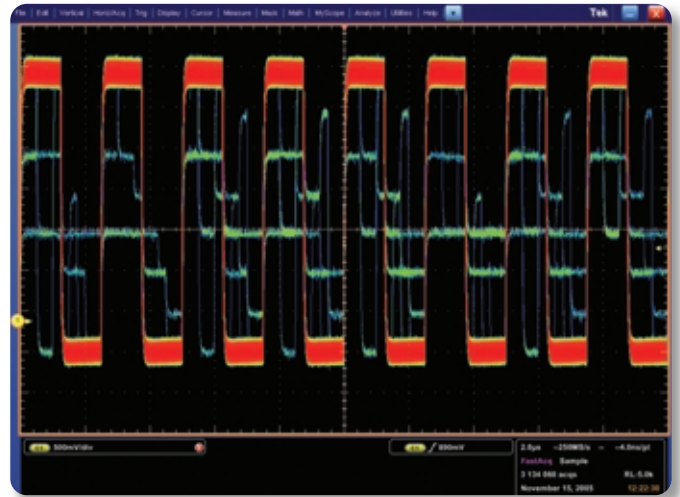
メタステーブル・イベントの捕捉

メタステーブルとは、確定されていない、または安定していないデータ・ステートを意味します。メタステーブルにより、出力にグリッチなどが発生することがあります。メタステーブルは間欠的に発生するため、他の問題と比べると検出が難しくなっています。メタステーブルは、図10に示すようなDフリップフロップなどのラッチ回路におけるセットアップ/ホールド時間違反などにより発生します。

図11は、フリップフロップに非同期で動作しているDATAおよびCLOCK信号を示しています。データのステートが変化するときクロック・エッジが立上ることがあり、セットアップ/ホールド時間違反が発生しています。これにより、フリップフロップの出力が変化することがあり、元のステートを維持したり、データの変化を反映させたりと、不安定な状態になります。この不安定な状態において、フリップフロップはメタステーブルとなり、フリップフロップの出力（Qまたは/Q）が不安定になります。



▶ 図11：デジタル・オシロスコープにより、グリッチが設計にどのような影響を及ぼすか、確認することができます。この例はDPO7000シリーズで取り込んだものであり、パーシスタンス機能で間欠的に発生するグリッチを捉えています。パーシスタンス表示により、信号の発生履歴が確認できます。



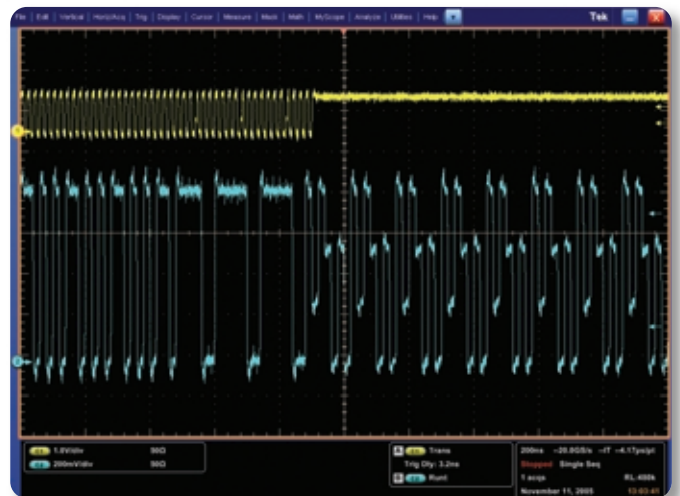
▶ 図12：DPO7000シリーズの高速アキュイジション・モードにより、ラント・パルスやトランジション・エラーも簡単に検出することができます。

図13では、フリップフロップがデータをラッチできず、前の状態に戻っていることを示しています。通常のトリガでは検出できないものでも、イベント・トリガを使用すると、この例のようなメタステーブル状態でも確実に取り込むことができます。トランジション・トリガ、ラント・トリガとも、スレッシュホールド・レベルを2つ設定することでメタステーブル信号を取り込みます。

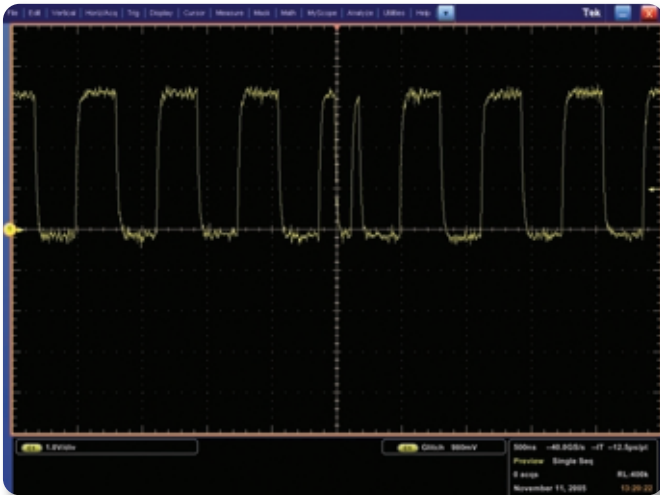
メタステーブルなどのデバッグが難しい問題も、柔軟なトリガ機能によって解決できます。DPO7000シリーズが装備しているPinpoint®トリガ機能はオシロスコープの全帯域で利用できますので、回路設計のデバッグにおいて最も有効なトリガ・メカニズムといえます。Pinpoint®トリガを使用することで、プロトタイプで発生する間欠的な信号を取り込むことができます。

グリッチの捕捉

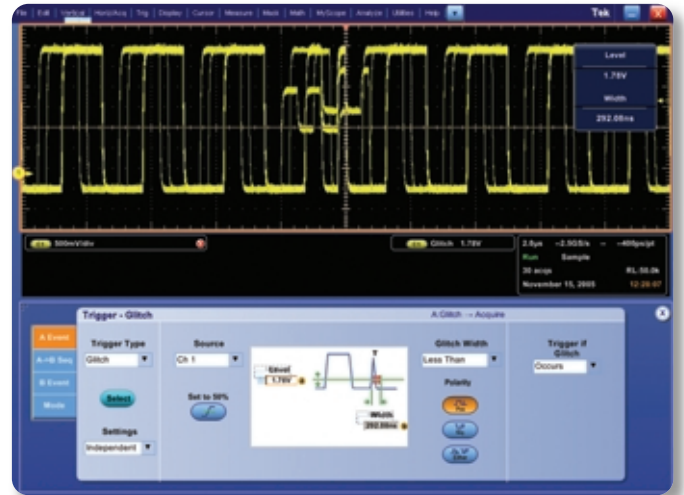
グリッチとは、本来あるべきデジタル波形から逸脱した信号の総称です。通常は、非常に幅が狭く、高速な予期しないパルスで、システムは間違ったロジックの変化として解釈することがあります。グリッチはいろいろな種類のエラーによって発生し、デバッグするのも困難です。グリッチがシステムに与える影響は予測できません。多くの問題は、いろいろな信号においてグリッチとして現れます。グリッチは、ノイズ、バス競合、終端エラー、ドライバ・エラー、クロストーク、セットアップ/ホールドまたは他のタイミング違反などを含む問題の最初の兆候となって現れます。



▶ 図13：DPO7000シリーズのPinpoint®トリガでは、複雑なトリガ設定が、Aイベントだけでなく、Bイベントにおいても利用できます。この例では、Aイベントに続く正しくないトランジションを検出するために、BイベントもAイベントと同じようにトリガが設定されています。Aイベントの直後、または時間が経ってからBイベントが発生しても波形を取り込むことができます。ラント・パルスは、設定された2つのスレッシュホールド・レベルをすべて通過せず、ロジックとして有効とならないパルスです。



▶ 図14：DPO7000シリーズのグリッチ・トリガで取り込んだ、DフリップフロップのQ出力に発生した間欠的なメタステーブル信号。



▶ 図15：高速な波形取込レートがあれば、グリッチを取り込むまでの時間も短縮できます。さらにグリッチ・トリガにより確実にグリッチを捕捉することができます。

高速なデジタル信号のエッジには高周波成分が含まれており、回路基板のパターンに適切な終端が必要になります。この高周波成分により、大きなトランジェント電流が発生し、グラウンド・バウンスや電源分配でのグリッチなどの問題が発生します。高速エッジは、クロストークの増加の原因にもなります。回路基板のパターンは、かつては単なる集中定数回路として扱えましたが、今日では伝送ラインとして扱う必要があり、適切な終端が必要です。

回路が正しく動作しない場合、グリッチの有無を調べることからデバッグを開始します。デジタル・オシロスコープにおいて、グリッチをアナログ的、デジタル的な見方で比較します。多くの問題は、グリッチという形で現れます。

例えば、DPOでは、デジタル・パルスの立上りエッジ、立下りエッジにおける歪みを表示することができます。立上りエッジが十分に落ちきらないと、ロジックの遷移としてトリガできず、グリッチとしても表示されません。DPO7000シリーズなどのデジタル・オシロスコープにはパルス幅トリガがあり、間欠的に発生するグリッチなども捉えることができます。

ジッタの検出

連続したクロックまたはデータ・パルスにおける、予期しないタイミング変動をジッタと呼びます。ジッタは、電圧のトランジションでタイミング情報を表す、すべての電気システムにおいて発生します。ジッタは、デジタル信号における、理想的な時間的位置からの短期間の変動です。ジッタはシステムの性能を低下させ、デバッグを困難にします。

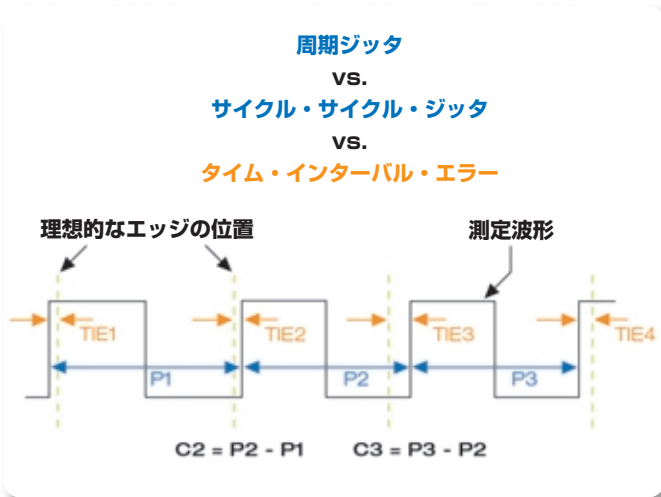
隣り合ったパルス・エッジ、または隣り合わないパルス・エッジの周期、位相における急激なタイミング変動によってジッタは発生します。ジッタは、正しい位置からのタイミング・エッジの変動とも言えます。

ジッタを測定するには、周期ジッタ、サイクル・サイクル、タイム・インターバルという3種類の方法があります。図解5では、それぞれの関連性を説明しています。

周期ジッタ

周期ジッタでは、単純に各クロック・サイクルの周期を測定します。最初のエッジでトリガすることで、2番目のエッジにおける周期ジッタを表示します。

図解5では、クロックに類似した信号でタイミング・ジッタを説明しています。破線は、ジッタのないクロックによる、理想的なエッジの位置を示しています。



▶ 図解5：この図では、クロックに類似した信号でタイミング・ジッタを説明しています。破線は理想的なエッジの位置であり、ジッタのないクロックを想定しています。

サイクル・サイクル・ジッタ

サイクル・サイクル・ジッタでは、隣り合ったクロック周期の変化量を測定します。

図解5に示すC2、C3がサイクル・サイクル・ジッタであり、隣り合った2つのクロック周期の変化量を測定しています。サイクル・サイクル・ジッタは、周期ジッタの一次微分により求められます。

この測定では、クロック・リカバリPLLによるダイナミック特性が示されます。周期ジッタもサイクル・サイクル・ジッタも、基準クロックのエッジの位置に関する情報は、計算では必要としません。

タイム・インターバル・エラー (TIE)

タイム・インターバル・エラーは、各エッジが理想的な位置からどれだけずれているかを測定します。この測定では、理想的なエッジを知る、または予測する必要があります。たとえ小さな周期ジッタであっても時間の経過によって累積されますので、重要な測定となります。

図解5で示すP1、P2、P3は周期ジッタであり、波形の各サイクルを単純に測定するだけです。最も簡単で直接的な測定です。

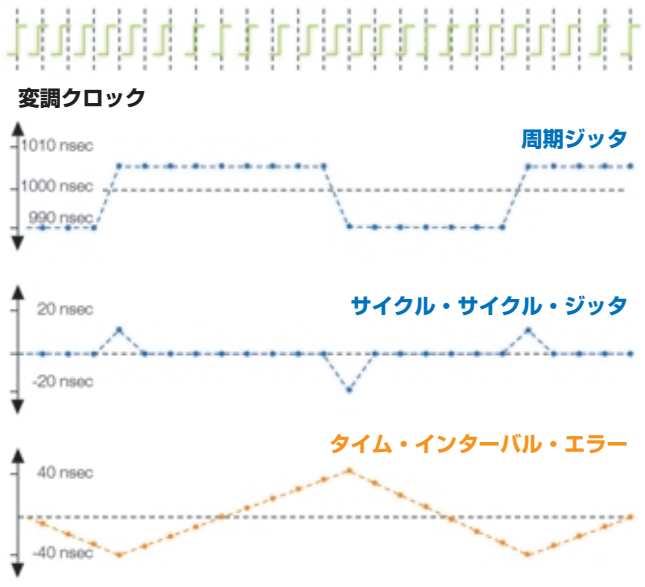


▶ 図16：DP07000シリーズで実行されるTDSJIT3アプリケーションでは、複雑な信号でのジッタ解析が簡単に実行できます。

ジッタのピーク・ピーク値を予測するには、波形を1サイクルよりやや大きく表示させ、無限パースタンスに設定します。最初のエッジでトリガできれば、2番目のエッジにジッタが表示されます。

図解5に示すタイム・インターバル・エラーは、TIE1からTIE4までを測定します。TIEは、各クロックのエッジが、理想的な位置からどのくらい離れているかを測定します。TIEを測定するには、理想的なエッジの位置がわかっているか、予測する必要があります。クロック・リカバリまたはポスト・プロセスがないと、TIEを直接観測することは困難です。

TIEは、測定した各周期から公称（理想）クロック周期を引いたものの積分としても求められます。TIEは、たとえ小さな周期ジッタであっても時間の経過によって累積されますので、重要な測定となります。TIEの値が±0.5ユニット・インターバルに達すると、アイは閉じ、受信回路でビット・エラーを起こすことがあります。



▶ 図解6：同一波形における、周期ジッタ、サイクル・サイクル・ジッタ、タイム・インターバル・エラーの3種類のジッタ測定の比較。

図解6は、同一波形における3種類のジッタ測定の比較を示しています。この例では、波形の公称周期は1μsですが、実際には990nsが8回続き、次に1010nsが8回続いています。

すべてのジッタには、ランダムな成分とデターミニスティックな成分があります。ランダム成分に関しては、ジッタ量は通常の統計手法により規定できます。有意性のある、また再現性のある結果を得るためには、信頼区間などの限定子をもった平均値、標準偏差、ピーク・ピーク値などを使用します。

デターミニスティック・ジッタ (Dj)

デターミニスティック・ジッタ (Dj) は、再現可能で予測可能なタイミング・ジッタです。Djのピーク・ピーク値は限界値を持ち、かなり少ない回数の観測に基づいて、高い信頼性で観測、予測できます。Djには、次のようなジッタが含まれます。

- 周期性ジッタ (Pj) は、電源、隣接したオシレータ、あるいは隣接したバスのクロストークなど、再現性のあるノイズによって発生します。
- デューティ・サイクル歪み (DCD) は、伝送デバイスのドライブ回路のバイアス・レベルまたは熱バランスの不均衡により発生します。
- シンボル間干渉 (ISI) は、データ依存性ジッタ (DDj) とも呼ばれ、相互接続やケーブル損失など、信号パスにおける周波数に関連した損失によって発生します。



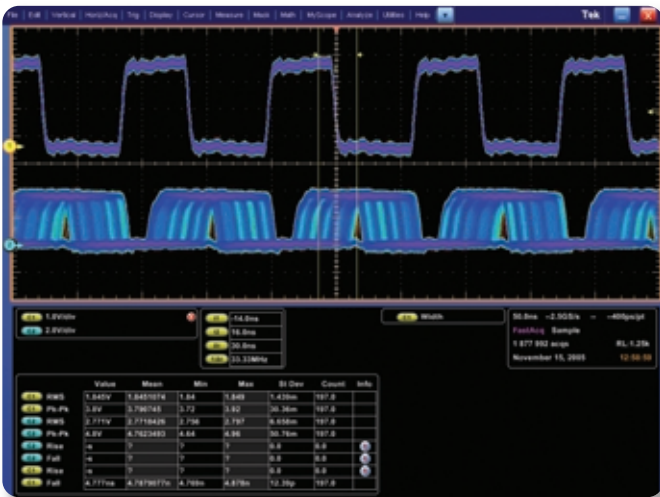
▶ 図17：DPO7000シリーズで実行されたTDSJIT3ジッタ解析ソフトウェアの例。トータル・ジッタは192ps ($T_j = D_j + 2Q (BER) \times R_j$) *、ここで $Q (10E-12) = 7$ 。PLL のTIE測定では、データ信号の標準偏差がグラフで表示されます。
*ジッタ・モデルがDual-Diracの場合。

ランダム・ジッタ (Rj)

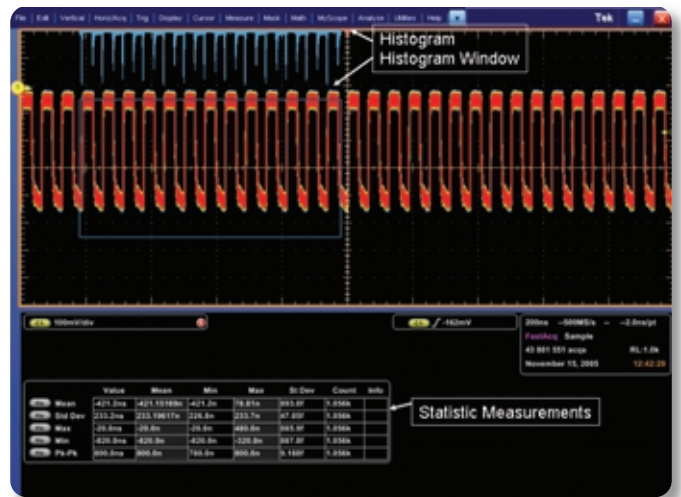
ランダム・ジッタ (Rj) は、識別可能なパターンがなく、予測できないタイミング・ジッタです。電気回路のランダム・ノイズの主な原因は、熱ノイズ (ジョンソン・ノイズまたはショット・ノイズ) です。Rjはガウシアン分布を持つと推定され、分布のピーク・ピークは無限の広がりを持ち、限界値を持ちません。すなわち、取り込むサンプルが多いほど、測定されたピーク・ピーク値は大きくなります。

周期性ジッタ (Pj)

周期性ジッタ (Pj) は、周期的に繰り返すジッタです。周期的な波形の高調波成分は正弦曲線のフーリエ級数に分解できるため、この種のジッタを正弦波ジッタと呼ぶことがあります。Pjの代表的な原因は、スイッチング電源ノイズや強力なローカルRFキャリアなど、外部の確定ノイズ・ソースです。また、不安定なクロック・リカバリPLLも原因となることがあります。



▶ 図18：DPO7000シリーズは、立上り時間、立下り時間、ピーク・ピークなど、最大8項目の自動測定が可能です。測定するポイントでカーソルを設定するだけで結果が表示されます。



▶ 図19：Ch1の安定したクロック信号を、DPO7000シリーズのFastAcqモードで統計測定した例。ヒストグラム領域が選択されており、統計解析がすばやく実行できます。

データ依存性ジッタ (DDj)

データ依存性ジッタ (DDj) は、データ・ストリームのビット・シーケンスと相関するジッタです。DDjは、ケーブルやデバイスの周波数応答によって発生することがあります。パターン依存性ジッタ (PDj) と呼ばれることもあり、シンボル間干渉 (ISI) の測定結果です。

デューティ・サイクル歪み (DCD)

デューティ・サイクル歪み (DCD) は、50%の基準値からのデューティ・サイクルのばらつきです。DCDの原因としては、立上りエッジのスルー・レートが立下りエッジと異なること、信号のDCアベレージ・レベルがずれるため、波形のスレッシュホールドが、あるべき位置より高いか低いことの、2つがあります。

ビット・エラー・レートによるトータル・ジッタ (Tj@BER)

ビット・エラー・レートによるトータル・ジッタは、ユーザ定義されたビット・エラー・レートにおけるピーク・ピーク・ジッタの推測値です。ユニット・インターバルに対するBERにおけるアイの開口が予測され、BERのバスタブ曲線として表示されます。

自動測定と解析

高速信号における自動測定と統計解析は、詳細なデバッグを可能にします。最新のオシロスコープには数多くの測定、解析機能があり、デバッグに必要な柔軟性と性能を実現しています。4波形または8波形が一度に表示でき、波形比較やスクロールによって各波形の関係が容易に確認できます。

自動測定機能には、統計測定やリファレンス・レベル設定機能などが含まれており、オシロスコープによるデバッグを効率よく実行することができます。複数の測定値がディスプレイに表示、比較でき、各統計値も表示できます。

これにより、コンポーネントが指定された範囲内で動作しているか、また許容値は変化しているか、補正の必要性などを確認できます。

パルス幅、オーバershoot、デューティ・サイクル、ピーク・ピークだけでなく、最小値、最大値、実効値 (RMS) などの複雑な統計値を含んだ自動測定により、デバッグを迅速に実行することができます。

ジッタとタイミングの自動解析

自動測定により、ジッタ波形の統計測定が可能になります。例えば、クリスタル・オシレータの周期安定度が仕様内に入っているか、また立上り時間、デューティ・サイクル、パルス幅など、コンポーネントのデータ・ウィンドウを測定することでPLL (Phase-lock loop) の性能を確認することができます。

統計測定

デジタル・オシロスコープは、ジッタ、メタステーブル、安定度などの測定を評価するのにも役立ちます。デバッグで統計を使用する場合は、以下を考慮する必要があります。

- 平均値は、クロック周期の平均値（算術平均）になります。これは、周波数の逆数になります。
- 標準偏差は、平均値からの変動量を平均化したものです。平均値と標準偏差で規定されるガウス過程に従う分布に有効です。
- 最大値、最小値、ピーク・ピーク値は、測定インターバルで観測されます。ピーク・ピーク値は、最大値から最小値を引いた値になります。
- ヒストグラムは、発生頻度に対するデータセットの測定値としてプロットします。ジッタなどのイベントの順位は提供しませんが、イベントの可能性を推測することができます。

まとめ

DPO4000シリーズやDPO7000シリーズなどのデジタル・オシロスコープは、組込みシステム設計のトラブルシューティングを簡単にするためのデバッグ・ツールです。DPOは、設計、評価、デバッグの生産性を改善します。DPOの連続的な高速波形取り込みで、ロジック・ステート、立上り時間、セットアップ/ホールド時間などのデジタル・パルスを変形させる要因となるノイズ、グリッチ、クロストークなどのアナログ特性を詳細に観測できます。

Tektronix お問い合わせ先:

東南アジア諸国/オーストラリア (65) 6356 3900
オーストラリア +41 52 675 3777
バルカン半島/イスラエル/アフリカ南部諸国およびISE諸国 +41 52 675 3777
ベルギー 07 81 60166
ブラジルおよび南米 55 (11) 3741-8360
カナダ 1 (800) 661-5625
中東ヨーロッパ/ウクライナおよびバルト海諸国 +41 52 675 3777
中央ヨーロッパおよびギリシャ +41 52 675 3777
デンマーク +45 80 88 1401
フィンランド +41 52 675 3777
フランスおよび北アフリカ +33 (0) 1 69 86 81 81
ドイツ +49 (221) 94 77 400
香港 (852) 2585-6688
インド (91) 80-22275577
イタリア +39 (02) 25086 1
日本 81 (3) 6714-3010
ルクセンブルグ +44 (0) 1344 392400
メキシコ、中米およびカリブ海諸国 52 (55) 56666-333
中東アジア/北アフリカ +41 52 675 3777
オランダ 090 02 021797
ノルウェー 800 16098
中華人民共和国 86 (10) 6235 1230
ポーランド +41 52 675 3777
ポルトガル 80 08 12370
大韓民国 82 (2) 528-5299
ロシアおよびCIS諸国 +7 (495) 7484900
南アフリカ +27 11 254 8360
スペイン (+34) 901 988 054
スウェーデン 020 08 80371
スイス +41 52 675 3777
台湾 886 (2) 2722-9622
イギリスおよびアイルランド +44 (0) 1344 392400
アメリカ 1 (800) 426-2200
その他の地域からのお問い合わせ 1 (503) 627-7111

Updated 28 February 2006

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ(www.tektronix.co.jp)またはwww.tektronix.comをご参照ください。



Copyright © 2006, Tektronix. All rights reserved. Tektronix製品は、米国およびその他の国の取得済みおよび出願中の特許により保護されています。本書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。その他本書に記載されている商品名は、各社のサービスマーク、商標または登録商標です。

1/06 DM

55Z-19175-0

16 www.tektronix.co.jp

Tektronix
Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティ B棟6階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

TEL 03-6714-3010 FAX 0120-046-011

電話受付時間/9:00~12:00・13:00~18:00 月曜~金曜(祝日は除く)

当社ホームページをご覧ください。 www.tektronix.co.jp
お客様コールセンター ccc.jp@tektronix.com