

提高数字调试效率的技巧



新设计带来新问题

随着高速总线、子系统和逻辑系列的结合，新型数字设备的功能日益强大。但同时其结构也越来越复杂，对信号的质量更加敏感，因此排除故障所需要的时间更长。由于工作日程很紧，我们很难抽出额外的时间进行调试。为此，本文介绍了如何更充分地利用逻辑分析仪和示波器的功能，提高故障排除的速度。

简介

今天的产品设计使调试更加困难，因为有更多的因素可能出错。以高频总线为例。今天的逻辑系列甚至在较低的时钟速率时也会引入高速数字边沿速率。

快速边沿还会加重串扰。在以前的设计中，您可能觉得电路板布线的稳定性是理所当然的。然而，较高的边沿速率可使其充当传输线，发送并接收干扰。边沿速率越高，所产生的瞬变电流也越大。源于瞬变电流的动态电流会导致跳地效应和功率分布效应。快速边沿故障在信

号中通常表现为间歇性毛刺。在解决这类问题之前，应先查找现象，了解其特点，然后从源头确定起因。

其他导致项目中止的原因包括时序违规、驱动器错误和竞争情况。所有这些问题都会在状态机的逻辑中造成类似故障。另外，它们在任何电路中都可能发生。由于在捕获信号时这些问题可能发生，但也可能不发生，因此解决起来格外困难。

本文将讨论几种技巧，帮助您在处理快速边沿影响和间歇性问题时提高数字调试阶段的效率。

提高数字调试效率的技巧

► 应用注释

技巧 1：寻找毛刺

什么是毛刺？

如果您的设备出现故障，则开始排除故障的一种好办法便是检查毛刺。毛刺是非常窄的脉冲，在系统中可能导致，也可能不导致逻辑变迁。多数问题表现为在一个或多个信号中出现毛刺。毛刺对系统运行的影响是无法预测的。毛刺可以是多种设备故障(包括竞争情况、端接错误、驱动器错误、时序违规和串扰)的最初迹象。

找到问题根源

由于毛刺造成的问题通常是间歇性的，因此解决起来可能十分困难。一种可靠的方法是，将传统的“自上而下”故障排除法与测试仪器的特定优势相结合。先对设备运行情况有宏观的了解，然后聚焦于存在的问题。

毛刺搜索是这种方法的一个很好的示例。在宏观方面，可使用 Tektronix 逻辑分析仪在有上百个信号的总线上执行毛刺触发。逻辑分析仪会检查每个信号以寻找毛刺。总线时序图中的红色条形块代表毛刺的位置，供进一步分析之用。在微观方面，可使用 Tektronix 示波器揭示毛刺的实际形状，以便确定问题的特点。通过在 TLA5000 或 TLA700 系列逻辑分析仪上使用 iView™ 测量功能，可将逻辑分析仪与示波器结合为一个系统，逐渐“放大”问题。

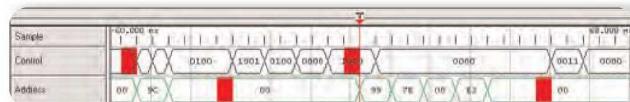
借助“自上而下”方法可逐步进行调试，轻松地找到毛刺并排除故障。下面将通过四个步骤来确定两种不同的毛刺及其可能的来源。

步骤 I：检查总线

先重点观察系统运行情况，并从整体上寻找故障。逻辑分析仪的总线时序波形将标记出现的所有毛刺。

需要寻找间歇性影响(如毛刺)时，请使用具有较长记录的逻辑分析仪。Tektronix 逻辑分析仪具有高达 256 Mb 的深定时存储能力。逻辑分析仪的总线定时脉冲波形可一次性检查总线的所有信号线。如果逻辑分析仪在信号线中发现毛刺，则会标记出其所在的总线和时间位置。

在图 1 中，顶部的波形是取样点，显示了代表逻辑分析仪的深定时取样速率的取样点序列，取样速率最高为 2 GHz (500ps)。下面两个是总线波形 – 4 位控制总线和 8 位地址总线。出现在这两个总线波形中的红色毛刺标记说明在这些位置上的取样点之间有多个跃变。



► 图 1. 取样点序列、显示红色毛刺标记的控制总线和地址总线。

步骤 II：检查信号线

现在重点查找问题的来源。使用逻辑分析仪的定时信号波形显示总线的各个信号线，并标记毛刺发生的位置。扩展逻辑分析仪的深定时信号波形，最深也可达到 256 Mb。

在图 2 中，分析仪已将控制总线扩展为 4 个单独的信号，地址总线扩展为 8 个单独的信号。图 1 中总线波形上的红色毛刺标记，现在显示为信号线 Control (3) 和 Control (0) 上的毛刺标记，以及信号线 Address (0) 上的两处毛刺。

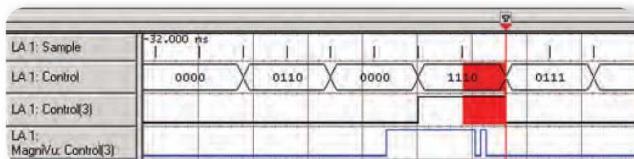


► 图 2. 扩展后的 4 位控制总线和 8 位地址总线，在单个信号上显示红色毛刺标记。

步骤 III：了解故障细节

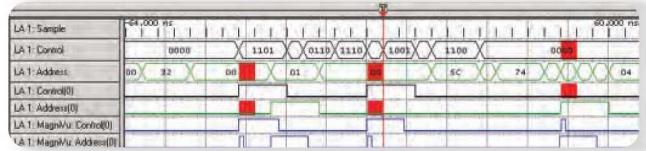
使用高分辨率时序视图详细检查故障。了解它们与其他事件或故障之间的关系。除了深度定时之外，Tektronix 逻辑分析仪还具有高分辨率 MagniVu™ 125 ps (8 GHz) 定时功能，可与深定时功能同时运行。MagniVu 波形可以以高分辨率(最大为 16 Kb 内存深度)显示所有通道。就像一台二合一分析仪：一个深定时逻辑分析仪和一个高分辨率定时逻辑分析仪，并且二者都使用相同的探头。

在本例中，似乎有两个不同的问题导致了毛刺的发生。首先，重点观察 Control (3) 信号线，并显示 Control (3) 信号的 MagniVu 波形。图 3 表明，由于 MagniVu 波形具有较高的分辨率，因此可揭示毛刺只出现在一个数字脉冲的末端 – 不是在脉冲的起点也不是其脉冲内部。这是找出故障原因的一个很重要的线索。进行到步骤 IV 时，您将发现可能的原因。



► 图 3. 显示毛刺的 Control (3) 的 MagniVu™ 波形。

现在重点检查 Control (0) 上标出的第二个毛刺。使用 MagniVu 高分辨率定时功能检查其余两个标有毛刺的信号线：Control (0) 和 Address (0)。图 4 表明，由于 MagniVu 波形正以更高的分辨率 (125 ps) 检查信号，因此能够识别这两个信号线上更窄的毛刺。请注意，在这两个信号线上毛刺和一个脉冲是同时发生的。这通常表明两个信号之间发生了串扰，但是您需要从另一个角度仔细观察以进行确认。进行到步骤 IV 时，可以发现更多信息。

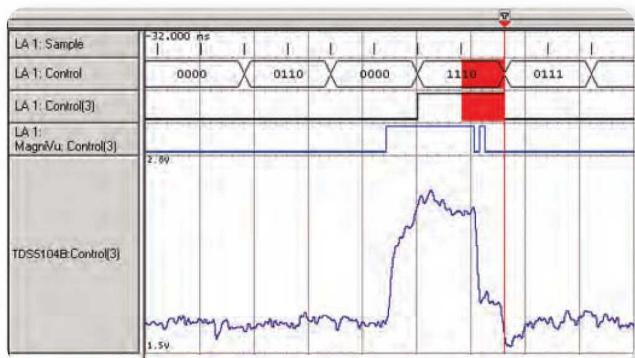


► 图 4. Control (0) 和 Address (0) 信号线，其 MagniVu 波形显示由于串扰造成的毛刺。

步骤 IV：观察模拟波形

使用示波器和逻辑分析仪的 iView™ 功能比较模拟图和数字图，可以了解毛刺的真实形状。iView 功能允许逻辑分析仪在精确的时间触发示波器以捕获毛刺。借助 iView 的测量功能，逻辑分析仪还可分析数据的时间关联性，并在显示屏上显示模拟波形和数字波形。

观察信号线 Control (3)，图 5 展示了毛刺的模拟 iView 显示。观察这两个域，很明显脉冲的上升边沿和下降边沿都出现了失真情况。上升边沿的跌落程度不足以触发一个逻辑跃迁，因此未显示为毛刺。然而，下降边沿的回弹高度足以跃过逻辑阀值，有时造成逻辑跃迁。尽管总线时钟的频率不是很高，但电路使用的 LVPECL 逻辑系列仍可引入快速边沿。脉冲边沿的反弹表明电路板存在端接问题，该问题由于电路对快速边沿较高的敏感性而被扩大。

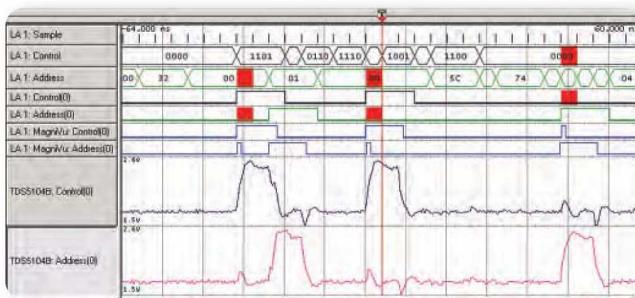


► 图 5. iView 示波器波形，显示 Control (3) 信号的模拟波形。

提高数字调试效率的技巧

► 应用注释

对前面的 Control (0) 和 Address (0) 中的串扰假设进行测试，图 6 表明，对于其中一个信号的每个前沿，在另一个信号上都有一个相应的正电压脉冲。这表明 Control (0) 和 Address (0) 之间确实发生了串扰。封装元件内部靠近的引出金线或者引脚处会经常产生串扰。与低频信号相比，高频信号和时钟边沿更易受串扰影响。这意味着以前一直非常成功的低频产品设计惯例，现在可能会成为高频产品的失败原因。



► 图 6. 使用 iView 测量功能显示的 Control (0) 与 Address (0) 之间的串扰。

这两个示例中的总线带宽较窄，实际中逻辑分析仪可对传输上百个信号的总线使用毛刺触发功能。分析仪可在每个取样点上检查每条信号线路，看其是否有毛刺。一旦分析仪标记出毛刺，您即可专注于这些问题，直至确定出毛刺来源为止。

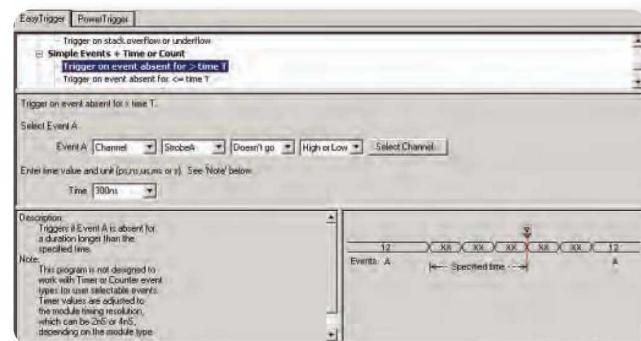
技巧 2：使用超时触发查找问题原因

如果仍然无法确定原型机的错误原因，请回头了解系统正确的运行情况。考虑设计的总体运行情况。例如，有一个信号应该是定期动作的，但是否实际情况就是如此？这可能就是捕获问题的关键所在，但除非您所用逻辑分析仪必须能在这种“不工作”(nothing) 状态上触发。

例如，您可能有一个选通脉冲，为一组数据线提供“本地时钟”功能。如果该选通脉冲没发挥作用，或者不像预期的频率那样发挥作用，则表明设备没有按计划运行。另外，您可能已将一个“看门狗”或“心跳”脉冲直接嵌入了系统。只要“心跳”发出脉冲，就表明这部分运行正常。如果“心跳”停止，则表明出现了严重故障。

幸运的是，设置逻辑分析仪在“不工作”情况下触发是一项非常容易的操作，并且您能得到此时系统工作状态的准确图像。

对无动作进行触发称为“超时触发”。您可通过设置，让分析仪监视一条线路或一组线路，如果在您指定的时间内没有任何活动(即如果没有逻辑变化)，则逻辑分析仪触发。您还可以设定动作记录的深度。图 7 显示了通过逻辑分析仪中“EasyTrigger”菜单打开的“超时触发”屏幕。可以秒为单位对其进行设置。



► 图 7. EasyTrigger 超时触发定义屏幕。

故障的成因很可能在“心跳”实际停止前已经形成。也就是说，在故障的影响成为临界问题前，系统很可能已经开始出现错误。如果将触发设置于捕获内存较深的位置，则可捕获到深达 64 Mb 的预触发信息。此后便可在这一信息基础上分析记录，以查找可能的原因。

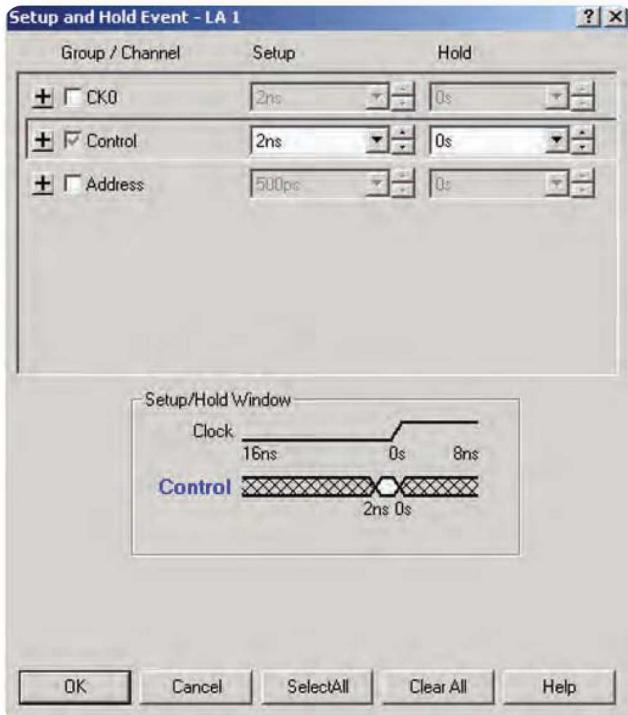
技巧 3：寻找建立 / 保持时间违规

建立 / 保持时间的一致性是最重要的同步参数之一，同时也是常见的错误来源。通过示波器来探测时钟与数据线的传统方法来搜索建立/保持时间违规非常耗时。TLA 逻辑分析仪可在每路信号上发生任何用户定义的建立 / 保持时间违规时立即触发，并显示该违规，从而自动搜索建立 / 保持时间违规。借助 TLA 建立 / 保持时间违规触发器的强大功能，可以同时监视系统中的所有信号。TLA 可在发生任何违规时触发，并显示系统中所有的建立 / 保持时间违规。

提高数字调试效率的技巧

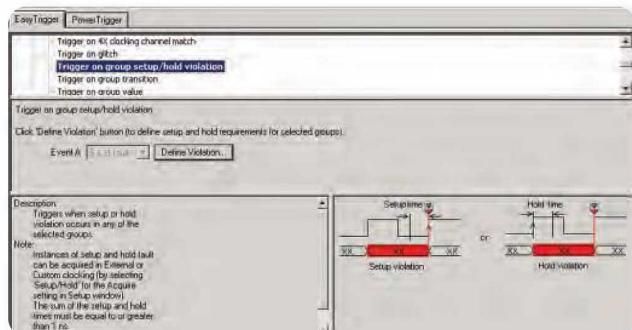
► 应用注释

可以使用逻辑分析仪的“建立与保持时间违规”触发器，直接测试建立 / 保持时间违规。图 8 显示了 EasyTrigger 建立 / 保持时间违规触发设置菜单。使用逻辑分析仪的 MagniVu 125 ps 高分辨率，可将建立 / 保持窗口配置为时钟边沿开始前 16 ns 至时钟边沿结束后 8 ns。



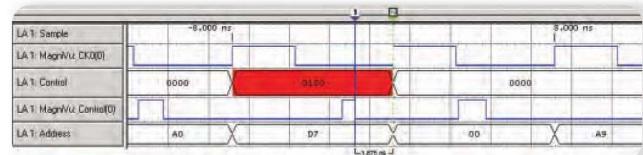
► 图 8. EasyTrigger 建立 / 保持时间违规触发定义屏幕。

图 9 显示了一个对话框，可在该对话框中指定待监视信号的建立 / 保持时间违规参数。TLA 可以同时监视系统中的每个信号，确定其建立 / 保持时间违规情况。



► 图 9. 建立 / 保持时间违规触发参数选择对话框。

图 10 显示，逻辑分析仪在时钟边沿之前 1.875 ns 发生建立违规时触发。既然已确定了问题的起因，便可制定解决方案了。



► 图 10. Control (0) 信号线上建立 / 保持时间违规的触发显示。

所有同步数字电路都有建立 / 保持时间要求。应将确认建立 / 保持时间的一致性作为故障排除工作的一部分。使用逻辑分析仪的“EasyTrigger”菜单，可以轻松地进行设置。

提示 4：使用抖动分析解决定时问题

您对抖动的了解如何？

如提示 3 所述，逻辑分析仪可用于识别系统中的所有建立或保持时间违规。这样，便可执行一种“是否通过”测试 – 如果逻辑分析仪被触发，您就会知道有违规情况。下一步是更好地了解这些违规的根源，其中一个可能的原因就是抖动。

从概念上讲，抖动是指时序边沿与其“正确”的位置发生偏差。在基于定时的系统中，定时抖动是非理想状况的最明显、最直接的表现。作为噪声的一种形式，抖动应被视为一个随机的过程，并基于统计确定其特点。

如果您有测量抖动统计的方法，则可将各个部件和系统相互比较，并将其与选定的规则进行比较。但是，仅使用这种方法并不能有效地优化和调试设计。只有彻底地分析抖动才能明确故障根源，从而系统地解决问题，而不是通过反复试验来解决问题。

提高数字调试效率的技巧

► 应用注释

分析抖动

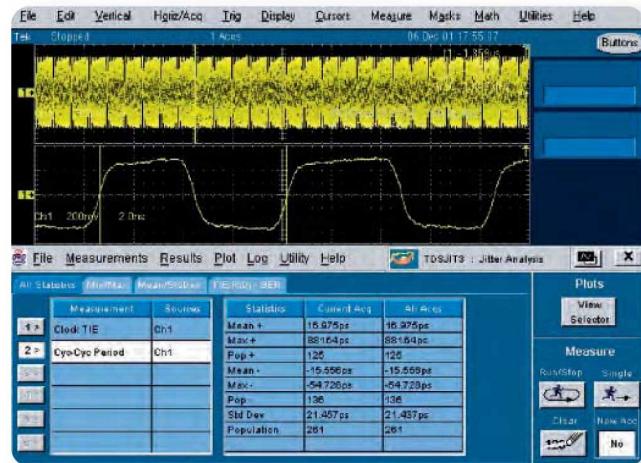
在本例的设计中，已将锁相环 (PLL) 振荡器设计为用于内存系统的“零延迟”时钟脉冲源。PLL 接收外部时钟信号，锁定在特定频率，然后通过时钟分配网络将信号重新传输给存储元件。在上述过程中，PLL 沿分配路径对所有已知的延迟进行校正。

但偶尔存储器好像会存储不正确的数据。已确定问题是由于时钟的时序错误引起的，即在所有数据未完全“准备就绪”时，有效时钟就开始进行存储操作。定时错误的本质是什么？起因是什么？在整个系统内解决问题取决于对这些问题的正确解答。

使用逻辑分析仪发现数字错误后，您怀疑问题来自 PLL 振荡器的时钟信号可能不稳定。虽然这种情况是间歇性的，但错误似乎并不是完全随机的。此时实时抖动测量是最有效的解决方法。通过将示波器与时钟信号连接，工程师以 20 GS/s 的取样速率进行了几次测量，然后在内置 TDSJIT3 应用程序中将其连系在一起。

使用“周期 - 周期 (Cyc-Cyc)”的周期间测量方法和 TDSJIT3 中的“周期变化趋势 (Cycle Trend)”功能，逐个周期地比较取样，结果就变得非常明朗：PLL 多数时间均停留在频率容差范围内，但偶尔向前跳，就好像在进行校正频率偏移。总的误差在 7.5 ns 的周期内几乎为 1 ns。

TDSJIT3 的第二个功能有助于查明 PLL 行为的根源。使用应用程序的 FFT 工具，发现频率为 120 kHz 时有一个意外的能量高峰。快速查看系统原理图，发现这是系统开关电源的工作频率。由此可知，从 PLL 的电源连接端中滤除干扰频率即可。



► 图 11. 此 TDSJIT3 测量屏幕显示了以 20 GS/s 的速率进行的几种相关的抖动测量。它显示了一个 PLL 在 7.5 ns 的周期内几乎达到 1 ns 的错误。

提示 5：查找上溢和下溢错误

要正确运行，某些设备事件需要发生 N 次、少于 N 次或大于 N 次。如何断定这些事件发生的次数是否正确？如何找出事件发生次数不正确的原因？触发计数器是逻辑分析仪的另一项有用功能。

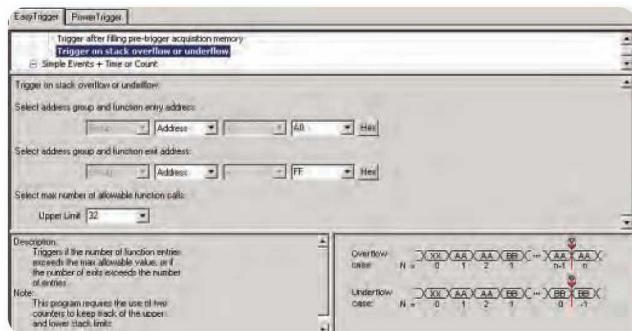
这个示例是 FIFO 存储器。如果系统写入数据的速度比读取该数据的速度快，存储器就会溢出。如果系统锁住并尝试将数据从空寄存器中拖出，就会出现下溢。

设置在出现上溢和下溢错误时进行触发很容易。“堆栈上溢或下溢时触发”便是 Tektronix EasyTrigger 众多预定义触发器之一。

以微处理器的中断处理程序为例。中断是一些请求，旨在命令处理器操作从其正常任务中跳出，并通过外设解决一些问题。一系列中断请求在存储器中形成一个堆

栈，等待处理器对其进行处理。如果中断产生的速度比处理器处理这些中断的速度快，请求就会“溢出”堆栈并丢失。这样，处理器就会以一种未知的状态终止或不执行本该执行的操作。

图 12 显示了用于上溢或下溢触发的设置屏幕。通过该屏幕，可以指定逻辑分析仪应跟踪哪种事件。触发器使用计数器来跟踪用于增大和减小堆栈的事件的数量。此外，拥有足够长的记录也很重要。引发错误的情况可能在故障现象出现前就已经发生了。



► 图 12. EasyTrigger 堆栈上溢或下溢触发定义屏幕。

小结

使用逻辑分析仪可以更快、更直接地进行调试。您可以使用充分利用了逻辑分析仪的特殊功能的“自上而下”方法。先从样机的宏观情况着手，然后集中分析故障原因。借助特殊的触发器，逻辑分析仪能够快速测试常见问题。将逻辑分析仪的数字图形与示波器的模拟图形配合使用时，可更轻松地确定故障根源的特征。

更佳的工具

虽然长期以来逻辑分析仪和示波器一直是数字故障排除的首选工具，但并不是每个设计者都清楚它们的功能到底有多么强大。逻辑分析仪可以处理信息流，在出现电路故障时触发并捕获相关事件，从而提高调试和验证速度，但完成这一过程并非易事。示波器可透析理想化的数字时序图形，并显示原始模拟波形，从而揭示信号完整性问题如何引发错误的逻辑转换，但完成这项任务也并不轻松。目前的仪器（如 Tektronix 逻辑分析仪）的功能更强大。它们的功能已得到以下加强：高达 64 Mb 的记录长度、MagniVu 125 ps 分辨率、专门用于排查故障的触发器，以及可与 Tektronix 示波器（如 TDS5104B）配合使用的功能。TDS5104B 可在所有通道上提供 1 GHz 的带宽和 5 GS/s 的取样速率。使用 TLA5000 和 TLA700 系列的 iView™ 集成的数字 – 模拟波形图，可在逻辑分析仪的显示屏中看到时间相关的数字信号和模拟信号。

您若需全面整合所用 Tektronix TLA700 系列逻辑分析仪和示波器，以将其融合为数据域 – 时域综合测试系统，可使用 iLink 工具套件。这是泰克公司独有的整合工具，可为您提供广泛的数字和模拟观察能力，使您能迅速查找和鉴定故障。iLink 工具套件仅随 TLA7Axx 模块提供，包括的工具有下列：

- **iCapture™**，通过单一逻辑分析仪探头同时进行数字和模拟捕获
- **iView™**，通过一个显示屏进行与时间相关的逻辑分析仪和示波器综合测量
- **iVerify™**，通过示波器生成的多通道眼图进行总线分析和验证测试

泰克科技(中国)有限公司
北京市海淀区花园路4号
通恒大厦1楼101室
邮编：100088
电话：(86 10) 6235 1210/1230
传真：(86 10) 6235 1236

泰克上海办事处
上海市静安区延安中路841号
东方海外大厦18楼
邮编：200040
电话：(86 21) 6289 6908
传真：(86 21) 6289 7267

泰克广州办事处
广州市环市东路403号
广州国际电子大厦2807A室
邮编：510095
电话：(86 20) 8732 2008
传真：(86 20) 8732 2108

泰克深圳办事处
深圳市罗湖区深南东路5002号
信兴广场地王商业大厦G1-02室
邮编：518008
电话：(86 755) 8246 0909
传真：(86 755) 8246 1539

泰克成都办事处
成都市人民南路一段86号
城市之心23层D-F座
邮编：610016
电话：(86 28) 8620 3028
传真：(86 28) 8620 3038

泰克西安办事处
西安市东大街
西安凯悦(阿房宫)饭店322室
邮编：710001
电话：(86 29) 8723 1794
传真：(86 29) 8721 8549

泰克香港办事处
香港铜锣湾希慎道33号
利园3501室
电话：(852) 2585 6688
传真：(852) 2598 6260

了解更多信息

泰克公司的网站上刊登有各种内容广泛和不断扩充的产品应用文章、技术简报和其它文献资料，供设计尖端技术的工程人员随时索取使用。请访问：www.tektronix.com



© 2004 年 Tektronix, Inc. 版权所有。全权所有。Tektronix 产品，不论已获得专利和正在申请专利者，均受美国和外国专利法的保护。本文提供的信息取代所有以前出版的资料。本公司保留变更技术规格和售价的权利。TEKTRONIX 和 TEK 是 Tektronix, Inc. 的注册商标。本文提及的所有其它商号分别为其各自所有公司的服务标志、商标或注册商标。 10/04 DM/WOW 57C-17683-2