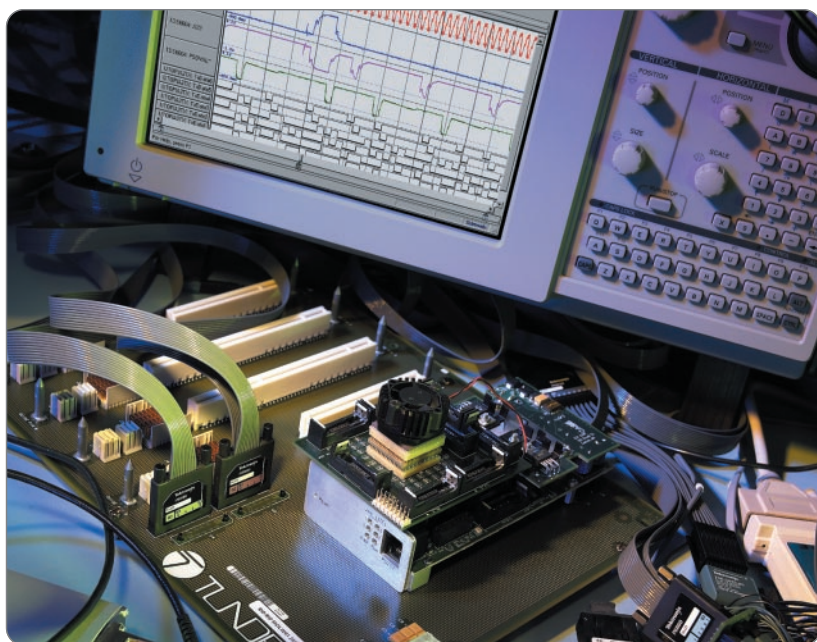


RapidIOアーキテクチャ： 次世代ネットワーキング・ インフラストラクチャの 構築



▶ はじめに

高性能パケット交換バス技術RapidIO[®]は、通信市場における次世代ネットワーク機器の設計に必要なデータ帯域幅、ソフトウェアの独立性、フォールト・トレランス、低レイテンシを提供します。

通信業界でデジタル・ハードウェアや組み込み型ソフトウェアの設計に携わるエンジニアは、プロセッサの高速化やプロセッサにデータを供給するデータ帯域幅で発生するさまざまな問題に直面しています。なかでも、ボトルネックになっているのが、「ボックスの中の」さまざまなコンポーネントの相互通信速度です。

バックプレーンを経由し、チップ間および基板間を接続するために設計されたオープン通信規格RapidIOが、このボトルネックを解消します。RapidIOアーキテクチャにより、シャーシ内のチップ間および基板間でデータや制御情報が高速に転送でき、PCIなどの従来のバス技術のデータ帯域幅の制限をはるかに超えて、伝送速度を大幅に高速化します。

RapidIO

▶ テクニカル・ブリーフ

RapidIOの仕様

RapidIOをオープン規格として開発、普及させていくのがRapidIO Trade Associationです。Trade Associationの運営委員会は、TWG（テクニカル・ワーキング・グループ）およびMWG（マーケティング・ワーキング・グループ）を監督します。

現在取り組まれている仕様の開発、管理、保守は、運営委員会およびTWGのもとで専門分科委員会が行っています。この仕様では、1リンク1方向につき2.5Gbpsのデータ転送レートを持つ1xシリアルから、1方向最高32Gbpsの1GHzクロック、16ビット・パラレルまでの広範なデータ幅、クロック・レートが規定されています。RapidIO仕様で定義されている中で最も一般的な仕様には、次のようなものがあります。

- ▶ 500MHzクロックを持つ8ビット・パラレル（1方向につき8Gbps）
- ▶ 1xシリアル（1方向につき2.5Gbps）
- ▶ 4xシリアル（1方向につき10Gbps）

パラレルおよびシリアル仕様

RapidIOのパラレル仕様は、最大のデータ帯域幅、オーバヘッドの削減、低レイテンシを提供し、短距離伝送に用います。一方シリアル仕様は、パラレルよりも長い距離の伝送および最少ピン数、低消費電力を必要とするアプリケーション用です。

仕様	パラレル	シリアル
バス/リンク帯域	16、32Gbps	1~10Gbps
バス/リンク全二重帯域	32~64Gbps	2~20Gbps
ピン数	40~76	4~16

RapidIO Trade AssociationおよびRapidIO仕様の詳細については、Trade Associationのホームページwww.rapidio.org をご参照ください。

RapidIOのアプリケーション

RapidIO技術の主要アプリケーションは、ネットワーク機器内の通信ファブリックで、第一にターゲットとするのは、ネットワークおよび通信機器、エンタープライズ・ストレージ、その他の高性能組み込み機器市場ですが、軍事や医療市場も潜在的な市場です。

チップ集積度の向上およびプロセッサ・チップとのインタフェースへの影響により、インタコネクタに関連するトランザクションの性質が根本的に変化し、クライアント/サーバ・モデルからピア・ツー・ピア・モデルへ移行しています。PCIバスを介してプロセッサに接続される今日のインタフェースは、実装には別のチップを必要とします。今後は、複数のインタフェース機能を備えた単一のチップに一体化され、最終的にこれらのインタフェースは、I/Oプロセッサ・チップに統合されるでしょう。こうしたトランザクション・モデルの変化により、PCIのようなI/Oバスの必要性は徐々に減少し、RapidIO技術は特に重要になります。

パラレルおよびシリアルのRapidIOコンフィグレーションは、レイテンシ、信頼性、電力消費、低コストが優先される組み込み型アプリケーションおよびリアルタイム・アプリケーションに最適で、プロセッサ・バスや基板レベルの接続のように、市場を細分化する必要はなくなります。

パラレルRapidIO技術のアプリケーションは、チップ間実装から基板間実装に及び、特にプロセッサ・バス、チップ間、内蔵カードのインタコネクタ用に最適化されています。これは、HyperTransport、PCI Express(3GIO)のほか、StarFabricおよびGigaBridgeが対象とするアプリケーションの一部と重複しています。

シリアルRapidIO技術は、バックプレーンおよびDSPファームのインタコネクタ用に最適化されており、複数のコンピュータ・シャーシを単独のシステムとして接続するために使用します。このアプリケーションは、パラレルRapidIOと重複しており、InfiniBandが対象とするアプリケーションの一部に加えて、現在FibreChannelが使用されているアプリケーションにも拡大しています。

RapidIO技術は、基板上的チップ間を相互接続するためのバックボーンも提供します。また、ローカルI/Oバスのニーズが残っているPCIを補完するよう設計されています。

RapidIOは、レイテンシ、電力、コスト面の要求を満たすために、低レイテンシと簡単な実装が必要とされるシステム内での使用を目的としています。システム間の接続には、レイテンシが高くなる代わりに、システムの独立性を高めるInfiniBandやFibreChannelなどのSANソリューションを使用します。

RapidIOの特徴と利点

性能

RapidIOファブリックベース・アーキテクチャは、システム内のすべてのチップおよびデバイスを直接相互接続し、10Gbps以上の伝送速度をサポートするとともに、複数の同時トランザクションを可能にします。データ・パスは、8ビットまたは16ビット幅で、データはクロックの両エッジでサンプリングされます。RapidIOでは、LVDS技術の使用により、マルチGHzの速度まで、またポート幅は16ビットまで対応可能です。大量のデータ帯域幅が使用でき、システムの性能は今日の階層バス・インタコネクトより数百倍も向上します。

低レイテンシ（トランザクションの要求からトランザクションの開始までに経過する時間）を実現するには、小容量のパケット・ヘッダを使用し、ソフトウェア・プロトコル・スタックをなくします。この小容量ヘッダは、速く効率的に組み立て、分解を行えるように構成されており、オーバーヘッドが少なくなっています。

RapidIOアーキテクチャには、最重要トランザクションの通過順に優先順位を付ける機能があり、ポイント・ツー・ポイントを特定し、伝送のサービス品質を維持できます。複数のメッセージ優先レベルにより、非常に困難な条件下でも重要な送信内容が確実に受信先に届くことが保証されます。

スケーラビリティ

RapidIOアーキテクチャは、多くのシステム・トポロジ、アドレス・マップ、トランザクションをサポートするスケーラブルな技術で、さまざまなアプリケーションに適合します。これらのトポロジには、ポイント・ツー・ポイント、リング、スター、リンクスター、メッシュ、任意のファブリックなどがありますが、スター型が最も一般的です。

さらに、RapidIOスイッチ・ファブリックの通信帯域幅は、接続デバイスの数に比例して増加します。RapidIOを使用したシステムでは、インタコネクトの劣化を最小限に抑えながら、実質的に無制限の新しいデバイスや周辺機器が接続できます。

RapidIOリンクのデータ・レートは、さまざまなデータ幅およびクロック周波数により決定されます。1つのシステムに異なる速度のリンクが存在可能で、設計の柔軟性および転送互換性を最大限にします。組み込み市場のさまざまな分野をサポートするために、RapidIOインタコネクトには長期にわたって発展していく可能性があります。

歴史

RapidIO技術は、Mercury Computers, Inc.およびMotorola Semiconductor Products Sectorによる共同開発から生まれました。両社にはそれぞれ独自の高性能インタコネクト開発プログラムがありました。Mercury社は、大きな成功をおさめているRACEwayおよびRACE++アーキテクチャの新世代をターゲットにしていました。両社は、長年にわたるサプライヤと顧客の関係から互いの業務について認識しており、また同じような目的を持っていたことから、自然に共同作業へと発展していきました。Mercury社はRACEway技術およびマルチプロセッサ・コンピューティング・システムにおける専門知識や技術を、Motorola社はチップ・アーキテクチャに関する専門知識や技術、ネットワーキング市場へソリューションを提供する経験をこの共同プロジェクトに提供しました。

RapidIO技術の開発は、当初からさまざまな企業が参加する共同開発と想定されていました。まず、Motorola社の顧客であるネットワーク機器メーカーが初期の仕様開発に協力依頼され、その意見が取り入れられて、2000年2月にRapidIOが発表されました。その後まもなくRapidIO Trade Associationが結成されました。1年間の綿密な公開検討を経て2001年3月に最初の規格が承認されました。この仕様は、RapidIOのホームページ www.rapidio.org からダウンロードできます。

RapidIO

▶ テクニカル・ブリーフ

信頼性

RapidIOアーキテクチャは、ハードウェアによるエラー検出および修正サービスをデータ転送バスの個々のリンクで行うことができる唯一の主要ファブリック・インタコネクタです。CRC識別アルゴリズムを使用してヘッダおよびデータ・ペイロードの破損を検出し、すべての制御 packets を重複して逆に送信することで、完全な保護を行います。

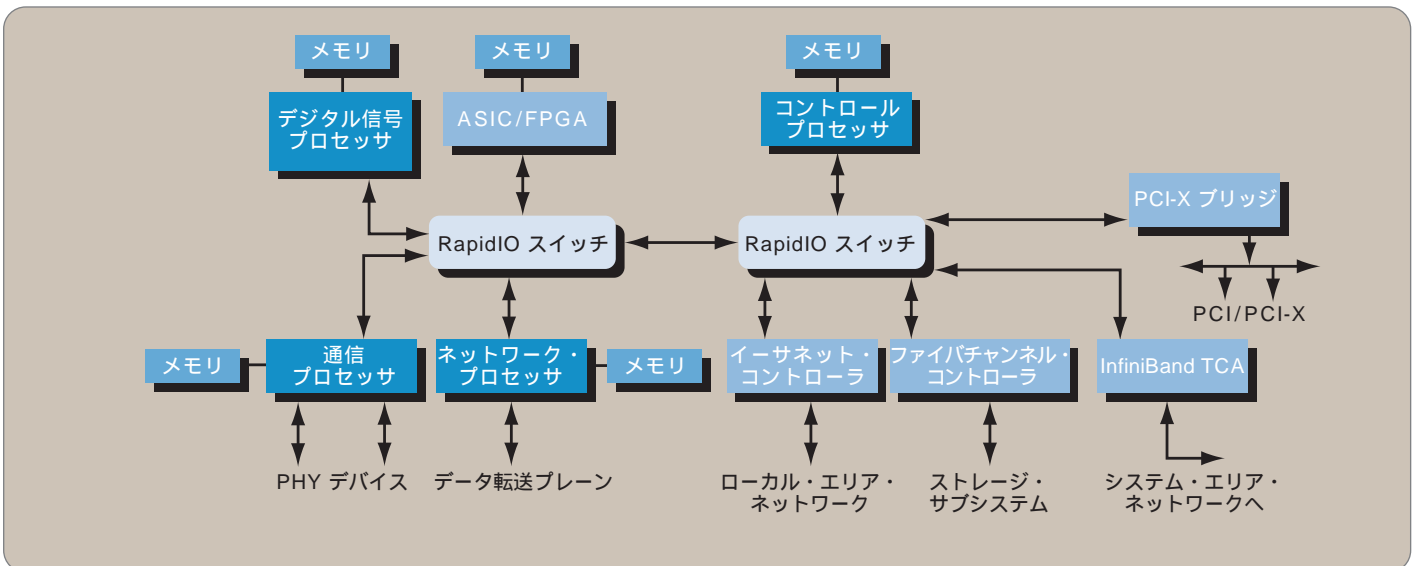
修正不可能なエラーの場合、パケットは再送されるため、パケットがなくなることはありません。問題が検出された場合、パケットのタイム・スタンプが記録され、エラー・リカバリに必要な時間を短縮できます。

RapidIOアーキテクチャは、確実に情報パケットを伝送します。パケットは、スイッチ・ファブリックを経由して一度に1つのリンクを進みます。ある特定のリンクがビジーの場合、パケットは戻るのではなく、リンクが空くまで待ちます。

互換性

RapidIO技術は、マイクロプロセッサの外部インタフェースやPCIデバイス・ドライバなどの標準的なロードストア・アーキテクチャのデバイス上で、既存アプリケーションとのソフトウェア互換性を提供します。RapidIOアーキテクチャは、汎用プロセッサ、デジタル信号プロセッサ、通信プロセッサ、ネットワーク・プロセッサ、周辺機器、およびレガシー・バスとのブリッジ接続のための共通接続規格です。必要なマイクロプロセッサおよびI/Oトランザクションをすべてサポートし、既存アプリケーションおよびオペレーティング・システム・ソフトウェアに対して透過的で、ソフトウェア・ベンダはコア・システム・インタフェース・プログラムを書き直す必要はありません。ソフトウェアから見ると、RapidIOインタコネクタは、従来のマイクロプロセッサや周辺バスと同じです。

たとえば、RapidIOバス技術は、PCI、PCI-64、PCI-Xに簡単にブリッジ接続でき、PCIベース・システムに対して透過的で、特別なデバイス・ドライバを必要としません。また、RACEwayなどの既存インタコネクタおよびInfiniBandなどのSANインタコネクタに簡単にブリッジ接続できます。さらに、プロトコル・チップを使用してEthernet、ATM、USBなどとのインタフェースをとるためにRapidIO技術を取り入れることもできます。



▶ 図1. RapidIOアーキテクチャは、既存のシステムやネットワークへブリッジ接続するポイント・ツー・ポイント・インタコネクタです。

フレキシビリティ

RapidIOは、論理層、トランスポート層、物理層の3層構造に分かれ、他の2層に影響を及ぼすことなく、1つの層を自由に追加、変更できます。

論理層は、PCIのような読み取りや書き込みトランザクション、ポートベースのオペレーションを行い、デバイスはアドレス空間が直接見えなくても、相互に通信できます。この層は、分散キャッシュ・コヒーレント・メモリ・サブシステムやオペレーティング・システムの基本要素などのグローバル共有メモリもサポートします。

トランスポート（ルーティング）層は、送信元および宛先デバイスのIDを含むパケットを配信します。1つのシステム内のデバイス数は、64000個まで持つことができます。この層のピア・ツー・ピア・アーキテクチャにより、集中制御ではなく分散制御でき、共通ホストを通過する必要がありません。パケット・ペイロードのサイズは256バイトまでの可変で、複数のトポロジをサポートし、レイテンシを短くするための「真のスイッチング」を提供します。

物理層は、パラレルとシリアルの2つのサブセットから構成されています。8ビットまたは16ビットLP-LVDSパラレル・インタフェースにより、各方向に最高32Gbpsのデータ転送が可能です。1×または4×のLPシリアル・インタフェース、すなわち1組のシリアル・インタフェースまたは4組の連動シリアル・インタフェースは、各方向に最高10Gbpsのスループットを提供し、XAUI電気仕様を採用、8B/10B符号化方式によりクロックの多重化と信号の直流成分を減らすことでエラー保護しています。

コスト

RapidIOインタコネクタは、低コストのフルカスタムASICベースおよびFPGAベースの設計用に最小限のシリコン・チップ面積で設計されているため、プロセッサの隅に実装でき、インタコネクタ処理に必要な実スペースを減らしています。シリアル・インタフェースのRapidIOでは、DSPのような電力やピン数に要求が厳しい設計のために非常に少ないピン数を実現しています。

RapidIOの標準FPGAとの互換性、今日のFPGAデバイスでは、ほんのわずかな面積で実装可能な点、合わせてASICまたはマイクロプロセッサに複数ポート実装が可能なことから、すばやいプロトタイピング、低コスト製造、新製品発表までの時間短縮が可能です。設計エンジニアは、新しいI/Oチップに複数のRapidIOポートを追加でき、専用スイッチングICを追加するコストをかけずに、ファブリック・インタコネクタの性能メリットが利用できます。

マルチプロセッシング対応

RapidIOアーキテクチャは、オプションの分散共有メモリ拡張機能により、ハードウェア支援の対称型マイクロプロセッシングを提供します。分散共有メモリは、コンピュータ・ワークステーション、サーバ市場で広く使用されており、高性能組込み型アプリケーションではさらに普及しています。またこの機能は、分散メモリ・コントローラを持つシステム内の単独プロセッサのキャッシュ・コヒーレンシを維持するためにも有用です。

このアーキテクチャは、Numa（物理アドレスを持つ）、ccNuma、メッセージ・パッシングなどの複数のプログラミング・モデルをサポートし、1つのシステム内で分散I/Oプロセッシングおよび汎用マルチプロセッシングを同時に行えます。

RapidIO

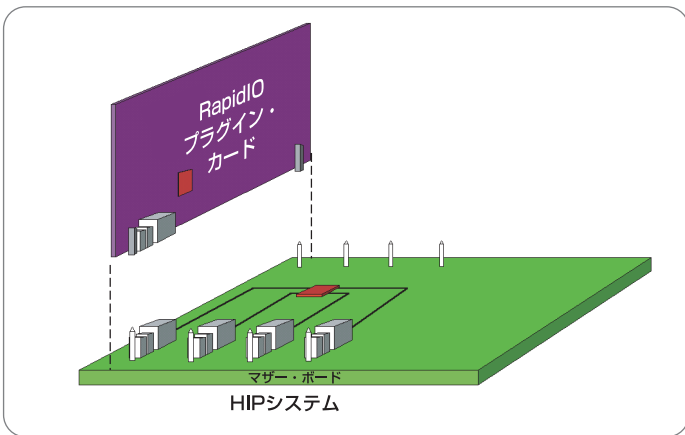
▶ テクニカル・ブリーフ

HIP (ハードウェア相互運用プラットフォーム)

RapidIOバス技術は、通信市場における次世代ネットワーク機器の開発に必要な広データ帯域幅、ソフトウェアの独立性、フォールト・トレランス、低レイテンシを提供しますが、解決しなければならない新しいコンプライアンスおよび相互運用性の問題ももたらします。

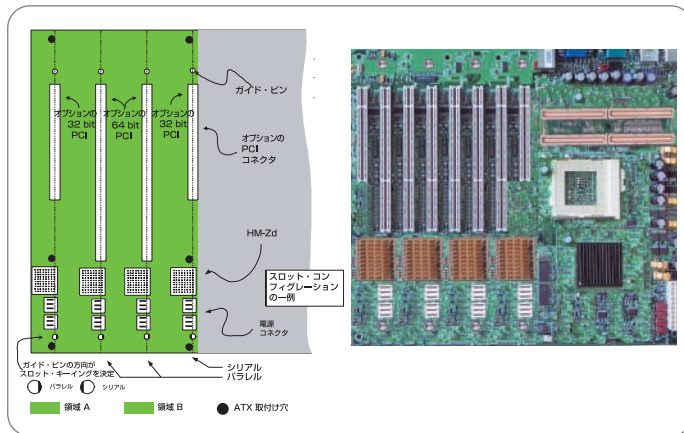
新しい規格を成功させるために重要な要素は、複数のベンダのシリコンをシームレスに組み込むことを示すことで、相互運用プラットフォームは不可欠です。RapidIOのHIP (ハードウェア相互運用プラットフォーム) アーキテクチャは、RapidIO技術に関わる複数のベンダによるプロトタイプングを促進するための手段です。このアーキテクチャは、シリコン・ベンダが相互運用性を示すための共通環境を提供し、多くの機器、半導体メーカーに対して門戸を開放します。

このHIPアーキテクチャでは、スイッチ・ファブリックとエンド・ポイントの大きさを共通にし、相互運用性テストに影響を与える重要な要素である電力およびRapidIOシグナル・パスに共通コネクタ、共通のピン配置にしています。このアーキテクチャは、マザーボードとRapidIOプラグイン・カードで構成されています。HIPマザーボードは、図2に示すように、RapidIOプラグイン・カードへのRapidIO接続を提供することを目的としています。



▶ 図2. HIPアーキテクチャ

HIPマザーボードは、ATX仕様 (REF3) に準拠しており、取り付け穴の位置、ATXの大きさ、RapidIOプラグイン・カード・スロット位置、電源コネクタ・タイプがATX仕様に適合するため、必要に応じてATX筐体内でマザーボードが使用でき、ATX電源を使用できるようになっています。電源コネクタの位置は、マザーボードと電源がATX筐体内に実装されている場合、標準ATX電源ハーネスの範囲内でなければなりません。ATX筐体で使用されている場合、電力は標準ATX電源から供給され、RapidIOプラグイン・カードにカード・ガイドを使用できます。図3はHPマザーボードの実装例です。

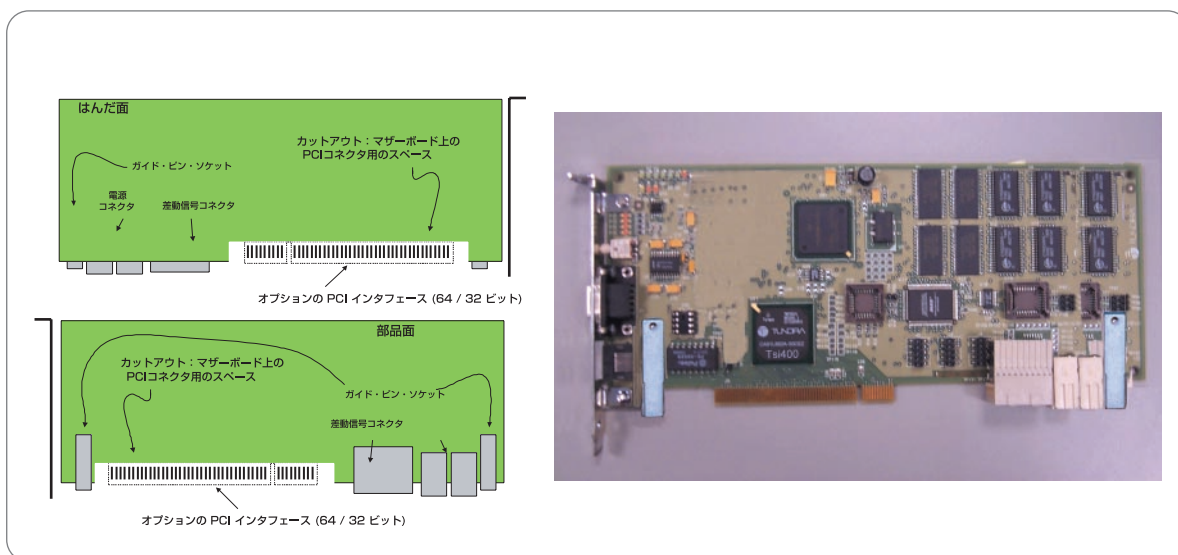


▶ 図3. HIPマザーボードの実装例

RapidIOプラグイン・カード・スロットを使用して、PCIまたはRapidIOプラグイン・カードを実装できます。RapidIOプラグイン・カードは、図3に示すように、使用するRapidIOコネクタの幅から、標準PCIカード・スロット2個分を使用します。RapidIOプラグイン・カードにより、差動トレース信号ルーティングが簡単に行え、またコンポーネントの高さに余裕ができるため、CPUのヒート・シンクとファンを取り付けることができます。RapidIOプラグイン・カード・スロットは、電源コネクタ2個のほかに、RapidIO差動信号コネクタをサポートし、追加PCIコネクタもオプションでサポートできます。図4は、プラグイン・カード・スロットの実装例です。

HIPアーキテクチャは、シリコン・ベンダが相互運用性を示す共通環境だけではなく、相互運用がうまくいかない場合には、なぜシリコンはうまく相互運用できないのかを評価する共通環境をも提供します。2つのポイント・ツー・ポイント・デバイス間の2GHzのデータ・パスが通信に失敗すると、何が起きるでしょうか。エラーが発生すると、設計エンジニアは、エラーを正確に観察、評価、解析、デバッグしなければなりません。

ロジック・アナライザ、オシロスコープ、プローブ、テスト・ソフトウェアなどの測定器とこのプラットフォームを併用することにより、こうしたエラーを正確に評価、解析でき、確実に設計を通信規格に準拠させることができます。



▶ 図4. プラグイン・カード・スロットの実装例

RapidIOのプロトコルとトランザクション

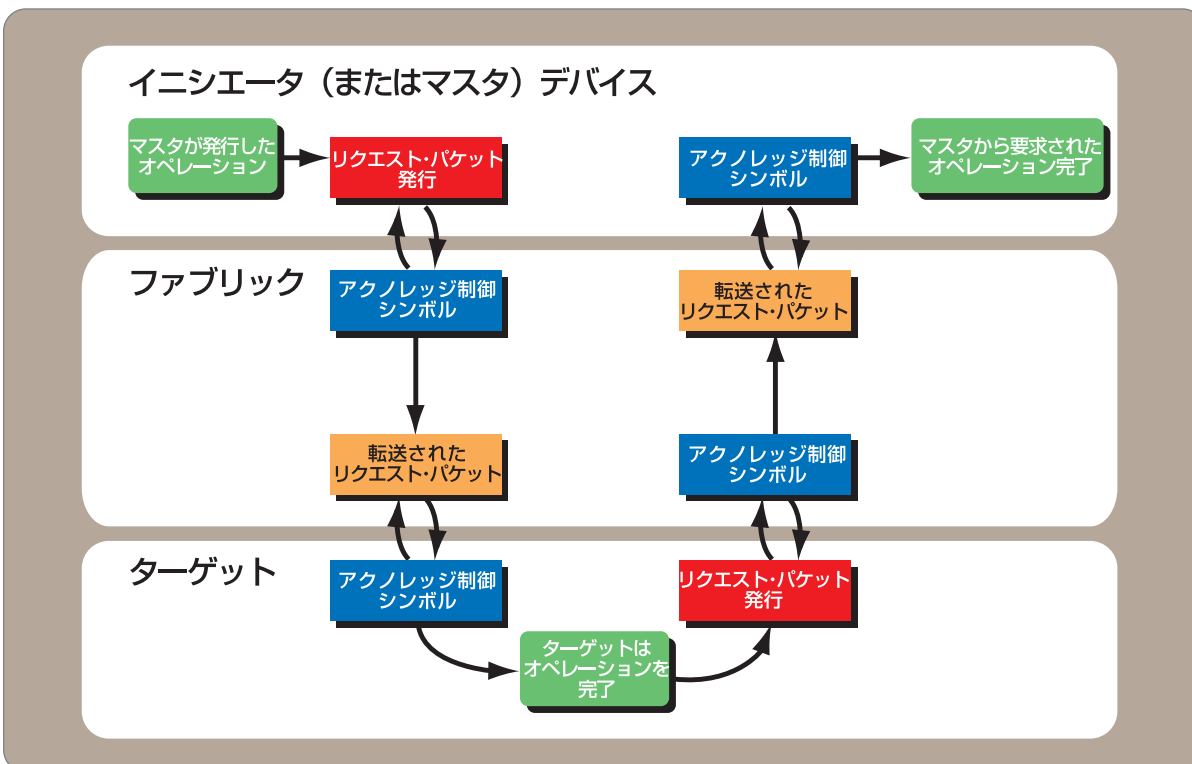
RapidIOのエンド・ポイント、つまりイニシエータ・デバイスとターゲット・デバイスが、直接接続されていることはまずありません。ほとんどの場合、メッセージやトランザクションは、間にあるRapidIOファブリックを通過します。通信要素、特にリクエスト・パケットとレスポンス・パケットの対は、システム内のエンド・ポイント・デバイス間でメッセージやトランザクションを伝送します。制御シンボルを使用して、パケット・アクノリッジ、フロー制御、メンテナンスの機能を実行し、RapidIO物理層のトランザクションのフローを管理します。

RapidIOシステム内のパケットの流れ

図5は、RapidIOシステム内のパケットの流れを示しています。複雑なファブリックの場合、イニシエータ・デバイスとターゲット・デバイス間にはいくつかのファブリック・デバイスがあることがあります。これらのファブリック要素間で、パケットは同じ手順を経て保持、転送、通知されます。制御シンボルは、エラーの検出および再送信要求を示すこともあります。データ・ペイロードのサイズは、1 256バイトで可変です。

イベントは、次の順に発生します（図5参照）。

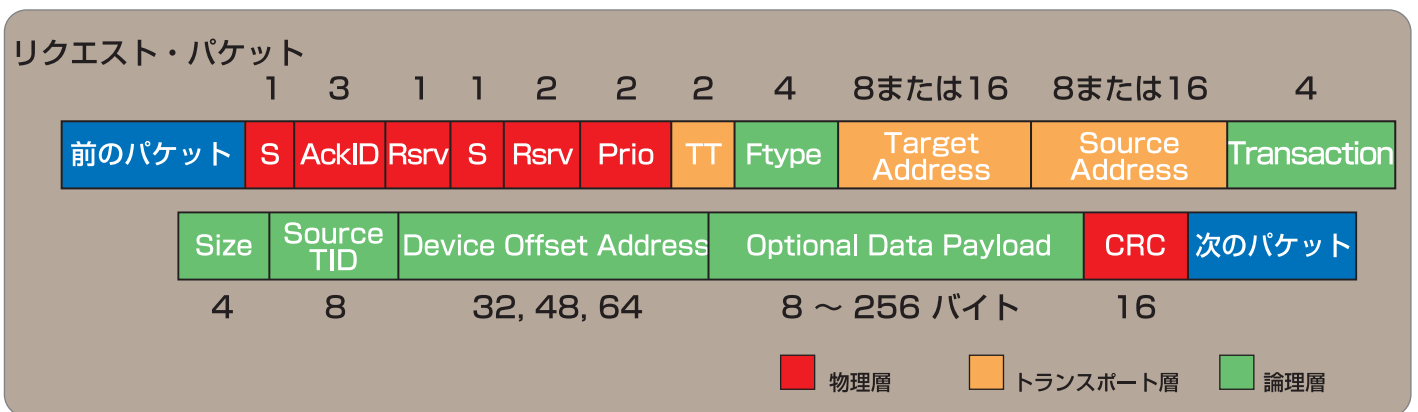
- (1) イニシエータ・デバイス、すなわちマスタは、リクエスト・パケットを発行してトランザクションを開始します。このパケットは、ファブリック・デバイスに送信されます。
- (2) ファブリック・デバイスはリクエスト・パケットをストアし、イニシエータ・デバイスにアクノリッジ制御シンボルを返信します。
- (3) リクエスト・パケットは、ターゲット・デバイスに転送されます。
- (4) ターゲット・デバイスは、ファブリック・デバイスにアクノリッジ制御シンボルを返信し、要求されたオペレーションを実行します。
- (5) 要求されたオペレーションが完了すると、ターゲット・デバイスはファブリック・デバイスにレスポンス・パケットを返信します。
- (6) ファブリック・デバイスはレスポンス・パケットをストアし、ターゲット・デバイスにアクノリッジ制御シンボルを返信します。
- (7) レスポンス・パケットはイニシエータ、つまりマスタ・デバイスに転送されます。
- (8) マスタ・デバイスは、ファブリック・デバイスにアクノリッジ制御シンボルを返信します。
- (9) 以上で、マスタ・デバイスはトランザクションが完了し、レスポンス・データがあればデータを受領したことを「認識」します。



▶ 図5. パケットの流れ

パケットの構築

図6は、リクエスト・パケットの構造を示しています。パケット・フォーマットは、任意の幅をサポートしますが、特に1、4、8、16、32ビット幅の物理インタフェースに最適化されています。このフォーマットは、エンド・ポイントでのパケットの組み立て、分解を簡単にするために分割されています。フィールドの上の数字は、該当するフィールドのビット長です。



▶ 図6. パケット・フォーマット

図6のパケットのフィールドは、次のように定義されています。

S:	データ・パケットか制御シンボルかを識別
AckID:	ファブリック・デバイスまたはターゲットが制御シンボルで応答するパケット（またはグループ）のID。RapidIOは、2つの隣接するデバイス間で最高8個の無応答パケットをサポート。
PRIO:	パケットの優先順位、フロー制御で使用
TT:	使用するトランスポート・アドレスのメカニズムのタイプ
Ftype:	フォーマット・タイプ。要求されているトランザクションを示す（以下を参照）
Target Address:	パケットが配信されるアドレス
Source Address:	パケットの送信元
Transaction:	要求されているトランザクション（以下を参照）
Size:	エンコードされたトランザクションのサイズ
srcTID:	ソース・トランザクションID。RapidIOデバイスは、2個のエンド・ポイント間で最高256の未処理トランザクションを持つことが可能
Device Offset:	メモリ・マップ方式のトランザクションのアドレス
Optional Data Payload:	「書き込み」オペレーション用。サイズは1～256バイト
CRC:	エラー検出用に中間挿入されるCyclic Redundancy Code。ロング・パケットにのみ存在。
Optional Data Payload:	データ・ペイロード（オプション）
CRC:	最終エラー検出用CRC。ショート・パケット、ロング・パケットの両方に存在

RapidIO

▶ テクニカル・ブリーフ

レスポンス・パケットは、構造がよく似ています。リクエスト・パケットの「Size」フィールドは、レスポンス・パケットでは「Status」フィールドに置き換えられます。「Status」フィールドは、トランザクションが正常に終了したかどうかを示します。リクエスト・パケットの「srcTID」フィールドは、レスポンス・パケットでは「TargetTID」フィールドに置き換えられます。「TargetTID」フィールドには、対応するリクエスト・パケットのトランザクションIDが含まれています。リクエスト・パケットの「Device Offset Address」フィールドは、レスポンス・パケットにはありません。

リクエスト・パケットとレスポンス・パケットの両方に、「Ftype」と「transaction」フィールドが含まれていますが、これらは次の表に従ってトランザクションのタイプを定義するために使用します。

Ftype	クラス	トランザクション例	論理仕様
0、15	ユーザ	ユーザ定義	すべて
1	インターベンション・リクエスト	現在の「オーナー」からの読み取り	GSM
2	ノン・インターベンション・リクエスト	ホームからの読み取り、非コヒーレント読み取り、I/O読み取り、TLB sync、ATOMIC	GSM、IOS
5	書き込み要求	キャストアウト、フラッシュ、非コヒーレント書き込み、ATOMICスワップ	GSM、IOS
6	ストリーミング書き込み	ストリーム書き込み	IOS
8	メンテナンス	コンフィグレーション、コントロール、ステータス・レジスタの読み取りおよび書き込み	すべて
10	ドアベル	インバンド・インタラプト	MSG
11	メッセージ	メールボックス	MSG
13	レスポンス	読み取りおよび書き込み応答	すべて
3、4、7、9、12、14	予約		

GSM = グローバル共有メモリ拡張機能 (オプション)

IOS = 基本的な入出力システム

MSG = メッセージ・パッシング拡張機能

フロー制御

フロー制御は、RapidIO物理仕様の一部として定義されています。フロー制御には、リトライ、スロットル、クレジットベースの3つがあります。

フロー制御のリトライ・タイプは、フロー制御の最も簡単なメカニズムで、ハードウェアのエラー・リカバリ機構の一部でもあります。受信デバイスが、リソース不足のため、またはエラーが検出されたためにパケットを受信できない場合、このデバイスはパケットの再送を要求する制御シンボルで応答できます。

フロー制御のスロットル・タイプでは、デバイスはアイドル制御シンボルを使用してパケットの中央に「ウェイト・ステート」を挿入できます。受信デバイスは、このアイドル制御シンボルを使用して伝送速度を落とすように要求することもできます。

フロー制御のクレジットベース・タイプは、トランザクション・バッファまたはバッファ・プールを備えたファブリック・デバイスなどで使用されます。制御シンボルの中には、バッファ・ステータス・フィールドを持つものもあります。宛先デバイスにパケットを保存できる十分なバッファ・スペースがあるときのみ、送信側はパケットを送信します。

RapidIOの実装

基板対基板のRapidIO通信には、特別なバックプレーンが必要になりますが、まだ仕様は策定されていません。しかし、バックプレーン上の汎用高速シリアル接続を標準化するための取り組みは、シリアルRapidIO技術に応用され、PICMGにおける新しいシリアル技術の活用に向けて進められています。

まとめ

RapidIOアーキテクチャが提供する伝送速度の大幅な高速化は、次世代ネットワーク/通信機器の開発を可能にしますが、製品にRapidIOポートを搭載する前に解決しなければならないコンプライアンスおよび相互運用性の問題が伴います。

HIP（ハードウェア相互運用プラットフォーム）は、RapidIO技術に関わる多くのベンダによるプロトタイプ化を促進するよう設計されており、ベンダは相互運用性を示すことができます。このプラットフォームに、ロジック・アナライザ、オシロスコープ、プローブ、テスト・ソフトウェアなどの測定器を使用すれば、エラー原因を判断するために必要なツールが実現します。

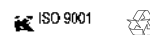
RapidIO実装のための当社のソリューションについては、www.tektronix.co.jp/rapid_io をご参照ください。



RapidIO実装用の総合的なツール・セット

当社のトップクラスのロジック・アナライザ、高性能オシロスコープ、豊富なプローブが提供する、優れたプロービング、トリガ、表示、解析機能により、設計にRapidIOをすばやく簡単に採り入れることができます。

最新製品情報については、当社ホームページ（www.tektronix.com）または www.tektronix.co.jp）をご参照ください。



Copyright © 2002, Tektronix, Inc. All rights reserved. Tektronix の製品は、発行済み、出願中を問わず、米国およびその他の国の特許法で保護されています。本文書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。参照されているその他のすべての商品名は、該当する各会社保有するサービス・マーク、商標、または登録商標です。07/02 HMH/BT 5AW-15975-0

Tektronix

Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティ B棟6階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問合せください。

TEL 03-6714-3010 FAX 0120-046-011

電話受付時間 / 9:00~12:00・13:00~19:00 月曜~金曜 (祝日は除く)

当社ホームページをご覧ください。 <http://www.tektronix.co.jp/>
お客様コールセンター ccc.jp@tektronix.com

●記載内容は予告なく変更することがありますので、あらかじめご了承ください。