



## TekConnect™ 探头： 信号保真问题与建模

高性能 Tektronix 探头和示波器之间的 TekConnect 接口，为业界提供了一种全新的探头连接标准，其带宽完全能满足信号完整性测量在各方面的需要。因此，了解高性能探头测量问题和建模技术，对改进信号保真度甚为重要。

### 高性能设计、测量

数字设计和通信市场对性能的需求似乎永无止境，这一势头拉动了时钟速率与电路密度的不断攀高。这些性能指标的提高已经在设计实践中产生了显著的变化，工程技术人员已经不得不更加注意信号完整性问题以产生可靠的设计。虽然信号完整性纲要性指南、甚至模拟工具正越来越多地用来在高性能电路板的布局上辅助设计人员，但聪明的设计师还是要利用电子测量工具检验其设计的性能。正象今天的高性能的设计，

需要在设计过程中考虑信号完整性问题一样，在测量过程中也必须考虑到类似的信号保真问题。而且正象信号完整性的设计模拟，正成为线路布局过程中的一个越来越重要的部分一样，探头负载效应和探头测量响应的建模，正成为测量过程的一个更为关键的部分。

### 信号完整性综述

在数字逻辑电路设计的初期，许多设计不需要为了性能可靠而慎重的进行布局。那时逻辑选通的上升时间相对缓慢，允许人们采用 IC 插座和绕接互连等制造技术，这在当今的高性能设计中是不能容忍的。虽然没有“高性能设计”的准确定义，但本文所认为的高性能设计应该是这样一种设计，即信号互连设计是最终设计性能的一个关键部分。通常，高性能设计是在物理布局设计中，必须考虑到传输线效应的一种设计。因高性能设计的物理布局而产生的噪声问题，通常被认为是信号完整性问题。信号完整性问题是由于信号的有限传播速度产生的。当互连点之间的信号的传播延迟，变得与信号的上升时间相当时，就必须要考虑到信号完整性问题。在本文中将就以下几个方面简要回顾信号完整性问题：

- 反射噪声
- 串扰噪声
- 电源/接地开关噪声

因为处理信号完整性问题，已经成为高性能设计的关键部分，电路板设计工具，就成为设计人员进行布局处理的助手。最新的这些布局工具使用模拟技术分析，并且在某些情况下指导布局处理。信号完整性模拟工具从布局拓扑结构中提取促成反射、串扰和电源/接地开关噪声的各种参数。

虽然现存的信号完整性模拟工具，可以帮助设计人员处理潜在的信号完整性噪声问题，但模拟结果的质量取决于许多输入参数，最终还是要通过物理测量来验证。例如，电路板上的互连传输线分析，取决于轨迹与最近平面层之间的间距，以及电路板材料的介电常数。然而，电路板在物理工艺过程以及在构造中使用的材料的不同，都可对轨迹间距和电路板的介电常数产生影响。电路板元件的输出驱动器的上升时间，也在相当程度上取决于集成电路不同工艺过程，并在某种程度上也取决于环境因素。既然信号的上升时间对信号完整性噪声问题已经具有直接影响，至少应进行一些信号完整性模拟检验，以确信模拟与实际相符，从而避免临界性能问题。

造成高性能设计中信号完整性噪声问题的互连寄生现象，同样也可造成测量精度的欠缺。对于不同的测量信号上升时间和信号网络物理拓扑结构，有的情况下需要将连接到信号测量点的探头看成是一个寄生元件。将不良的高频探接技术所导致的测量反常，不正确地归咎于设计问题并非罕见。使用无足够响应速度和精度的测量设备，也可导致对信号性能解释上的误差。探接测量的精度在本文中称为信号保真度。在高性能设计中了解产生不良信号保真度的问题是必要的。信号保真度问题不但包括测量系统的基本性能，也包括探接电路时的负载效应。在本文中将要回顾在高性能探接测量中的信号完整性问题是：

- 探头带宽/上升时间
- 探头动态范围
- 探头负载
- 探头接地
- 探头谐振效应

要想最大限度地提高信号保真度，既需要慎重选择测量设备，又需要在捕获信号时小心使用该设备。只有当信号保真问题，为设计人员所理解并考虑在设计中，才能使他坚信其测量能够精确表示一个高性能设计中的信号。

理想的探头应该使所进行的测量对被探接的电路没有影响，并且能以足够的精度表示实测信号。理想探头只能在理想世界中才能找到，而现实世界的信号保真度问题必须要了解并对之细心应用测量技术，使得所测量的是电路响应而不是探头响应。为存在于负载测量节点过程中的探头寄生现象的效应，而建立模型并不是一件新事（请参见第 27 页的参考资料），但对于高性能测量建模任务变得更加复杂。在本文中将要介绍探头

负载模型，它比以前介绍过的单纯 RLC 模型更加精确。此前还曾介绍过探头带宽和上升时间对实测信号响应的影响，但通常总是给出这样的指导原则：使用相当于实测信号带宽的三到五倍的探头进行测量。对于当今的高性能设计，要找到满足上述指导原则的具有足够高带宽的探头，即使不是不可能，也是非常困难的。在本文中介绍的探头模型，将使设计人员能够模拟探头性能和负载对实测信号的影响效应。

## 信号完整性挑战 — 高性能设计问题

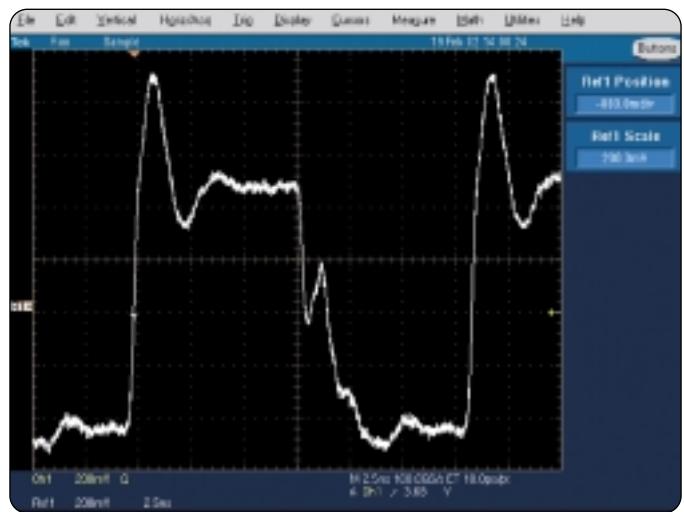
在高性能的数字设计中，互连已经成为一个关键的设计因素。理想的互连应当是没有 RLC 寄生现象、零传播延迟，或与其他互连的交互作用。因为物理定律支配着互连，具有这些理想参数的互连是不存在的。然而，根据互连的长度和信号在互连上传送的速度，一些非理想作用是可以忽视的。对于非常缓慢信号，信号上升时间比在互连上的信号传播慢得多，互连寄生现象是可被忽略的，该互连可以认为是理想的。对那些在较短的互连上传送得快一些的信号，互连上的信号传播延迟就必须考虑，在这种情况下可以使用集总电路模型，它只将电源电阻和代表电路网中寄生电容的集总电容考虑在内。对于更快一些的信号，或需要更详细模拟的地方，集总电路模型可能需要增加其精细程度以包括寄生电感效应的模拟。对于最高性能的数字设计，信号的速度最终需要一个更复杂的分布电路模型，哪怕是对于一个相对短的互连。

分布电路分析在集总电路分析所使用的电压和时间因子的基础上增添了距离因子。如果一个随时间变化的电压，沿着互连的不同长度距离也显著变化，则该互连必须认定是一条传输线。信号在传输线以一定的速度传输，这个速度取决于传输线周围材料的物理特性，并且一般比光速慢一些。对于在 FR-4 电路板材料上的微带传输线，其传播速度大约为 150 ps/英寸，这大约为光速的一半。对于一个 500 ps 的信号上升时间而言，传输线的长度超过大约三英寸时，信号上升时间的变化就可以观察到（ $\text{长度} = \text{信号上升时间}/\text{传输速度}$ ）。可以应用的保守的指导原则是，对超过信号变化传送长度  $1/6$  的互连，可以预计会表现出传输线效应（例如，对微带传输线 0.5 英寸）。

## 探头和信号保真度

► 技术短篇

对于具有快速上升时间信号或长而重的负载信号通路的互连，如果没有考虑传输线效应，那么定时或噪声问题可以导致设计失败。在高性能数字设计中，由于互连延迟现在成了即使不是支配性的，也是重要的时间延迟，因此在电路板布局时，必须小心监控轨迹路径的距离。在同步设计中，这一点对时钟信号特别重要，时钟路径必须小心地相配，以免把多余的时钟偏差引进到设计的定时界限。随着系统时钟频率的增加，信号定时的误差界限也有所减少，以满足减少了的建立和保持时间的要求。由传输线效应引起的噪声问题，包括反射噪声、串扰噪声和电源/接地开关噪声（有关详细信息，请参见第 27 页参考资料中的 Howard Johnson 和 Martin Graham 一书）。这些噪声问题可以导致严重的数字信号波形变形。如果变形比较严重，超过逻辑装置的噪声边界，就会产生信号误差，而设计就会失败。图 1 显示的是可能在高性能数字信号中看到信号波动的例子，这种波动可以是前面提到的任何一种信号完整性噪声源造成的。在图 1 中的信号是一个被严重错误终止了的 62 MHz PECL 时钟信号。请注意信号波动的下降边沿发生在逻辑选通的位置，并可能导致该下降边沿的不正确定时。不幸的是，图 1 中的信号波动还可能是由于不适当的测量设备操作，或探接技术而导致的人为结果。了解这类噪声的可能原因对于分离和消除真正问题所在是很重要的。



► 图 1 由于错误终止的互连造成的信号波动。

## 反射噪声

传输线互连的一个关键参数是特征阻抗。反射噪声是信号沿互连路径传送时看的阻抗间断性引起。这些阻抗的间断性可以发生在信号源，包括由于各种原因沿着互连路径的特征阻抗变化，或是由于在信号通路终止端的阻抗失配。沿互连路径的特征阻抗变化的原因包括：信号通路的线头或分岔的间断性，沿线的信号检测节点的负载变动，路径穿过通路或在不同的电路板层上，或来自交流电流返回通路的间断性。由此造成的反射噪声，可以导致时间延迟的增加、信号跃迁时的震荡，以及过度的信号过冲和下冲。对反射噪声的补救包括：各种传输线终止技术、点到点连接的信号缓冲、菊花链轨迹而不是分岔，以及利用一个连续传输线路基准面作为洁净的返回电流路径。

## 串扰噪声

串扰噪声是由传输线轨迹间的信号电磁耦合引起的。使用集总电路分析对串扰建模，既包括了互电感和互电容两者完成的。这两种效应取决于信号的变化率，因此对高性能设计更加重要。从传输线理论的角度看，在两个或更多传输线之间的耦合，造成被影响线路的特征阻抗的改变和传播延迟。传输线耦合还导致串音效应，即在一条线上的信号，可以将它的一部分能量耦合到相邻的线上。像反射噪声一样，串扰噪声受信号上升时间、线路长度、终止和返回通路连续性的影响，此外还受线距和轨迹方向的影响。由于从“侵略者”线路到“受害者”线路的噪声耦合，错误信号反而可能发生在安静的信号轨迹上。由于互电感和互电容效应的结合，所引起的串扰噪声在“受害者”线路的近端和远端是不同的。串扰噪声的故障排除有时也是很困难的，因为它是模式从属的，并且可能仅仅表现为间断性故障。尽管如此，串音效应也并非一无是处，因为在特意将两条线路靠近并由互补信号驱动的情况下，耦合是有益于差分信令的。对串扰噪声的补救方法包括：增加额外的轨距，最小化长距离平行轨迹布线，增加信号线之间的接地保护范围，和对临界信号使用差分信令。

### 电源/接地开关噪声

电源/接地开关噪声是由在电源层及接地层，产生电压波动的配电网瞬态电流引起的。因为地面通常被用作数字接收器输入选通的参考电位，波及接地电位的瞬态电流可以导致输入选通的显著变化。这种电压改变表现为额外的噪声源，造成可能的信号误差。虽然旁路电容通常横跨电路板以限制瞬态电流的影响，但是其大小、相对于大电流瞬态值的电源的分布模式，以及旁路电容路通路中的电感，决定了在电源/接地网络中看到的毛刺数量。瞬态电流的速度也对离散的旁路电容网络的效力有影响，而且对最快的瞬态电流，多层电路板的电源层和接地层间形成的寄生旁路电容大概是最有效的。有一种电源/接地开关噪声称为同时开关噪声(SSN)，或称为接地颤动，是由多重的输出驱动器同时进行状态转换而引起的。SSN 的效应不但在电路板级可以看到，而且在芯片级也可以看到，那是装置封装中的电感会产生的问题。SSN 也是一种模式从属的噪声问题，由于它的间断特性，故障排除也很困难。对电源/接地开关噪声的补救方法包括：用最低的寄生电感小心放置接近 IC 封装件插脚的旁路电容，在多层电路板拓扑结构中使用彼此紧靠的完整的电源层和接地层，小心选择可编程 IC 或 ASIC 的引脚，以确保足够的电源及接地插脚的数量，同样需要小心放置输出驱动器的插脚，以扩散驱动器瞬态效应，还有对临界信号使用差分信令。

信号完整性噪声问题，如前面所提到的一样，必须专注于周密的电路板布局技术。许多年前，在没有成熟的电路板布局电脑工具之前，全部的电路板都是手工布线的。由于在那时装置的边缘速率，比当今所具有的慢若干数量级，而且在板上电路的密度，比如今所看到的小得多，信号完整性问题一般不成其为问题。用于电路板设计的第一个自动寻径布线工具的开发，改进了电路板设计过程的效率。虽然理所当然地比手工布线快，这种早期工具经常创造出长而卷曲的布线通路，从而需要彻底进行后处理复审并有选择地进行再布线，以避免潜在的信号完整性问题。由于数字系统边缘速度的增加，信号完整性问题开始影响更多的数字设计，因而改进的布线工具被设计出来以应对新出现的信号完整问题。第一个这样的改进型电路板布局自动布线工具，包含了用物理设计规则制约布局设计的性能。这物理设计规则，包括全程的和针对网络的，都对这样一些物理属性作了规定，这些属性包括：最大轨迹延迟、最大线头长度、轨迹到轨迹的最大平行度，以及到终止电阻器的最大长度。依据物理设计规则的布线，要求设计者将电气要求转换成物理约束条件，但仍然是对没有约束的自动布线工艺的重要改进，没有约束的自动布线工艺必须继之以对布局的后处理复审。然而，由于高性能设计日益增加的复杂性，这种后处理布局复审，对遗漏潜在的信号完整性问题提供了很大的机会。对高性能数字系统线路板设计工具的最新改进，是增加了基于信号完整性和定时分析的电气设计规则。将电气设计规则应用于电路板自动布线，减少了设计者把电气要求转换为物理约束条件的需求。对这种转换需求的减少，是大型模拟工作中建立定时和噪声预算所需要的，因为那信号完整性分析是将模拟过程作为放置和布线过程的一部分而设计的。因为这些互连分析设计工具在布线过程中，不断地执行分析而不是一种后处理操作，因此只需要极少的重复布线，而细节的后处理检验将得以减少。

尽管对电路板布线工具能力的改进，已经减少了造成高性能数字电路板，因信号完整性问题而失败的风险，但还是没有完全消除所有的信号完整性问题。与任何模拟工具相似，以信号完整性分析来驱动的布线工具，不可能比模拟中所使用的模型更好。信号完整性分析工具在其互连分析模拟中，通常使用符合工业标准 IBIS（输入/输出缓冲信息规范）的模型。这些行为模型可以表示出设备驱动程序的 I/V 特征、上升时间和下降时间特征、保护二极管钳位器的存在，以及封装寄生现象等。模拟工具所使用的 IBIS 模型，将理想地表示出信号完整性分析的最坏的条件。如果这些模型起源于典型的装置测量，而不是起源于包括最坏情况处理参数变化的集成电路仿真数据，那么模拟结果将不会表示出最坏情况的噪声条件。同样地，电路板环境的模拟将建立在轨迹宽度和介质层厚度的基础上；由于一般电路板制造过程中的某些变化因素，这样的宽度和厚度会有所变化。由于这些可变因素以及其他类似的问题，对于每个高性能设计都还存在检验关键信号的信号完整性的需要。用于这些关键信号完整性检验的测量仪器，必须具备必要的性能以精确地查看波形的质量，而不至于由于其负载而过分干扰波形形状。

### 信号保真度挑战 — 高性能的探接测量问题

检验高性能设计的信号完整性的标准测量工具是时间域示波器。另一种附加的测量工具是示波器探头，它对清洁地将实测信号传递到示波器的输入通道是十分关键的。理想的示波器探头不会干扰实测信号，并应当如实地复制出现在探头尖上的信号的响应。对于低频信号，接近这种理想的探头的性能是有可能的。还有各种类型的探头，可供满足不同测量应用的需要（请参见第 27 页中参考资料清单的《探头 ABC》部分）。对于高性能测量，推荐的探头类型通常是高速的有源探头。对于高性能信号，存在着许多复杂的、实测信号响应可以轻易扭曲的因素，在负载和响应保真度两方面都背离理想的探头性能。本文中的高性能探接测量定义为：在需要至少 1 GHz 带宽的传输线环境下进行的信号测量。要在实施高性能测量时保持信号保真度，需要对下面内容的理解。

### TekConnect: 先进的信号保真度探接接口

从真空管电路时代开始，在示波器前面板上的传统的探头接口一直是 BNC 连接器。甚至在 80 年代中，探头的电源供给和偏移控制被集成到 TekProbe™ 中后，BNC 还为测量信号路径保留了可选的连接器。TekConnect 探头接口是最近开发的，用来解决 BNC 连接器的带宽限制问题，并提供改进的可靠性和易用性（请参见图 A）。

高质量 BNC 连接器的最大可用带宽约为 4 GHz。因为认识到了超过 4 GHz 的测量带宽的市场需求正在增长，TekConnect 设计了带有 BMA 连接器的探头接口。BMA 连接器是一其大小和性能与到 SMA 连接器相似的盲配连接器，但是有一无螺纹的外部接地。BMA 连接器提供 50 ohm 的同轴互连，能够支持高达 18 GHz 的高质量电气性能。在 TekConnect 接口上，通过一个固定在它的“桶形”侧面的弹簧接片，提供了对探头电源和控制信号的支持。这个镀金的弹簧接片，是与 TekConnect 的“鼻状”侧面上的一个小电路板上的镀金衬垫相配合的。



► 图 A TekConnect 探头接口。

## 探头带宽/上升时间

探头带宽是指探头的频率响应特性和指定该探头正常运行频率的范围。因为探头是用来将实测信号连接到示波器的输入端，探头和示波器合起来的系统带宽实际上比仅是探头带宽更重要。如果测量系统带宽是无限的，并且它的响应呈完美的线形，它就应该能够精确地再现探头尖端上测量到的任何信号。然而，对于一个具备有限带宽和不完善响应的现实中的测量系统，总是要产生对真实输入信号扭曲的表示。为了尽量减少这种变形，最好是测量带宽和上升时间比实测信号快三到五倍。由于持续的对更高测量带宽的市场需求，Tektronix 具有一款高性能的示波器/探头接口称作 TekConnect（请参见第 8 页的《TekConnect：先进的信号保真度探头接口》）。

由于示波器探头主要用来进行时间域测量，探头上升时间常被认为是比其带宽更重要的技术参数。另外，因为探头带宽与其上升时间成反比，探头上升时间经常是一个保证的技术参数，而其带宽则常作为典型技术参数列出，并且可以通过上升时间 - 带宽乘积计算得出。然而，最高性能探头的带宽，现在正在生产测试进程中直接进行检验。对于大多数的探头，带宽与上升时间的乘积是一在 0.35 到 0.45 之间的常数，其大小通常取决于探头响应峰值。因为与探头相连接的示波器具有限的上升时间，示波器/探头结合系统的上升时间也应被测量或计算。测量系统上升时间的近似公式是：

$$\text{测量系统上升时间} = \sqrt{(\text{示波器上升时间}^2 + \text{探头上升时间}^2)}$$

请注意这个近似的系统上升时间公式，仅仅适用于无交互影响的线性系统的叠加。幸运的是，TekConnect 接口具有智能特性，当 TekConnect 探头连接到 TekConnect 示波器时，可对系统上升时间加以改进。为达到最好的信号保真度，通常建议测量系统上升时间比实测信号快三到五倍。

TekConnect 接口还具有便利的、强制锁定的机械连接的特色。TekConnect 探头或适配器的连接，是通过将“鼻状”件推入接口的“桶形”侧面完成的。接口的“桶形”侧面的弹簧拉入力保证了可靠的连接，并且接口的“鼻状”件的锁定机构又保持接口的连接，除非要有意松开。探头或适配器的松开是单手操作：在按下锁定释放按钮的同时将探头或适配器拔出。除了使未来探头带宽至少有扩展到 18 GHz 的余地，TekConnect 接口还提供一些附加的电气和机械特性，这将迎合大多数客户的需求。

## 改进的示波器/探头的通信能力

前一代的 TekProbe-BNC 接口有一个示波器/探头通信协议，但是它通常局限于那些只读特性：如探头类型识别、探头换算因子、探头动态范围、探头偏移量范围等等。TekConnect 接口具备一些新添的控制特性，如电子校准调整、探头参数软切换、示波器中断功能和附件（如 TCA-1MEG 500 MHz 缓冲放大器）叠加等。利用 TekConnect 接口改进示波器/探头通信能力的一个例子是，一些 TekConnect 示波器具备在连接一个探头时，提高测量系统带宽的能力。例如，P7240 的仅探头带宽是 4 GHz，而 TDS7404 示波器的输入带宽，也只有 4 GHz。当 P7240 探头连接到 TDS7404 的输入通道时，使用叠加两个线性放大器这样的常规技术，所得到的预期系统带宽仅有大约 2.8 GHz。

$$\text{预期的系统带宽} = 1/\sqrt{((1/4 \text{ GHz})^2 + (1/4 \text{ GHz})^2)} = 2.8 \text{ GHz}$$

## 探头和信号保真度

► 技术短篇

因为时间域仪器的特性，通常是由其脉冲响应的质量决定的，因此在 Tektronix 设计过程中不仅在探头带宽的最大化方面，而且在探头的脉冲响应中的畸变和不规则的最小化方面，都做出大量的努力。

### 探头动态范围

有源探头的动态范围，是指探头得以提供线性响应的输入电压的范围。当应用于探头输入信号超过探头动态范围时，探头输出到示波器的信号将被压缩。因超过探头动态范围而引起的信号压缩，可使显示出来响应很不精确。这种问题的一个例子如图 2 所示，图中显示的是同一个 PECL 信号，但带有不同的偏移量设置。显示出的 PECL 信号有一大约 1V 的峰值到峰值的逻辑摆幅，幅度在其逻辑选通电平 +3.7V 的范围内。带有 +3.7V 偏移量的下部轨迹完全处于  $\pm 2V$  的探头动态范围内的，而带有仅为 +1.5V 偏移量的上部轨迹中的一部分处于探头动态范围之外。下部的轨迹表明该 PECL 信号有一显著的反射过冲。然而对于上部的轨迹，同样的 PECL 信号因动态范围的限制而被压缩，且看来似乎具有事实上的平坦响应，带有峰值到峰值的轻微压缩。这种错误的响应可能当探头动态范围的限制而被掩盖，实际上可能存在严重的严重问题，使设计人员不正确地以为其电路执行良好（请参见第 12 页的《有源探头动态范围和偏移量》）。

由于 TDS7404 的智能带宽控制能力，示波器能够读取储存在探头的内部 EEPROM 中的仅探头带宽因数，并将连接到 TDS7404 的 P7240 的测量系统带宽提高到大约 4 GHz。如果没有 TekConnect 通信协议和 TDS7404 示波器的智能带宽控制，系统带宽的这种戏剧性增加，只能在以下的情况时才能得到：同样的探头带宽和超过三倍的带宽的示波器，或类似的，同样的示波器探头带宽和超过三倍的带宽的探头。

### 改进的探头接口可靠性

在 TekConnect 设计中示波器/探头接口的电气和机械可靠性都得到了改进。这种可靠性的改进已经被针对 TekConnect 接口进行的广泛的环境测试所证实。TekConnect 设计中的电气接口，既包括 RF 信号连接器，又包括电源/控制插脚。通过使用高质量 BMA 插配连接器和精细的机械设计，以支持无螺纹连接器接口公差要求，并已显示能可靠地插拔数千次。用于探头电源/控制接口插脚块的弹簧接片是标准的、大量加工的元件，并且也进行过数千次的仅带有可以忽略的接触电阻增加量的插拔测试。将弹簧接片块安置在 TekConnect 接口的凹腔处，即“桶形”侧面，可保护插脚不受损害，这将比老式 TekProbe 接口的暴露插脚设计更为可靠。TekConnect 接口的探头电源插脚的可靠性也通过使用一种互连协议得到改进：仅当检测到探头的连接有效时，电源才与插脚接通。这减少了由高合闸电流引起的探头电源插脚的接触损坏或崩溃。对 TekConnect 接口广泛的测试循环和环境测试，已经证实了带开关的探头电源插脚的改进的可靠性。



▶ 图 2 由于超过动态范围造成的信号压缩（上部轨迹）的例子。

### 利用 TekConnect 适配器改进的接口灵活性

TekConnect 接口各种 50 ohm 输入连接器的出现，提供了新水平的灵活性和方便性。现有的高带宽 SMA 和 N 型适配器与更传统的 BNC 适配器在一起。由于 TCA-BNC 适配器，仅向高性能的 TekConnect 垂直通道提供 50 ohm 的输入，新的 TCA-1MEG 缓冲放大器，也可以用来提供更常规的高阻抗 BNC 输入。TekConnect 探头的一个新的、扩展的线路，目前包括带有一个 4 GHz 单端有源探头的 P7240、带有一个 3.5 GHz 差分探头的 P7330，和一个全新的带有 6 GHz 单端有源探头的 P7260，在同样易于使用的 TekConnect 接口上也具备。使用 TekConnect 接口适配器，而不是固定前面板连接器，提供了一种灵活的配置 TekConnect 示波器的方式，使得前面板连接器组可满足不同应用的需要。TekConnect 接口在应用需求改变时，可容易地在探头和适配器之间切换。使用 TekConnect 接口适配器，而不是固定前面板连接器，还提供了一种在高量使用的情况下（例如制造业测试应用中）相对便宜和方便的连接器更换手段。

## 探头和信号保真度

► 技术短篇

### 探头负载

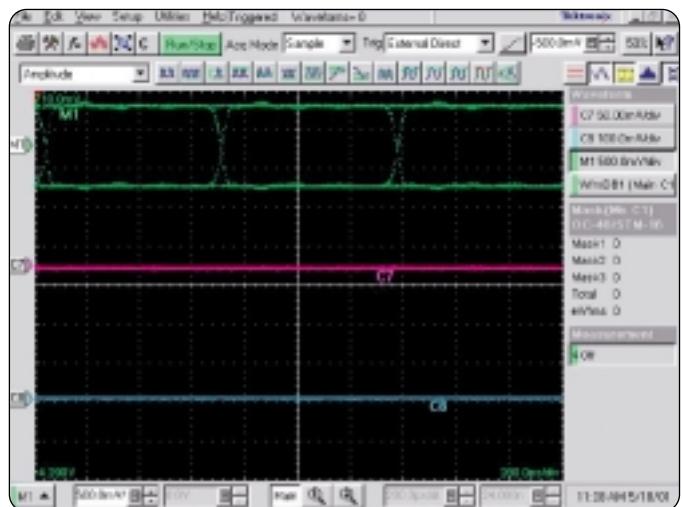
当探头连接到一个测量节点时，它提供一些实测信号的寄生负载。此种寄生负载将导致信号完整性和信号保真度的弱化。实测波形可能有严重的扭曲，也可能没有，这取决于信号的频率组成、测量节点的源阻抗和寄生负载的程度。同时，根据要负载的测量节点的敏感程度，电路功能本身可能会受到影响。大多数的探头同时提供某些规格的 DC 和 AC 负载。4 GHz TekConnect 有源探头的 P7240 的 DC 负载规格是 20 kohm 输入电阻。P7240 的 AC 负载规格是 1 pF 输入电容。此种探头的端部混合联结上设计有一个 5X 输入衰减器。通过使用输入衰减器及其他精心的设计技术，努力控制和最小化输入电容，因为它对高频信号有如此戏剧性的负载效应。在高性能探接的情况下，探头电容负载的效应可以导致额外的信号通路延迟和传输线反射问题的增加。因为输入电容负载的存在，P7240 的按频率表示的输入阻抗量级，大致从直流电的 20 kohm 下降到 1 GHz 下的 160 ohms 的计算值。然而，这个阻抗的计算值并不完全是现实的，因为在 1 GHz 及以上的频率下，负载阻抗还可能同时显著地受到探头端部电感和接地导线连接电感的影响。如在本文建模部分中所示的，一个更完备的探头负载模型应该包括传输线元件，并要求随接地导线连接的不同而变化。

### 有源探头动态范围和偏置量

由于对更高的探头带宽以及探头负载减少的需要，近年来探头动态范围已经成为一个更加重要议题。这些性能上的需要已经迫使探头技术，产生了从无源设计到有源设计的进化。对于无源探头设计，动态范围通常不是一个问题，因为无源探头动态范围的限制因素是探头的极限额定电压，这个电压通常为数百伏特。使用高阻抗无源探头、带宽 ( $\leq 500 \text{ MHz}$ ) 和输入电容负载 ( $\geq 8 \text{ pF}$ ) 反而是限制因素。有源探头设计在探头端部使用了缓冲放大器，用以扩展探头带宽和减少输入电容。有源探头缓冲放大器也提供 50 ohm 输出驱动器平台，以最小的变形把下到探头电缆的输入信号传到示波器。有源探头设计要求用户处理由于使用缓冲放大器而引起的动态范围限制。

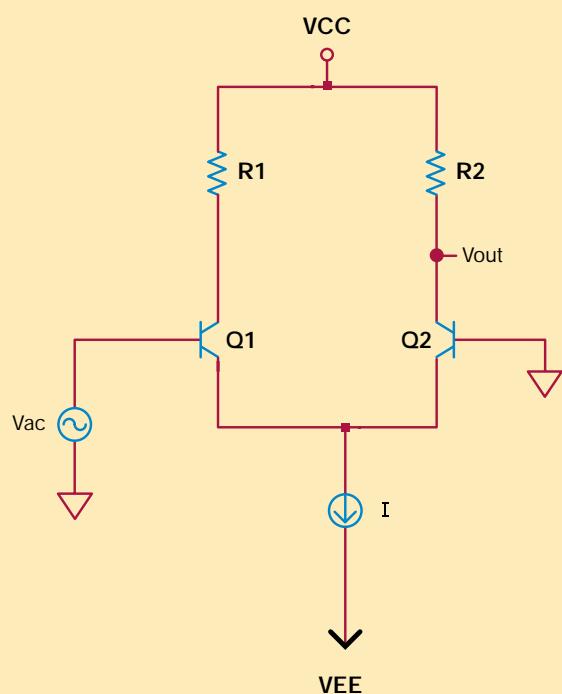
随着人们对带宽需求的不断增加，有源探头设计被迫要求更有限的动态范围。由于集成电路技术移植到更窄的线宽，已经导致更快而更小的逻辑摆幅，在探头放大器技术中类似的进化已导致了更快速的响应，但同时动态范围也更受限制。更早一代有源探头的动态范围，趋向于受可用的  $\pm 8$  到 10V 探头电源的限制。更新的高性能探头已经被迫使探头动态范围限制在  $\pm 2\text{V}$ ，以达到探头带宽的最大化。虽然更宽的动态范围对用户来说更方便，但是为满足当今高性能测量的需要，所要求的动态范围由于高性能 IC 处理的限制也已经有所下降。幸运的是，在当今的高性

能测量应用中的更快的信号，也倾向于具有一个小的信号摆幅。应注意的是，如果具有探头偏置控制能力，有源探头的有效输入电压范围可能比其动态范围更宽。对于大多数高性能逻辑系列来说，要利用单端供电，那么正常的逻辑信号并不以接地电平为中心摆幅。然而，探头的动态范围是以接地电平为中心的，因此探头包含了偏置控制功能以图扩展这些有源探头的有效动态范围。在本节的末尾，将给出使用探头偏置控制的一个例子。



▶ 图 3 没有探头负载的 1.5 Gb/s 信号。

了在测试夹具微带线上，探接数字通信信号时 P7330 的响应。较低速度的 P6248 探头无法精确响应超过其测量范围的信号，这也应当是明显的。图 6 显示了在测试夹具上，同时利用 P7330 和 P6248 探头负载微带线的效应。应注意这一支配的负载效应还来自高电容的 P6248 探头，而且



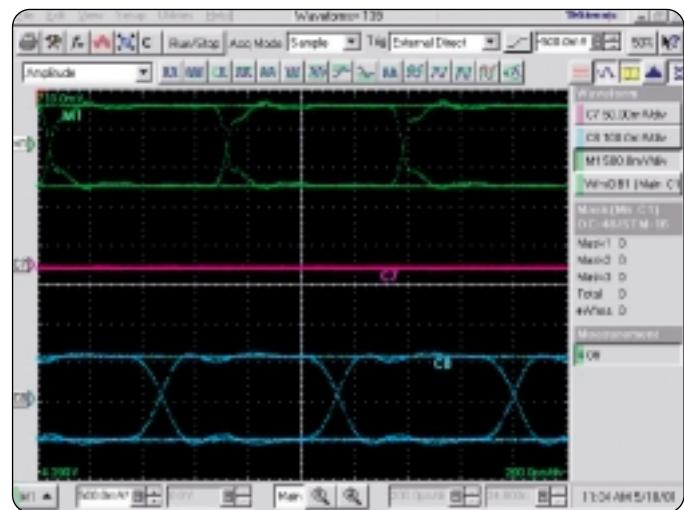
集成线性放大器技术的主要结构单元，是差分放大器平台（请参见图 B）。双极晶体管的指数互导特性，导致了该差分放大器的高度非线性响应。双极的差分放大器的非线性特性提供了一种自然限制作用。利用该差分放大器拓扑结构作为逻辑比较器的 ECL 逻辑电路，使用此非线性限制作用设置 ECL 逻辑摆幅的极限。当受一个输入差动电压信号驱动时，这个简单差分放大器的线性动态范围，仅大约为 50 mV 的峰值到峰值电压。当输入信号已经到达 200 mV 的峰值到峰值电压时，差动放大器完全被限制，所有进入此对的射极电流源仅流过这两个差动晶体管中的一个。对于一个超过简单差动放大器平台的非常有限的范围的放大器，反馈技术通常用于扩展其线性动态范围。但是，诸如探头缓冲放大器这样的高性能的放大器的动态范围，还必须受到限制，以满足线性度、带宽和功率耗散要求。

▶ 图 B 简单的差分放大器。

## 探头和信号保真度

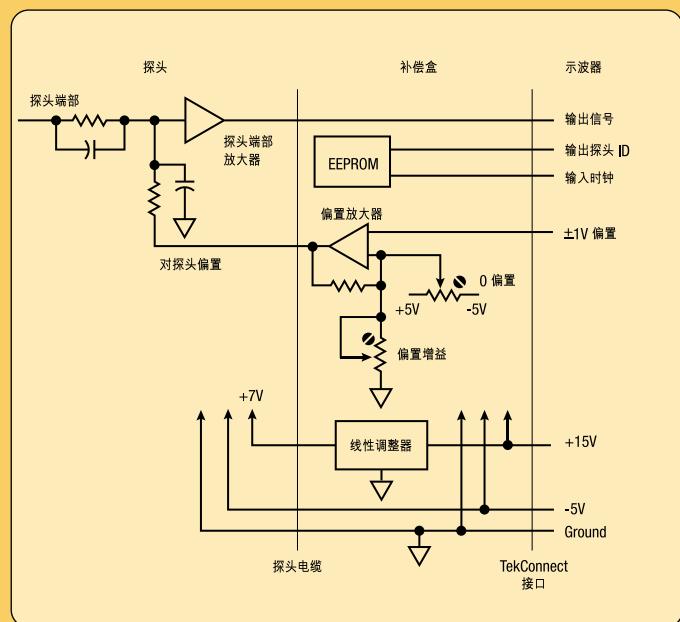
▶ 技术短篇

高性能的 P7330 探头能够精确地对该探头负载引起的输入信号扭曲作出响应。一般说来，具有较高带宽性能的探头，将对高速信号表现出较少的探头负载效应。还应说明的是 P6248 探头的探头负载变形对于较慢输入信号 — 如上升时间大于 265 ps 的探头指定的上升时间 — 会显著地减少。

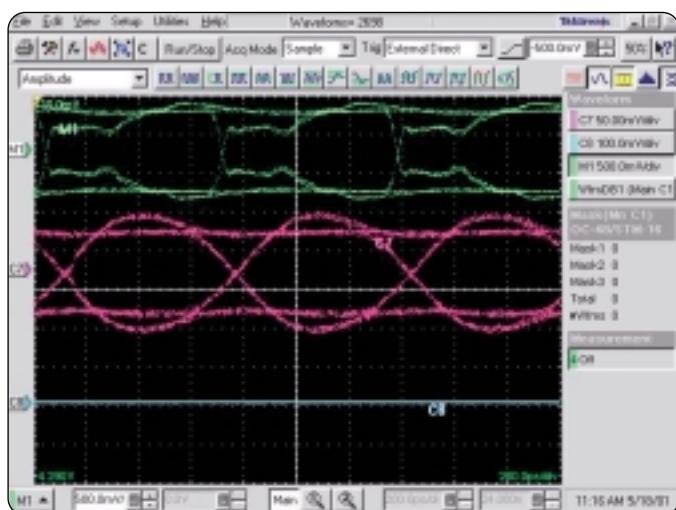


▶ 图 4 由 P7330 差分探头负载的 1.5 Gb/s 信号。

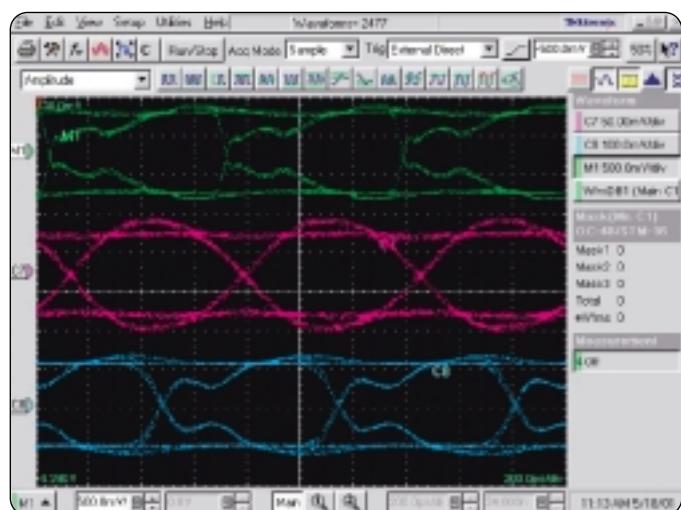
P7240 是一种 4 GHz 有源探头，它具有前面提到的动态范围限制和偏置控制的高性能探头的一个例子。P7240 的简化原理示意如图 C 所示。该探头包含了一个 5X 阻抗的输入衰减器和探头端部缓冲放大器。偏置控制使用 20 kohm 电阻衰减器，作为来自偏置量放大器的输入信号和 DC 控制信号的求和点。偏置信号用来通过施加一反极性的直流电压，抵消输入信号的 DC 共模分量的影响。探头电缆包含 50 ohm 信号同轴电缆和细吊线，它们将电源和 DC 偏置控制信号带到探头端部放大器。探头补偿盒包含了校准偏置量放大器和各种探头状态/控制电路。探头端部缓冲放大器和校准偏置量放大器，都是按近似一致的电压增益而设计的。通过使用输入衰减器对输入信号路径进行 5X 衰减，探头端部缓冲放大器的增益得到校准。偏置量放大器的校准是通过使用输入衰减器和探头端部缓冲放大器，对偏置信号路径给定 1X 的增益而实现的。这种在输入和偏置信号路径间的增益率，造成了来自示波器  $\pm 1V$  偏置信号的 5X 的有效放大。这造成了相当于探头输入的  $\pm 5V$  的偏置量范围。使用偏置控制可使 P7240 探头缓冲放大器的 4V 的峰值到峰值电压的动态范围，在  $\pm 7V$  的运转范围的窗口中上升或下降。通过 TekConnect 接口，来自 P7240 探头状态信息提供给示波器，可使示波器按比例处理偏置信号，以便以相当于探头输入的伏特数来显示偏置量。



▶ 图 C P7240 偏置控制电路。



▶ 图 5 由 P6248 差分探头负载的 1.5 Gb/s 信号。

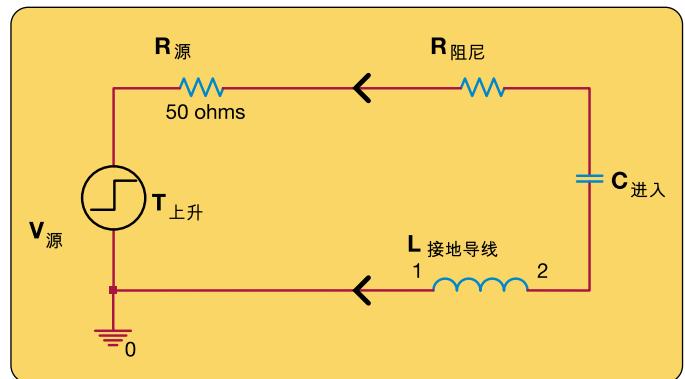


▶ 图 6 由 P6248 和 P7330 负载的 1.5 Gb/s 信号。

对期望的实测信号的电压范围的认识，对于有效使用像 P7240 这样的高性能的探头是很重要的。例如，考虑测量 PECL 逻辑信号的探头设置。虽然大约 800mV 峰值到峰值电压的 PECL 信号逻辑摆幅，在 P7240 的动态范围内是好的，但是 PECL +3.7V 的选通电压要求调整 P7240 的偏置量，以便在 P7240 的动态范围内放置 PECL 信号。如果探头偏置量保持为 OV 的默认设置，那么只有一小部份的 PECL 信号会被显示出来，并且其信号将被高度压缩。当探头偏置量被设置为 +3.7V PECL 选通电平时，可以预期得到 P7240 探头的最佳性能。（示波器垂直偏置不同于垂直位置：垂直位置控制是用来调准示波器显示的通道相对位置；而垂直偏置控制是用来对在探头输入时的 DC 共模电压进行补偿。）许多 Tektronix 示波器，特别是那些带有新的 TekConnect 接口的示波器，当在探头的通道上进行诸如偏置量、比例或位置等的垂直调整时，可以读取来自探头的动态范围信息，并简要地在屏幕上通过探头动态范围窗口显示出来。如果可能，此动态范围限度的显示在决定探接测量的线性范围，和在将偏置控制设置为最佳值方面，可以是很有帮助的。

**探头接地**

为了完整的测量电路电压通路，像 P7240 这样的单端探头需要一个接地回路连接。P7240 探头有个接地插座连接，装配在探头端部混合联结的背面。各种各样的接地适配器连接到这个插座，为实测电路的接地提供了某些灵活性。然而，在探接测量电路中的这个接地回路的长度，在高性能探接测量中可以是非常重要的。接地连线的长度在探头输入电路中直接产生寄生电感（请参见图 7）。探头接地导线将大约 20 nH/英寸的电感引入接地回路中。这种寄生电感与探头输入电容共同形成了一个谐振电路，可以导致不良的振荡，特别是由低阻抗电源驱动时。图 7 也显示了在探头输入电路中的阻尼电阻器，它被包括在探接电路中，以试图将探头及其测量环境所形成的谐振电路的影响减到最小。阻尼电阻器通常被挑选来衰减最低的探头电感位形，以求得最大化的探头频率响应。按照一般规律，探头接地导线应该尽可能地短，以使寄生电感减少到最低限度。但这并不意味着应当通过增加探头端部长度的方法，来使接地导线长度减到最小。对大多数有源探头的观察发现，端部引出线比长度相同的接地导线造成更多的信号畸变。如果可能，接地带或路径应该设计到围绕着关键测量点的电路板中，最好是使信号到接地的间距与所使用的探头相匹配（注意，这个间距一般为 0.1 英寸）。将接地引线电感减到最小不会消除寄生谐振电路，但是通过提高谐振频率，使之超过探头和信号源的响应范围，确实使它的影响减到最小。另一个将接地长度及其回路区域减到最小的充分理由是，将因接地回路而产生的噪声减到最小。在高性能数字设计中，这种感生噪声主要来自互感耦合效应，可以通过接地回路区域的最小化使之显著地减少。

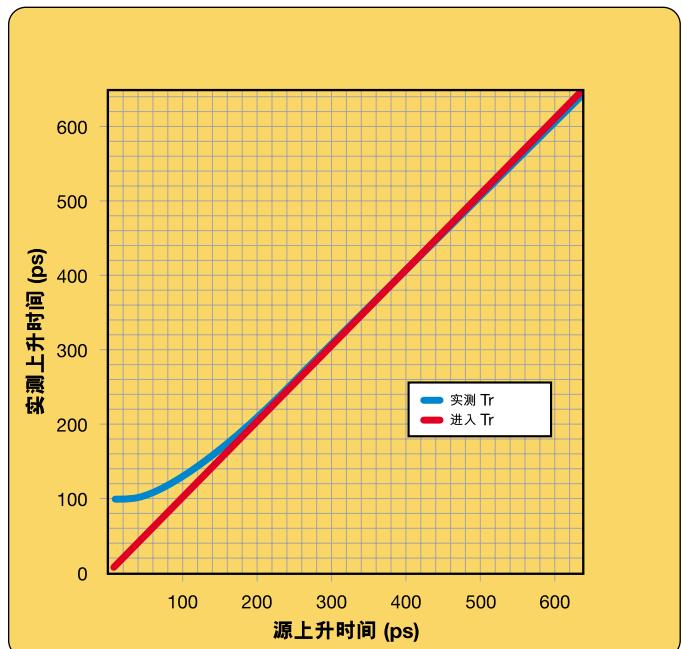


▶ 图 7 简化的探头负载模型。

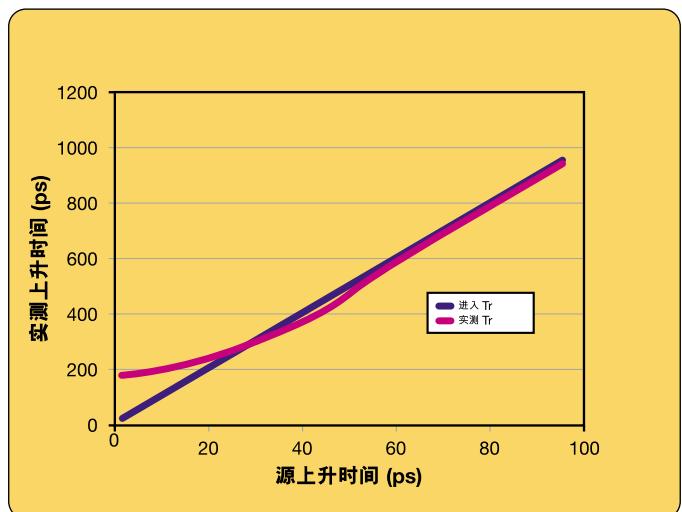
**探头共振效应**

由探头输入阻抗形成的 RLC 电路的一个后果，就是可以扭曲实测信号的谐振效应的可能性。单端有源探头输入电容来自：定制 ASIC 的输入电容、探头混合电路的布线电容，以及探头端部电容，其中包括任何来自探头连接适配器的寄生电容。单端有源探头输入电感，来自探头端部构造中的探头端部信号路径和探头接地路径，而潜在地更多的来自需要定位于一个本地的接地导线上的接地导线适配器。虽然在探头混合电路中，加入了阻尼电阻器以控制脉冲响应畸变，但是这个阻尼电阻器的值，通常是选取来与一个最低的接地导线电感一起使用的，这是为了实现探头频率响应的最大化。探头输入 RLC 电路的频率响应峰值所起的作用，是扭曲测量工具所要求的平坦的频率响应。为了使这些畸变效应减到最小，非常需要尽量将探头的 LC 谐振频率移出，使之超出信号输入的频率范围或探头的响应范围。减少探头输入电容与输入电感将增加探头的 LC 谐振频率。仅仅通过变换一个高性能的探头，通常就可以减少探头的输入电容。仅仅通过使探头端部和接地导线长度最小化，就可以减少该探头的输入电感。为了高性能测量的精确，应使用现有的最高性能的探头，并总是选择最短的端部长度和接地导线长度。虽然对高性能探头通常可利用的，是带有相对较长的端部或接地导线的探头适配器，但它们在测量较低频率信号时提供了应用灵活性。对于高性能测量，使用长适配器时需要非常的小心并且了解这样的情况：当测量高速信号时它们有可能降低信号保真度。

当试图测量一个靠近或超出探头指定的频率范围的信号时，可以看到一个有趣的探头谐振效应的例子。一般认为，探头的频率响应在它的正常运转频率范围内将是相对平缓的，而在超出它的指定带宽时将平滑地衰减。对用于最低输入电感的探头这样的说法，或许是正确的，但是对用于大的多的输入电感的探头来说，就未必是正确的，例如，由于使用“长”接地导线（注意，对于高性能探头来说，“长”可能是一英寸或更少）。这样的正常频率的衰减特性通常导致在信号上升时间减少时，使信号的实测上升时间具有更低的限制。图 8 是此种效应的一个例子，其中的探头是具有在最低的电感配置下  $<120$  ps 的指定上升时间的 P7240 探头。对于较慢的输入上升时间，从实测上升时间到输入上升时间的紧密跟踪，明显下降至大约为 200 ps 的输入上升时间。当源上升时间继续减少至 200 ps 时，对实测探头上升时间的大约 100 ps 的下限，也能在本图中清楚地看到。由于可看到的带有非最低接地导线电感的探头谐振效应，在靠近一探头响应的可测上升时间限度，有可能观察到一个“倒置”区域，该处一个比输入上升时间更快的上升时间明显地能被测量。图 9 像图 8 一样，是 P7240 探头的这种效应的一个例子，但带有一额外的 5nH（大约 1/4 英寸）的接地导线电感。此图中可以看到实测上升时间小于输入上升时间的“倒置区域”的存在，而且是输入谐振电路的人工制品。对于更大的端部电感或接地导线电感，此效应变得更加显著，甚至可以制造一个具有比较高性能探头更低带宽规格的探头，以测量更快的上升时间。虽然不是普通情况，但是通过始终使用尽可能最短的接地导线长度，和不使用超出其指定操作范围的探头，这种非直觉的响应是可以避免的。



▶ 图 8 DUT (实际) 与测定的上升时间。



▶ 图 9 DUT (实际) 与测定的上升时间所显示的反转区。

### 电路模拟挑战-高性能建模问题

在前述的有关信号完整性的章节中，讨论的高性能设计问题中所描述的传输线效应，除非采用谨慎的布线方法，否则有可能导致电路故障。针对元件布局、信号布线，以及用于电源和接地层分配的电路板敷层中所做出的选择，可以使当今的许多高性能设计，或者成功，或者夭折。个别信号反射噪音、源于信号到信号的交互作用的串音干扰，及其对许多转换信号的电源/接地噪音的联合作用等问题，可能导致意外的设计失败。信号完整性问题的经常性间断的特性，使设计失败在表面上看来是随机时间发生的，这对设计者造成挫伤，需要一些方法来处理这个问题。

一个在某些成功的高性能设计中已经使用的方法，是将设计准则用于电路板布局。反射噪声问题，经常是通过对信号轨迹的布线长度设置限制，或在不可能时，当轨迹延迟超过信号上升时间的某个比值时，使用信号终止技术加以解决。类似地，串音干扰是通过对轨迹到轨迹间距，和非差动信号的平行布线距离设置限制加以解决的。电路板间的串音问题，还可以通过遵循有关电路板接口连接器上的信号，和接地管脚分布的设计准则而得到减少。电源/接地开关噪声问题，通过遵循有关旁路电容器布局的设计准则，和使用带有电源和接地面层的电路板而达到最小化。

虽然使用设计准则在使信号完整性问题最小化方面，可以提供较大的帮助，但是仅仅依靠这些准则，而不了解下面的原则仍可导致问题出现。设计环境的复杂性和当今的高性能设计的加速，已经导致了对模拟工具的需要，这些模拟工具尝试通过提取来自电路板布局和元件模型数据库的信息来建立设计模型。布局模拟工具可以提供对设计性能的洞察，并可以帮助正确定位潜在的信号完整性噪音问题。带有电路板布局工具的集成布局模拟工具使电路设计者，可在轨迹路径上设置约束条件从而和加速设计过程。通过在设计被实际上确立之前帮助找到潜在的问题，模拟工具还可以减少通往市场的时间，使工具费用和熟练使用模拟工具所需的时间都可得到回报。对于那些无法支付嵌入布局模拟工具费用，或只需对少量有选择的信号通路进行模拟的情况，利用如 Spice 这样的传统的仿真模拟工具，在建立传输线布线模型方面也许是非常有用的。同步时钟信号的布线是说明这样一个问题的实例：模拟可能对分析信号完整性问题很有用处。因为其全程的特性，同步时钟信号常常有很长的布线通路，并且对于反射敏感，因为超

过逻辑选通的信号振荡可能造成加倍计时和几乎肯定的电路故障。根据时钟信号布线通路和上升时间的详细资料，由于传输线效应的影响，模拟时钟的波形在布线通路的不同点，可能看起来有显著不同的形状。假如 Spice 模型是手工从预先准备的布局中抽取建立的，并精确地包含了：轨迹长度效应、轨迹特性阻抗、寄生线头、IC 插脚负载，以及如 vias 或其他的轨迹间断那样的可能更为微妙的效应，则传输线振荡问题应该是可以控制的。通过互连路径的物理布局和驱动信号的特征，传输线振荡应该是可预计的，而且一旦了解了这种效应，通过跟踪布局变化或者增加信号终止技术以控制传输线环境，振荡是应该可以减到最低程度的。

然而，一个设计模拟的精确度只可能与所使用模型的精确度一样好。单个传输线效应的精确模拟，需要良好的信号驱动器模型、互连的布线拓扑结构和特性阻抗，以及由任何接收器所引起的负载效应。建立信号驱动器模型需要驱动器输出阻抗、信号摆幅以及信号的上升和下降时间方面的知识。建立信号互连模型，需要路径选择的知识，包括信号跟随的各个支路的轨迹长度。互连的特性阻抗，也必须建立用于微带线的模型，这需要有关轨迹宽度、电路板材料介电常数，以及信号轨迹与其基准面之间的介质层厚度等方面的知识。建立接收器负载模型，需要有关各接收器的输入电容和它沿信号布线路径的位置，以及可能添加来控制信号完整噪音问题的任何传输线终止方面的知识。

传输线模拟的模拟模型的精确度，取决于驱动器和接收器的 IC 的实际特性和电路板的构造。测量技术可用于表示互连的质量和检验模拟与实际匹配的完美程度。电路板构造工序的变化，可能波及对实际的特性阻抗产生影响的所有变化因素：轨迹的宽度、电路板介电系数和介质层的厚度。信号互连的特性阻抗可以使用 TDR 技术测量。虽然 TDR 可用于检验在电路板上的几乎任何信号通路的性能，但是利用具有更可控的轨迹访问连接的测试取样管，来检查整个电路板的阻抗设计通常更加容易。驱动器和接收器的特性受集成电路工艺变化的影响，这可能引起信号上升时间的变化，多达 2-3 倍。用于模拟模型的驱动器上升时间，可能不是期望的通过正常集成电路工艺变化的最快上升时间，这是信号完整性噪音的最坏情况值。如果在该模拟模型中，代之以使用从正常 IC 工艺变化期望的最慢的上升时间，那么产生的模拟结果可能显得很好，但是将给出可能存在的问题的精确表

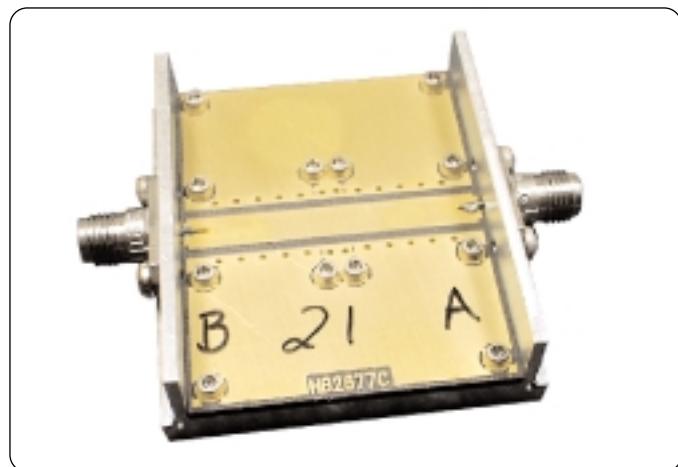
达。实际信号性能测量应该使用高性能的示波器和探头进行，以检验驱动器和接收器模拟模型的精确度。理解在上节中有关信号保真度议题的讨论和在以后几节里的模型描述，既有益于改善信号互连模拟，也有益于改善检验测量。

### TekConnect 探头建模-测试夹具和建模技术

在本文中，为 TekConnect 探头而开发的 Spice 模型，是设计来提供探头负载建模信息和探头响应模型信息的。探头负载建模信息是在一个定制测试夹具（请参见图 10）上，通过 TDR 测量和 TDT 测量抽取的。该定制测试夹具被设计为开放的、带有输入和输出 SMA 连接器的金属外罩，两者都在内连接到一个接地的共面波导。该接地的共面波导结构看来像一个带有顶侧接地填充的微带传输线。选择共面波导结构而不是简单一些的微波带结构作为传输线，为的是提供一个低电感探头接地。为了最精确的高性能测量，该接地的共面波导电路板是由低损耗电介质材料制造的。这个测试夹具是为单端和差分有源探头二者的性能测试而设计的。

该测量系统包括这个定制测试夹具和一台高带宽、低噪声的取样示波器。该示波器取样头具有 20 GHz 的带宽，并包括一个带有大约为 25 ps 上升时间的 TDR 脉冲源。该测量系统被配置成：取样头 TDR 通道驱动定制测试夹具的一个 SMA 连接器，而 TDT 测量通道连接到另一个 SMA 连接器。通过按住该探头使之顶住测试夹具传输线的中间，探头的负载在 TDR 阻抗响应和 TDT 脉冲响应上都可观察到。在 TDR 响应波形上，该探头的负载表现为一个代表测试夹具 50 ohm 的特性阻抗的轮廓，该轮廓的平坦部分有一个电容性下倾。通过综合在 TDR 响应上的电容性下倾区域，有可能得出该探头输入电容的值。在 TDT 响应波形上，该探头负载表现为脉冲响应中的一个畸变，它是通过测试夹具传输线传输的。由于探头负载，在 TDT 测量端口的 TDR 脉冲信号的上升时间也多少有所减慢。

探头响应建模信息是从同样的测量系统配置中抽取的，方法是将探头放置在测试夹具传输线的中部，来测量探头对 TDR 脉冲刺激的响应。虽然 TekConnect 探头被设计为插头插入 TekConnect 示波器，它的响应而后成为该示波器/探头系统响应的一部分，但是使用另一个特殊测试夹具独立地测量探头响应是可能的。通过使用 TekConnect 校准适配器，TekConnect 探头可通过 TekConnect 示波器获得电源，使用在 TekConnect 校准适配器上的 SMA 输出连接器上的高带宽取样示波器，可以测量它的直接输出响应。虽然带有 50 ohm 脉冲源阻抗和 50 ohm 取样头终端阻抗，由本测量系统的探头所看到的实际电源阻抗是 25 ohms，这是当测量探头性能时使用的标准阻抗环境。探头上升时间和畸变是通过刚刚描述的测量系统测量的；探头带宽是通过网络分析仪和相同的定制测试夹具测量的。



► 图 10 定制的探头测试夹具。

## TekConnect 探头建模实例：P7240 单端有源探头

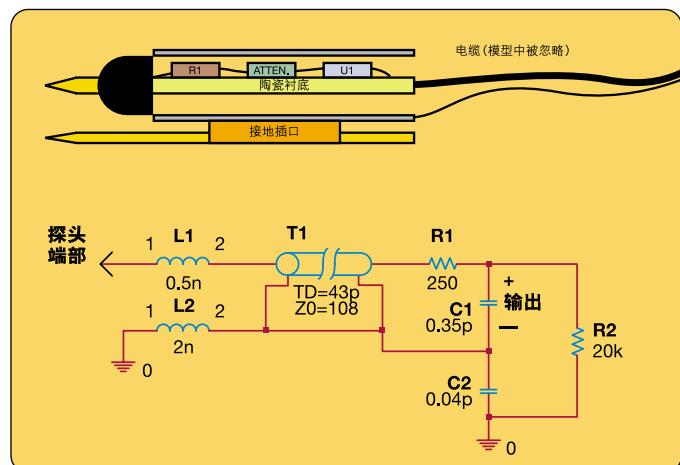
P7240 是一个带有新的 TekConnect 接口的 4 GHz 单端有源探头。P7240 的高性能和小轮廓探头，来源于混合电路技术的利用和一个定制 ASIC。P7240 的关键性能规格如表 1 所列。

P7240 的关键性能规格，包括探头负载特性和探接测量性能特性。P7240 Spice 模型开发的目标，是在一个联合模型中同时包括探头负载效应和探接测量性能。对于像 P7240 这样的高性能探头，探头负载和探头性能特征都会显著地受到探头附着环境的影响，认识到这一点很重要。下表所列的 P7240 的关键性能规格，只适用于最低的探头端部和接地导线电感的情况。P7240 的测试是在制造厂利用专选通的最低电感的测试夹具进行的。因为 P7240 探头端部和接地都配给了插座，那么最低的探头端部电感情况，意味着在探头端部插座中没有探头端部附件，以及在探头接地导线插座中仅有非常短的接地导线插脚。当增加了探头端部或更长的探头接地插脚或接地导线，P7240 的性能将被降级，而且探头的 Spice 模型必须修改。在本文中将考虑三种 P7240 的建模情况：

- ▶ 不带适配器的 P7240
- ▶ 带有探头端部和弹簧接地插脚的 P7240
- ▶ 带有探头端部和 3 英寸接地导线的 P7240

P7240 探头的 Spice 模型是为了配合测量，它并不是完全地从探头设计的物理结构中产生出来。已经做的这些是为了尽可能简单地产生一组模型的同时，还能够匹配探接测量的结果。对于要介绍的 P7240 建模的情况，该模型是随特别情况而定的，而不是模式化的。增加一个不同的探头端部和若干接地导线适配器，导致模型部件值的变化以及对基本模型拓扑结构的某些增添。

虽然 P7240 探头的 Spice 模型已经与测量结果相拟合，而不完全是从物理结构中提取出来的，但是在 P7240 的 Spice 模型和探头端部装配的物理结构之间存在着明显的关系。图 11 显示了一个由 P7240 组成的合成 Spice 模型，在这个 P7240 探头装配简图上 P7240 没有适配器。图 11



▶ 图 11 短接地 P7240 模型。

所显示的 P7240 Spice 模型里，模型的电感器 L1 代表了 P7240 探头端部插口的电感。同样的模型电感器 L2 代表了 P7240 探头接地插口和插脚的电感。模型传输线 T1 可认为代表了探头端部到 U1 — ASIC 缓冲放大器 — 的信号通路。一条传输线，而不是一个集总的 LC 环路，被选择来代表这个信号通路，因为对象 P7240 这样高性能探头，传输线似乎可更好地反映物理现实。模型的阻尼电阻器 R1 被包含在探头信号通路中，它代表了在 P7240 混合电路中的阻尼电阻，并且在 P7240 探头设计中被优化，以控制探头在最小接地电感情况下的谐振响应。模型电容 C1 代表了定制的 ASIC 的输入电容，它装配在 P7240 混合电路上。提取 Spice 模型的探头响应出自 C1 电容，因此用“Output”标签表示。在实际的 P7240 探头中，定制 ASIC 是一个缓冲放大器，它反映了大致的整体增益，这样的增益提供了对实测探测信号的高输入阻抗和一个精密的 50 ohm 的驱动器 — 它用于 1.4 米长 50 ohm 的探头同轴电缆。在 P7240 探头混合电路中，定制 ASIC 缓冲同轴电缆驱动器的存在，意味着不需要把探头电缆的效应，包括在 P7240 Spice 模型中。电阻器 R2 是对 P7240 探头的输入衰减器直流电阻的简化表示。电容器 C2 的加入用来表示这样的事实：P7240 探头的接地插口是一浮动基准。它用来表示这样一个物理现实：探头接地插口与被探测信号被电感器 L2 隔开，探头接地插口与示波器测量接地，被探头同轴电缆和外层保护壳隔开，后者是用附加电容 C2 简单模型化的。

带宽	DC 达 4.0 GHz (典型值)
上升时间	< 120 ps (保证值)
衰减	5X
动态范围	± 2.0V
直流偏置范围	± 5V
输入电阻	20 kohm (典型值)
输入电容	< 1pF (典型值)

▶ 表 1 P7240 关键性能指标。

## 探头和信号保真度

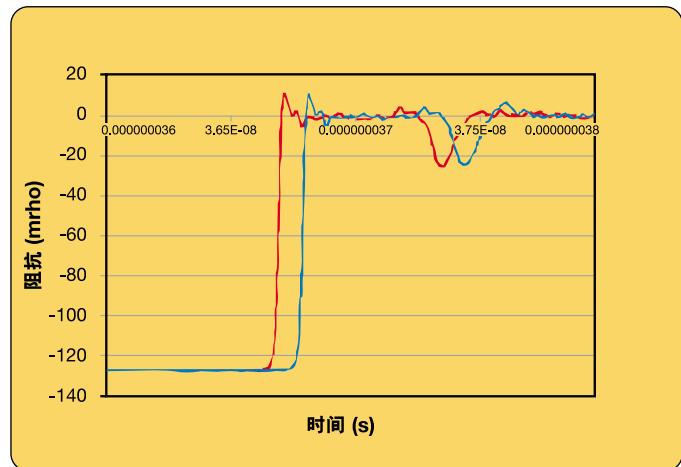
► 技术短篇

参数	实测值	模拟值
上升时间	108 ps	112 ps
带宽	4.2 GHz	3.8 GHz
输入电容	655 fF	660 fF

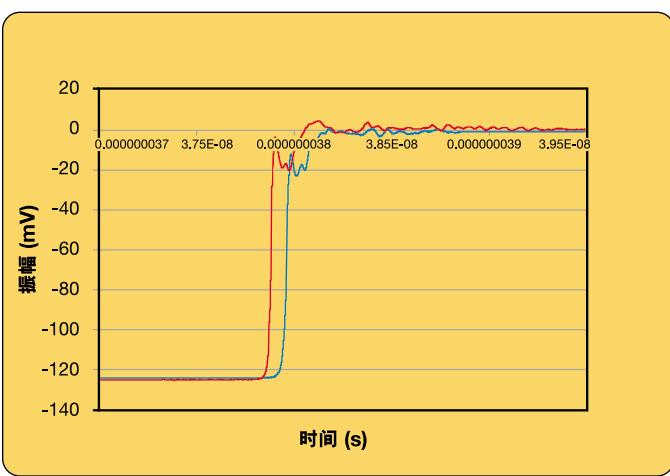
► 表 2 实测和模拟响应的比较：带短接地导线的 P7240。

现在可以比较 P7240 Spice 模型的模拟结果，和无适配器的 P7240 实测结果。这包括分别对探头负载和探头信号响应，使用定制测试夹具所得到的结果进行比较。图 12 显示了模拟和实测 TDR 响应的波形。请注意，为了便于区分模拟响应和实测响应之间的差异，模拟和实测 TDR 曲线而有轻度的时间偏移。在此图中，紧跟 TDR 脉冲上升边缘的 0 mrho 水平处有一相对平坦的区域，它代表了探头测试测试夹具中的 50 ohm 传输线。探头负载的效果显示为在 50 ohm 传输线区域中间的TDR 响应中的下倾。由于 TDR 响应也显示出由 TDR 脉冲边缘处的时间延迟造成的探头负载的物理位置，可以看到探头端部被放置在测试夹具的输入、输入连接器间的传输线跨距的中心。TDR 响应下倾代表了 P7240 探头的电容负载，它显示了模拟响应和测定响应的良好吻合。通过对探头负载响应中的下倾区域求积分，有可能计算出有效的探头输入电容（请参看第 27 页参考资料清单中 Jong、Janko 和 Tripathi 的文章）。图 13 显示了模拟和实测 TDT 响应波形。探头负载的效果显示为正常平坦的 TDR 脉冲响应中的畸变。这种紧跟在 TDR 脉冲的上升边缘的畸变是 TDR 脉冲信号，当其传播到定制测试夹具传输线时，所产生的探头负载效应引起的。这里模拟和实测响应之间再次良好的吻合。图 14 显示了模拟和实测探头信号响应波形。P7240 探头的模拟和实测响应，应该与脉冲上升时间、脉冲畸变以及用网络分析器而不是 TDR 脉冲器测得的带宽相吻合。

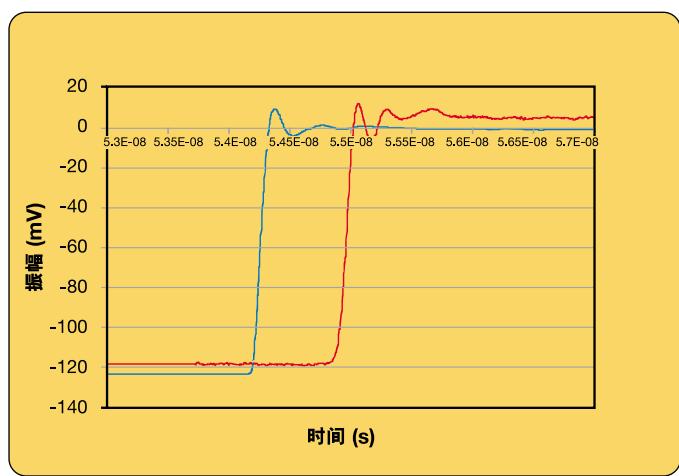
表 2 显示了对于这个最小电感模型，模拟和实测数据比较。



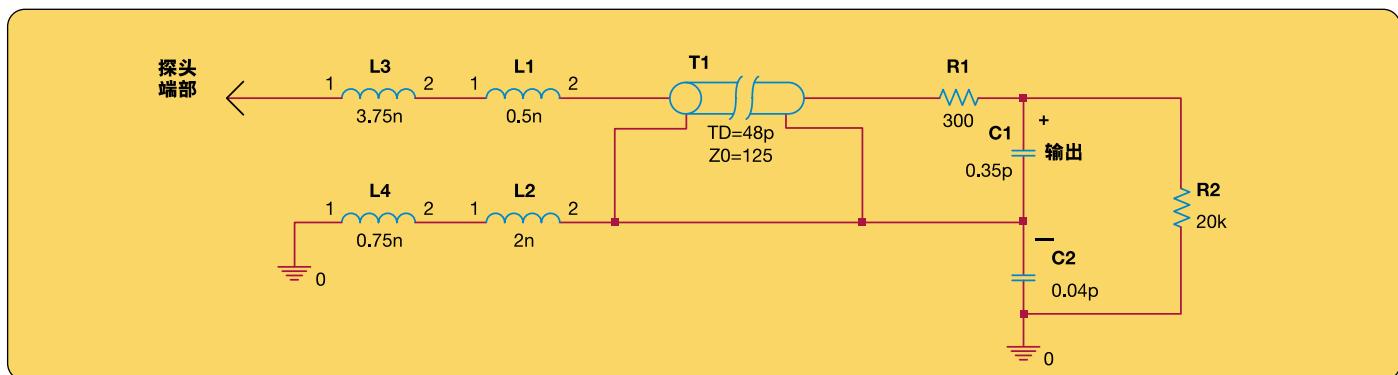
► 图 12 TDR 响应：短接地 P7240；蓝色：模拟结果；红色：示波器上的实测结果。



▶ 图 13 响应：短接地 P7240；蓝色：模拟结果；红色：示波器上的实测结果。



▶ 图 14 探头响应：短接地 P7240；蓝色：模拟结果；红色：示波器上的实测结果。



▶ 图 15 带探头端部和弹簧 (pogo) 接地的 P7240。

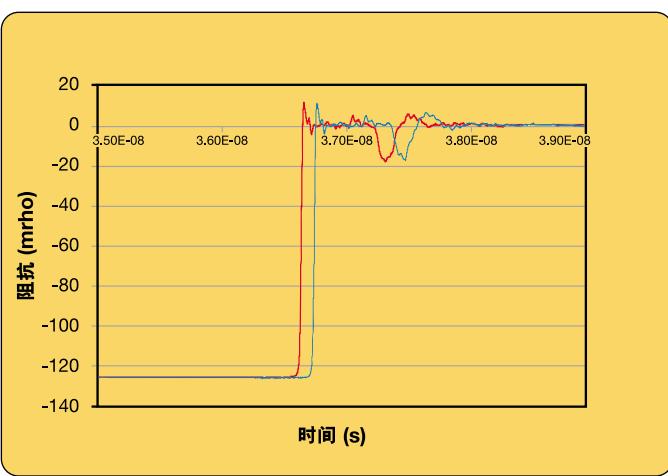
参数	实测值	模拟值
上升时间	122 ps	125 ps
带宽	3 GHz	2.95 GHz
输入电阻	690 fF	700 fF

▶ 表 3 模拟和实测响应的比较：带探头端部和弹簧接地的 P7240。

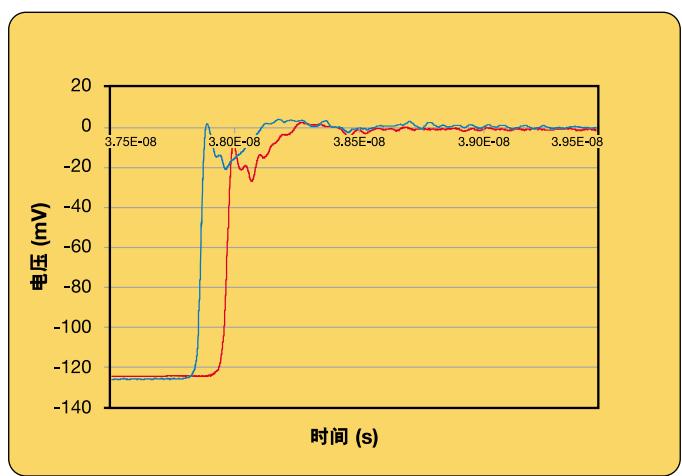
图 15 显示了带探头端部和弹簧接地插脚的 P7240 Spice 模型。这个模型与图 11 显示的最小电感模型相比，可以看出若干模型元素值被改变了。一个显著的改变是：在探头端部和接地通路中电感增加了，考虑到探头端部和探头接地导线长度的增加，这应该是可以预料到的。但衰减阻尼电阻的改变和模型的传输线参数的改变，则不能以这样简单的理由解释。由于探头的 Spice 模型的开发，是把测量结果拟和到模拟结果中，而不是完全是从探头的物理结构中提取出来的，因此当模型的改变，可能并没有完全追随探头端部/接地适配器配置的改变时，不应该感到特别的惊奇。现在可以对带探头和弹簧接地的 P7240 Spice 模型的模拟和实测结果进行比较了。这同样包括对探头负载和探头信号响应，使用定制测试夹具而得到的结果进行比较。图 16 显示了模拟和实测 TDR 响应波形。TDR 响应下倾代表了 P7240 探头的电容负载，它显示出模拟和实测响应之间的良好吻合。尽管仅仅通过观察也许并不明显，但相对于 TDR 响应中电容下倾区域，计算的输入容量只有轻微的增高。图 17 显示了模拟和实测 TDT 响应波形，同样显示了模拟和实测 TDT 响应的良好吻合。正如从计算的输入容量的轻微增加中可以预料到的那样，TDT 响应畸变的外形只

有相对轻微的改变。图 18 显示了模拟和实测探测信号响应波形。与图 14 的最小电感拓扑结果相比，探测信号响应有了相当大的改变。尽管输入电容改变轻微，但在探头端部和接地导线中增加的电感，仍可对探头输入谐振频率造成显著的改变，还可在探头脉冲响应中造成相当大的过冲和振荡。表 3 显示了在这个探头端部和弹簧接地插脚模型中模拟和实测数据的比较。

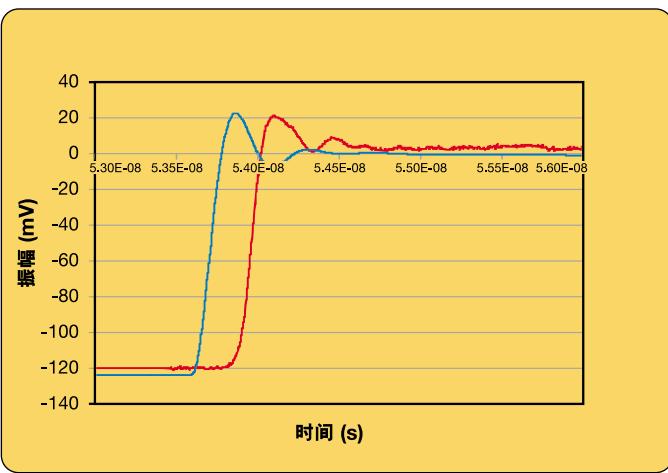
在探测模型的发展中，由于探测显示出对快速脉冲上升时间的较大谐振响应，故没有 Spice 模型可表达含探头端部和 3 英寸接地导线的 P7240 例子。3 英寸接地导线中高速测量也被接地导线的位置影响着，它含有足够的变量使复制结果非常困难。然而，一些探头响应测量，可显示有快速上升时间脉冲的微弱响应，同时，与有慢速上升时间刺激的某种程度上改善了的响应。与微弱探头脉冲响应不同，3 英寸接地导线的 TDR 响应和弹簧地零线非常相似，因为输入电容负载只比最小电感相差了一点儿。图 19 显示了含探头端部 3 英寸接地导线，并有两种不同脉冲输入上升时间的 P7240 的复合探头响应曲线。为了避免差异的重叠，两种



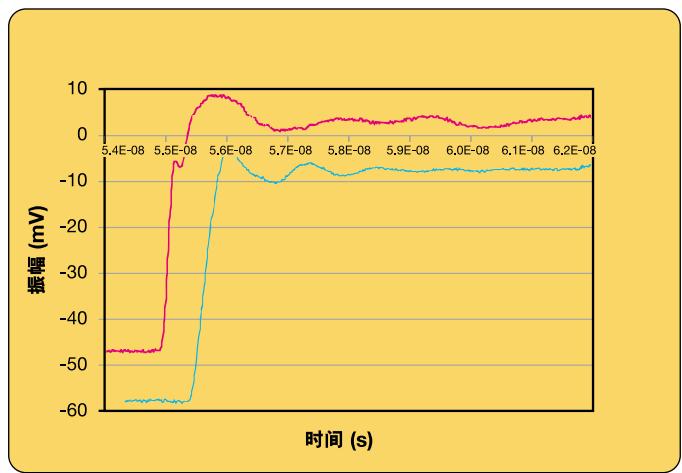
▶ 图 16 响应：带探头端部和弹簧接地插脚的 P7240；蓝色：模拟；红色：示波器上的实测结果。



▶ 图 17 探头响应：带探头端部和弹簧接地插脚的 P7240；蓝色：模拟；红色：示波器上的实测结果。



▶ 图 18 响应：带探头端部和弹簧接地插脚的 P7240；蓝色：模拟；红色：示波器上的实测结果。



▶ 图 19 带探头端部和 3 英寸接地导线的 P7240 测量一个 25 ps 输入信号 (洋红) 和一个 750 ps 输入信号 (蓝色)。

响应曲线在时间和振幅上有所偏移。25 ps 上升时间响应曲线，显示了较大脉冲响应过冲和较长并且最清晰的环形。要注意的是脉冲响应持续时间和有长接地导线的相对长时间的探头输入谐振有关，而不是与高性能探头有关的快速响应特征。750 ps 上升时间响应曲线有一个较慢的探头响应上升时间，但过冲和振荡较低。从这两个曲线中可以看到，使用高性能探头，如含 3 英寸接地导线的 P7240 操作时应格外小心。对快速上

升时间信号而言，当使用含 3 英寸接地导线 P7240 探头时，观测到的谐振响应可导致显著的脉冲测量扭曲。对慢速上升时间信号而言，使用 3 英寸接地导线 P7240 探头可被接受，因为输入信号的实际上升时间和扭曲程度可被忍受。应注意，高性能探头，如 P7240 测量的信号响应在某种程度上，甚至可被使用者的手在探头上的位置所影响。例如，用手抓住探头头体的尖端末端，可提供一个高频率性能。而抓住探头头体的

## **探头和信号保真度**

► 技术短篇

电缆末端可改变高频率环境，而得到一个某种程度上较差的响应。这些相对细微的探头操作效应在使用含较长探头线，如 3 英寸接地适配器的 P7240 时变得更加显著，精确放置接地导线和操作探头可影响测量的脉冲偏差。对高性能探头，如 P7240，最佳信号保真度的最终方法是用尽可能短的接地导线。对信号保真度的另一重要指导是，在高性能设计中，将测量接地检测点放置在近临界信号检测点。

## 小结

本文介绍了一些对当今的高性能电路设计和测量关系重大的主要问题，并对最常见的信号完整性噪声问题进行了分析。本文还关注了在测量系统中影响信号精确表示的信号保真问题。最后，本文考虑运用模拟作为手段去理解某些高性能设计问题，和深入了解电路版布局效应对设计性能的影响。用物理测量结果验证模拟的这种需要，不论怎样强调都不为过，而且还要考虑到在获取精确测量结果过程中，探头负载和探头响应的限制。为了帮助设计者在设计的模拟和测量中考虑到探头附件的影响，我们引入了探头建模技术。本文还给出了一个特殊的建模实例，其中的探头是带有几种不同适配器配置的高性能 P7240 TekConnect 探头，还同时给出了模拟和实测结果。

本文中的探头模型支持 Tektronix 公司为其用户提供完整解决方案的一贯承诺。本文描述的 P7240 探头模型的最新版本可以在 Tektronix 网站中找到。Tektronix 公司的意图在于为象 P7330 3.5GHz 差分探头和 P7260 6GHz 单端有源探头这样的高性能探头提供探头模型。

## 参考资料

*ABCs of Probes*

[www.tektronix.com](http://www.tektronix.com)

*Probing High Frequency Digital Circuitry*

[www.tektronix.com](http://www.tektronix.com)

*High Speed Probing*

[www.tektronix.com](http://www.tektronix.com)

*The Effect of Probe Input Capacitance On Measurement Accuracy*

[www.tektronix.com](http://www.tektronix.com)

*High-Speed Digital Design, A Handbook of Black Magic*

by Howard Johnson and Martin Graham, Prentice Hall, 1993

*Equivalent Circuit Modeling of Interconnects from*

*Time-Domain Measurements*

by J.M. Jong, B. Janko, V.K. Tripathi, IEEE Transactions on CPMT,  
Vol 16, No 1, February 1993, pp. 119-126.

请与泰克公司联络：

**东盟国家及巴基斯坦** (65) 6356-3900

**澳大利亚及新西兰** (65) 6356 3900

**奥地利** +43 2236 8092 262

**东欧中部及希腊** +43 2236 8092 301

**比利时** +32 (2) 715 89 70

**巴西及南美洲** 55 (11) 3741-8360

**加拿大** 1 (800) 661-5625

**丹麦** +45 44 850 700

**芬兰** +358 (9) 4783 400

**法国及非洲北部地区** +33 (0) 1 69 86 80 34

**德国** +49 (221) 94 77 400

**香港** (852) 2585-6688

**印度** (91) 80-2275577

**意大利** +39 (02) 25086 1

**日本** 81 (3) 3448-3111

**墨西哥、美洲中部及加勒比** 52 (55) 56666-333

**荷兰** +31 (0) 23 569 5555

**挪威** +47 22 07 07 00

**中华人民共和国** 86 (10) 6235 1230

**波兰** +48 (0) 22 521 53 40

**韩国** 82 (2) 528-5299

**俄罗斯、CIS 及波罗的海** +358 (9) 4783 400

**南非** +27 11 254 8360

**西班牙** +34 (91) 372 6055

**瑞典** +46 8 477 6503/4

**台湾** 886 (2) 2722-9622

**英国及爱尔兰** +44 (0) 1344 392400

**美国** 1 (800) 426-2200

**美国(外销部门)** 1 (503) 627-1916

其他地区, 请电洽: Tektronix, Inc. 电话: 1 (503) 627-7111

### 有关详细信息, 请联系:

**Tektronix, Inc.**, P.O. Box 500, Beaverton, Oregon 97077-0001, USA, 1 (800) 426-2200.

其他地区, 请通过 1 (503) 627-1916 与出口销售处取得联系。

有关最新的产品信息, 请访问我们的网站: [www.tektronix.com](http://www.tektronix.com)



©2002 年 Tektronix, Inc. 版权所有。全权所有。Tektronix 产品, 不论已获得专利和正在申请专利者, 均受美国和外国专利法的保护。本文提供的信息取代所有以前出版的资料。本公司保留变更技术规格和售价的权利。TEKTRONIX 和 TEK 是 Tektronix, Inc. 的注册商标。本文提及的所有其它商号分别为其各自所有公司的服务标志、商标或注册商标。

5/02 ID/BRG

60C-15661-0