Tektronix

了解迁移到第 4 代企业和数据中心 I/O 标准:

链路训练、FEC 及调试复杂的 Serdes

白皮书

目录

引言 1

1. 数据速率不断提高的挑战 3

2. 通道响应和 ISI 4

3. 均衡 4

3.1 发射机去加重推广到 FFE 5

3.2 接收机 CTLE 和 DFE 5

3.3 自适应均衡和链路训练 7

3.4 链路训练挑战测试设备 8

4. 通道性能评估趋势.....9

4.1 串扰..... 9

4.2 通道性能建模趋势 9

5. 调试闭合眼图的接收机 10

6. 第 4 代带压力接收机容限测试 11

6.1 校准带压力眼图 – 建模趋势 12

7. BER 和 FEC—前向纠错.....12

7.1 把原始 BER 转换成 FEC BER 13

总结 13

引言

高性能数据中心要求的密集高带宽连接能力需要采用多种互连标准，如本地存储和 I/O 使用的 PCIe（外设元件快速互连）和 SAS（串行附着 SCSI)。Inifiniband 和以太网方案在机架间连接领域占主导地位，但在服务器和机架内部，其时延、功率和成本正推动着数据中心管理员寻找更加高效的替代方案。几乎每块电路板、存储设备和 I/O 系统都带有 PCIe 和 / 或 SAS 连接，现在 PCIe Gen4 和 SAS 22.5G 每路已经突破 15 Gb/s 大关，可望成为首选的机架间企业计算方案。

每次技术标准的数据速率推进时，工程师都面临着新的挑战。第 4 代串行 I/O 信号存在着频率相关损耗，会使眼图闭合，限制其距离。为帮助工程师在这些极具挑战性的条件下满足严格的 BER（误码率）要求，标准中已经引入了三大变化：自适应均衡、FEC（前向纠错）和再定时器。

自适应均衡称为“链路训练”，要求发射机和接收机之间通信，以便动态优化每条链路的均衡方式。引入 FEC 可以放松物理层 BER 要求，但要求额外的功率，会提高时延，使 BER 的理解变得更加复杂。此外，再定时器要求缩小其自己的 serdes 尺寸。

除这些重大变化外，使数据翻一倍把位周期 UI（单位间隔）降低了一半，加快了上升 / 下降时间，把通道损耗提高到 25 dB 以上。以上效应加重了高速串行设计工程师十年来面临的问题。

表 1 概括了对数据中心和企业计算性能非常关键的两种串行数据连接标准：PCIe（外设元件快速互连）和 SAS（串行附着 SCSI)。PCIe 和 SAS 都是用于串行数据传送总线的可扩展的快速可靠的 I/O 标准。SAS 是一种存储设备标准，专门用于 HDDs（硬盘）、SSDs（固态硬盘）和新兴 NVM（非易失性媒体）等存储连接。PCIe 是用于外围元件连接的更加通用的标准。PCIe 有很多变种，如 SATAe（串行先进技术快速附着），这是采用 PCIe 物理层的一种 SATA 变种；移动版 M–PCIe，它位于 MIPI（移动行业处理器接口）的物理层顶部；以及 NVMe（非易失性快速存储）。

	Gen 4		Gen 3		Gen 2	
	PCIe	SAS	PCIe	SAS	PCIe	SAS
数据速率 (Gb/s)*	16	22.5	8	12	5	6
编码	128B/130B	128B/150B	128B/130B	8B/10B	8B/10B	
发射机均衡	3-阶 FFE		2-阶 FFE	3-阶 FFE	1-阶 FFE (去加重)	
最小接收机均衡	CTLE 和 2-阶 DFE	5-阶 DFE	CTLE 和 1- 阶 DFE	5-阶 DFE	无	3-阶 DFE
链路训练	通常要求				无	通常要求
BER	$\leq 10^{-12}$	$\leq 10^{-15}$	$\leq 10^{-12}$	$\leq 10^{-15}$	$\leq 10^{-12}$	$\leq 10^{-15}$
FEC	无	要求	无			
接收机输入上的眼图	闭合				睁开	

* 在 PCIe 的用语中，Gb/s（千兆位 / 秒）与 GT/s（千兆传送 / 秒）是不同的。GT/s 指传送的 NRZ（非归零）编码的符号数量，Gb/s 指解码的数据速率。在本文中，我们对任何比特传输都使用 Gb/s。

表 1：PCIe 和 SAS 标准摘要。

许多标准，包括以太网，都采用复杂编码方案，如 PAM4（4 级脉冲幅度调制），把一个以上比特组合到传送的每个符号中，来解决较高信号频率上的问题。本文中讨论的对时延敏感的标准都采用基带逻辑类 NRZ（非归零）方案。

本文考察了第 4 代 I/O 标准的设计和测试挑战。我们先快速回顾了高速串行技术，从信号完整性挑战向回追溯到其根本原因。然后我们考察了自适应均衡和链路训练，并分析闭合眼图信号。我们演示了完善的 BERTs（误码率测试仪）可以怎样以虚拟方式探测集成接收机元件的性能，提供可操作的根本原因和调试信息。这一切都要涉及 FEC，我们介绍了 FEC 概念，让您足以掌握其工作方式及其带来的挑战。最后，我们介绍了解决第 4 代串行 I/O 技术一致性测试和诊断测试挑战所需的工具。

1. 数据速率不断提高的挑战

图 1(a) 是多路企业链路，图 1(b) 是包括关键元器件的单一通路。每条通路都包括一个低速率、低噪声基准时钟 (一般为 100 MHz)、一台发射机、一条差分通道和一台接收机。在某些 PCIe 设计中，低速率基准时钟从发射机分布到接收机，称为 CC (公共时钟) 配置。数据速率时钟由集成在接收机内部的 CR(时钟恢复) 电路恢复。数据速率时钟确定逻辑解码电路 / 位分片器识别位的采样时间。

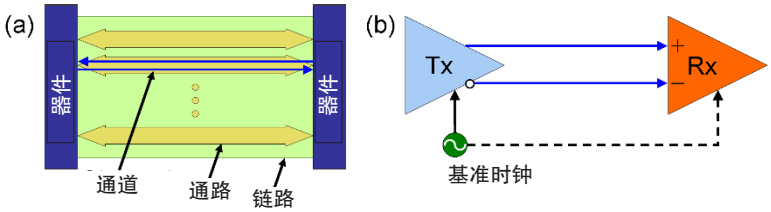

图 1: 典型串行企业链路 (a) 和单独通道示意图 (b)。

图 2 绘制了信号完整性问题的原因到其影响，直到用来解决问题的技术。数据速率越高，信号的频率成分越高，带宽越高，上升时间和下降时间越快，UI 越窄。

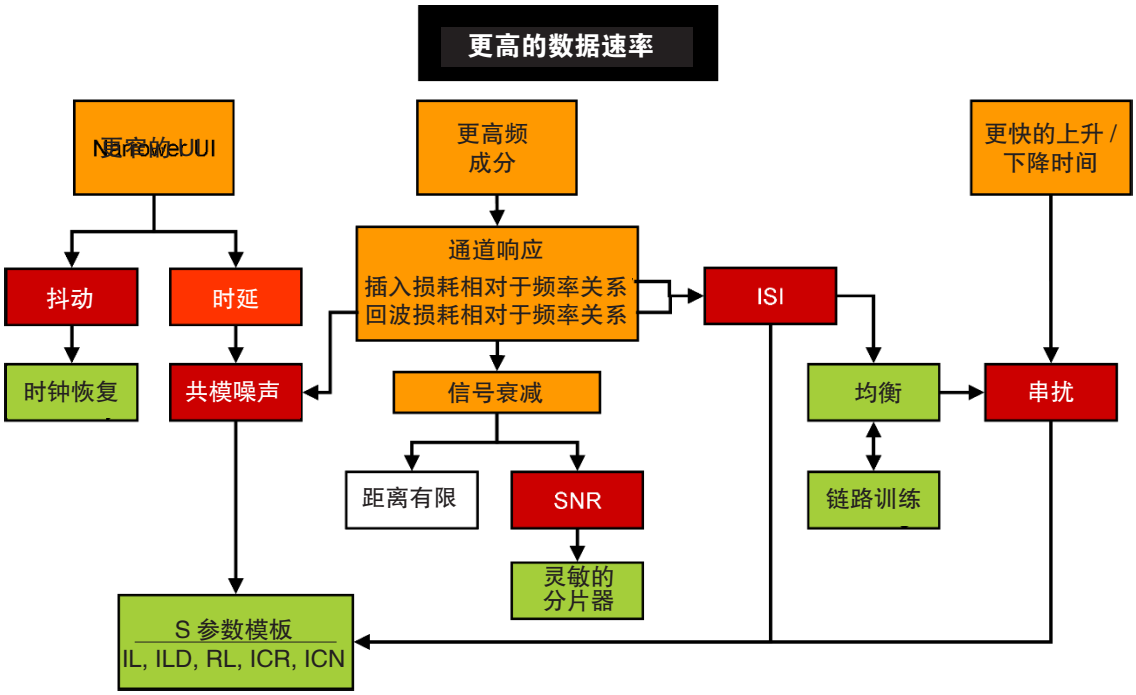

图 2: 从根本原因到解决问题的信号完整性问题示意图。

数据速率从第 3 代到第 4 代翻了一番，UI 下降一半。用 UI 衡量的抖动要求在各代 PCIe 中相同，在 SAS 几代中略有变化，也就是说，以 ps 为单位的抖动裕量下降了两倍。更紧张的 UI 要求更快的上升 / 下降时间，要求更多的能量，并产生了串扰。

UI 下降两倍还降低了差分时延的设计裕量。差分时延产生了共模噪声。考虑到时延，新兴规范在带压力接收机容限测试中引入了一个共模干扰术语。带压力接收机容限测试使用最坏情况标准信号测量接收机在规定 BER 下运行的能力。

通道给拥有高频谐波及宽带宽子谐波的响应带来了最大的挑战：由于 PCB (印刷电路板) 损耗 (即插入损耗) 呈指数提高，产生了频率和相位相关信号衰减。由于总损耗与通道长度成比例，PCB 上第 4 代信号的距离或范围限定在大约 12 英寸。电压摆幅衰减和 SNR (信噪比) 下降，即使在发射机均衡和接收机均衡后，仍要求高灵敏度位分片器。第 4 代 I/O 规范可能会适应仅 15 mV 的均衡后眼高。

2. 通道响应和 ISI

通道响应取决于差分通道的插入损耗和回波损耗，并随频率变化。典型通道响应有两个主要功能：低通特点，随着频率呈指数下降；非正态结构，包括吸收和共振峰值。低通特点是由介电损耗的频率相关性及趋肤效应产生的有效电阻引起的。共振 / 吸收结构是由高频阻抗匹配困难引起的。

NRZ 波形的频率成分有紧密的起皱相位和幅度关系。通道响应扰乱这些相位幅度关系，导致眼图闭合 ISI (符号间干扰)。

3. 均衡

第 4 代数据速率的极端 ISI 要求同样极端的均衡技术。第 4 代技术接收机输入上的信号是闭合的眼图，在质量上不能与噪声区分开来。

均衡技术试图同时去掉发射机和接收机上的 ISI。发射机均衡会使信号失真，部分抵消通道响应。接收机均衡由线性方案和非线性方案组合而成，试图颠倒通道响应，从而向位分片器提供张开的眼图。

第 4 代规范要求动态自适应均衡技术：它要协调发射机和接收机，称为链路训练，使均衡方案适应运行条件。链路训练给测试设备带来了巨大的挑战。

BERTs 一直由驱动仪器质量的脉冲码型发生器的精密时钟组成，脉冲码型发生器为测试设备提供信号，灵敏的误码检测器则识别信号，把信号与发送的码型相匹配，计算误码数量。为测试第 4 代 I/O 技术，BERTs 还必须能识别协议：信号必须遵守协议格式，码型发生器和误码检测器必须能够把命令提交给测试设备，对测试设备发出的命令做出应答。

BSX 系列 BERTScopes 是为支持第 4 代测试设计的。

3.1 发射机去加重推广到 FFE

前几代串行 I/O 标准采用简单的发射机均衡方式，称为去加重。其理念是通过提高逻辑跳变前位的相对幅度，抵消通道响应的低通特点，同时使总功率保持不变。在更高的数据速率下，去加重是不够的，必须推广到 FFE（前馈均衡），如图 3 所示。FFE 会使发送的信号失真，使通道响应在接收机上产生更干净的信号。

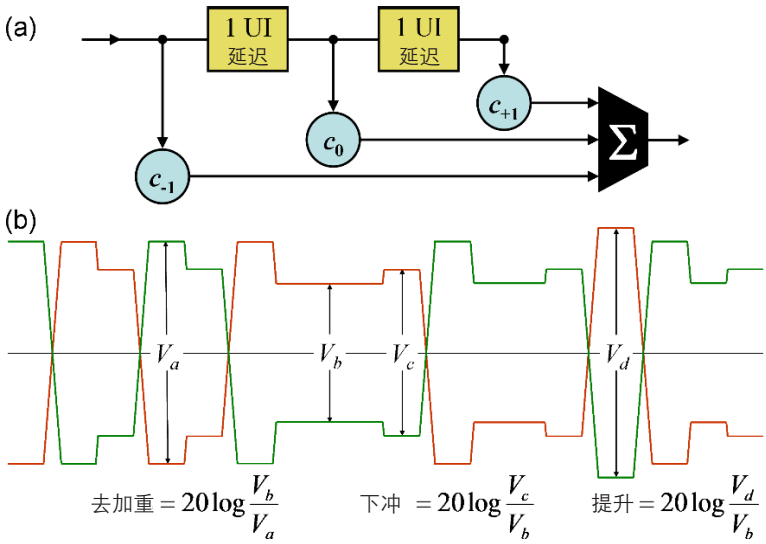

图 3: 发射机 FFE，(a) 三阶 FFE 位移寄存器，(b) 得到的差分信号。

图 3 显示了“三阶”发射机 FFE；周围及包括跳变位在内的三个位的幅度由称为阶的因数修改。在 PCIe 的用语里，跳变前面的位的相对幅度会提高一个预冲阶，跳变位会提高一个提升阶，与跳变隔一个 UI 的位被去加重。

可以以不同的量对跳变前或跳变后的任意数量的符号应用发射机加重。第 4 代技术通常要求 2 ~ 4 阶发射机 FFE。

3.2 接收机 CTLE 和 DFE

如图 4 所示，接收机基本上已经成为一个黑匣子，里面含有一条 CR（时钟恢复）电路、两个均衡器和位分片器，工程师哪个器件都接触不到。

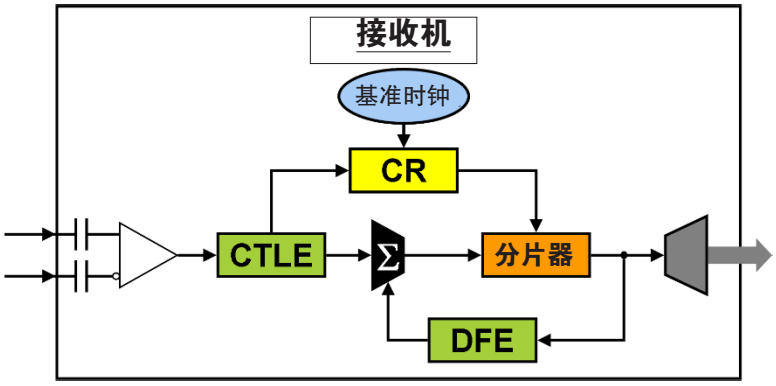

图 4: 典型的第 4 代接收机结构。

接收机均衡通常同时包括 CTLE (连续时间线性均衡) 和 DFE (判定反馈均衡)。CTLE 是一种线性滤波器，在时钟恢复前应用到 AC 耦合接收机输入，响应由单个增益参数控制。如图 5 所示，CTLE 抑制低频信号成分的相对影响，放大高频信号谐波。CTLE 后的波形必须有充分解析的边沿，以便 CR 能够恢复数据速率时钟。

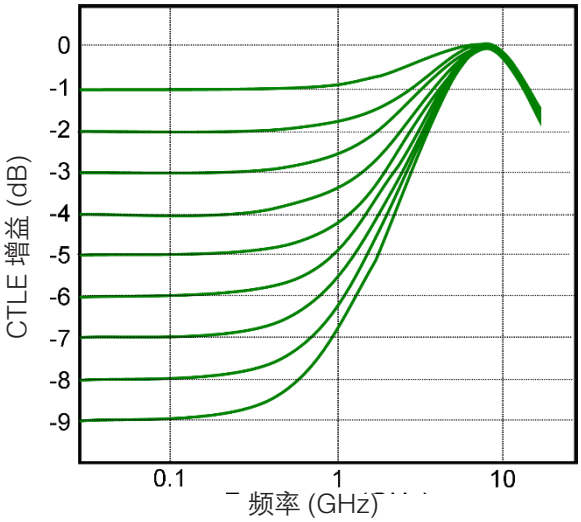

图 5: CTLE 响应。

恢复的时钟确定位分片器的样点。确定的位反馈到 DFE，如图 6 所示。DFE 是一种非线性滤波器，通过位移寄存器传送解码后的码值。逻辑值被延迟，乘以阶数，反馈到分片器，进一步降低 ISI。由于 DFE 性能假设位分片器的精度，因此误码可能会毁损 DFE 输出。在反馈并与演示给分片器的下一个位相结合时，毁损 DFE 输出变成 ISI 的又一个来源。然后这个下一个位更可能被误识别，进一步毁损 DFE 输出，依此类推，其通常会导致错误突发。

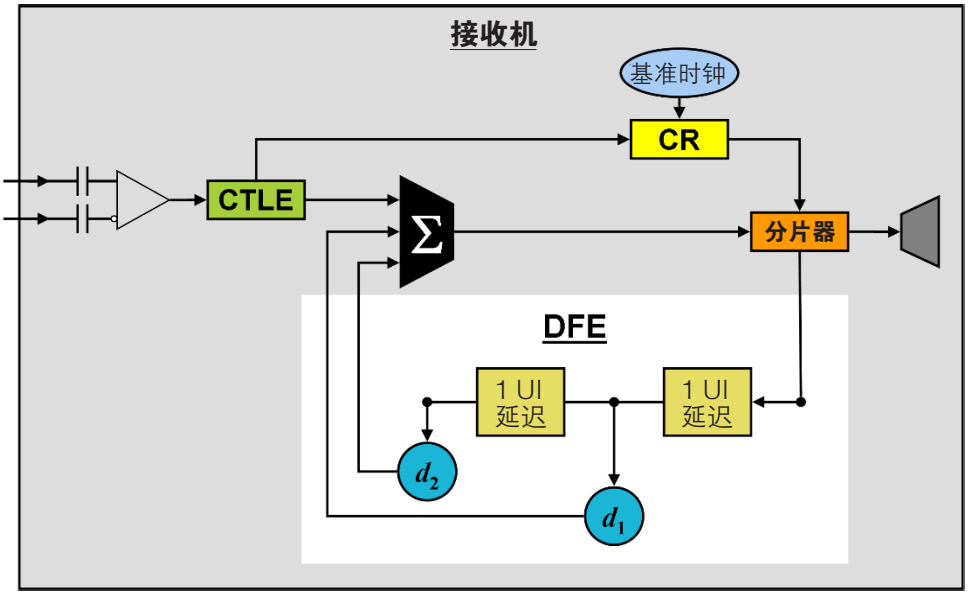

图 6: 拥有两阶 DFE 的接收机。

第 4 代标准规定了 BER 性能，但没有指明接收机均衡设计。

3.3 自适应均衡和链路训练

每次提高数据速率时，都必须做出选择以保持性能，同时优化成本。许多标准要求更高的 serdes 性能，同时继续使用标准电路板介质，而不会采用新的更高性能的连接器。例如，PCIe 第 4 代标准把数据速率提高了一倍，而没改变传输路径的最低性能要求。

在发射机通道和接收机来自不同制造商的情况下，为在传统基础设施上适应第 4 代数据速率，必须协调发射机和接收机上的均衡方式，必须适应运行条件。

为协调综合链路均衡方式，接收机必须能够：(1) 测量连接质量；(2) 修改发射机 FFE 和接收机均衡参数。

图 7 是其工作方式。

在通电时，或在链路超过允许的最大 BER 时，两台 serdes 执行协议握手，以低数据速率建立通信，如 Gen 2。然后一台 serdes 的接收机向另一台 serdes 提交速度变化请求。

发射机从预置的 FFE 配置开始，例如，PCIe 第 4 代发射机有多个预置值，称为 P0、P1、…、 P10，每个预置值有预先确定的预冲、提升和去加重阶。数据速率提高到下一代速率，如 Gen 3，建立链路，且 BER ≤ 1E–4。

一旦发射机和接收机完成初始化，发射机会发送一个已知的训练序列。接收机通过某种方式测量其自己的性能：通过 CRC（循环冗余校验和），通过 FEC，或通过内置系统测试。接收机应用均衡优化算法，调谐发射机和接收机均衡参数。这个过程会一直持续到链路 BER 要么满足要求，要么在允许的最大时间内失败。如果 BER 令人满意，那么系统会推进到下一个更高的数据速率，如 Gen 3 到 Gen4，重复上述过程。

链路将以其能够实现规定 BER 的最高速率运行。

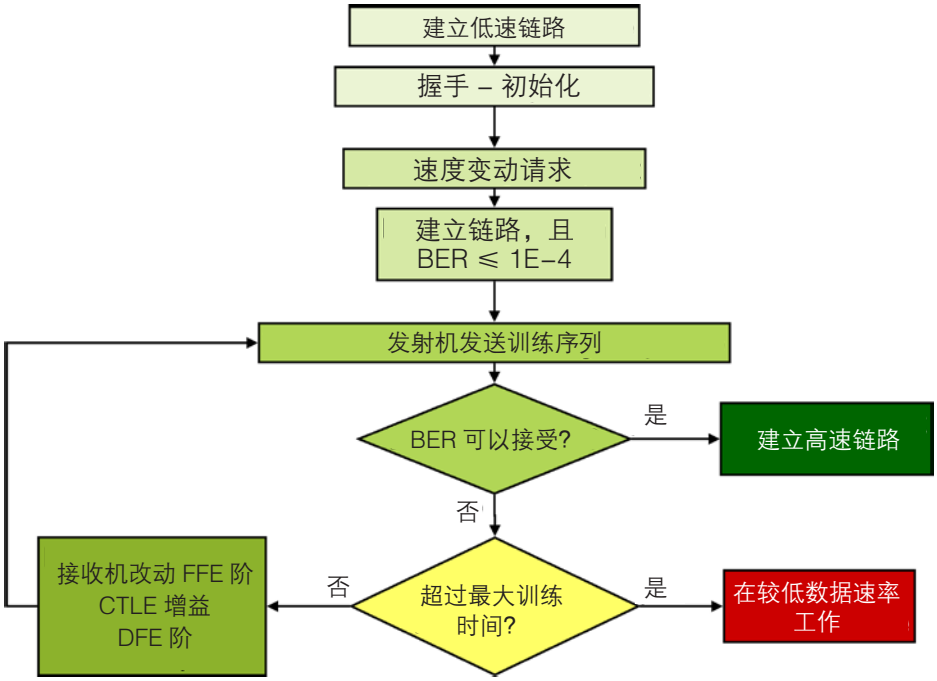

图 7: 链路训练流程图。

即使在使用动态自适应均衡技术时，长距离内的数据传输通常也要求再定时。再定时器是一种扩展设备，由简化的接收机 – 发射机对组成，并包括固定发射机去加重和接收机 CTLE，必须以限定而透明的方式适应链路训练协议，并与其他 serdes 一样通过测试。

3.4 链路训练挑战测试设备

为测试链路训练，不管是进行调试还是进行一致性测试，测试设备都必须识别协议：它必须模糊 BERT 与协议分析仪之间的界限。对发射机测试，基准接收机必须能够与测试发射机通信。对接收机测试，基准发射机必须能够与测试接收机通信。

由于其复杂性，接收机测试的要求要比发射机测试更高。为测试链路训练，基准发射机必须能够把测试码型组装成协议码组，应用数据编码方式，如 128B/130B，对数据加扰，执行通信初始化握手，对测试接收机不同的 FFE 阶请求做出响应，满足响应时间要求。

基准发射机与测试接收机握手测试和调试起来可能会非常困难。能够创建激励 / 响应场景，监测测试接收机怎样对码型序列做出响应，在握手过程中为接收机性能提供了一个关键窗口。

对发射机测试，基准接收机必须请求标准中规定的不同的阶集合。基准接收机最少必须能够向测试发射机传达均衡协商过程是否得到成功的链路。

4. 通道性能评估发展趋势

除均衡外，会有 S 参数限制，来限定通道响应引起的问题。S 参数描述了无源器件的频率和相位响应，比如轨迹、电缆和连接器，以及发射机和接收机的输入和输出响应。

第 4 代标准采用 S 参数模板，限定插入损耗 (Sdd21)、回波损耗 (Sdd11 和 Sdd22)、ILD (插入损耗偏差)、传输和反射中的差模到共模转换 (Scd21、Scd11 和 Scd22) 及串扰。

4.1 串扰

在较低数据速率下，差分信令足以解决串扰问题。在第 4 代数据速率时，串扰则不能忽视。

串扰来自干扰源逻辑跳变过程中的电磁放射。它在被干扰通道上表现为巨大的高频噪声。在多条通路同步的系统中，串扰出现在眼图的固定时延区域，持续时间与干扰源的上升 / 下降时间大体相同。在没有同步的系统中，串扰定时会在眼图中变化。

由于发射机 FFE 和接收机 CTLE 会放大高频信号成分的相对影响，因此它们还会加大串扰。另一方面，DFE 不会给串扰带来任何影响。链路训练为系统优化 FFE–CTLE–DFE– 串扰均衡提供了一种动态方式。由于串扰在高插入损耗的系统中会变差，因此许多标准允许设计人员通过插入损耗与串扰比相对于频率关系 ICR(f)，或使用内奎斯特频率上 ICN (积分串扰噪声) 相对于 IL (插入损耗) 关系的一致性测试模板，来均衡串扰和损耗损伤。

4.2 通道性能建模趋势

15 Gb/s 以上新技术的另一个重要发展趋势，是采用复杂算法，融合通道响应、串扰和均衡对 BER 性能的影响。在较低速率下，允许的最大插入损耗和串扰要足以保证采用标准 serdes 的通道实现互操作。在第 4 代速率下，必须包括均衡的影响，因为其对串扰的影响非常复杂。

业内发展趋势是把多个设计参数融合成一个指标，这扩大了设计选项，允许工程师更好地优化性能价格比。其理念是建立一个把串扰与发射机噪声和抖动融合在一起的通道性能模型。快速迭代程序决定着标准发射机的最优均衡方式。这个模型采用最小基准均衡方案及最坏情况标准发射机模型，估算位分片器输入上的眼高和眼宽。

建立的通道 BER 性能模型必须好于规定的最小值。一般来说，如果模型中没有包括发射机噪声，那么没有采用 FEC 的系统要求 BER < 1E–15；如果模型中包括发射机噪声，那么要求 BER < 1E–12。

另一种第 4 代方法称为“确定通道容限”。确定通道容限是 serdes 中内置的一种程序，对给定的通道均衡组合执行动态眼高和眼宽测量。

5. 调试闭合眼图的接收机

接收机引脚上的信号是闭合的眼图。我们可以建立接收机内部元件的性能模型，包括其 AC 耦合输入、CR、CTLE、DFE 和分片器，如图 4 所示。但我们不能探测它们，因为基准点位于芯片组内部。我们能够接入的唯一信号是环回模式下运行的接收机发出的再定时信号，如图 8 所示。

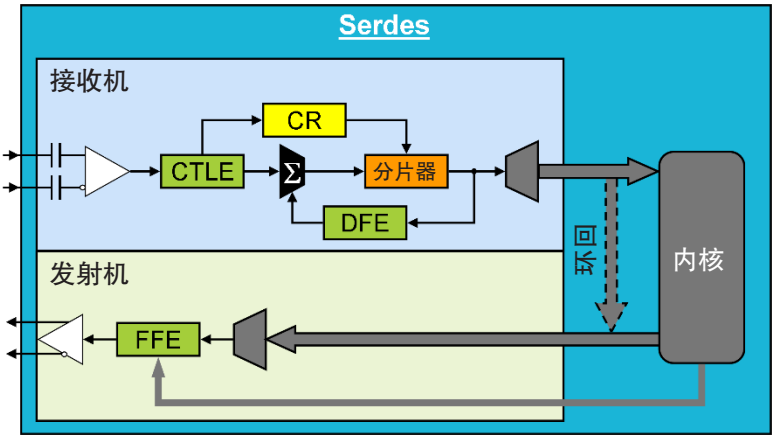

图 8: 采用环回模式的 serdes。

在调试时，可能看上去没有什么希望，但 BERTs 拥有独特的、经常被误解的功能，其能够以虚拟方式探测接收机内部每个元件。

装备精良的 BERT，如泰克 BSX 系列 BERTScopes 之一，为调试第 4 代接收机提供了三种必不可少的关键功能：首先，BERTScope 码型发生器可以传送用户自定义的长达 528 Mb 的任何测试码型，或者各种 PRBSn（伪随机二进制序列）测试码型。第二，BERTScope 码型发生器可以传送精确的多种不同信号压力损伤的信号。第三，BERTScope 的误码位置分析工具可以确定误码的具体位置，把它们组装成大量的分布，表明不同的关联类型，如码组长度、时间标度、发送的码型、突发误码长度、无差错间隔和可配置的误码分类。

可以配置测试码型和信号压力组合，针对接收机黑匣子内部的每个元件，以虚拟方式探测 AC 耦合、CR、CTLE、DFE 性能和分片器灵敏度。在我们知道一个信号对一个元件的压力要大于其他信号时，我们可以使用误码位置分析，识别有问题的元件及其工作裕量。

6. 第 4 代带压力接收机容限测试

带压力接收机容限测试旨在保证每台标准接收机能够使用最坏情况标准输入信号在规定 BER 下运行。

第 4 代标准把单独的抖动和电压容限测试合并成一个带压力抖动容限测试。其使用第 3.3 节中描述的链路训练协商确定的基准发射机 FFE 设置值执行测试。应用的压力包括 ISI 导致的一致性测试电路板中的通道响应、RJ（随机抖动）、共模和差模正弦曲线干扰、所有异步串扰源以及扫频 SJ（正弦曲线抖动）。由于测试夹具（电缆、连接器、分路器等）会导致 DDJ（数据相关抖动），很难精确反嵌，因此第 4 代标准包括应用的压力之间的测试夹具。

第 4 代标准并没有在接收机引脚上规定容限测试信号，而是用位分片器上的均衡后 EH（眼高）和 EW（眼宽）来规定应用的总压力。

EH 和 EW 都相对于 BER 测得。EH12 是垂直眼图张开程度，用 mV 表示；EW12 是水平眼图张开程度，用 BER=1E–12 廓线的 UI 或 ps 表示，如图 9 所示。

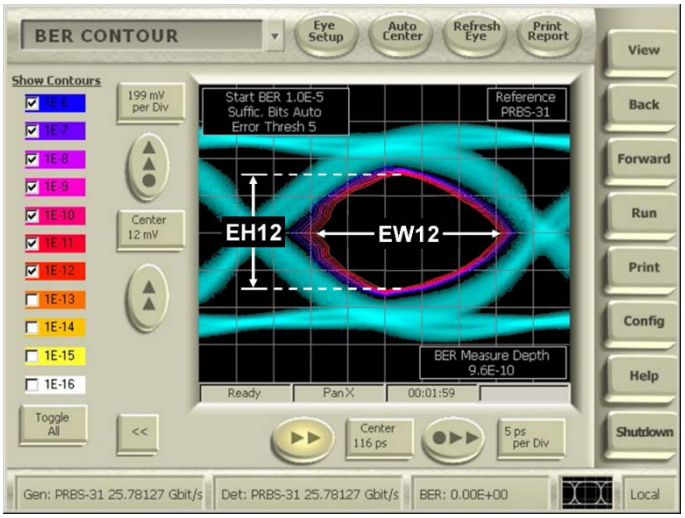

图 9: BER=1E–12 时的 EH 和 EW。

带压力接收机容限测试应用在 SJ 模板中，如图 10 所示。对 SJ 模板中的每个频率，标准接收机应在等于或好于要求的 BER 下运行。

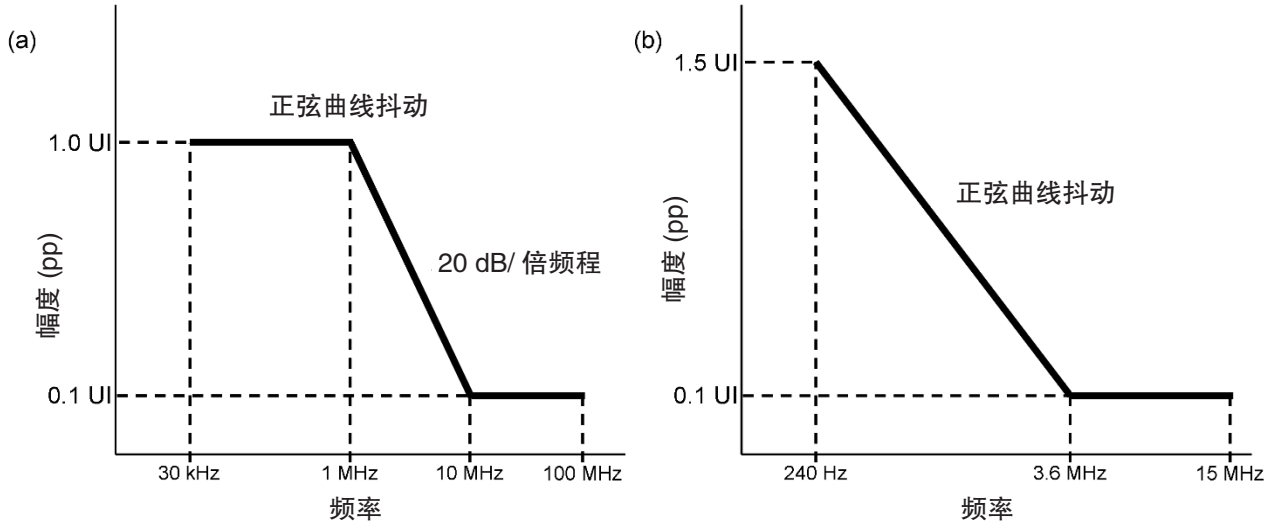

图 10: (a) PCIe Gen4 和 (b) SAS 22.5G 的 SJ 压力模板。

6.1 校准带压力眼图 – 建模发展趋势

由于不可能在接收机芯片组内部测量 EH 和 EW，因此我们要使用快速统计仿真模型，校准带压力眼图。

这种模型使用规定的发射机电压摆幅和上升 / 下降时间及应用的压力，测量通道 S 参数，包括测试夹具。这种模型查找最优均衡参数，假设采用的是最小基本接收机均衡方案，然后估算分片器上的 EH 和 EW。如果 EH 和 / 或 EW 太大，那么可以应用额外的压力，如 RJ，提高电压噪声，和 / 或降低传送的电压摆幅。类似的，如果 EH 太小，那么可以提高电压摆幅。

7. BER 和 FEC—前向纠错

FEC 必须满足 SAS 第 4 代 BER 要求。在情况非常严重，以致于第 4 代接收机不能在规定 BER 上运行时，可以采用 FEC。FEC 可以把原始 BER 要求放松一百万倍以上，但代价是增加 2–15% 的带宽开销，这要视具体 FEC 实现方式而定。FEC 还提高了时延，要求额外的功率，可能会提高 BER 分析的复杂程度。

FEC 使用额外的奇偶位对信号码组编码。FEC 方案可以校正的误码数量取决于每个码组内部的误码顺序。可以校正的最大和最小误码数量可能会变化十倍以上。

SAS Gen4 中采用的 Reed–Solomon FEC 方案称为 RS–FEC(30, 26)，可以在 130 位中最多校正 10 位，视其顺序，最少可以校正 2 位，而带宽开销会增加大约 13%。

由于采用 DFE 的系统一般会发生突发错误，可能会淹没 FEC，因此某些标准采用数据交织或数据剥离技术，来在不同码组中重新分配突发错误。每个码组中的误码越少，FEC 的效率越高。

7.1 把原始 BER 转换成 FEC BER

由于每个码组内部的误码顺序严重影响着 FEC 性能，因此可能很难从原始 FEC 前的 BER 中估算 FEC 后的 BER。BSX 系列 BERTScopes 使用误码位置分析工具同时测量这两个指标。

通过识别每个误码的位置，BERTScope 把 FEC 前的原始 BER 转换成校正后的 BER，即使在数据交织时。

8. 总结

高速串行 I/O 技术（如 PCIe 和 SAS）的迅猛发展及其推进到第 4 代数据速率，使其成为性价比最优的数据中心连接解决方案。

采用链路训练是新兴第 4 代标准中最重要的趋势，其不仅适用于设计、测试和实现技术的工程师，还适用于为这些工程师开发测试设备的企业。

由于 BER 是数字系统最重要的单一性能指标，因此 BERTs 一直发挥着关键作用。过去，BERTs 为仪器质量的码型脉冲发生器提供精确的时钟，为误码检测器提供了一流的灵敏度。链路训练流程测试和调试需求要求 BERT 也能够识别协议。

BERT 码型发生器和误码检测器必须能够根据每项标准的协议规定进行通信。码型发生器必须能够在测试接收机中发起环回模式。误码检测器必须能够把接收质量回传到码型发生器。码型发生器必须能够应答，在标准限制范围内调整发射机均衡方案。码型发生器并不是传送简单的测试码型，而是必须能够把数据组装成与标准协议一致的码组，误码检测器必须能够对其解码。

毫无疑问，BER 是评判元器件和系统性能的指标，也是最终的一致性测试要求，但 BERTs 作为调试工具通常会被忽视。由于 BER 只是一个数字，因此许多工程师没有认识到 BERTs 可以提供可操作的诊断性的根本原因信息。我们已经看到，至少对装备精良的 BERT（如 BSX 系列 BERTScope）来说，BERTs 提供了优异的第 4 代诊断工具，只要其中包括以下关键特性：

1. 数据速率高达 32 Gb/s，拥有仪器质量的码型发生器，支持最少 3 阶 FFE 及精细的误码检测器灵敏度（至少 15 mV）。
2. 识别协议的码型排序、加扰、编码等功能。
3. 能够编程激励 / 响应场景，为示波器或逻辑分析仪生成外部触发。
4. 能够传送各种可编程测试码型，这些测试码型专门订定制，面向复杂的第 4 代接收机黑匣子内部的特定元件性能。
5. 能够应用各种精确的信号压力，如 RJ、SJ、DM–SI、CM–SI、F/2 和 ISI。

6. 误码位置分析，同时测量原始的 FEC 前 BER 和 FEC 后 BER。
7. 能够以虚拟方式探测 serdes 芯片内部的元件裕量，不仅提供认真选择的码型压力组合，还能够分析误码位置分析分布和关联。

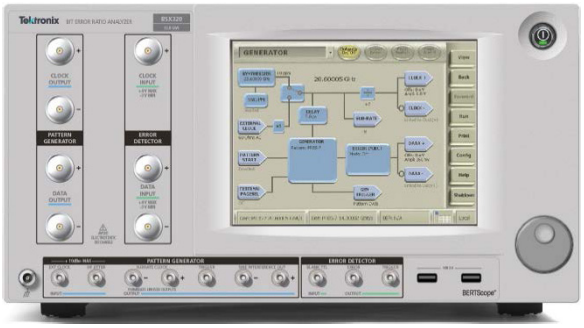

图 11: 泰克 32 Gb/s BSX320 BERTScope。

BSX 系列 BERTScopes 为第 4 代 serdes 一致性测试和调试提供了所有必要的功能，外加用户已经习惯的 BERTScope 信号分析工具，如眼图、BER 廓线和浴缸图。

© 泰克公司版权所有，侵权必究。泰克产品受到已经签发及正在申请的美国专利及外国专利的保护。本文中的信息代替以前出版的材料中的所有信息。本文中的技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和 TEK 是泰克公司的注册商标。本文中提到的所有商号均为各自公司的服务标志、商标或注册商标。

2/2017 TL 65C-61047-0