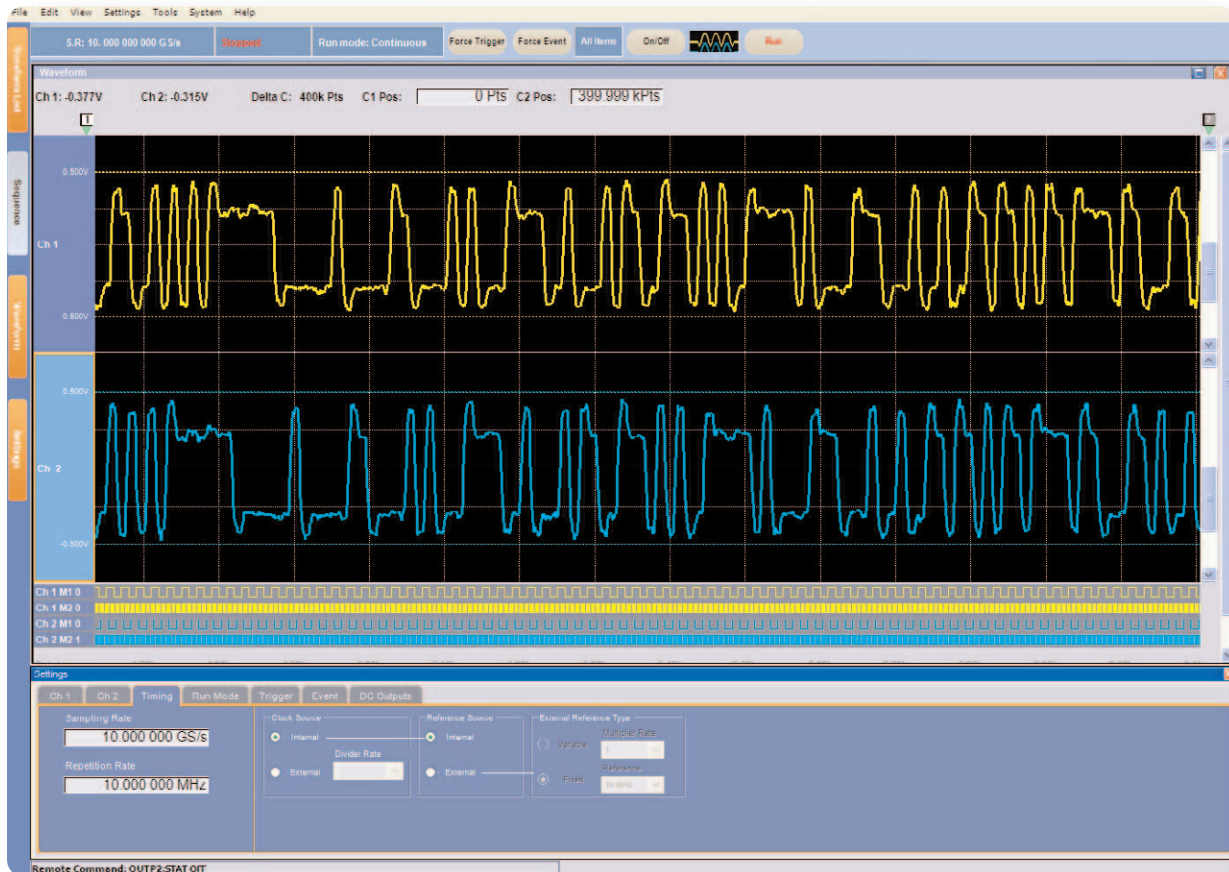


アナログ信号を用いた 高速シリアル・レシーバ・テスト



シリアル・バスやシステム設計に携わっているエンジニアは、様々な問題を解決しなければなりません。データ・レートの高速化は特に大きな課題です。信号の高速化は、動作マージンが少なくなることを意味します。動作マージンが少なくなると、許容範囲が狭くなり、システム間の完全なインターオペラビリティの確保が難しくなります。実験室、コンプライアンス・テスト、製造現場における測定が、このインターオペラビリティの実現に大きく貢献します。性能とインターオペラビリティを高レベルで両立できる技術と測定手順が模索されている中、性能の検証を確実に行うことの重要度が増えています。

シリアル信号に影響を及ぼす損失とアブレーション

数多くのデジタル・システムで広く使用されている構成要素であるシリアル・データ・レシーバは、次々と最新のデバイスが登場しています。設計エンジニアは、これらをデザインに組み込むために性能の評価を確実に行わなければなりません。彼らの共通の関心は、「実際の使用環境でレシーバは正しく機能するだろうか」、「最悪のケースではどのような振る舞いを見せるだろうか」、ということです。そして、シリアル・データ・レシーバにとっての実際の使用環境が、すなわち最悪のケースであることも珍しくありません。

▶ テクニカル・ノート



同様に深刻なのは、現実の実装では、インピーダンス制御され、経路を最短距離で結び、劣化を最小に抑えた理想的な信号線路からかけ離れているという事実です。製造現場では経済的理由から、FR4（エポキシ樹脂）基板など、比較的損失の多い材質が使用されています。回路のレイアウトにしても、電気的特性の観点からではなく、パッケージングの観点から決定されています。また、量産品のケーブルやコネクタでは、コストが優先され、その分、信号忠実性が犠牲になっています。システムの設計にあたっては、このような状況を理解したうえで、理想（伝送線路のインテグリティ）と現実（コスト/競争）のバランスを取る必要があります。

これらの損失の原因は为什么呢。高周波信号は、プリント回路基板上の長い配線を伝わっていくうちに、基板を形成する誘電材料の正接損失により著しく減衰します。正接損失が大きいということは、誘電吸収が大きいということでもあり、高周波の減衰が著しくなります。図1は、信号がメディアの損失特性に比例して劣化するという事実を示すものであって、特定のメディアの性能を表しているわけではありません。

損失、シンボル間干渉、クロストーク、ノイズ、ジッタが重なると、高速データ信号にとっては大きな問題となります。図2に、同じシリアル・データ信号の伝送前と伝送後の波形を示します。黄色の波形は伝送出力のアイ・ダイアグラムです。アイは開いて安定しており、振幅は十分で、画面中央のスレッショルド・ポイント周囲のクリアランスも十分です。

緑色で重なり合っているのは伝送波形で、それとはわかりづらいですが、これもアイ・ダイアグラムです。レシーバには、実際このような信号が入力されています。アイの開口はすべてなくなっています。それでも、レシーバ内部のシリアルライザ/デシリアルライザ (SERDES) 回路は、この信号から有効なバイナリ・データ・パケットとクロックを抽出しなければなりません。

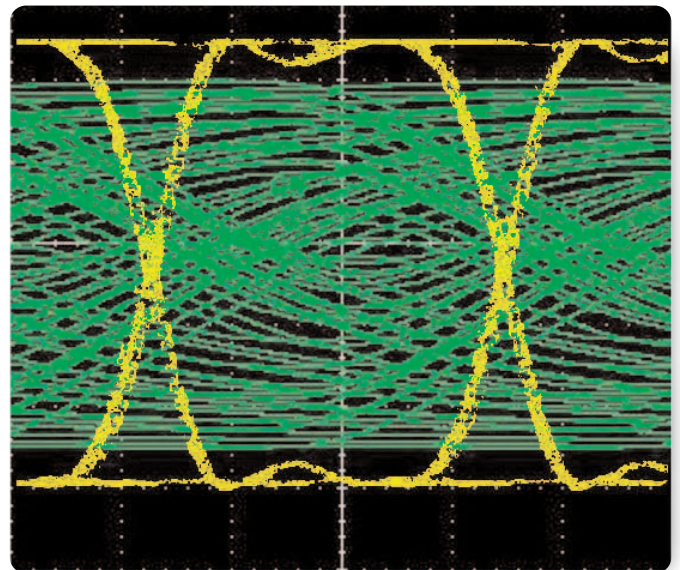
図2からもわかるように、緑色で表示されているような波形では使いものになりません。コンピュータ、通信業界の設計エンジニアは、長年にわたってこの問題のソリューションを模索してきました。しかし、結局のところ、このような信号の振る舞いは材料物理、電気、電磁輻射の結果です。“理想”のドライバ、ケーブル、伝送メディアが発明されでもしない限り、設計エンジニアは、損失の最小化または相殺（望ましくはその両方）を考慮しなければなりません。

3つのストラテジ、2つのソリューション

上で述べたシリアル信号の伝送上の問題に対処するために考え出されたのが、次の3つのストラテジ*1です。

- 減衰とそれに伴う損失を相殺できるよう、信号に前処理を施す

信号の減衰の特徴を調べ、あらかじめ振幅を強調しておき、受信側で減衰が相殺されるようにします。この方法をディエンファシス*2（またはプリエンファシス）といいます。予想される伝送メディアの周波数応答による信号損失を予測して対処する方法としては、他にフィルタリング（イコライゼーション）が挙げられます。



▶ 図2. 黄色の波形は送信端でのシリアル・データ信号、緑色の波形は実際のパスを通った後の状態を示します。

- 最悪の信号条件を外部からかけ、新しい設計の耐ストレス特性を徹底的に検証する

新設計のレシーバを、ジッタ、ノイズ、振幅変動、その他のストレスを含んだ信号条件でテストします。デバイスの応答、主にビット・エラー・レートを確認することで、エンド・ユーザ・アプリケーションで露見する可能性のある脆弱性を特定することができます。

- 厳格なコンプライアンス・テストとインターオペラビリティ・テスト

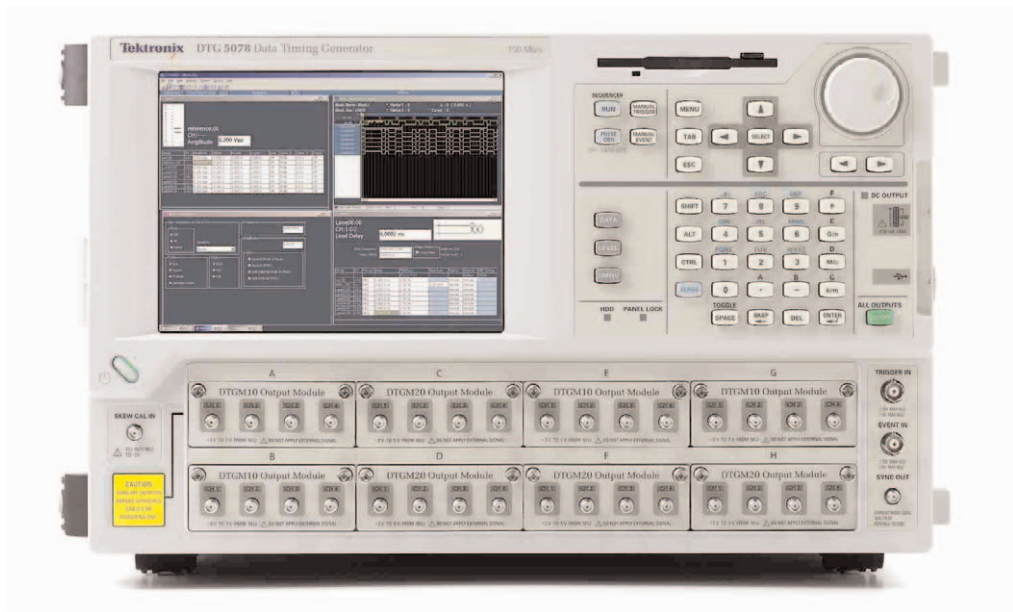
特定の動作条件におけるインターオペラビリティが最重要の確認項目です。業界の規格と適合性のガイドラインに従うことで、インターオペラビリティは確保できます。シリアル・インタフェースの開発現場で今、緊急に必要とされているのが、コンプライアンス測定を迅速かつ簡単に行え、高確度で再現性のある結果を得ることのできるソリューションです。

*1 この他に、高周波デバイスのRFエネルギー放射を低減する拡散スペクトラム・クロッキングなど、アーキテクチャ面のソリューションもあります。

*2 "ディエンファシス"という業界用語は、人や会社によっては別の意味で使われていることがあります。このテクニカル・ノートでは、PCI Expressベース仕様の例にならない、特定の条件下で信号の振幅を意図的に低くすることを、ディエンファシスと呼ぶことにします。

アナログ信号を用いた高速シリアル・レシーバ・テスト

▶ テクニカル・ノート

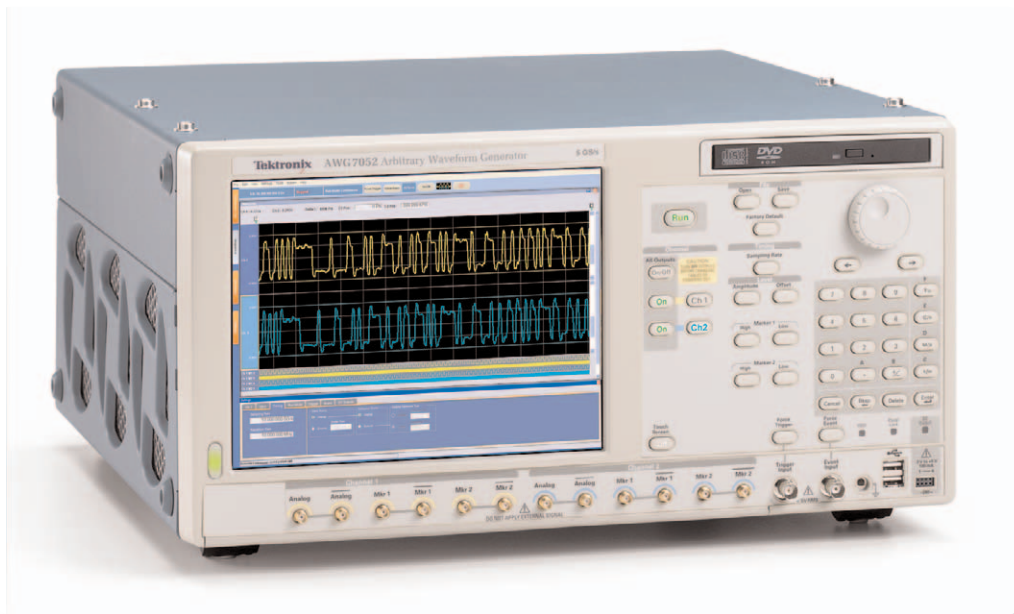


▶ 図3. データ・タイミング・ゼネレータは、最大96チャンネルのデジタル信号を出力することができます。

どのストラテジも、設計段階または検証段階において、高確度の測定が行われることが前提となっています。シグナル・ソースは、既知の、制御された信号を出力することを要求され、オシロスコープやエラー・レート・テストなどの測定ツールは、入力/出力ポートの信号を測定し、信号のすべての振る舞いを取り込むことを要求されます。

これらすべてのストラテジで大きなカギを握っているのがシグナル・ソースです。シグナル・ソースは、ディエンファシスやフィルタの効果、さらには、ノイズ、ジッタなどの好ましくない効果が加えられた複雑なデータ・パターンをレシーバに供給することが求められます。レシーバへの信号供給用として、2種類のシグナル・ソースが用意されています（変調およびノイズの付加には別の信号源を使うこともあります）。

データ・タイミング・ゼネレータ（DTG、図3を参照）：
パターン・ゼネレータまたはロジック・ソースとしても知られ、純粋なデジタル（バイナリ）信号を出力します。機器内部では、パターンは演算で生成されるか、またはテスト時に内部のメモリから読み出されます。信号振幅は任意に設定でき、立上り/立下り時間も調整可能です。一般的に、変調、ジッタ、ノイズは外部デバイスによって加えられますが、この機能を内蔵しているものもあり、制御されたジッタを信号に加えることもできます。DTGの優れた機能の一つに出力チャンネル数があります。1台で最高32チャンネルが出力でき、マスタ・スレーブ構成することで、最高96チャンネルまで拡張できます。



▶ 図4. 任意波形ゼネレータ（AWG）は、デジタル・マーカ出力だけでなく、差動アナログ信号も出力できます。

任意波形ゼネレータ（AWG、図4を参照）：アナログ信号出力のために設計されたツールであり、同時にデジタル・パターンを供給する機能があります。しかし、本来の機能は、機器のメモリに保存されたサンプル波形を再生することによって信号を出力することです。機器に十分な帯域とサンプル・レートがあれば、アベレーションなどの劣化した状況出力信号に組込むことができ、そのための外部機器を必要としません。AWGは一般的に、追加のデータ・ソースとして使える、いくつかのデジタル・マーカ出力を装備しています。

次に、これらのツールを使用し、効果的なテスト・ストラテジを実行するための手法について考察します。

ディエンファシスによるシンボル間干渉（ISI、Inter-Symbol Interface）の解消

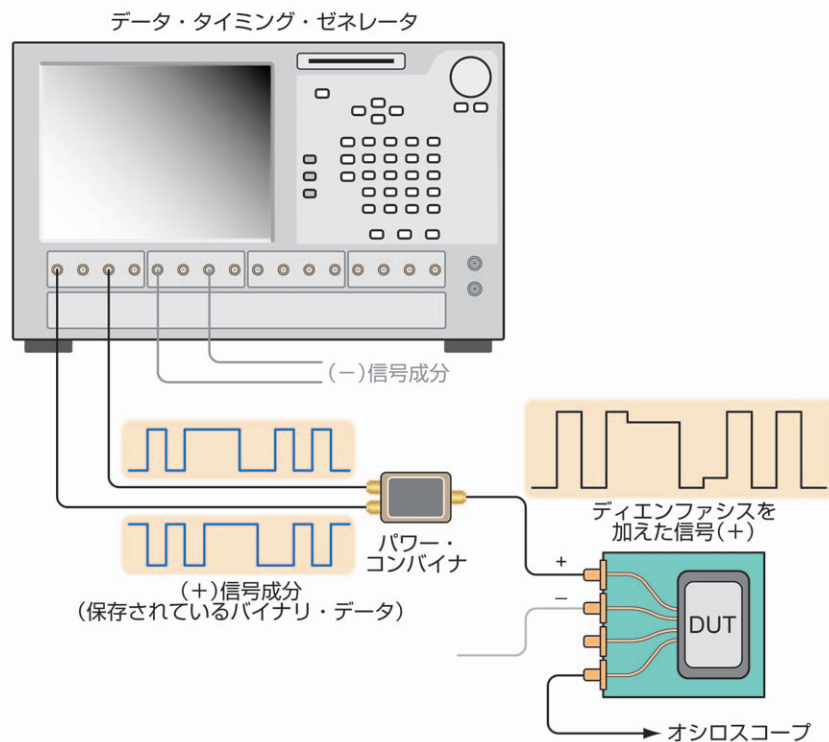
シンボル間干渉（ISI）は、同じステートのシリアル・ビットが連続した場合に伝送コンポーネント内にエネルギー

ギーを発生させるものであり、ISIによってパルスは時間的に拡散し、重なることもあります。この結果、レシーバはステートの変化を識別するのが困難になります。ビット・レートがギガビット・レンジになると、シリアル・バスの伝送チャンネルに影響が現れます。多くの研究は、ISIの検出、除去を中心に行われてきました。

その結果として取り入れられた手法が、ディエンファシスです。ディエンファシスでは、同じバイナリ・ステートのビットが連続した場合、最初のビット（トランジション・ビット）はそれに続くビットに比べて振幅を大きくして、伝送ラインの周波数特性を補正し、レシーバ入力における信号忠実度を改善します。トランジション・ビットの振幅を、それに続くビットよりも大きくすることで、レシーバのピンにはアイの開いた信号が届きます。

アナログ信号を用いた高速シリアル・レシーバ・テスト

▶ テクニカル・ノート



▶ 図5. データ・タイミング・ゼネレータは、一対で構成される信号を外部のパワー・コンバイナに供給することにより、ディエンファシス信号を作ることができます。注：ここでは差動信号の一本だけが表示されています。

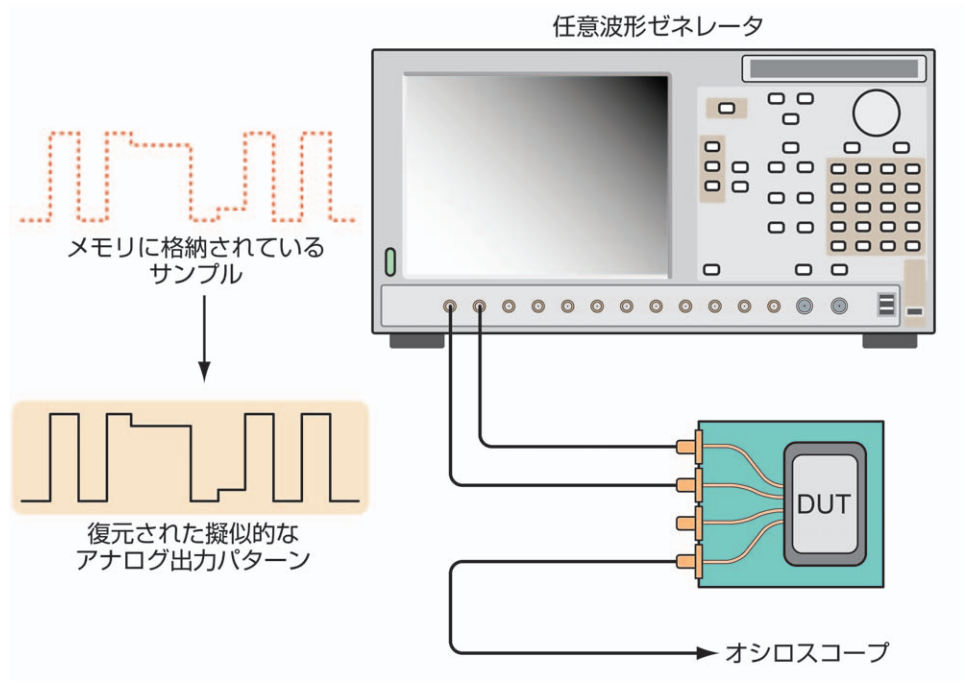
信号振幅と波形形状に影響を与える他の手法と同様、ディエンファシスに対するシリアル・デバイスの応答を設計段階でしっかりと検証する必要があります。また、ディエンファシス測定は、PCI Express II、Ethernet、XAUIなど、ほとんどのコンプライアンス・テストの項目に含まれています。

DTGは、いままでディエンファシス検証ソリューションの1つとして使用されてきました。DTGでは、1つのディエンファシス信号に対して2つの差動チャンネルが、4レーンに対しては合計8チャンネルが必要となりますが、最新のDTGは、必要とされる出力数以上のチャンネル数を装備しています。

代表的なDTGの構成は16チャンネルであり、PCI Expressなどのシリアル・バスで必要な4レーンに対して

十分な数です。データのスループットを最大にするソリューションとして、マルチレーンのシリアル・アーキテクチャの重要性が高まっており、DTGによるディエンファシス・テスト機能は重要になっています。

DTGによるディエンファシス・テストには、2つの同期のとれたデータ出力を加算し、1つの合成された出力とするための外部パワー・コンバイナが必要です。テスト・セットアップを図5に示します。ここでは、差動ペアの+極のみが表示されていますが、一極も同様の構成となります。ここで重要なのは、構成されるデータは動作ごとに読み込まれる個々のバイナリ・ビットとしてDTG内にデータが保存されており、DTGのメモリの“1”と出力の“1”は1対1に対応しているという点です。



▶ 図6. 任意波形ゼネレータは、メモリに保存されたサンプル波形を再構築します。

ディエンファシス信号を生成する、もう1つの方法

ディエンファシス信号（およびその他の効果）を生成するもう1つの方法は、最高20GS/sのサンプル・レートをもつ最新の高速AWGの使用です。このAWGは、次世代のシリアル規格で必要とされるデータ・レートを実現しています。AWGを使用したディエンファシス信号の生成方法は、DTGとはまったく異なりますが、DUTに入力される信号は同じになります。

最新のAWGは、ダイレクト・シンセシスが可能なプラットフォームです。このAWGでは、メモリから一つの電圧値を定義したサンプル・データを読み出します。これらのサンプルを連続的に再生したものが波形となります。正弦波、ランプ波、三角波、あるいはシリアル・デー

タ・ストリームを生成することができます。通常、波形サンプルはソフトウェア編集ツールで作成するか、オシロスコープで測定した実際の波形をインポートします。重要なのは、保存されたデータに手を加えることで、ディエンファシス信号あるいはその他の特性の信号を生成できるという点です。

ディエンファシスされた信号を直接出力できるので、DTGのように差動信号の各極の2つのデータ・ストリームを外部で合成して信号を生成する必要がありません。DUTの差動入力ドライブには、AWGの2つのコンプリメンタリ・アナログ出力を使用します。図6に示すように、この方法は、DTGベースの構成よりも簡単です。

アナログ信号を用いた高速シリアル・レシーバ・テスト

► テクニカル・ノート

デジタル・マーカ出力とアナログ出力機能を備えた、最も高速なAWGは、マルチレーンのシリアル・デバイス・テストのための信号ソースとして使用できます。デジタル・マーカ出力は、出力レベルが可変できるだけでなく、優れた時間分解能があります。実際には、データ・ゼネレータのデジタル出力と同様な機能を発揮します。

ストレス・テストに必要なリシェイプ信号

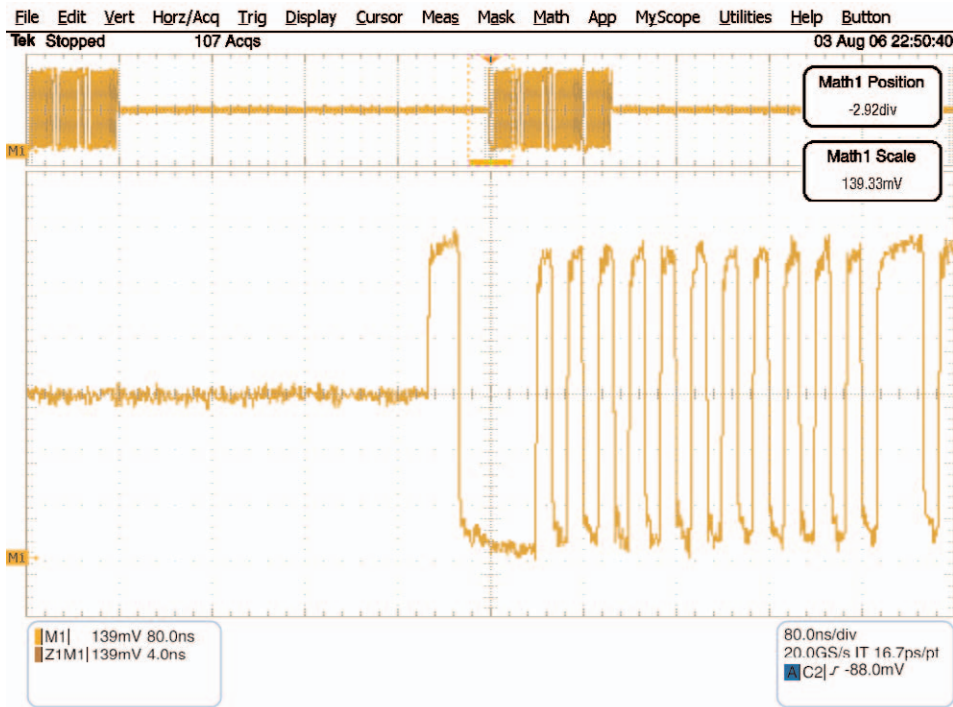
新しく設計したシリアル・インタフェースが高速伝送に耐え、許容可能なビット・エラー・レートを確保するためには、ストレス・テストが必要になります。どのような優れた信号パスであっても、ノイズが侵入したり、ジッタの原因となるクロストークを発生したりすることがあります。レシーバは、これらの影響を可能な限り除去できなければなりません。シグナル・ソースは、ノイズや歪によって信号を意図的に劣化させることができ、ストレス・テストに大いに役立ちます。信号の変更は、ジッタからオーバシュートにまで及びます。

ジッタは、エッジの位置を不鮮明にしてアイの開口を狭くするため、回路の動作に大きな影響を与える現象です。ジッタ測定的重要性から、DTGやAWGの多くにはジッタ発生のための機能、ツールが内蔵されるようになりました。DTGベースの設定では、多くのアプリケーションで

必要とされる固定ジッタ・プロファイルの信号を出力することができます。しかし、ジッタ変調が必要な場合は、外部の波形ゼネレータによって変調信号を生成する必要があります。

ダイレクト・シンセシス（AWG）技術を使用することにより、伝送線路の伝播後の信号を作り出し、システムがどのような影響を受けるか確認できます。DTGで生成した信号を修正、変調するための補助機器などは必要ありません。優れたダイレクト・シンセシス機能をもったAWGは、どのような形状のジッタでもテスト信号に組み込むことができます。ランダム・ジッタ、デターミニスティック・ジッタの両方の要素を組み込むことができます。量的、質的なジッタの効果を変化させることができるAWGの機能は、有益であり、使いやすいものです。

これは、ノイズや、オーバシュートなどのアベレーションでも同様です。AWGプラットフォームの基本的なアーキテクチャにより、どのような信号形状でも定義することができますため、信号動作の細部まで簡単にモデル化できます。現実の波形を生成するためには細部にわたって忠実に再現する必要があります。AWGを使用することで、FR4での配線、コネクタ、ケーブルを伝わる信号の内容を近似することができます。



▶ 図7. AWGで生成した、OOBテストで使用するマルチレベル波形

コンプライアンス・テスト

ダイレクト・シンセシス手法そのものは、その他の重要なシリアル通信の検証やコンプライアンス・テストなどの要求にも対応します。これを書いている時点では、AWGによる手法は、シリアル規格のコンプライアンス・テストのための信号生成において、規格書にまだ組み込まれていません。ディエンファシス、ノイズ、その他の影響に関するテストは、DTGベースによる手法に頼っています。しかし、新しい高速のプラットフォームの台頭により、新しいテスト手法が研究、検証されています。

コンプライアンス・テストによっては、アナログ信号源を使用するメリットがもたらされます。

3値以上のマルチレベル信号（ハイ、ロー、アイドル）は、シリアルATAのCOMWAKEなどのアウトオブバンド試験で使用します。これは、アイドル・バス・ステート状態

で分離された、バースト・データを伴ったデバイス間信号です。この信号は、データ・パスで見られるものよりも低い周波数で発生します。アイドル・ステートは、原則的には、真のバイナリである“1”と“0”の中間値をもつ3つ目のレベルです。

アイドル・ステートを持つ信号をAWGは容易に生成することができます。ここまでのディエンファシスの考察から、AWGはサンプルごとに必要とされる、どのような電圧レベルでも生成できます。パワー・コンバイナなどの外部の信号修正機器を必要としないAWGは、正確な3値の電圧レベルを、その周囲のバイナリのパターンの値と同じように簡単に生成することができます。図7は、AWGで生成したOOB信号をオシロスコープで表示した例です。

アナログ信号を用いた高速シリアル・レシーバ・テスト

► テクニカル・ノート

まとめ

SATA、PCI Expressなど、最新の高速シリアル・バス・プロトコルのレシーバ・テストは、エンジニアおよび従来の計測器にとっては困難なものです。製品化の前には、これらの規格の認証ロゴを取得するための特定のテストが必要です。データ・ゼネレータ、パターン・ゼネレータなどの確立されたツールは、これらの厳しい技術の検証とコンプライアンス・テストで実績があります。データ・ゼネレータは、パワー・コンバイナやノイズ・ゼネレータなどの外部機器を使用することで、必要とされる信号フォーマットのほとんどを生成することができます。現時点では、ほとんどのシリアル規格は、純粋なデジタル・ツールを使って得られた結果をベースにしています。

高速のデジタル・アナログ変換器と高速のサンプル・クロックを装備した、新世代の任意波形ゼネレータは、デジタルによる測定を補完するものとして、あるいは置き換わるものとして台頭しつつあります。テストでは、現実の伝送パス効果が加えられた信号が要求されるため、自由に信号を生成できるAWGは、有効なテスト・ソリューションといえます。AWGは、信号そのものにジッタやオーバーシュートなどのアベレーションを組み込むことができます。また、同様の方法で、ディエンファシスなどの信号条件を元の信号の一部として組み込むこともできます。

AWGを使用した設計、適合性測定の新しい手法を検証するための研究は、現在も進められています。

アナログ信号を用いた高速シリアル・レシーバ・テスト

▶ テクニカル・ノート

Tektronix お問い合わせ先：

東南アジア諸国/オーストラリア (65) 6356 3900
イタリア +39 (02) 25086 1
インド (91) 80-22275577
イギリスおよびアイルランド +44 (0) 1344 392400
オーストリア +41 52 675 3777
オランダ 090 02 021797
カナダ 1 (800) 661-5625
大韓民国 82 (2) 528-5299
スイス +41 52 675 3777
スウェーデン 020 08 80371
スペイン (+34) 901 988 054
台湾 886 (2) 2722-9622
中東ヨーロッパ/ウクライナおよびバルト海諸国
+41 52 675 3777
中央ヨーロッパおよびギリシャ +41 52 675 3777
中華人民共和国 86 (10) 6235 1230
中東アジア/北アフリカ +41 52 675 3777
デンマーク +45 80 88 1401
ドイツ +49 (221) 94 77 400
日本 81 (3) 6714-3010
ノルウェー 800 16098
バルカン半島/イスラエル/アフリカ南部諸国
およびISE諸国 +41 52 675 3777
香港 (852) 2585-6688
フィンランド +41 52 675 3777
ブラジルおよび南米 (11) 4066-9400
フランス +33 (0) 1 69 86 81 81
アメリカ 1 (800) 426-2200
ベルギー 07 81 60166
ポーランド +41 52 675 3777
ボルトガル 80 08 12370
南アフリカ +27 11 254 8360
メキシコ、中米およびカリブ海諸国 52 (55) 5424700
ルクセンブルグ +44 (0) 1344 392400
ロシアおよびCIS諸国 +7 (495) 7484900
その他の地域からのお問い合わせ 1 (503) 627-7111
Updated 12 May 2006

詳細情報

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ (www.tektronix.com) または www.tektronix.co.jp をご参照ください。



Copyright © 2006, Tektronix. All rights reserved. Tektronix 製品は、米国およびその他の国の特許（出願中を含む）により保護されています。本文書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。TEKTRONIXおよびTEKはTektronix, Inc. の登録商標です。その他のすべての商品名は、該当する各会社が保有するサービス・マーク、商標、または登録商標です。

9/06 FLG/WOW

76Z-19780-0

Tektronix

Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南 2-15-2 品川インターシティ B 棟 6 階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

TEL 03-6714-3010 FAX 0120-046-011

電話受付時間／9:00～12:00・13:00～18:00 月曜～金曜（祝日は除く）

当社ホームページをご覧ください。 www.tektronix.co.jp
お客様コールセンター ccc.jp@tektronix.com