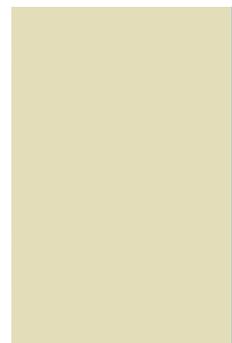
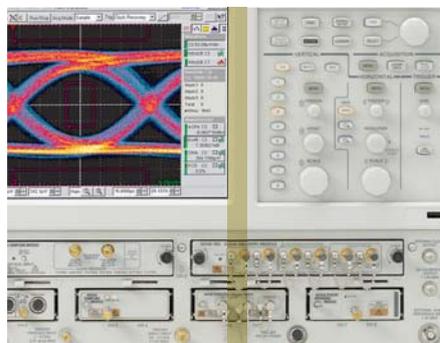
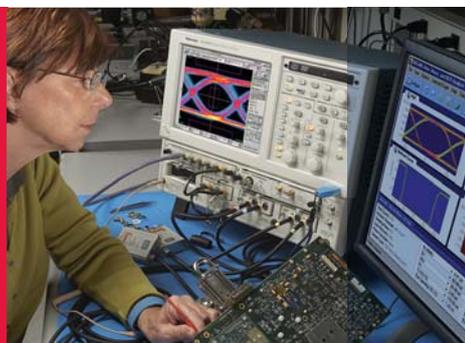


# 高速インターコネクト、 特性評価、測定に基づいたモデリング



## 高速インターコネクト、特性評価、測定に基づいたモデリング

▶ 入門書

### 目次

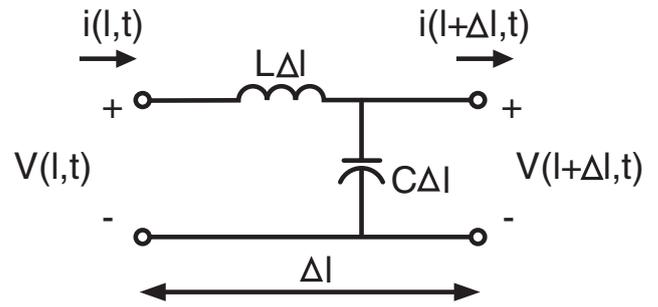
<b>タイム・ドメイン測定の理論</b> .....	<b>3</b>	<b>TDR/T 測定に基づいたシステム性能</b>	
インターコネクトの電気特性 .....	3	<b>のモデリング</b> .....	<b>23</b>
理想的なトランスミッション・ライン .....	3	IConnect® による受動インターコネクトの	
実際のインターコネクト .....	4	SPICE モデリング .....	23
TDR/T 測定の基礎 .....	5	Z-line モデリング .....	24
正しい測定方法 .....	12	Lossy Line モデリング .....	26
真のインピーダンス・プロファイル .....	13	Behavioral Models .....	27
単独の不連続点のケース .....	13	Composite モデルの作成 .....	28
結合インターコネクト .....	17	<b>まとめ</b> .....	<b>30</b>
時間ドメインからの周波数ドメイン測定 .....	19	<b>参考文献</b> .....	<b>31</b>
S パラメータ理論 .....	19		
S パラメータ測定 .....	20		

## タイム・ドメイン測定の理論

### インターコネクの電気特性

最新のコンピュータや通信システムに対する性能要求が高くなると、高速インターコネクに対する要求も同様に高くなります。標準的な通信技術でもマルチギガビット速度がサポートされており、10～90%の立上り時間は35psという速さです。このレベルの速度になると、プリント基板(PCB)のケーブル、コネクタ、ビア、配線パターンは分布定数回路として、つまりトランスミッション・ラインとして振る舞います。他にも、システム・レベルの設計エンジニアが直面する代表的なシグナル・インテグリティ問題として、インピーダンスの不整合による反射、インターコネクの損失による立上り時間の悪化、カップリングによるクロストークが挙げられます。したがって、設計における信号の伝搬遅延を正確に予測するためには、電気特性を把握し、信頼性の高いインターコネク構造モデルを構築する必要があります。

電気的なインターコネクは、信号の速度とデバイスの物理特性により、低損失と高損失のどちらかのカテゴリに分類されます。インターコネクを伝搬する信号の速度が低い場合の方が、特性的には好ましいといえます。同じインターコネクでも、伝搬する信号の速度が高くなると、より多くの高周波成分を含むため、好ましくない影響を考慮しなければなりません。損失のメカニズムは、トランスミッション・ラインの回路モデルを解析することで容易に理解できます。ここからは、理想的なトランスミッション・ラインと実際の「損失のある」トランスミッション・ラインについて、詳細に説明します。



▶ 図1. 理想的なトランスミッション・ライン要素の簡単な回路モデル。導体損失と誘電損失は無視されています。

### 理想的なトランスミッション・ライン

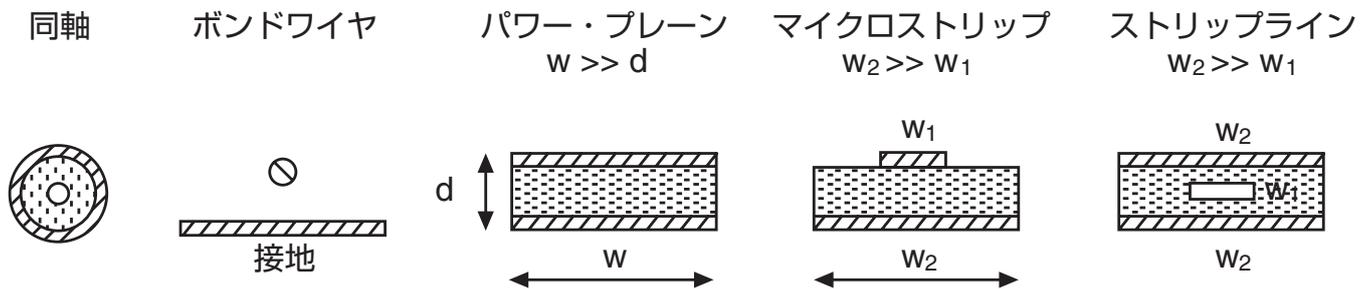
インターコネク構造の重要な特性を理解するには、まず、理想的なトランスミッション・ライン・モデルの一般的な表現方法を理解する必要があります。理想的なトランスミッション・ラインであれば、信号を搬送するライン上の導体損失と誘電損失はゼロのはずです。したがって、理想的なトランスミッション・ラインは、コンデンサとインダクタで構成される分布パラメータ・ネットワークとして表し、電界と磁界による相互作用を説明することができます。理想的なトランスミッション・ラインの簡単な要素は、図1に示す回路でモデル化することができます。トランスミッション・ラインの回路から、電磁方程式と呼ばれる偏微分方程式が導き出されます。この方程式を使って信号の電圧と電流を解くと、理想的なトランスミッション・ラインの重要な特性（特性インピーダンスや時間遅延など）を導き出すことができます。

1本の理想的な導体における特性インピーダンス  $Z_0$  は、次の式で表されます。

$$Z_0 = \sqrt{L/C} \quad (1)$$

## 高速インターコネク、特性評価、測定に基づいたモデリング

▶ 入門書



▶ 図2. 代表的なインターコネクの断面形状

ここで、 $L$ と $C$ はそれぞれ、導線の単位長あたりのインダクタンスと容量です。ここで注目すべきは、単位長あたりのインダクタンスが増えると特性インピーダンスが増え、容量が増えると特性インピーダンスが減るという関係です。 $L$ と $C$ の値およびその比は、インターコネクの構造と材料特性でコントロールできます。理想的なトランスミッション・ラインの遅延時間は、次のように単位長あたりのインダクタンスと容量で表すことができます。

$$t_d = \sqrt{L \cdot C} \quad (2)$$

### 実際のインターコネク

実際のインターコネクは、損失の発生する材料を使って作られます。図2に各種インターコネクの断面を示します。インターコネク構造は、各種インターコネクのさまざまな組合せで構成されており、インターコネク間の接続部が反射の原因になります。これらの構造の幾何学的形状と材料特性により電磁 (EM) 界の分布が決まり、さらに、電磁界の相互作用によりデバイスの

電気性能が決まります (マクスウェルの方程式によって数学的に求められます)。したがって、シグナル・インテグリティ問題を抑え込むことができるかどうかは、ひとえに材料の選定とインターコネクの配置にかかってくる。ここでは、損失を中心に説明します。反射については、「真のインピーダンス特性」のセクションで説明します。

導体損失<sup>1</sup>と誘電損失は、インターコネク構造における大きな損失要因です。導体損失は、導体を構成している媒体固有の導電率で決まります。一方、誘電損失は、絶縁材料における変位電流の結果です。優れた絶縁材料である空気以外のすべての材料は、誘電損失の要因となります。導体損失と誘電損失は周波数に依存し、動作周波数が高くなるに従って増加するという傾向があります。一般的なインターコネクの場合、低周波数では導体損失の方が、高周波数では誘電損失の方が優勢になります。

<sup>1</sup> 導体損失は、導体の素材として使用される金属に関するものであるため、よく「金属損失」と呼ばれます。

導体損失（金属損失）と誘電損失のある等価回路を図3に示します。図1との違いは、インダクタと直列に抵抗が加わり、シャント・コンデンサと並列にコンダクタが加わっていることです。したがって、損失のあるトランスミッション・ラインにおける特性インピーダンスの標準式(1)は、次のように変わります。

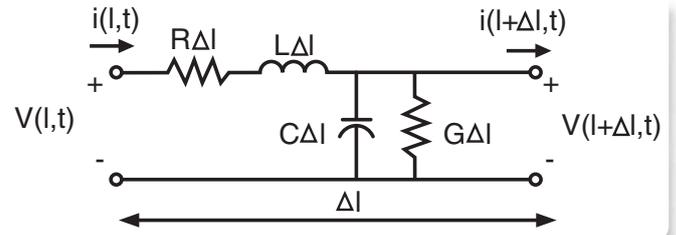
$$Z_o = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (3)$$

ここで、RとGはそれぞれ、トランスミッション・ライン導体の抵抗と単位長あたりの誘電コンダクタンスであり、 $\omega$ はrad/secで表される動作周波数です。

したがって、損失がある場合の遅延時間は、式(2)から次のように変わります。

$$t_d = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (4)$$

(3)と(4)の式から、トランスミッション・ラインの損失により、信号の伝搬速度が低下するだけでなく、特性インピーダンス $Z_o$ が周波数によって変化することもわかります。さらに、RとGも周波数によって変化します。誘導成分と容量成分も周波数によって変化しますが、抵抗の項に占められます。

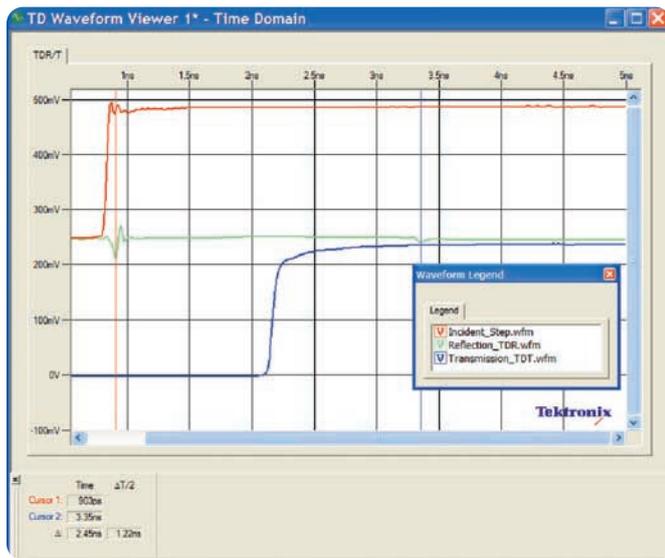


▶ 図3. 損失のあるトランスミッション・ライン要素の等価回路モデル。導体抵抗と誘電コンダクタンスは周波数に依存します。 $\Delta l$ は、トランスミッション・ライン要素の長さです。

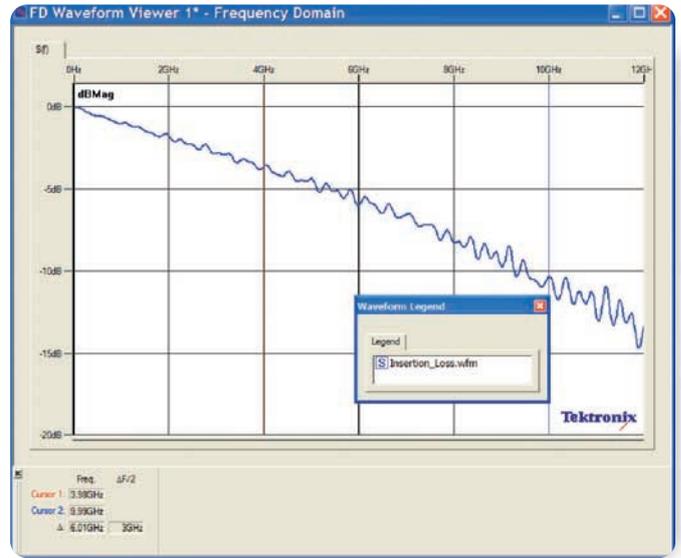
ここで説明している損失パラメータは測定データから抽出でき、SPICE回路シミュレータで使用することで、損失のあるトランスミッション・ラインの振る舞いをモデル化することができます。測定データに基づくこの抽出アプローチでは、当社 IConnect®ソフトウェアなどのモデリング・アプリケーションにより、あらかじめ定義された値の最適化を使って実行、実装されます。

## 高速インターコネク、特性評価、測定に基づいたモデリング

### ▶ 入門書



▶ 図 4a



▶ 図 4b

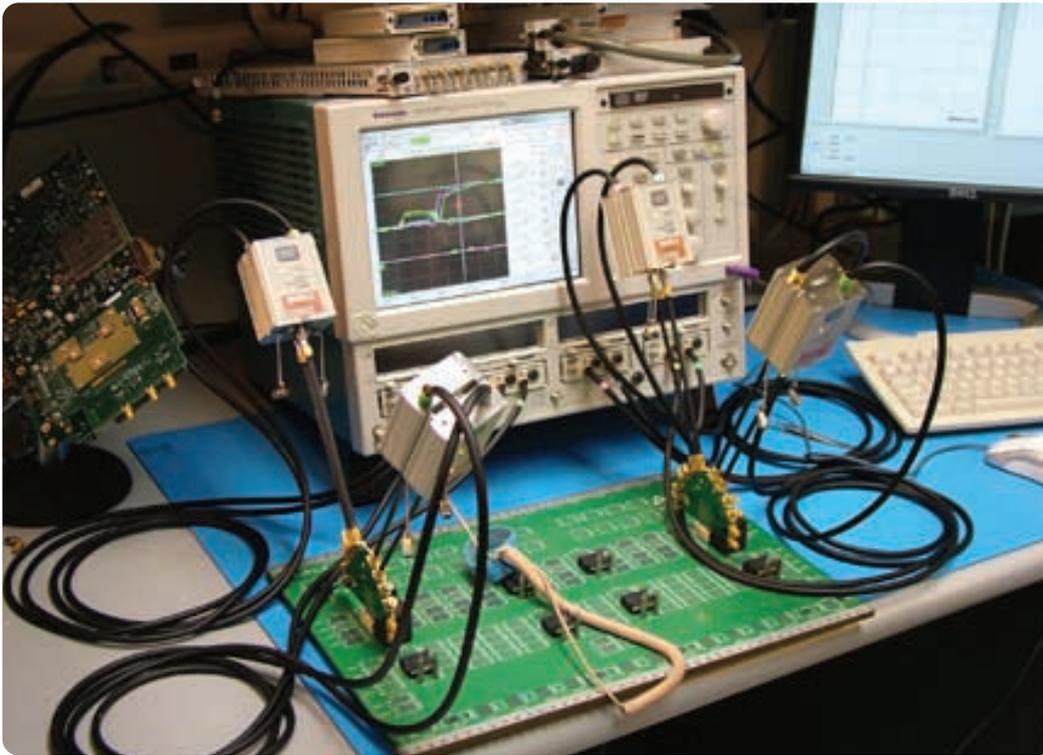
時間ドメイン (a) と周波数ドメイン (b) における 50Ω ストリップライン (FR4 基板上) の特性表示。インターコネクトを通過して伝送された信号の立上り時間は格段に遅くなっています。周波数ドメインの曲線では、動作周波数が高くなることによって悪化するインサージョン・ロスにより損失が増えていることがわかります。

実際には、インターコネクトの損失は、時間ドメインと周波数ドメインで観測、測定されます。ある立上り時間をもったステップ信号が送信端のインターコネクトに印加されると、信号が受信端に到達するまでの間でトランジション時間は悪化します。したがって、インターコネクトに印加される前と出た後で信号の立上り時間を測定すると、結果は異なったものになります。この結果を図 4a に示します。印加波形および伝送ステップ波形は、ガラスエポキシ樹脂材の上に、銅のストリップラインを加工したインターコネクトを通過したものです。周波数ドメインでは、インターコネクト損失は、印加波形に対する伝送波の比で表されるインサージョン・ロス・パラメータを悪化させます。同じインターコネクトに対応した曲線を図 4b に示します。

### TDR/T 測定の基礎

TDR (Time Domain Reflectometry) は、従来、ケーブルの障害位置を特定するために使われています。障害を解析するエンジニアは、この TDR インピーダンス測定を使用して、ステップ電圧を送り、障害のあるデバイスからの反射波形を時間ドメインで観測することで、障害の位置をすばやく正確に特定できます。また、反射波形のインピーダンス変化を比較して、障害の物理的な様子を知ることがもできます。

時間ドメインのサンプリング・オシロスコープでは、等価時間サンプリングにより、従来のオシロスコープよりも広い周波数レンジで測定することができます。当社の最新の技術では、70GHz までの信号測定が可能です。サンプリング・オシロスコープは繰り返し波形を検出し、順次ポイントを移動しながら 1 サイクルにつき 1 サンプルを取り込むという操作を数サイクルに渡って行います。この方法で得られた波形は保存され、定常信号として表示されます。



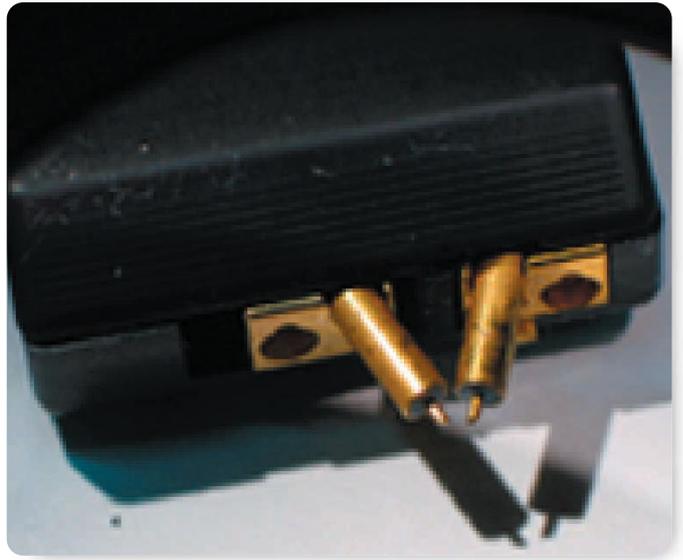
▶ 図5. DSA8200型サンプリング・オシロスコープによるギガビット・バックプレーンのTDR測定。バックプレーンのドータ基板とサンプリング・オシロスコープの高速サンプリング・モジュールを、セミリジッドの同軸ケーブルで接続しています。

現在では、高性能TDR計測器とアドオンの解析ツールという組合せは、ギガビット速度で動作する基板、パッケージ、ソケット、コネクタ、ケーブル、その他のインターコネクの障害解析やシグナル・インテグリティの特性評価に広く使われています。設計エンジニアは、TDRインピーダンス測定に基づいて、システムのインターコネク部のシグナル・インテグリティを解析し、デジタル・システム全体の性能を正確に予測することができます。

TDR計測器とDUT (Device Under Test、被測定デバイス) は、ケーブル、プローブまたはテスト・フィクスチャで接続します。図5は、DUTとTDR接続して、ギガビット・バックプレーンの差動クロストークを測定している例です。メインの差動レーンには、立上りの早い時間ドメインのステップが入力され、反射応答はTDRとして、伝送応答はTDT (Time Domain Transmission) として測定されます。隣接した波形は測定されたTDT応答であり、クロストークのために信号が結合していることがわかります。DUTに入力できる立上り時間の代表値はベンダによって異なりますが、10～45psは容易に実現されています。

## 高速インターコネクト、特性評価、測定に基づいたモデリング

### ▶ 入門書



▶ 図 6. 当社 P80318 型差動プローブ。接地しなくてもいいように差動シグナリングで仮想接地プレーンを使用しています。

立上り時間の速い計測器ほど、広帯域の信号を測定することができます。しかし、TDR システムの立上り時間が高速になると、DUT の波形には通常の動作条件では見られない損失が現れることがあります。さらに、テスト信号に不連続点がある場合のインピーダンスは、テスト信号の最も高い周波数に依存します。信号の立上り時間と等価 3dB 帯域のおおよその関係は、次の式で表すことができます。

$$f \approx 0.35 / t_{\text{rise}} \quad (5)$$

ここで、 $t_{\text{rise}}$  は信号の立上り時間、 $f$  はステップ応答が 3dB 減衰するポイントにおける周波数、0.35 は 1 次の指数関数で減衰曲線を定義した場合の値です。[1]

したがって、この帯域と立上り時間を確実に DUT に入力するためには、高品質のケーブル、プローブ、フィクスチャを使用する必要があります。粗悪なケーブル、プローブ、フィクスチャは、計測器の立上り時間の著しい劣化、分解能の低下、インピーダンス測定確度の低下をもたらしかねません。TDR プローブで測定する場合、信号と接地コンタクトの両方が必要です。唯一の例外は、差動ステップ波形で応答を測定する場合です。このような場合、図 6 に示すような、いわゆる差動プローブを使って測定します。



▶ 図 7. TDR 分解能の経験則：2つの不連続点を別のもので認識するためには、測定システムの立上り時間は2点間の距離の1/2以下でなければならない。

TDR 測定では、時間または空間の分解能は、測定信号の立上り時間に依存することを理解しておく必要があります。信号の立上り時間が速いほど、DUT を詳細に調べることができます。それでもなお、TDR の分解能に関しては、経験則だけで語られることが多く、誤解や不正確な説明に遭遇することも少なくありません。その経験則とは、PCB の2つのビアなど、小さな2つの不連続点は、TDR の立上り時間の1/2以上離れていれば別のもので認識される(図7を参照)、というものです。この2つのビア間の距離が TDR の立上り時間の1/2より狭ければ、このビアは TDR では1つの不連続点として表示されます。高品質のケーブル、プローブ、フィクスチャを使用すると仮定し、立上り時間が30～40psの計測器を使用すると、検出可能なビア間の最小物理的空間は15～20psです。誘電率  $\epsilon_r=4$  のFR4基板では、2.5～3mmの分解能となります。このようにして計算された数字が、TDR 分解能制限として引き合いに出されることは少なくありません。

しかし、設計エンジニアにとっての興味(観測、評価)の対象は、離れて存在する複数のビアやボンドワイヤではなく、1つ1つのビアやボンドワイヤ、つまり1つの不連続点なのです。このケースでは、TDR の立上り時間の1/10～1/5の不連続点を観測し、これは5psまたは1mm未満のレンジに相当します。

また、それよりさらに小さな不連続点を観測、評価するための相対的な TDR 手順も開発されています。シグナル・インテグリティのモデリングと集中定数素子のインターコネクト解析には JEDEC 規格の手順があり、パッケージ評価のために100fF、200～300pHレンジの容量性および誘導性要素を測定することができます。(3) 障害解析アプリケーションでは、ゴールデン・デバイスとの比較を利用した優れた手順が確立されています。これは、良品のデバイスからの既知の応答と DUT を比較するものです。[4]、[5]

## 高速インターコネク、特性評価、測定に基づいたモデリング

### ▶ 入門書

Gigabit Ethernet や Infiniband などの最新の高速デジタル規格やアプリケーションに目を向けてみましょう。その立上り時間は TDR の 30 ~ 40ps より遅いものとなっているケースがほとんどです。信号パス内における不連続点自体の存在は TDR 波形で判断できます。高速の TDR 信号に不連続点の反射が見られない場合は、それより遅い実際の信号がこの不連続点を通過する場合の影響は、さらに小さいものとなります。したがって、立上りの速い TDR 信号で不連続点が観測されない場合は、それより立上りの遅い実際の信号でも不連続点は観測されません (図 8 を参照)。

重要なことは、測定前に特性評価の目標を理解しておくということです。たとえば、第一の目標が障害解析の場合、立上りが速いことが重要です。一方、第一の目標がインターコネクのモデリングの場合は、一定の立上り時間で線を引き、それより速い応答はフィルタで取り除くことができます。

性能の高い TDR ケーブルとプローブを使用しても、TDR オシロスコープで測定する信号の立上り時間は悪化します。計測器のプローブまたはフィクスチャ端で測定される立上り時間  $t_{measured}$  は、次の式で求められます。

$$t_{measured} = \sqrt{t_{TDR}^2 + 2 \cdot \left( \frac{0.35}{f_{3dB}} \right)^2} \quad (6)$$

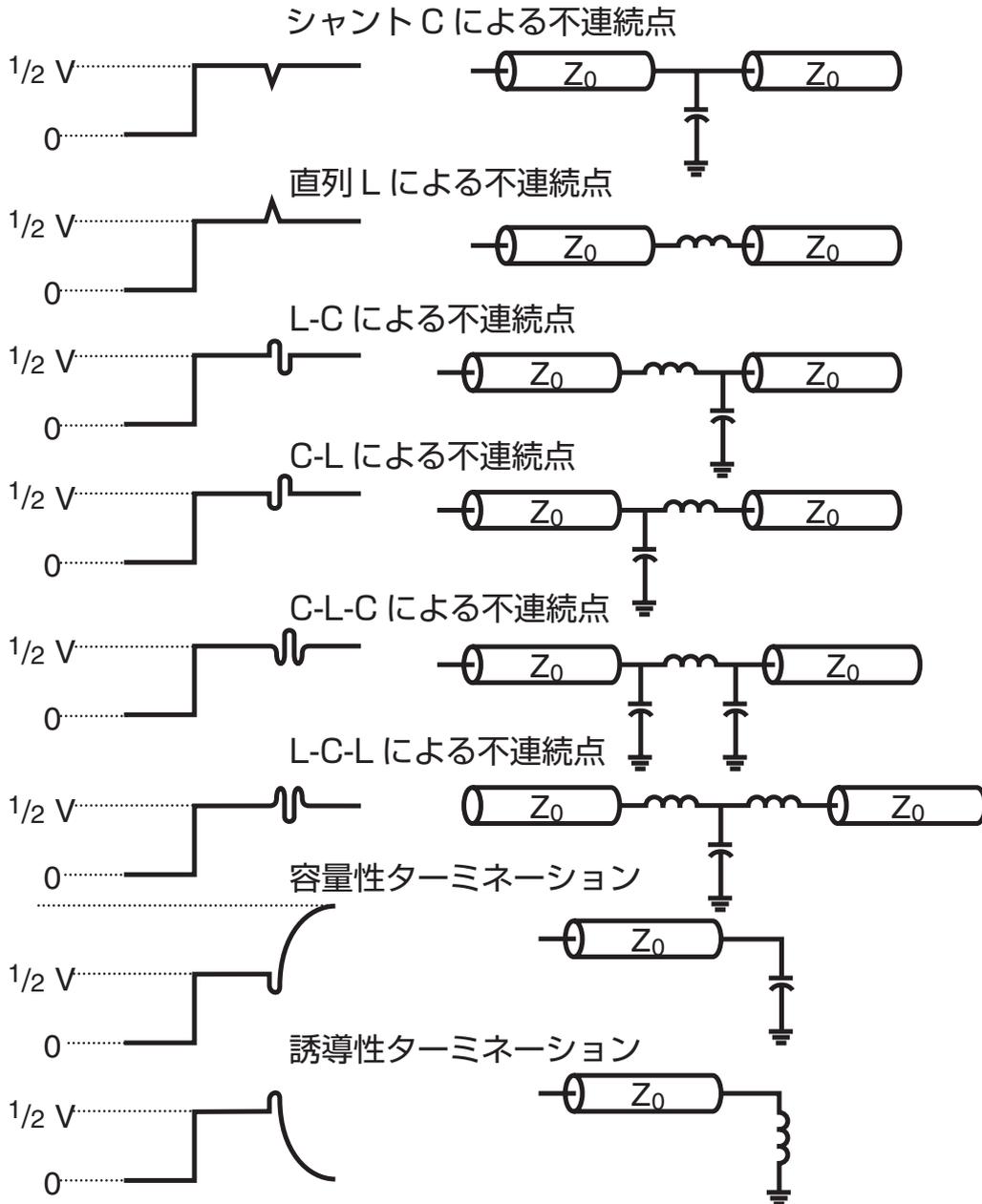
ここで、 $t_{TDR}$  は TDR オシロスコープにおいてケーブルを接続しないで測定した立上り時間、 $f_{3dB}$  はケーブルとプローブの 3dB 帯域です。この式の中の 2 は、オシロスコープで観測、測定されるまでにケーブル内を往復



▶ 図 8. 立上りの速い TDR 波形で不連続点が現れない場合 (左) は、実際のアプリケーションで使用される遅い信号でも不連続点は現れません (右)。つまり、信号が不連続点の影響を受けることはありません。

するために 2 倍になることを意味します。立上り時間が 30ps のオシロスコープに、3dB 帯域 ( $f_{3dB}$ ) が約 10GHz のケーブルを接続した場合のケーブル端における立上り時間は約 58ps になります。3dB 帯域が 17.5GHz の場合は、ケーブル端における立上り時間は約 40ps になります。

TDR 波形からは、トランスミッション・ラインにおける不連続点の位置だけでなく、その種類まで読み取ることができます。式 (1) から、トランスミッション・ラインの特性インピーダンスが大きくなるとインダクタンスが大きくなることがわかり、インダクタンスが小さくなるとシャント容量が小さくなることがわかります。たとえば、TDR 波形の「凹部」はシャント容量であり、「凸部」は直列インダクタンスであることが一目でわかります。図 9 に示すように、L と C にはさまざまな組合せがあります。インターコネクの回路モデルを定義するのであれば、反射電圧の形状がシンプルな組合せを使ったほうが簡単です。



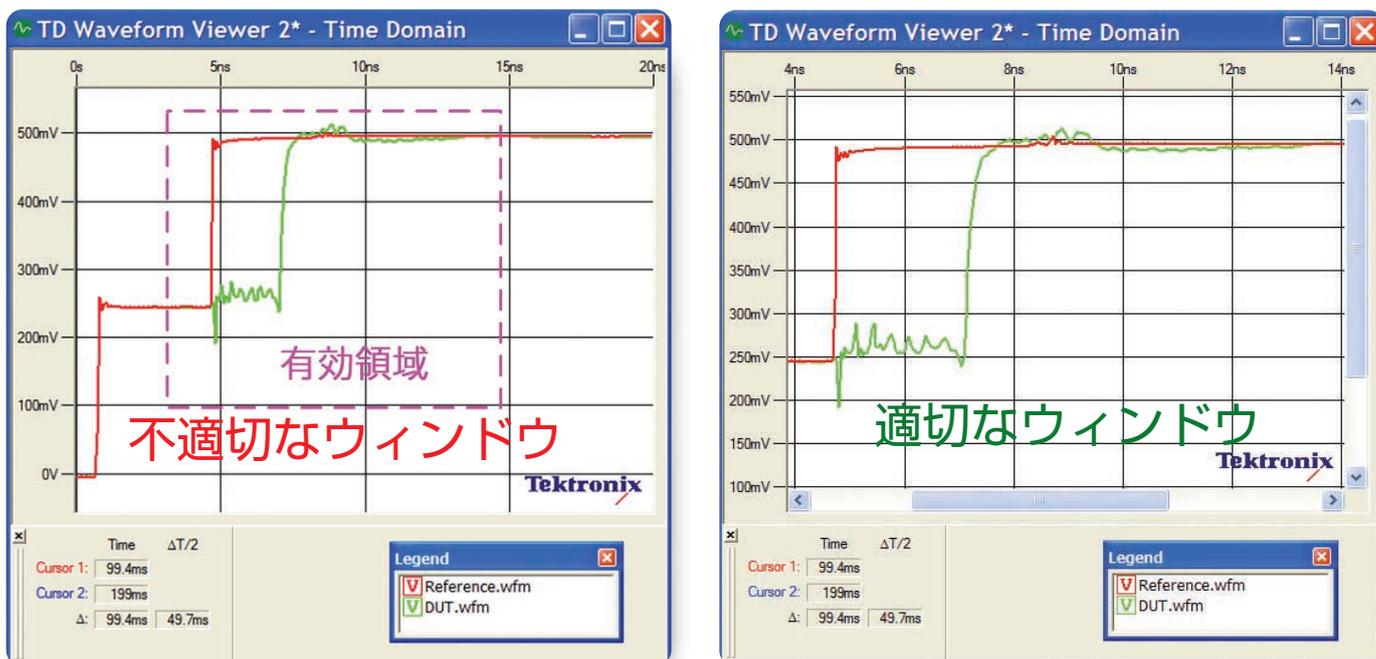
▶ 図9. TDRを使用した重なり合った(LCR)インターコネク解析。左にはTDRの電圧波形を、右には特定の不連続点に対応する回路モデルを示します。

しかし、このアプローチには注意が必要です。たとえば、直列のCあるいはシャントのLはTDR信号ではハイパス・フィルタを意味し、このような直列のCまたはシャントのLの先にある要素からの反射は、DUTトポロジの知識なしには解釈できません。複数の反射は「擬

似的な」インダクタとコンデンサを生み出し、確度に影響を及ぼすこともあります。このケースでは、次のセクションで説明するインピーダンス・ピーリング・アルゴリズムを使用する必要があります。

## 高速インターコネク、特性評価、測定に基づいたモデリング

### ▶ 入門書



▶ 図 10. IConnect TDR ソフトウェアで詳細に解析するための、TDR 波形の適切なウィンドウ。適切なウィンドウを持った波形では、TDR サンプリング・ヘッドからケーブルまでのインタフェースに相当する最初のトランジションが取り除かれ、しかも、DUT に対応するすべての反射が入るだけの十分な長さのウィンドウを持ちます。

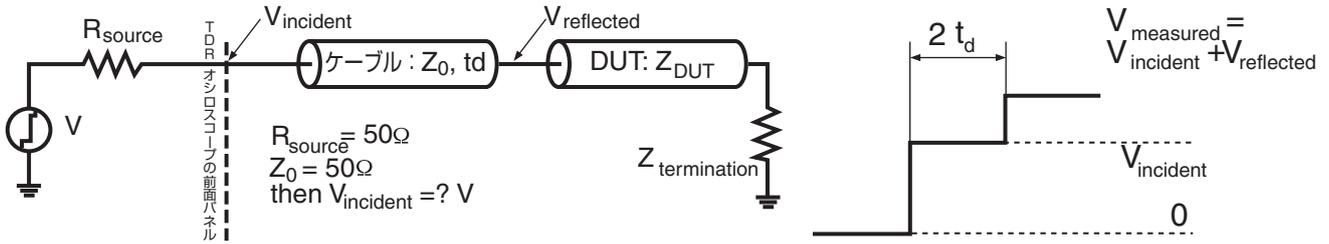
### 正しい測定方法

TDR オシロスコープを使用する場合、以下で説明する一般的に確立された測定方法に従うことが大切です。それにより、インピーダンス計算、障害解析またはシグナル・インテグリティのモデリング・アプリケーションに使用できる、品質の高い測定データが得られます。測定を開始する 20 ~ 30 分前には計測器の電源をオンにし、計測器内部の温度を安定させる必要があります。計測器の校正、補正、正規化は、製造メーカーが指定する間隔で実施する必要があります。計測器の内部温度は、校正ポイントから機器で指定された範囲以内である必要があります。

測定に使用する高周波コネクタについては、特に注意が必要です。高周波コネクタは、定期的に検査、クリーニングする必要があります。状態の悪いコネクタの多くは損傷するからです。コネクタは指で回し、トルク・レン

チは最後の半回転で使用します。うまく回らない場合は、コネクタが汚れているか、損傷している可能性があります。コネクタは、綿棒とイソプロピル・アルコールでクリーニングしてください。再現性のある測定を行うため、できれば校正済みのトルク・レンチを使用します。

オシロスコープの分解能を最大にするため、特に時間軸においては、DUT にズームすることが重要です。しかし同時に、DUT に関係するすべての反射が含まれるよう、ウィンドウを十分に長くとることも必要です。時間ウィンドウが短かすぎると、完全かつ正確な情報を得ることができません。IConnect® TDR ソフトウェアに実装されている、真のインピーダンス特性解析を実行する場合、図 10 に示すように、サンプリング開始直後のケーブル・インタフェースの部分のトランジションを取り除き、波形の DUT 部分を中心に表示することが重要です。



▶ 図 11. TDR オシロスコープのブロック図。信号は DUT に印加され、反射波からは DUT に関する重要な情報が得られます。

### 真のインピーダンス・プロファイル

TDR は、その数ギガ Hz 帯域と内部ソースの観点からすると、他のオシロスコープとはまったくクラスの異なる、高周波インピーダンスに優れたネットワーク<sup>2</sup> 評価ツールです。図 11 に、シングルエンド構成のテスト・セットアップのブロック図を示します。

オシロスコープのステップ・ジェネレータからは、ステップ状の信号が DUT に送られます。信号は DUT で反射し、この反射からエンジニアは DUT のインピーダンス、遅延およびその他の特性を解析します。

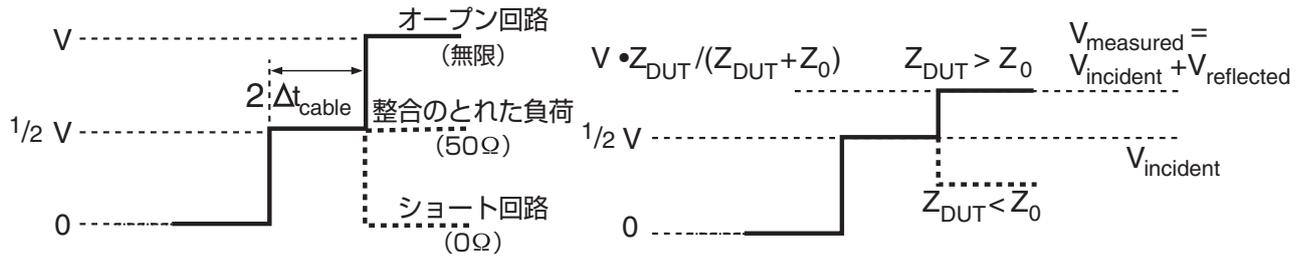
### 単独の不連続点のケース

TDR ソースの等価抵抗  $R_{source}$  は、測定システムの特異インピーダンスと一致しています。今日の高性能 TDR 計測器の  $R_{source}$  は  $50\Omega$  であり、 $50\Omega$  ではないケーブルやプローブを使うと、誤った測定結果となる反射を起こすこととなります。通常のオシロスコープとは異なり、アクティブ・プローブまたは抵抗分配器は TDR では使用できません。しかし、測定システムが  $50\Omega$  の特性インピーダンスを維持しなければならないということは、DUT が  $50\Omega$  でなければならないという意味ではありません。Rambus の  $28\Omega$ 、ケーブル・テレビの  $75\Omega$  など、 $50\Omega$  でないインピーダンスであっても極めて正確に測定することができます。

<sup>2</sup> ここでは、ケーブル、基板配線、コネクタ、ソケット、IC パッケージが複雑に組み合わせられている状況を、「ネットワーク」という言葉で表しています。

## 高速インターコネクト、特性評価、測定に基づいたモデリング

### ▶ 入門書



▶ 図 12. 代表的な波形形状。 $Z_0$  は TDR 測定システム (50Ω) の特性インピーダンス、 $Z_{DUT}$  は DUT のインピーダンスです。

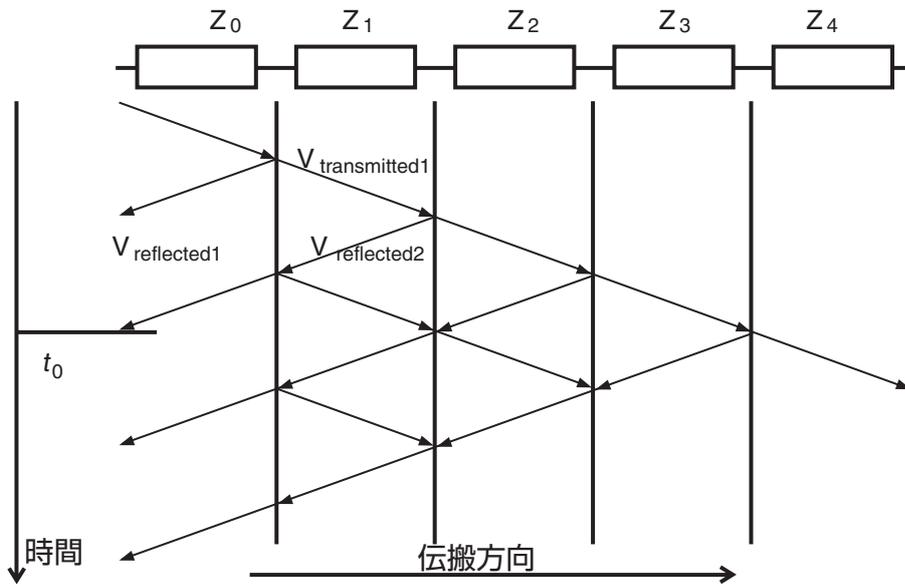
ソースの 50Ω 抵抗とケーブルの 50Ω 特性インピーダンス間の抵抗分配器効果のため、計測器と DUT を接続した場合、図 12 に示すように、まず TDR のソース電圧の  $1/2$  のみが DUT に到達します。次に、ケーブルに何も接続されていない場合（オープン回路）、信号はケーブルを戻り、往復の遅延の後、波形は印加電圧と同じ振幅で上がります。短絡ブロックが接続されていると、結果として短絡回路を形成し、波形は 0V になります。50Ω ターミネーション（整合負荷）が接続されていると、印加電圧  $V_{incident}$  と同じく  $1/2$  の電圧になります。DUT インピーダンスの異なるレベルに対応する TDR 波形の軌跡を、図 12 に示します。図の右半分は、TDR の低レンジ（整合負荷から短絡回路）の方が高レンジ（整合負荷から無限）よりインピーダンス分解能が高いことを示します。

TDR 波形の時間情報は、信号の往復経路による遅延です。これは、TDR オシロスコープから DUT までのケーブル・インターコネクトだけでなく、DUT 自身のすべての遅延測定にも適用されます。遅延を正確に読み取るには、測定された遅延を 2 で割ります。DUT で反射した電圧がオシロスコープに戻ると、オシロスコープの印加電圧に加算されて  $V_{measured}$  として測定されます。次に、多くの TDR オシロスコープでは、以下の式を使って、測定した電圧をインピーダンスや反射係数に変換します。

$$V_{reflected} = V_{incident} \frac{Z_{DUT} - Z_0}{Z_{DUT} + Z_0} \quad (7)$$

$$\rho = \frac{V_{reflected}}{V_{incident}} = \frac{Z_{DUT} - Z_0}{Z_{DUT} + Z_0} \quad (8)$$

$$Z_{DUT} = Z_0 \cdot \frac{1 + \rho}{1 - \rho} = Z_0 \cdot \frac{V_{incident} + V_{reflected}}{V_{incident} - V_{reflected}} = Z_0 \cdot \frac{V_{measured}}{2 \cdot V_{incident} - V_{measured}} \quad (9)$$



▶ 図 13. 複数のインピーダンスの不連続点を持った複雑な DUT を伝搬する、TDR 波形の格子図。各レイヤの最初の反射と 2 番目の多重反射、あるいはレイヤ間の「ゴースト」反射の重ね合わせが発生するため、DUT の各レイヤのインピーダンスを特定するのは困難です。

ここで、 $\rho$  は反射係数です。その他の項目についてはすでに説明しました。この式は単独の不連続点でのみ正確であり、複数の不連続点の正確なインピーダンス測定のためには、別途アプリケーションが必要になります。

PCB やケーブルのテスト・クーポンなどの単純な DUT であれば、式 (7) ~ (9) は非常に有効です。しかし、実際の環境では、より複雑な構造を取り扱わなければなりません。たとえば、1 枚の基板における異なるレイヤ間のビア、異なる基板間のコネクタによってインターコネクされる基板の配線などがあります。ドータ基板を持ったバックプレーンは良い例です。異なる基板レイヤの配線は異なるインピーダンスを持ち、ビアやコネクタは、

インターコネクによって伝搬する信号が歪む誘導性および容量性の不連続点の原因となります。このような複雑な構造では、システム内のインピーダンスの不連続点ごとに多重反射が発生します。システムにおける、実際の多重「ゴースト」反射が重なり合うと、式から直接導き出すことはほぼ不可能です。

多重反射効果を図 13 に示します。簡単なテスト・クーポンであっても、基板配線とのインタフェースである SMA コネクタが多重反射の重ね合わせとなる状況を作り出し、クーポンのインピーダンス確度に悪影響を及ぼしかねません。

## 高速インターコネク、特性評価、測定に基づいたモデリング

### ▶ 入門書

真のインピーダンス・プロファイルは、インピーダンス・ピーリング・アルゴリズム（逆散乱アルゴリズム）を使用して、TDR オシロスコープで測定した TDR プロファイルから計算できます。[3]~[4] 図 13 の格子図から、式 (9) はレイヤ 1 のインピーダンスを計算するため、 $Z_0$  と  $Z_1$  間のインピーダンスにおける反射で使うことができます。

$$Z_1 = Z_0 \cdot \frac{1 + \rho_{01}}{1 - \rho_{01}} = Z_0 \cdot \frac{V_{incident1}(1) + V_{reflected1}(1)}{V_{incident1}(1) - V_{reflected1}(1)} \quad (10)$$

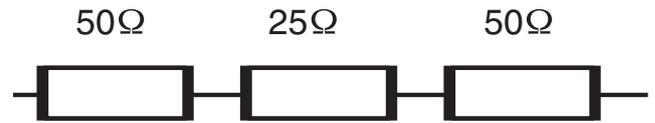
ここで、添え字の 01 はレイヤ 0 と 1 の間のインピーダンス不連続点における反射です。

時間  $t_0$  における反射波はレイヤ 1、2 間の反射だけでなく、レイヤ 0、1 間の反射と伝搬によっても決定されます。 $t_0$  における反射波形の振幅は、次のように計算できます。

$$V_{reflected}(2) = \tau_{01}^2 \cdot \rho_{12} \cdot V_{incident1}(1) + \rho_{01} \cdot V_{incident1}(2) \quad (11)$$

ここで、 $\tau_{01}$  はレイヤ 0、1 間の伝達係数で、 $\tau_{01} = 1 + \rho_{01}$  と定義されます。この式から、 $\rho_{12}$  も求められ、レイヤ 2 のインピーダンスは上記の式 (9) から求められます。

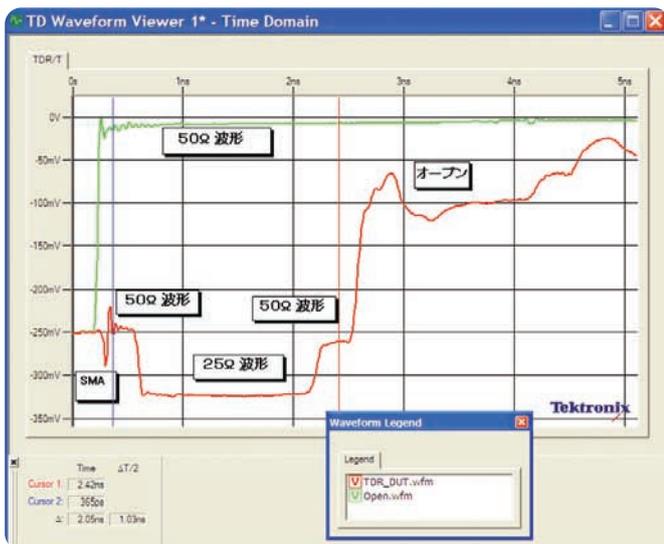
$$Z_2 = Z_1 \cdot \frac{1 + \rho_{12}}{1 - \rho_{12}} \quad (12)$$



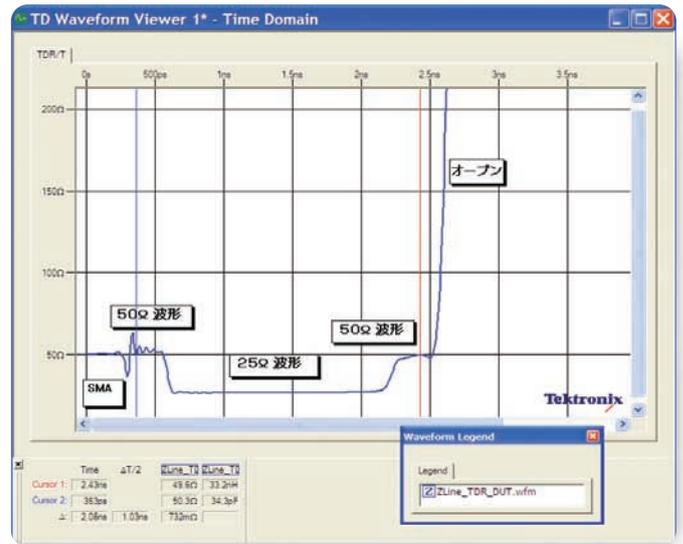
▶ 図 14. テスト・デバイスのトポロジ的図解。25Ω の FR4 基板マイクロストリップ配線が 2 本の 50Ω 配線で囲まれています。

この計算プロセスは測定された波形に適用され、結果としてインピーダンスのレイヤを剥がすこととなります。これにより、各レイヤのインピーダンスが計算され、DUT のインピーダンス・プロファイルが求められます。真のインピーダンス・プロファイルを計算するアルゴリズムは、「ピーリング」または「逆散乱」アルゴリズムと呼ばれ、当社の IConnect® ソフトウェアに実装されています。

インピーダンス・プロファイルが計算できると、基板配線または DUT のマイクロストリップのすべてのセクションにおけるインピーダンスの値を直接読み取ることができます。たとえば、2 つの 50Ω 配線に囲まれた 25Ω（公称値）の基板配線は、インピーダンス・ピーリング・アルゴリズムを使って評価することができます（図 14 を参照）。基板から TDR 測定システムまでのインタフェースには、標準の SMA コネクタが使われてきました。真のインピーダンス・プロファイルは、当社 TDS/CSA8200 型または同等の等価時間タイプのサンプリング・オシロスコープで取り込んだ TDR データを基に、ソフトウェアによって計算されます。VNA（ベクトル・ネットワーク・アナライザ）を使って周波数ドメイン測定を時間ドメインに変換してピーリングすることもできますが、この場合、測定帯域によって分解能が制限されます。



▶ 図 15. 図 14 のマイクロストリップの時間ドメイン測定。マイクロストリップの 2 番目の 50Ω の位置は 250mV レベルではなく、多重反射の影響を受けています。



▶ 図 16. 図 14 で示したマイクロストリップの正確なインピーダンス・プロファイル。マイクロストリップの 2 番目の 50Ω 部分は 50Ω レベルになっており、正確なインピーダンスがリードアウトに表示されています。

インピーダンス・プロファイル波形の計算には、印加する波形と反射波形の両方がわからなければなりません。反射波形は、DUT の TDR 測定を基に計算します。一方、印加する波形はいくつかの方法で求められます。最も簡単な方法は、基準となるショートまたはオープン波形から計算することです。ショートまたはオープンによる終端は、計測器のケーブルと DUT 間のインタフェースで接続します。ショートによる終端は一般的にリアクタンスが少なく（オープンエンドの同軸ケーブルには、大きなフリンジ容量があります）、基準となる波形を得るのに適した方法です。図 15 に示すように、DUT の TDR 測定と基準波形から、上記で説明したインピーダンス・ピーリング・アルゴリズムを使ったソフトウェアにより、真のインピーダンス・プロファイルを計算します。

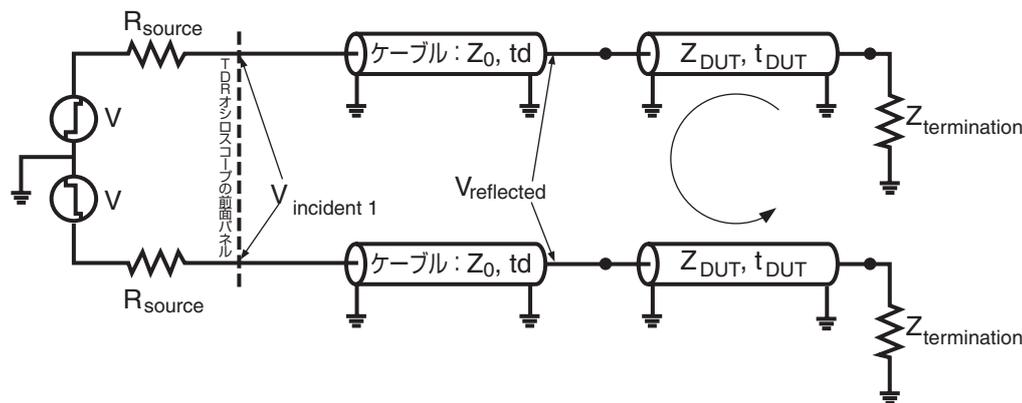
この方法によって計算された真のインピーダンス波形を図 16 に示します。インピーダンス・プロファイルから、50 ~ 25 ~ 50Ω 波形の大きな変化が正確に表示されています。式 (9) を使って測定されたマイクロストリップの 50Ω 部分は 44Ω です。一方、ピーリング・アルゴリズムを使って得られた値は 49Ω となっています。

### 結合インターコネク

基板が複雑になるに従い、信頼性の高いコモン接地（電流のリターン・パス）を実現するのが難しくなっています。この問題を解決するため、仮想信号接地による結合インターコネクを使った差動シグナリングが一般的に使われます。ギガビット・レートの設計で差動結合ラインが広く採用される理由は、デバイス間のコモン・ノイズに対する電磁耐性が向上し、電磁妨害 (EMI) が低減されることにあります。

## 高速インターコネクト、特性評価、測定に基づいたモデリング

▶ 入門書



▶ 図 17. 差動 TDR のブロック図。このセットアップにより、DUT は信号伝搬の偶数および奇数モードで評価することができます。

結合構造は、偶数モードと奇数モードという 2 つの伝搬モードで説明できます。いずれかのモードでシグナリングが実行されると、差動ペアの 2 つの信号ラインの信号は、歪むことなく伝搬します。システム・ノイズはコモン成分を持っているため、データ伝送には奇数モードまたは差動シグナリングが使用されます。奇数モードの各ラインでは、1 ビットのデータが同じ振幅で、極性が反転して伝搬します。レシーバ側で信号を引き算すると、コモン・ノイズ成分は完全にキャンセルされます。

USB2.0 と Firewire、Infiniband と Rapid I/O、SCSI と FibreChannel、Gigabit Ethernet と Sonet など、最新のシグナリングと規格はほとんどが差動となっているため、TDR 計測器の差動 TDR 測定機能は重要であり、差動インピーダンス測定が必要になります。また、差動 TDR はクロストークの評価に非常に役に立ち、2 つのシングルエンド波形間のクロストークなのか、差動ペア間のクロストークなのかがわかります。

差動構成のテスト・セットアップを表すブロック図を、図 17 に示します。シングルエンドでは 1 つのサンプリング・ヘッドが必要ですが、このセットアップでは 2 つのサンプリング・ヘッドが必要になります。当社 DSA8200 型などの TDR 計測器は最大 8 チャンネルのシングルエンド、または 4 チャンネル差動測定が可能で、最大 4 つの差動ペア間のクロストークを観測でき、高周波差動測定の最も優れた計測器といえます。

TDR のデスクュー機能により、差動ペアの両方の信号を同時に DUT に到達させることが可能になり、ケーブル、プローブ、フィクスチャ間の遅延を補正することができます。TDR が適切にデスクューされていないと、差動インピーダンス測定や差動ライン・モデリングに大きな誤差が発生することがあります<sup>3</sup>。また、アイ・ダイアグラム測定でジッタが増えることもあります。

<sup>3</sup> ただし、TDR は往復遅延を表示するため、設計エンジニアは信号が DUT に到達し（片道）、オシロスコープに戻ってこないことを確認する必要があります。しかも、設計エンジニアは、TDR ソース遅延調節により、観測した遅延の半分を調節し、次にアキュイジション・スキューを調節して、観測した遅延の半分を考慮する必要があります。詳細については、TDR オシロスコープのマニュアルをご参照ください。



▶ 図 18. 各 Sij パラメータは、ポート j の入射波に対するポート i の反射波（または伝送波）の比です。

### 時間ドメインからの周波数ドメイン測定

#### S パラメータ理論

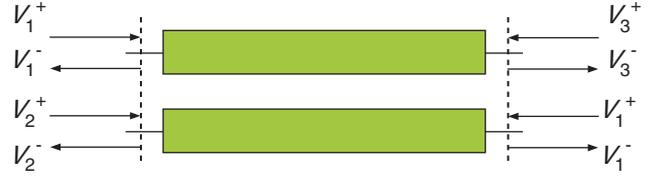
S パラメータは、各ポートの入射と反射波形で定義されます。各 Sij パラメータは、ポート j の入射波に対するポート i の反射波（または伝送波）の比です。

反射または伝送の一般的な用語が「散乱」です。伝送される電力が  $\frac{1}{2} |V_i^+|^2$  の場合、各ポートの電圧は  $V = V^+ + V^-$ 、電流は  $I = I^+ + I^-$  と定義できます。インターコネクなどの相互接続では、散乱マトリクスは  $S_{21} = S_{12}$  のように対称になります。

$$\begin{bmatrix} V_1^- \\ V_2^- \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} V_1^+ \\ V_2^+ \end{bmatrix} \quad (13)$$

4 ポートは、2 ポートによる定義の直接的な拡張ですが、多少複雑になります。

デジタル回路設計では、多くの S パラメータ測定は差動です。このため、多くのデジタル回路設計エンジニアの興味の対象は、シングルエンド測定ではなく、差動測定とコモン・モードになります。差動測定はライン間で実行されますが、コモン・モード測定はライン対接地で実行されます。



$$\begin{bmatrix} V_1^- \\ V_2^- \\ V_3^- \\ V_4^- \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{bmatrix} \begin{bmatrix} V_1^+ \\ V_2^+ \\ V_3^+ \\ V_4^+ \end{bmatrix}$$

▶ 図 19. 4 ポートでは、S パラメータ行列の計算にはより多くの電圧値と電流値が含まれ、行列自体は 4x4 の配列になります。



		差動		コモン	
		S <sub>dd</sub>	S <sub>dc</sub>	S <sub>cd</sub>	S <sub>cc</sub>
応答	差動				
	コモン				

▶ 図 20. 差動入力と差動応答は、差動 S パラメータ象限などを定義します。

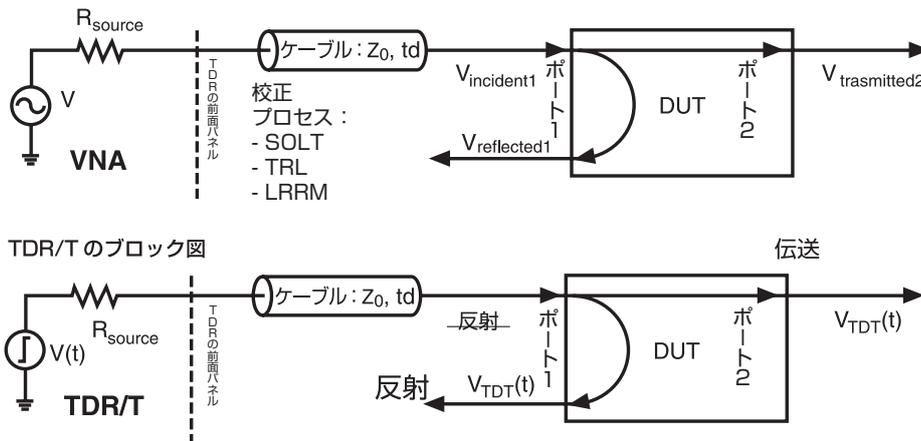
実際には、印加と応答の種類によって S パラメータの種類は決まります。差動入力と差動応答は差動 S パラメータ象限を定義し、コモン・モードの入力と応答はコモン・モードの象限を、差動入力とコモン・モード応答は差動-コモン・モード変換ミックスドモード象限を、そしてコモン・モード入力と差動応答はコモン-差動モード変換ミックスドモード象限を定義します。

その結果として、S パラメータの配列は以下のようになります。

$$\begin{bmatrix} V_{d1}^- \\ V_{d2}^- \\ V_{c1}^- \\ V_{c2}^- \end{bmatrix} = \begin{bmatrix} S_{dd11} & S_{dd12} & S_{dc11} & S_{dc12} \\ S_{dd21} & S_{dd22} & S_{dc21} & S_{dc22} \\ S_{cd11} & S_{cd12} & S_{cc11} & S_{cc12} \\ S_{cd21} & S_{cd22} & S_{cc21} & S_{cc22} \end{bmatrix} \begin{bmatrix} V_{d1}^+ \\ V_{d2}^+ \\ V_{c1}^+ \\ V_{c2}^+ \end{bmatrix} \quad (14)$$

## 高速インターコネク、特性評価、測定に基づいたモデリング

▶ 入門書



▶ 図 21. TDR ベースの TDNA システムと VNA の概念的なブロック図。考え方の主な違いは、TDNA では広帯域なステップ状のソースを使用するのに対し、VNA では狭帯域の正弦波を使用していることです。

S パラメータは、デジタル回路の振る舞いと関連しています。差動 S パラメータ象限は、周波数帯域と BER/ジッタの低下に直接関連します。コモン・モードは、スキューと接地バウンス問題に関連します。ミックスド・モードは EM 障害 (EMI、差動-コモン・モード) と EM 感受性 (EMS、コモン-差動) に関連します。しかし、同じデータを時間ドメインで観測すると、EMI と EMS のソースを探る場合、より直感的な結果が得られます。一方、クロストークはインサージョン・ロス ( $S_{21}$ ) の形式をとっています。ただし、これは直接接続の形式をとらないライン間のインサージョン・ロスです。

### S パラメータ測定

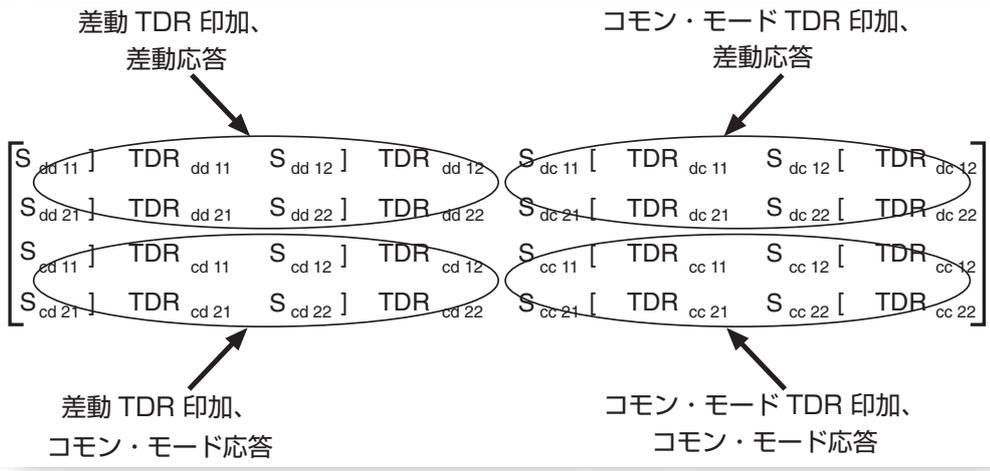
シリアル・データ・ネットワーク解析 (SDNA) で始まった TDR (Time Domain Reflectometry) は、もともとは長い電気ケーブルの障害箇所の特長に使用され、すぐにインターコネクの特性評価やシグナル・インテグリティにも応用されるようになりました。TDR の直感的かつ視覚的な表現により、デジタル回路の設計エンジニアは、インターコネクの性能をすばやく検証することができます。差動 TDR 機能の歴史は長く、この機能を装備した TDR 計測器により、差動インターコネクの特性評価が可能になりました。

現在、当社のサンプリング・オシロスコープでは、マルチポートのシングルエンド測定または真の差動 TDR 測定を実行できます。さらに、IConnect® TDR ソフトウエ

アなど、測定からインターコネク・モデルを抽出、検証し、時間ドメイン・データから周波数ドメイン S パラメータを計算するソフトウェア・ツールによって、TDR 計測器の汎用性も大幅に拡張しました。リファレンス・プレーン校正とフィクスチャのディエンベッドが容易になり、インターコネクとターミネーション評価でこの技術を使うエンジニアも増えています。

TDR と TDT (Time Domain Transmission) の測定精度を強化するために設計された、VNA 校正と同様の時間ドメイン・ネットワーク解析 (TDNA) の校正と測定ルーチンは、時間と周波数の両方のドメインでデータを生成でき [7]-[9]、米国の NIST (National Institute of Standards and Technology) の MultiCal ソフトウェアなどにも実装されています。完全な校正により、TDNA の精度はネットワーク・アナライザと同等レベルになりました。

TDNA は、NIST および米国、諸外国の研究機関により広範囲にわたって研究され、いくつかの製品で商用化されてきました。図 21 の測定ブロック図からも明らかのように、VNA (ベクトル・ネットワーク・アナライザ) で実現される FDNA (周波数ドメイン・ネットワーク解析) と TDNA は概念的に類似しています。



▶ 図 22. TDNA 技術による、ミックスド・モードの S パラメータ配列の計算

この 2 つの主な違いは、TDR/T では広帯域なステップ状のソースを使用するのに対し、VNA では狭帯域の正弦波を使用しているという点です。また、TDR/T は過渡的現象の測定（すべての過渡的現象を観測可能）であるのに対し、VNA は静的な測定です。すなわち、VNA では、すべてのトランジションは重ね合わされ、ノイズの影響を少なくするために、狭帯域のフィルタを使って 1 つの周波数で測定されます。差動 S パラメータの配列要素と、それに対応する TDR 測定の相関関係を、図 22 に示します。

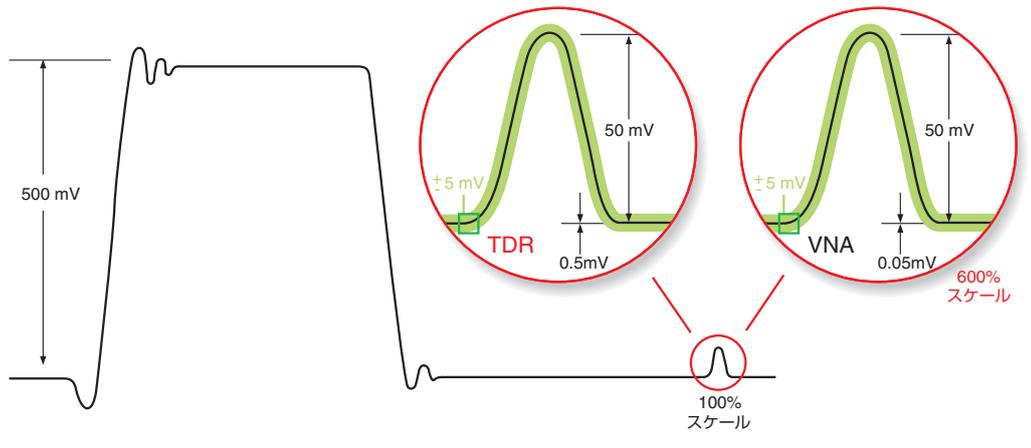
VNA はマイクロ波設計のテスト用に開発され、その対象はマイクロ波フィルタやミキサなどのアプリケーションであり、測定には広いダイナミック・レンジが必要です。非常に広いダイナミック・レンジが必要なため、SOLT (Short-Open-Load-Thru) や TRL (Thru-Reflect-Line) などの非常に高度な校正プロセスが開発されました。このため、機器としての全体の設計の焦点は、使いやすさではなく、非常に広いダイナミック・レンジに当てら

れました。周波数ドメインはマイクロ波設計の選択領域となりましたので、マイクロ波の設計エンジニアにとって、FDNA は伝統的な選択肢となっていました。皮肉なことに、FDNA は校正プロセスのおかげで確度は高いのですが、テストを実行するのは難しく、時間のかかる作業です。特に、製造テストで使用されると、テストは望ましくない品質のものになります。

TDNA は、TDR 技術の拡張として開発されているため、デジタル回路の設計エンジニアは直感的に使用できます。FFT (Fast Fourier Transformation) を使用した TDR から周波数ドメインへの変換は、直感的であり、直接的なプロセスです。SOLT や TRL などの拡張校正を TDNA に適用して確度を上げることもできますが、TDNA の測定手順が簡単、直感的ではなくなります。このような校正プロセスなしでも、TDNA のダイナミック・レンジは -50 ~ -60dB であり、図 23 に示すように、デジタル回路設計やシグナル・インテグリティの一般的な測定に十分すぎるほどです。

## 高速インターコネク、特性評価、測定に基づいたモデリング

### ▶ 入門書



▶ 図 23. 60dB のダイナミック・レンジを持った TDR と、80dB のダイナミック・レンジを持った VNA によって実現できる測定精度の比較。TDR は十分な測定精度を持っていることがわかります。

シリアル・データ設計で S パラメータが必要かどうかは、主に、インターコネク・チャンネルの周波数ドメインの動きを評価する必要があるかどうかと、多くの規格で規定されているコンプライアンス・テスト要件によって決まります。コンプライアンス・テストにおいて、時間と周波数の両方のドメインを観測する必要がある場合、TDNA を SDNA (シリアル・データ・ネットワーク解析) へ拡張させる必要があります。通常、コンプライアンス・テストでは -30dB (SATA の周波数ドメインのクロストークでは -26dB) が測定の限度であり、チャンネル解析では多くの場合、-40dB 以上の測定機能は必要ありません。そのような測定では、サンプリング・オシロスコープによる時間ドメイン測定が適しています。

シリアル・データ測定において必要となる SDNA のダイナミック・レンジを説明するため、設計検証とコンプライアンス・テストを実行する一般的な例を考えてみます。設計エンジニアが注意しなければならない不連続サイズは、通常、信号の 10% 以上で、500mV の信号レベルでは 50mV または 20dB に相当します。このような測定で必要とされる一般的な精度は、不連続サイズの 10% (この例では 5mV) です。必要とされるダイナミック・レンジに 20dB が加わり、合計で 40dB の

精度が必要になります。60dB の SDNA ダイナミック・レンジは 0.5mV に、80dB の VNA 測定は 0.05mV に相当します。したがって、どちらの測定も、必要とされる精度に対して十分です。TDR と VNA の測定を図解で比較したものが図 23 です。ここで、必要とされる精度レベルは緑の線で、達成可能な精度は黒の濃さで表しています。

SDNA のダイナミック・レンジは、時間ドメインのアクイジション・ウィンドウのポイントとアベレージ回数を増やすことで改善できます。アベレージングを増やしてポイントを増やすと、FDNA による信号の狭帯域フィルタと同じ機能が得られます。

$$DR(N, N_{avg}) = DR(N_0, N_{avg0}) \cdot \sqrt{\frac{N}{N_0}} \cdot \sqrt{\frac{N_{avg}}{N_{avg0}}} \quad (15)$$

この式から、最大のアクイジション・ポイント、最大のアベレージ回数を使用すると、非常に時間がかかります。さらに、アクイジション・ウィンドウを長くすると、ダイナミック・レンジが狭くなります。したがって、ウィンドウの長さはすべてのトランジションが取り込める程度で十分であり、必要以上に長くする必要はありません。

このように、FDNA と TDNA の相関関係は多くの規格グループによって広範囲にわたって研究され、十分であると受け入れられてきました。また、当社は 1990 年代前半から TDNA 製品を提供してきました。しかし、お客様ご自身で相関関係を研究されるにこしたことはありません。

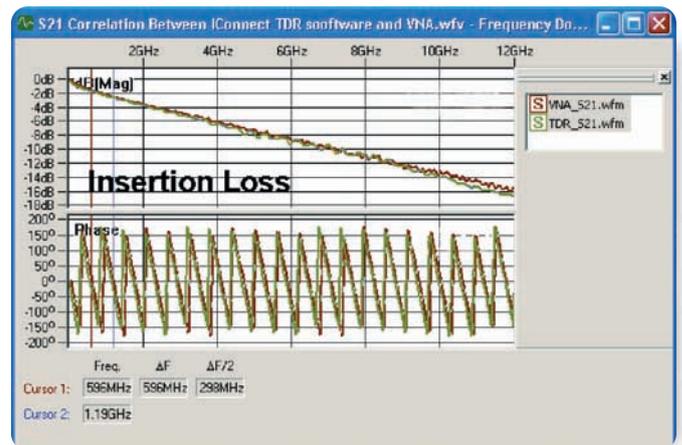
一般的な SDNA システムはローコストであり、非常に使いやすいコンプライアンス・テスト・ソリューションです。

もう一つ重要なのは、多くの規格では、コンプライアンス・テスト・ポイントは、勘合状態のコネクタがコンプライアンス・テストの一部となるように定義されているという点です。また、コンプライアンス・テスト・ポイントは、コネクタが受動物理レイヤ測定に含まれるように定義されています。VNA で実行できる作業であったとしても、VNA 測定に別なレイヤの複雑さが加わりません。SDNA では校正が簡単なため（ショート、オープン、スルーの基準のみ）、標準のコネクタ・レセプタクルを容易にディエンベデッドにすることができます。これは SDNA による大きな利点です。

### TDR/T 測定に基づいたシステム性能のモデリング IConnect® による受動インターコネクの SPICE モデリング

測定を基にしたインターコネク・モデリング手法では、測定-モデル化-検証のアプローチを使用します。まず、TDR 技術でプロトタイプを測定し、取り込んだデータを基に等価 SPICE 回路モデルを生成します。そのモデルを、シミュレーションを通して検証します。励起と終端は、測定およびシミュレーションで使用されているものと同じです。次に、シミュレーション波形と測定波形を比較し、再びモデルを検証し、必要に応じて調整します。

この測定を基にしたアプローチは、電磁界ソルバなどの解析ツールを使った設計アプローチと矛盾しません。コンポーネント設計が電磁界ソルバ解析に基づいて行う



▶ 図 24. VNA（ベクトル・ネットワーク・アナライザ）との代表的な相関関係

場合も、プロトタイプを組み立てる必要があります。この段階で、プロトタイプは慎重に特性評価され、プロトタイプのための正確なモデルが生成されます。このケースでは、モデリング作業を簡単にし、測定から正確なプロトタイプ・モデルを作成するために、測定-モデル-検証のアプローチを使用します。測定を基にしたモデルが解析モデルと異なる場合は、電磁界ソルバの仮定と測定値の差を調整し、プロトタイプを表すモデルを、実際のシステムで使用するように定義します。

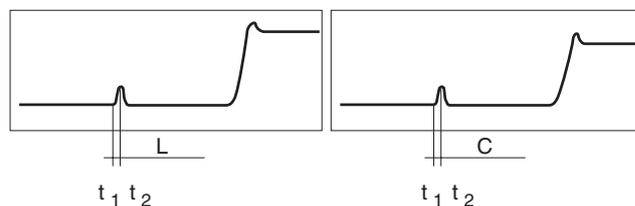
前述のセクションでは、インターコネクに関する一般的な特性評価を考察し、反射や損失などのシグナル・インテグリティに影響を及ぼす 2 つの大きな要因を学び、インターコネクを表す 2 つの簡単なモデルを考察しました。これら両方のコンポーネントは、測定-モデル-検証のアプローチを使用することで問題なくモデル化できます。損失モデルは伝搬データから抽出でき、反射の原因となるインピーダンスの不連続点は、時間ドメインの反射データから抽出できます。次のセクションでは、これらの技術について詳しく説明します。

## 高速インターコネクト、特性評価、測定に基づいたモデリング

▶ 入門書



▶ 図 25. SPICE 回路の表示と、損失のない伝送線路・ラインのネット・リスト・ライン・モデルシングルエンド構成では、ノード G1 と G2 は接地されます。



▶ 図 26. インピーダンス・プロファイル波形に現れる誘導性スパイクと容量性のくぼみ

### Z-line モデリング

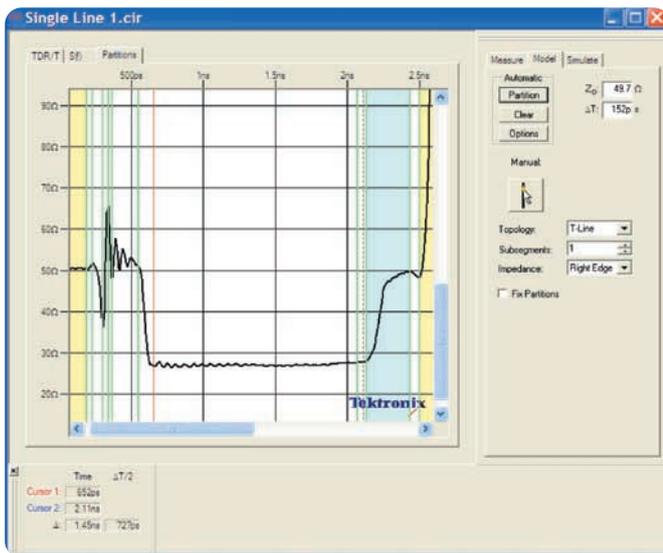
「真のインピーダンス・プロファイル」のセクションでは、TDR 波形に適用するピーリング・アルゴリズムにより、正確なインピーダンスが読み取れることを説明しました。インピーダンス・プロファイル自体は、理想的な伝送線路・ラインの、小さな、等長セクションから成るモデルです。しかし、このモデルは回路シミュレータで直接使用するには複雑すぎるため、パーティショニングで簡素化する必要があります。このパーティショニングでは、各不連続点の始めを近似し、次の不連続点が見つかったときにインピーダンスと時間遅延特性を割り当てます。これらすべてのオペレーションは、IConnect® ソフトウェアの Single Line または Symmetric Coupled Line モデルで実装されています。Symmetric Coupled Line は、4 ポートの結合伝送線路・ラインをモデル化する場合に使用します。Single Line は、2 ポート・デバイスをモデル化する場合に使用します。各不連続点の形状と期間により、異なる種類のモデルが割り当てられます。これらの種類のモデルは、伝送線路・ラインまたは理想的なインダクタ、コンデンサ、抵抗などの集中定数素子などのモデルに割り当てられます。

分布モデルは、特性インピーダンスや時間遅延などのインターコネクトの伝送線路・ライン・プロパティを表します。これらの値は、図 25 に示す損失のない

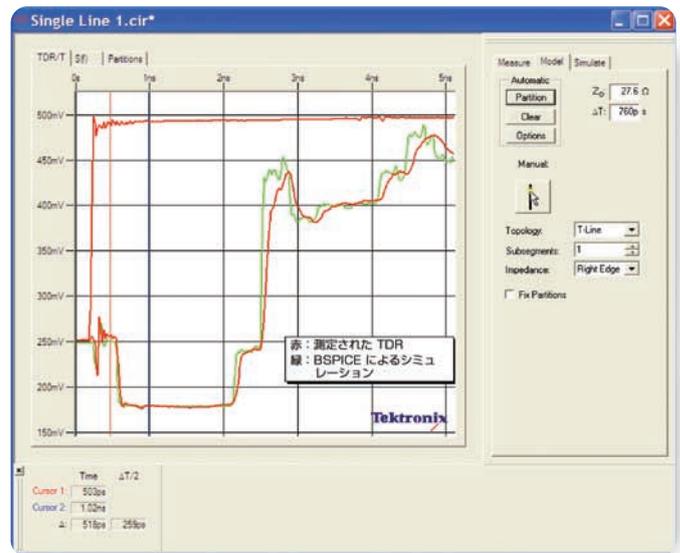
伝送線路・ライン・モデルを定義するために、SPICE シミュレータで使用されます。シングルエンド構成では、ノード G1 と G2 は、通常は接地されます。結合構成では、これらのノードは、結合のシミュレーションのため、他のラインとの接続に使用されます。このモデルは、図 1 に示したモデルと似ており、理想的な伝送線路・ラインの短いセクションとして表すことができます。

インターコネクトの時間遅延が、信号の立ち上がり時間に比べて短い場合、Td の値はゼロに近づきます。これは、理想的な伝送線路・ライン・モデルは、集中定数素子の誘導性または容量性モデルだけで置き換えられないだけでなく、インダクタンスとコンデンサは、非常に短い、損失のない伝送線路・ラインを使ってモデル化できることを意味します。

集中定数素子のモデリング・アプローチは、データ伝送で使用される信号の立ち上がり時間が 5 倍または 6 倍小さい要素をモデル化する場合に使用します。直列のインダクタンスとシャント・コンデンサの値は、真のインピーダンス・プロファイルから直接求めることができます。誘導性の不連続点は、図 26 に示す TDR 波形において、囲まれるラインのインピーダンス上に現れるスパイクとして表示されます。一方、容量性の不連続点は、インピーダンス・プロファイル波形においてくぼみとして表示されます。



▶ 図 27. マイクロストリップ・モデルのサブセグメントを定義するためのパーティションを設定した、IConnect® の Single Line モデラ・ウィンドウ。各パーティションのトポロジは、T-line または集中定数素子コンポーネントに関して定義されます。



▶ 図 28. SPICE モデルと測定データの相関関係。SPICE 回路のコンポーネントは、真のインピーダンス・プロファイルから計算されています。

インダクタンス、容量に対応する値は、式 (16) で計算されます。[10]、[11]

$$C = \frac{1}{2} \cdot \int_{t_1}^{t_2} \frac{1}{Z(t)} dt \quad L = \frac{1}{2} \cdot \int_{t_1}^{t_2} Z(t) dt \quad (16)$$

ここで、L と C はトランスミッション・ライン上の誘導性と容量性の不連続点の近似値、 $t_1$  と  $t_2$  は積分の制限値、 $Z(t)$  は真のインピーダンス・プロファイルの時間関数です。

Single Line モデラでは、計算されたインピーダンス・プロファイル波形はパーティショニングされ、各パーティション用に適切な回路トポロジが選択されます。インピーダンスが一定の要素は、明らかに基板のトランスミッション・ラインであり、波形のくぼみやピークは容量性および誘導性の不連続点です。基板設計エンジニアは、真のインピーダンス・プロファイル波形上で、波形

のセクションにおいて DUT のインピーダンスを歪ませる多重反射の影響のリスクなしに、モデル化する DUT の詳細をズーム表示することができます。コネクタと基板を結ぶインタフェースにおける反射など、本質的でない情報は、モデリング・セッションにおいてウィンドウから取り除くことができます。図 27 は、図 15 に表示された構造のインピーダンス・プロファイルのために割り当てられたモデリング・パーティションを示します。

エンジニアがインピーダンス・プロファイル波形を分割すると、当社の IConnect® ソフトウェアは、基板配線のインピーダンス、伝搬遅延、容量性、および誘導性不連続点の値を計算します。生成されたモデルは、SPICE 回路シミュレータを使った測定により検証されます。シミュレーションの出力は、同じ構造の測定結果と比較します。生成されたモデルと測定データの優れた相関関係を図 28 に示します。

## 高速インターコネク、特性評価、測定に基づいたモデリング

### ▶ 入門書

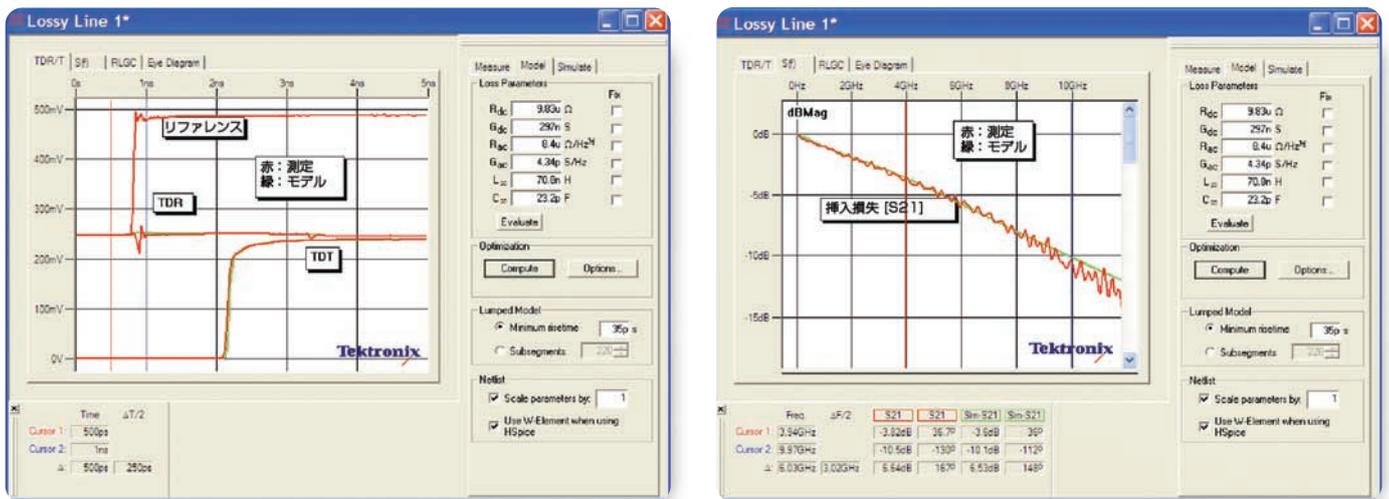
#### Lossy Line モデリング

セクション 1.1.1 で説明した損失メカニズムから、R と G がわかれば、インターコネクにおける高周波の散乱を完全に把握できると結論付けました。そのセクションで示された式、あるいは市販の電磁界ソルバの 1 つを使い、理論データからこれらのパラメータを計算するのが簡単なアプローチです。しかし、このアプローチの問題点は、正確な誘電率、磁気誘電率、抵抗率、また基板のトランスミッション・ラインの正確な寸法などは、なかなかわからないということです。このような情報がないと、どのような損失パラメータの抽出も不正確なデータとなり、回路シミュレータでは使いものになりません。

より実践的なアプローチは、TDR/T 測定から IConnect® TDR ソフトウェアの Lossy Line モデリング機能を使い、損失パラメータを抽出します。IConnect® の Lossy Line モデリング抽出では、まず計測器で TDR と TDT を測定し、特性インピーダンス  $Z_0$ 、時間遅延  $t_d$ 、R、G を測定データに近似させます。IConnect® ソフトウェアは、シミュレーション・ツールと直接統合されたインタ

フェースを持ち、抽出されたデータで SPICE シミュレーションを実行でき、シミュレーションと測定された TDR/T データを自動的に比較します。これは、デジタル回路の設計エンジニアにとっては、周波数ドメイン測定からパラメータを抽出するのに比べてより簡単で直感的なアプローチです。

最初の手順は、DUT からテスト・フィクスチャまたはプローブを外し、TDR 測定により、基準となるオープン波形を取り込みます。基準となるオープン波形の品質が悪い、フィクスチャ、プローブ、ケーブルの損失が大きい場合は、インターコネクの損失を正確に抽出することは困難です。したがって、測定プロセスで使用するフィクスチャ、プローブ、ケーブルには十分に注意を払う必要があります。フィクスチャとプローブは、ディエンベッドするか、または DUT に直接接続します。このようなディエンベッドは、TDR オシロスコープを使うと比較的容易に行えます。次の手順では、DUT の TDR/T データを測定します。リファレンス測定と DUT 測定間の再現性が良いということは、損失の抽出において非常に重要です。



▶ 図 29. FR4 材の 50Ω ストリップラインで生成された均一の損失があるトランスミッション・ライン・モデル。左の図は時間ドメインの相関を、右の図は 12GHz までの周波数ドメインの相関を示しています。

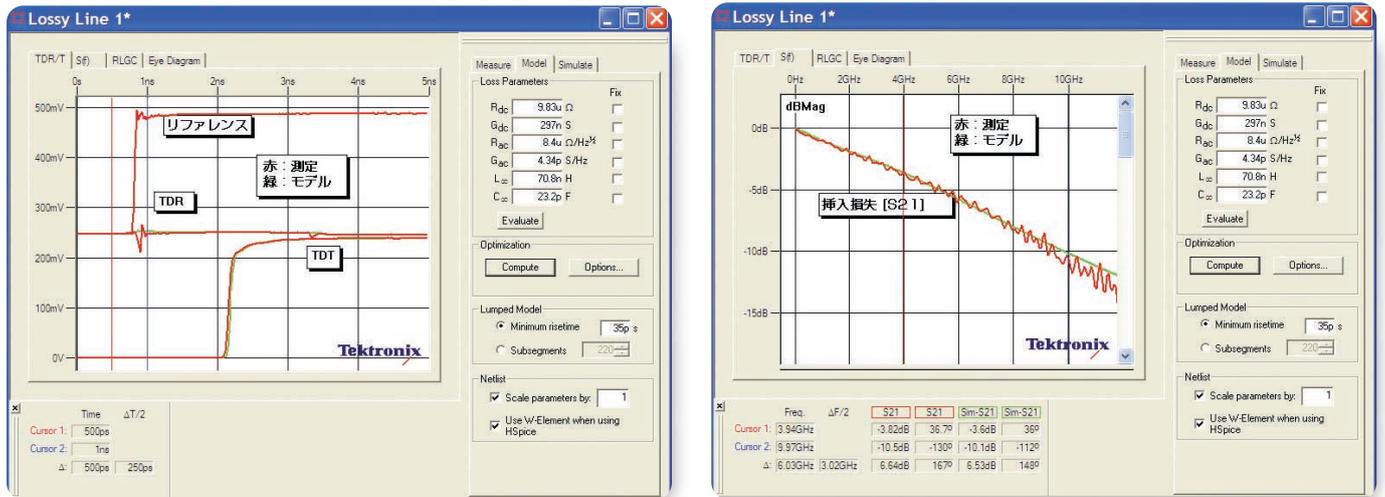
例として、「実際のインターコネク」のセクションで説明したのと同じストリップライン構造における、均一な損失がある伝送ライン・モデルを抽出します。測定したリファレンス、反射、伝送波形をモデル・ツールにロードすると、図 29 に示すように、モデルは自動的に抽出、最適化され、時間ドメイン、周波数ドメインに関する、相関のとれた近似値が得られます。また、損失入力フィールドにさまざまな損失要因を入力して、それぞれの要因がモデル・パフォーマンス全体に及ぼす影響を観測することもできます。生成された SPICE モデルは損失が均一のトランスミッション・ライン・モデルですので、SMA コネクタによる小さな反射は、最適化プロセスで無視されます。

## Behavioral Models

前述のセクションで考察した Z-Line ベースおよび Lossy Line モデルは、デバイスの寸法や物理プロパティの知識を基に仮定するため、一般には「トポロジカル」モデルといえます。トポロジカル・モデルは、モデル・コンポーネントと物理インターコネク構造との間に一対一の相関関係があります。このようなモデルには、周波数に依存する損失と共振が含まれます。一度モデルが生成されると、モデルのパラメータを簡単に変更でき、モデル全体の性能において、パラメータ変更の効果を確認することができるため、シグナル・インテグリティ問題のトラブルシュートに適しています。しかし、トポロジカル・モデルの生成は難しく、「ビヘイビア」モデルが使われるようになりました。

# 高速インターコネク、特性評価、測定に基づいたモデリング

## ▶ 入門書



▶ 図 30. MeasureXtractor による、ローパス・フィルタの時間ドメインと周波数ドメインの相関。インサージョン・ロス (S21) とリターン・ロス (S11 と S22) が正確にモデル化されています。

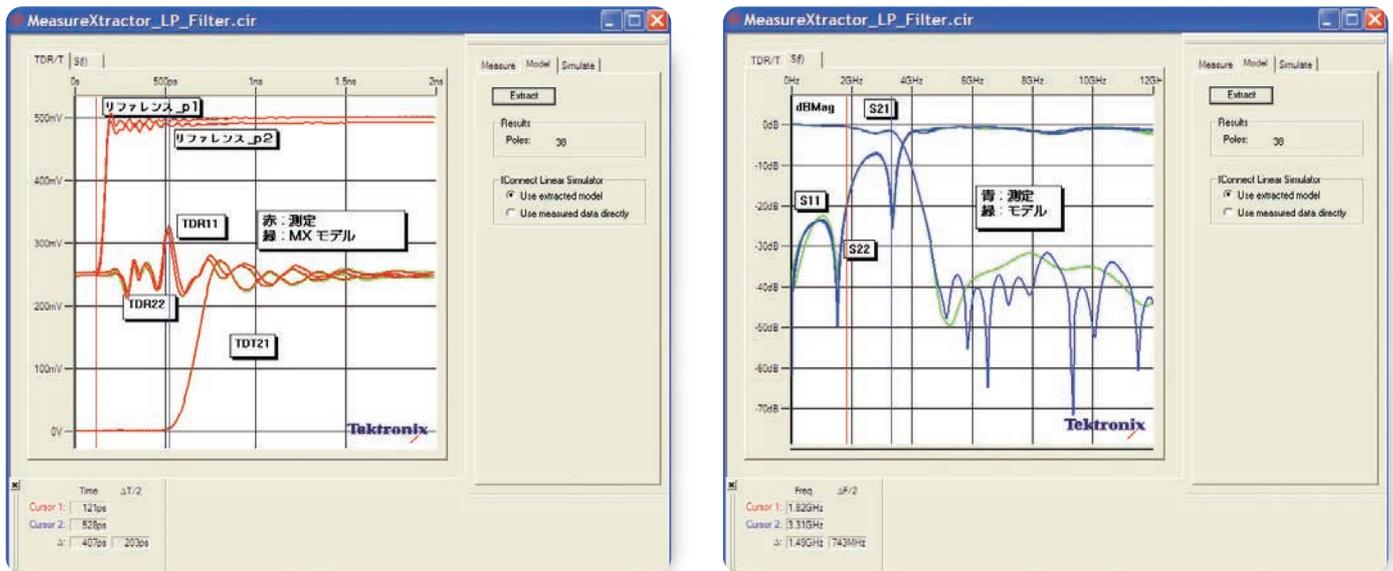
ビヘイビア・モデルでは、通常、時間ドメインと周波数ドメイン全体における整合に優れています。特に、デバイス・トポロジがよくわからない場合に適しています。ビヘイビア・モデルは、インターコネク・リンク全体の各部分のトラブルシュートには使用できないため、「ブラックボックス」モデルと呼ばれることがあります。しかし、これらのモデルのアルゴリズムは完全に自動化されているので、モデル抽出が効率的に行えます。場合によっては、シミュレーション時間が短くなる場合があります。供給元からモデルが提供されていないコンポーネントは、簡単にモデル生成できます。これは簡単に測定でき、測定値はビヘイビア・モデルに変換されます。IConnect® の Xtractor モデリング・ツールでは、各種のインターコネク、ターミネーション、受動デバイスの 2 または 4 ポートのビヘイビア・モデルを生成できます。このようなモデルの受動性と因果関係は、特殊なビルトイン・アルゴリズムを用いることで保証されています。

FR4 材の上に組み立てられたローパス・フィルタのモデリングを例に考察します。前述のセクションで考察したトポロジカル・モデルは、DUT 応答に存在する損失と反

射により生成が困難です。しかし、MeasureXtractor では簡単に SPICE モデルが生成でき、図 30 に示すように、時間ドメイン、周波数ドメインの両方で優れた相関が得られます。

### Composite モデルの作成

図 5 に示したギガビット・バックプレーンなど、より複雑なリンクの SPICE モデルを生成する場合、反射と損失の両方を考慮する必要があります。このようなケースでは、Lossy Line モデルと Z-Line モデルの組合せを含む Composite モデルの作成が適しています。伝搬の偶数モードと奇数モードの両方をモデル化する場合、IConnect® の結合ライン機能を使用されます。したがって、モデリング構造の観測から最適なモデル・コンポーネントを決定し、各コンポーネントのサブ回路をそれぞれ作成します。たとえば、ドータ基板のモデルを生成する場合、コネクタと配線で異なるモデルを検討します。コネクタはシングルと結合 Z-Line ベースのモデルでモデル化し、配線は Lossy Line モデルでモデル化すると決めます。



▶ 図 31. モデル・トポロジと、HSPICE でシミュレーションされた回路モデルとバックプレーン・アセンブリの測定データ間の相関関係。モデル・トポロジの各ボックスは、コンポジット・モデルのサブ回路を表します。信号の立上り時間は 80ps (20 ~ 80%) です。

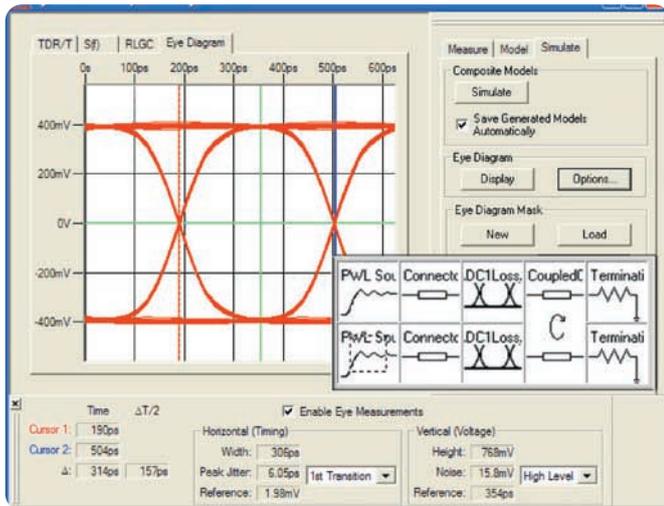
ドータ基板とバックプレーンのモデルが得られ、選択した回路シミュレータでバックプレーンを検証したならば、モデルは 1 つのコンポジットに組み立てられます。組立プロセスにおいて、対称結合された Lossy Line モデルの長さは、回路モデルで挿入された要素の長さまで縮小されます。完成されたバックプレーン・アセンブリの回路モデル・トポロジを、図 31 に示します。各ボックスは、コンポジット・モデルのサブ回路を表します。モデル・シミュレーションから、偶数および奇数の両方の励起における、測定値とモデル値間の優れた相関関係がわかります。

バックプレーンの各パーツの効果は、アイ・ダイアグラムによる解析が適しています。アイ・ダイアグラムによる解析では、回路トポロジの異なるステージでトランス

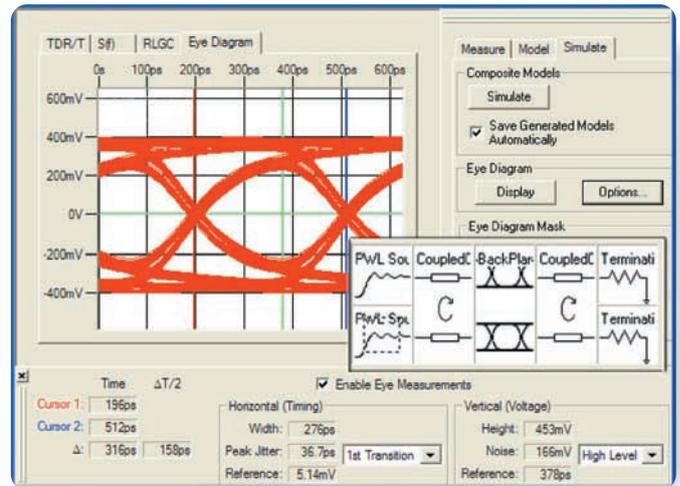
ミッション波形を取り込むため、トポロジカル・モデルには、このような解析が最適です。実際の測定による良好な相関が得られたならば、異なる設計コンポーネントを取り除いたり、追加したりでき、パターン・ジェネレータを使用しないでアイ・ダイアグラムを近似することができます。たとえば、ドータ基板とバックプレーンのアイ・ダイアグラムを近似するため、ドータ基板とコネクタで 1 つの伝送波形をシミュレーションし、最後にバックプレーンと 2 つのコネクタだけでシミュレーションします。保存されたトランスミッション波形でアイ・ダイアグラムを生成します。

## 高速インターコネク、特性評価、測定に基づいたモデリング

### ▶ 入門書



▶ 図 32. 3.2Gbps、80ps (20～80%) の立上り時間で生成された、データ基板単体でのアイ・ダイアグラム。アイ開口は 768mV、306ps、ピーク・ピーク・ジッタは 6.05ps です。



▶ 図 33. 3.2Gbps、80ps (20～80%) の立上り時間で生成された、バックプレーン・モデル単体でのアイ・ダイアグラム。アイ開口は 453mV、276ps、ピーク・ピーク・ジッタは 36.7ps です。

このアプローチで生成されたアイ・ダイアグラムを図 32 と図 33 に示します。アイ・ダイアグラムのアイの劣化は、主にバックプレーンとそのコネクタがその原因であることがわかります。データ基板単体によるアイ開口は、3.2Gbps、80ps (20～80%) の立上り時間で 768mV、306ps、ピーク・ピーク・ジッタは 6.05ps です。一方、バックプレーン・モデルのアイ開口は、同じ条件で 453mV、276ps、ピーク・ピーク・ジッタは 36.7ps です。

### まとめ

最新の信号規格では、デジタル回路設計がギガヘルツ、ギガビット・レンジになり、信頼性の高いシステム動作の実現には、インターコネクの性能が重要な要素となってきました。反射、クロストーク、周波数に依存するトランスミッション・ラインの損失、散乱などのシグナル・インテグリティ問題は、システム性能と信頼性を

著しく低下させることがあります。これらのシグナル・インテグリティ問題の影響を測定し、シミュレーションし、正確に予測することは、正しく機能する回路設計のためには非常に重要です。これは、ドライバ・チップから始まり、パッケージからデータ基板へ、高速バックプレーンのコネクタからバックプレーン、サブシステム間のケーブル・インターコネクなど、インターコネク・リンクの各パーツにおける正確な測定ベースのインターコネク・モデルが、設計エンジニアによって得られるという条件によります。

設計またはコンプライアンスに対する適合性は、設計エンジニアが使用するツールによって左右されます。当社のサンプリング・オシロスコープ、プローブ、モデリング・ソフトウェアは、急速に発展するデジタル通信分野のすべてのエンジニアにお求めやすいツールを提供し、最も効果的な結果を得られるようにサポートしています。

## 参考文献

- [1] H. W. Johnson, M. Graham, High-Speed Digital Design, – Prentice Hall, 1993
- [2] “Guidelines for Measurement of Electronic Package Inductance and Capacitance Model Parameters,” – JEDEC Publications JEP-123, 1994
- [3] D.A. Smolyansky, “TDR Techniques for Characterization and Modeling of Electronic Packaging,” – High Density Interconnect Magazine, March and April 2001, 2 parts (TDA Systems application note PKGM-0101)
- [4] C. Odegard, C. Lambert, “Comparative TDR Analysis as a Packaging FA Tool,” – Proceedings from the 25th International Symposium for Testing and Failure Analysis, 14-18 November, 1999, Santa Clara, CA
- [5] D.A. Smolyansky, “Electronic Package Failure Analysis Using TDR,” – Proceedings from the 26th International Symposium for Testing and Failure Analysis, 2000, Bellevue, Washington.
- [6] E. Bogatin, “Signal Integrity Simplified,” – Prentice Hall, 2004
- [7] L.A. Hayden, V.K. Tripathi, “Calibration Methods for Time Domain Network Analysis,” – IEEE Transactions on Microwave Theory and Techniques, Vol 41, No. 3, March 1993, pp. 415-421
- [8] T. Dhaene, L. Martens, D. De Zutter, “Calibration and Normalization of Time Domain Network Analyzer Measurements,” – IEEE Transactions on Microwave Theory and Techniques, Vol. 42, No. 4, April 1994, pp. 580-589
- [9] “Improving Time Domain Network Measurements,” Hewlett-Packard Application Note 5954-2682, 1988
- [10] J.-M. Jong, B. Janko, V.K. Tripathi, “Equivalent Circuit Modeling of Interconnects from Time Domain Measurements,” – IEEE Transactions on CPMT, Vol. 16, No. 1, February 1993, pp.119-126
- [11] “TDR Tools in Modeling Interconnects and Packages,” – Tektronix Application Note, 1993

**Tektronix お問い合わせ先：**

**日本**

**本社** 03-6714-3111

SA営業統括部 03-6714-3004

ビデオ計測営業部 03-6714-3005

**大宮営業所** 048-646-0711

**仙台オフィス** 022-792-2011

**神奈川営業所** 045-473-9871

**東京営業所** 042-573-2111

**名古屋営業所** 052-581-3547

**大阪営業所** 06-6397-6531

**京都オフィス** 075-323-9048

**福岡営業所** 092-472-2626

**湘南カスタマ・サービス・センタ** 0120-7-41046

**地域拠点**

**米国** 1-800-426-2200

**中南米** 52-55-542-4700

**東南アジア諸国／豪州** 65-6356-3900

**中国** 86-10-6235-1230

**インド** 91-80-2227-5577

**欧州** 44-0-1344-392-400

**中近東／北アフリカ** 41-52-675-3777

他30カ国

Updated 01 June 2007

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ([www.tektronix.co.jp](http://www.tektronix.co.jp))または[www.tektronix.com](http://www.tektronix.com)をご参照ください。



TEKTRONIXおよびTEKは、Tektronix, Inc.の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

09/08 FLG/WOW

85Z-19887-0

**Tektronix**

Enabling Innovation

## 日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティB棟6階 〒108-6106  
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

**TEL 03-6714-3010 E-mail [ccc.jp@tektronix.com](mailto:ccc.jp@tektronix.com)**

電話受付時間 / 9:00~12:00・13:00~18:00 月曜~金曜(休祝日は除く)

当社ホームページをご覧ください。 [www.tektronix.co.jp](http://www.tektronix.co.jp)  
製品のFAQもご覧ください。 [www.tektronix.co.jp/faq/](http://www.tektronix.co.jp/faq/)

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。

© Tektronix