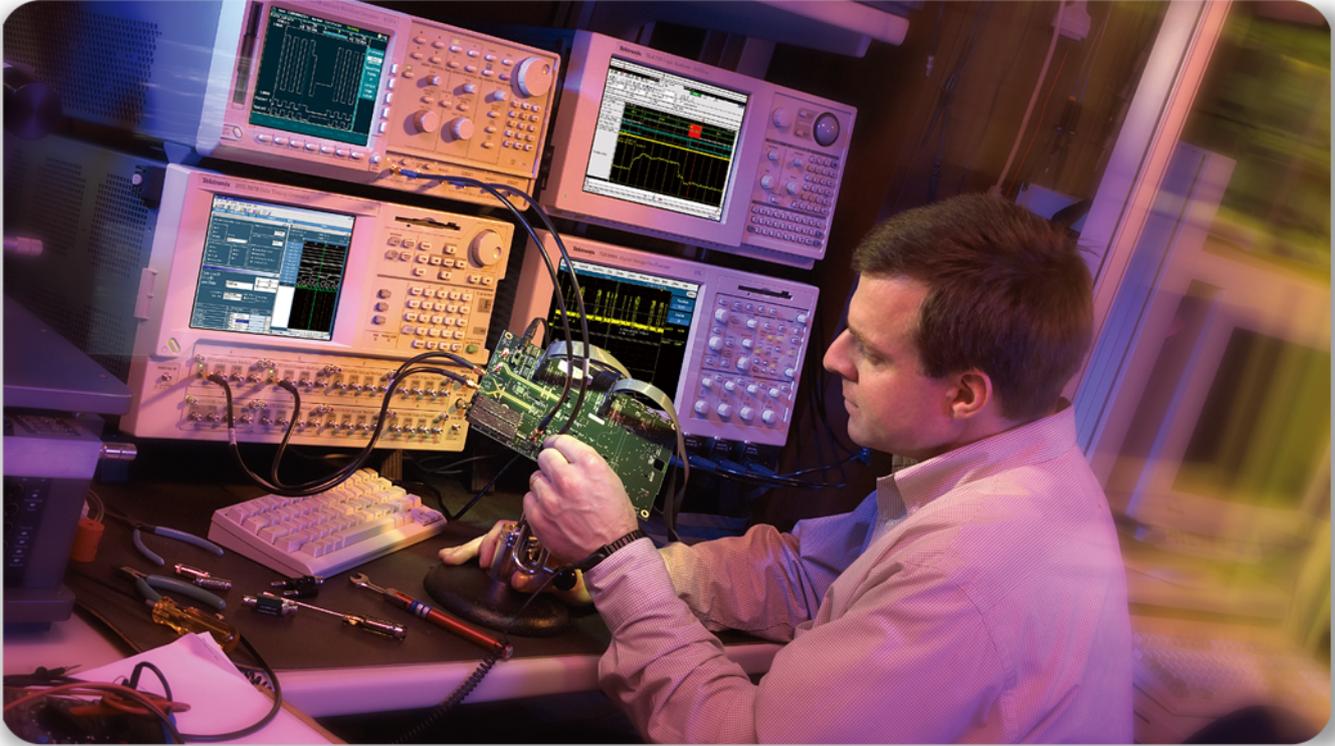


시리얼라이저-디시리얼라이저 적합성 테스트를 위한 지터 생성 기법



직렬 데이터의 새로운 표준과 플랫폼이 지속적으로 등장함에 따라 적합성 및 특성을 측정할 수 있는 효과적인 툴에 대한 필요성이 대두되고 있습니다. 그 중에서도 디지털 설계자들의 관심을 끄는 것은 SerDes(Serializer-Deserializer)와 CDR(Clock and Data Recovery) 회로에서 지터를 측정하는 솔루션입니다.

신호의 지터 문제는 적합성에 있어서 시리얼 장치 설계자들이 직면하고 있는 난제 가운데 하나입니다. 아날로그 디자인 분야에서는 면밀히 분석되어 알려진 바가 많지만 디지털 영역의 많은 엔지니어들에게 지터는 그다지 친숙하지 않은 개념입니다. 고속 데이터 전송률과 임베디드 클럭을 갖춘 현대의 시리얼 장치는 BER(비트 오류율)을 저하시키는 지터의 영향을 받기 쉽습니다. 이에 대한 예방책은 진폭과 주파수 등 이미 알려져 있는 제어 가능한 특성을 가진 지터를 이용해서 시리얼 장치에 대한 스트레스 테스트를 실시하는 것입니다. 지터에 스트레스를 가하는 조건 하에서 장치 테스트에 성공을 거둔다면 상호운용성 및 최종 사용자의 만족을 도모할 수 있을 것입니다.

SerDes의 지터 허용치를 규정하는 몇 가지 방법이 업계에서 받아들여지고 있지만 설계상의 구체적인 결함을 언제나 정확히 짚어내는 데에는 한계가 있습니다. 주파수 의존형 지터 동작이 그러한 경우입니다. 어떤 지터 조건에서는 동기를 상실하고 비트 오류를 보고하지만 다른 경우에는 그러지 않는 SerDes가 있다고 가정해 보십시오. 실시간 스펙트럼 분석기(RTSA)를 이용해 검사해 보았더니 지터 주파수가 특정 주파수 범위, 이를테면 4 MHz일 때 문제가 있는 것 같았습니다. Tektronix TDSJIT3 v2.0과 같은 지터 분석 소프트웨어를 사용하는 고속 오실로스코프를 이용하여 결과를 확인할 수 있습니다. 그러나 이것은 문제의 해결책이지 예방책이 아닙니다.

본 응용 자료에서 소개하는 지터 허용치 측정 반복 절차를 이용하면 문제해결의 필요성이 사라집니다. SerDes 지터 반응곡선을 측정하고 그 특성을 분석함으로써 지터의 주파수 민감도와 같은 예외사항을 예측할 수 있습니다. 본문에서는 SerDes 장치의 특성을 지원하는 지터 생성 툴과 기법에 대해 집중적으로 다루겠습니다.

시리얼라이저-디시리얼라이저 적합성 테스트를 위한 지터 생성 기법

▶ 응용자료

SerDes 아키텍처와 지터 동작에 대한 이해

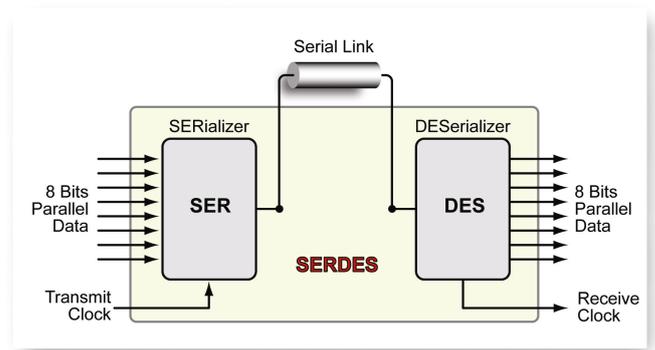
SerDes 회로가 실제 신호를 얼마나 잘 처리하는지 확인하려면 테스트가 필요합니다. 지터 허용치(지터가 존재하는 상황에서 데이터를 성공적으로 복구하는 능력)는 지터에 대한 전반적인 성능에 있어서 측정이 가능한 중요한 측면입니다. 지터 허용치에 대하여 결정 지터값과 랜덤 지터값을 지정하는 것은 일반적인 관행입니다만 이 접근법에는 두 가지 문제가 있습니다.

- ▶ 첫째, 주파수가 장치의 지터 허용치에 상당한 영향을 미칠 수 있는데도 결정 지터의 주파수가 규정되어 있지 않습니다. 대부분의 SerDes 장치는 지터 주파수가 낮을 때 훨씬 더 많은 양의 결정 지터를 수용할 수 있습니다.
- ▶ 둘째, 클럭 지터의 진폭과 주파수 역시 SerDes의 지터 허용치에 크나큰 영향을 줄 수 있는데도 클럭 지터의 영향이 규정되어 있지 않습니다.

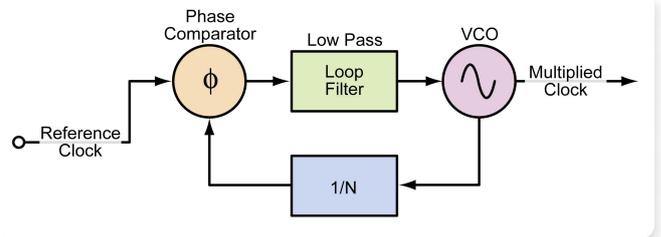
지터 허용치 테스트를 폭넓고 치밀하게 하지 않는다면 특정 주파수에서의 취약성이 간과되기 쉽습니다. 그리고 이런 주파수들은 SerDes를 수용할 시스템에도 당연히 존재합니다. 이러한 이유로, PCI Express, Serial ATA, XAUI 등과 같은 대중적인 시리얼 표준의 경우 적합성 테스트의 일환으로 지터 허용치 테스트를 필히 해야 합니다.

SerDes 장치에서 지터가 왜 그렇게 중요한지를 이해하기 위해 장치의 기능에 대해 간단히 살펴보도록 하겠습니다.

SER(Serializer) 요소는 병렬 데이터를 직렬 비트 스트림으로 변환합니다. 입력은 보통 8비트의 병렬 데이터인데, 이것은 다시 8비트/10비트의 프로세스로 엔코딩이 가능합니다. 8비트/10비트의 엔코딩 스킴은 8비트 데이터를 10비트 포맷으로 전환하고 이는 직렬 출력 링크를 통해 송신됩니다.



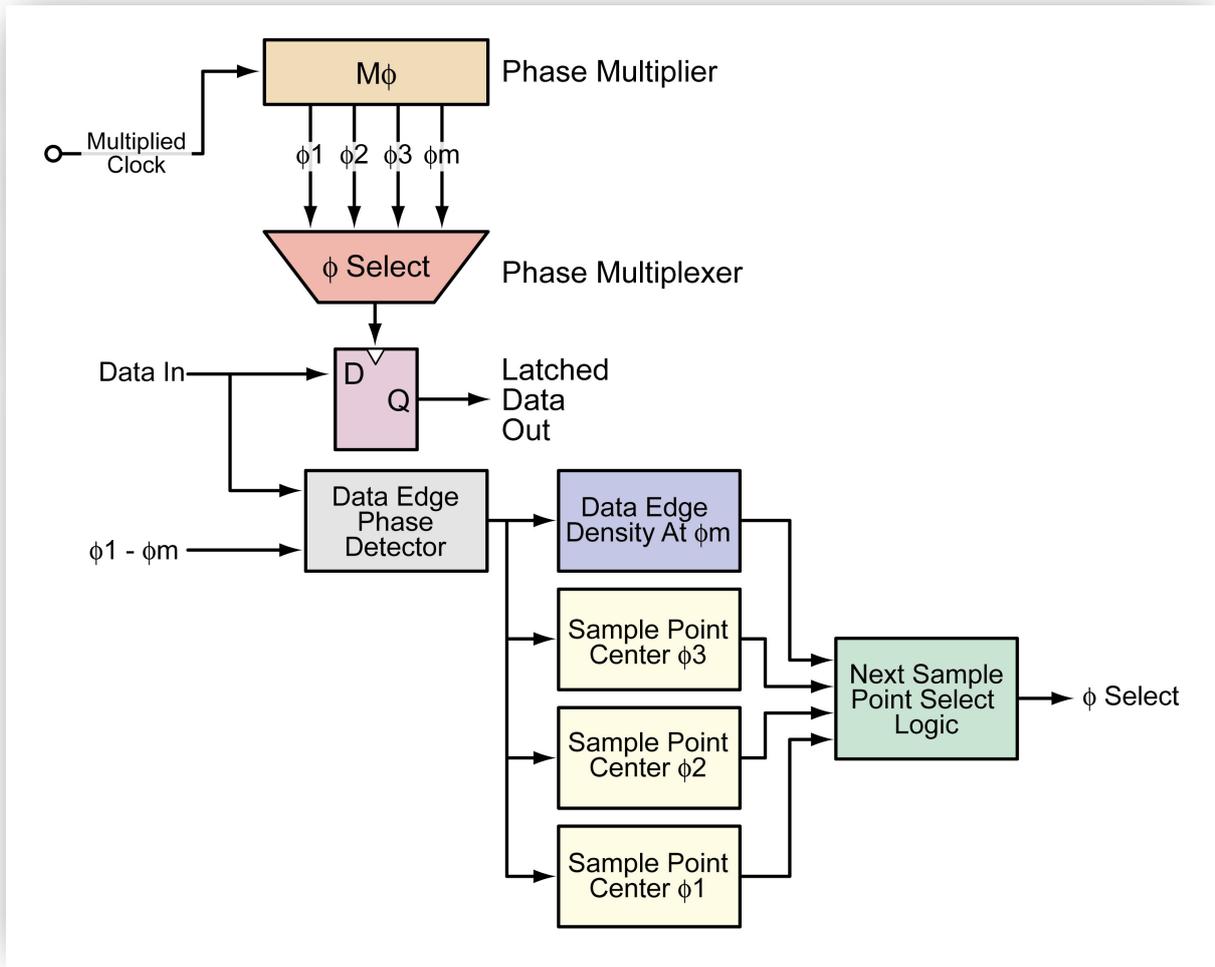
▶ 그림 1. 전형적인 SerDes 아키텍처.



▶ 그림 2. PLL 클럭 다중 블럭

DES(Deserializer)는 이와 반대되는 프로세스를 수행합니다. 즉, 직렬 데이터를 받아 필요한 경우 디코딩을 하고 이를 병렬 포맷으로 전환하는 것입니다. DES는 또한 데이터 클럭을 복구하여 이것을 데이터와 함께 이후의 컴포넌트로 전송합니다. SerDes의 두 상보적 요소는 원래의 병렬 데이터를 직렬 포맷으로부터 또는 직렬 포맷으로 편리하게 개조하여 데이터를 효율적으로 전송합니다. 전형적인 SerDes은 두 개의 주요 기능 블럭으로 구성됩니다¹. PLL(위상동기루프)의 클럭 다중 블럭(그림 2)은 시스템 레퍼런스 클럭을 가져다 데이터전송율(비트율)까지 증가시킵니다. 샘플러(그림 3)는 들어오는 직렬 데이터를 래칭하는 작업을 수행할 때 다중 클럭을 레퍼런스로 삼습니다.

¹ 다른 SerDes 토폴로지에서는 데이터 변환 중 내부 오실레이터를 조절하는 차지 펌프(charge pump)가 있는 PLL 구조를 사용합니다. 이 구조는 외부 클럭 입력이 필요없다는 장점이 있습니다. 그러나, 이러한 SerDes 구성은 SSC(spread-spectrum clocking) 환경에서는 운영이 불가능하며, 기능을 발휘하는 데이터 전송율의 범위가 매우 좁은 경향이 있습니다. 이러한 두 가지 단점 때문에 일부 산업에서는 사용이 제한됩니다. 그러므로 이 문서에서는 보다 일반적인 외부 클럭 SerDes 포맷에 초점을 맞추도록 하겠습니다.



▶ 그림 3. 샘플러

그림 2와 3에 나온 블록 다이어그램의 분배를 보면 주파수 영역에서 PLL과 샘플러 사이의 흥미로운 상호의존성을 볼 수 있습니다. 시스템 레퍼런스 클럭에 나타나는 지터는 샘플러의 성능에 극적인 영향을 미칠 수 있습니다. 일부 조건에서 레퍼런스 클럭의 지터는 데이터 스트림 자체에 나타나는 지터만큼이나 데이터 수집의 정확도에 좋지 않은 영향을 주기도 합니다. 이상적인 주파수의 백만분율(ppm)로 허용치를 표시하면서, PLL 블록에서 어느 정도의 레퍼런스 클럭 지터를 수용하는 것이 일반적인 관행입니다.

ppm은 DC 혹은 시간 평균적인 측정 방법입니다. 이 측정방법을 사용하면 레퍼런스 클럭 지터가 데이터 수집의 정확도에 아무런 영향을 미치지 않는다고 가정함으로 지터 컴포넌트를 감추게 됩니다. 하지만 실제 테스트에서는 그렇지 않습니다.

마찬가지로, 지터를 주파수와는 독립적인 컴포넌트로 규정하는 것도 커다란 결함이 있습니다. 지터를 랜덤과 결정 컴포넌트로 분리하는 방법(주파수와 독립적으로)은 장치가 지닌 성능상의 중요한 특징을 전달하지 못하기 때문입니다. 운영 범위 대부분에서 훌륭히 작동하는 SerDes도 몇몇 주파수 포인트에서 지터 불내성(민감도)을 보일 수 있습니다. 그러나 엔지니어가 이 포인트를 고려한다면 설계에서 성공을 거둘 수 있습니다. 가령 이런 속도로 운영하는 전원공급장치와 다른 컨트롤시스템을 교체하지 말라고 경고할 수 있을 것입니다. 마찬가지로, 주파수에 민감한 이러한 동작은 실제 테스트에서 가장 잘 드러납니다.

▶ 응용자료

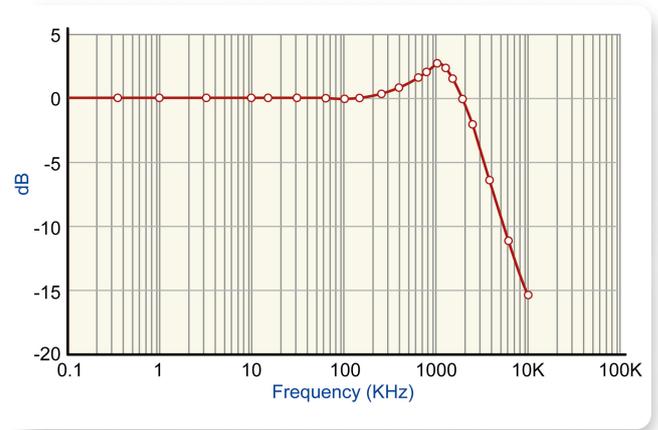
PLL 지터 전달 효과

이 글에서는 독자들이 PLL 동작에 대해 기본적으로 이해하고 있는 것으로 간주합니다. 예를 들어, PLL이 어떻게 레퍼런스 클럭과 동기상태를 유지하는지, 저역통과 루프필터를 사용하는 PLL의 경우 저역통과 위상 트래킹 반응(이 특성은 시간에 따른 트래킹 작업량 사이클의 변화와 관련이 있음) 등에 대해서 말입니다. 그러나, PLL이 지터를 어떻게 레퍼런스 클럭 입력에서 다중 출력으로 전달시키는지 고려해 볼 필요도 있습니다.

그림 4는 전형적인 PLL의 전달 특성을 보여줍니다. 이 곡선은 PLL(dB)을 통해 전달된 정현파 지터의 양과 지터 주파수 사이의 관계를 나타내고 있습니다. 지터 전달 곡선은 레퍼런스 입력으로 들어오는 지터를 보여주며, 이것은 DC(지터 없음)부터 최대 약 100 kHz까지 PLL 출력 시 전체 진폭(0dB 감쇠)에 존재할 것입니다. PLL은 "정상적으로" 운영 중입니다. 다시 말해 PLL 트래킹 루프 필터가 서보(오류를 0으로 떨어뜨림)할 수 있다는 뜻입니다. 테스트에서 지터 슬루율을 루프 필터 반응보다 높임으로써 이러한 조건을 위반할 수 있지만, 이 경우 지터 슬루율은 비교적 낮게 유지됩니다.

그림 4의 곡선은 이 문서에서 설명한 표준 장비 세트와 생성이 가능합니다. 이 테스트를 실행하는 가장 간단한 방법은 다음 단계를 따르는 것입니다.

1. SerDes를 루프백 모드로 설정하고 직렬 출력 포트를 측정하면서 직렬 데이터 입력 포트에 클럭이나 데이터를 입력합니다. 지터 측정 소프트웨어를 실행하는 실시간 오실로스코프가 있다면 제일 좋습니다.
2. 지터 주파수를 관심 있는 범위로 조절한 다음, 출력과 입력에서의 지터 진폭을 비교합니다.
3. 이 데이터를 데시벨(dB)로 전환합니다. 클럭 입력의 지터 진폭이 상대적으로 낮지 않을 경우에 PLL이 비선형으로 움직이게 된다는 사실에 주의하십시오.



▶ 그림 4. PLL 지터 전달 곡선.

PLL 지터 전달 곡선의 다음 섹션은 훨씬 흥미로운 특성을 보입니다. 약 100 kHz에서 1.9 MHz사이에서 곡선은 입력부터 출력까지 거의 2.5 dB까지 올라갔다가 약 0 dB 지터까지 떨어집니다. 이것은 지터가 이 주파수 범위에 해당할 경우 PLL이 사실상 레퍼런스 클럭의 지터 콘텐츠를 증폭시킨다는 의미입니다.

공식 1이 계산법의 일례입니다. PLL 입력에서 레퍼런스 클럭이 정현파 1.2 MHz 지터의 100 ps p-p(첨두치)일 경우, 이 식에 따르면 약 133 ps p-p 지터의 출력을 예측할 수 있습니다. 지터의 순 증가분은 PLL 특성 때문에 약 33%입니다. 그러나 이것은 PLL 실행 시 드문 일이 아닙니다.

$$OutputJitter_{p-p} = \left(InputJitter \times 10^{\frac{2.5}{20}} \right)$$

일부 설계자들은 PLL 반응을 높여 PLL이 크게 감쇠된 프로파일을 가진 반응 주파수에 비해 더 높은 주파수에서 동기화시키기도 합니다. 그러나, 이 응용과정에서 피킹은 PLL 반응 루프가 위상 오류를 과다 수정하게 만드는 원인이 되어 지터 효과를 증폭시킵니다.

시스템 설계자들이 클럭 지터로 인해 발생하는 예상치 않았던 영향으로부터 장치를 보호하기 위해서는 SerDes PLL을 테스트해야 합니다. 시리얼 커뮤니케이션 시스템의 모든 컴포넌트(송신기와 수신기)가 클럭 지터에 동일하게 반응하는 한 문제될 일은 없습니다. 문제는 동일한 클럭 지터에 동일한 레퍼런스 클럭 컴포넌트들을 제시했을 때 다르게 동작하는 경우입니다. 드라이버와 수신기는 위상 반전 현상을 보여 지나치게 높은 BER을 만들어낼 수 있습니다.

샘플러 특성

PLL 블럭과는 달리, 샘플러 블럭의 기능과 특성에 대해서는 그다지 공개된 정보가 없습니다. 샘플러는 보안이 철저한 특허 또는 기밀로 다루어지는 경향이 있습니다. 그림 3은 “전형적인 샘플러”의 모습입니다. PLL의 다중 클럭이 샘플러를 구동합니다. 클럭은 데이터와 같은 속도로 구동합니다. 사실상, 다중 클럭에 존재하는 지터 때문에 샘플러가 데이터 스트림의 지터를 감지하게 됩니다. 이것은 레퍼런스 포인트가 변화하기 때문이지만 클럭의 지터가 정오상 0이기 때문에 데이터가 그와 관련하여 지터를 갖는 것처럼 보이는 것입니다.

데이터 래칭

직렬 데이터 샘플러의 개념은 매우 간단합니다. 샘플러는 래치를 작동시킬 수 있는 클럭을 생성하여 래치의 Sample/Hold 창이 데이터 변환 포인트(아이 다이어그램의 작우 코너) 사이에서 기본적으로 중심에 자리잡도록 유지하기만 하면 됩니다. 이러한 접근법을 통해 SerDes는 사용되는 기술에 대해 최대의 지터 허용치와 최저의 BER을 가질 수 있습니다.

샘플러 클럭을 생성하는 전형적인 방법은 위상 곱셈기와 멀티플렉서를 이용하는 것입니다. 위상 곱셈기는 M 딜레이 요소의 합이 싱글 비트 시간 또는 단위 간격(UI)과 정확히 같은 DLL(Delay Locked Loop)인 경우가 많습니다. 이것은 $(1/[M-1]) * UI$ 라는 타이밍 해상도를 줍니다. DLL에 탭이 많을수록, 샘플러가 래치 샘플창을 배치할 수 있는 정확도가 커집니다. 글리치를 생성하지 않고 다중 클럭의

M 위상 가운데 하나를 선택하기 위해 MUX(synchronous multiplexer)을 사용합니다. 이것은 샘플러의 가장 복잡한 부분인 F-select 회로로 이어집니다.

위상 선택

F-select 회로는 래칭에 사용할 다중 클럭의 최적 위상을 예측하는 상태기계(state machine)와 고속 에지 탐지기(digital phase detector)로 구성됩니다. 전형적인 에지 탐지기는 다중 클럭과 관련하여 데이터 스트림에서 가장 마지막 에지의 상대적인 위치를 기록합니다. 이후의 상태기계는 레지스터에 이 위치를 기록하고(M 에지 변환 포인트 중 1, 위상 곱셈기 후 위상 수와 동일) 위상 N에서 몇 개의 에지가 발생했는가에 대한 연속 히스토그램을 유지합니다.

그런 다음 상태기계는 히스토그램의 두 중앙값(각각 아이의 왼쪽과 오른쪽) 사이에 있는 중심 포인트를 계산합니다. 구체적인 실행방법에 대한 세부사항은 디자인별로 크게 다릅니다. 그러나, 대부분의 토폴로지는 오직 하나의 히스토그램(M 레지스터가 있는 digital-limiting 어큐뮬레이터)을 생성하여 피크 변환 밀도(peak transition density)를 결정하고 양쪽 피크 또는 중앙값으로부터 UI의 절반만큼 떨어진 다중 클럭의 한 위상을 자동으로 선택합니다. 이러한 위상 선택 프로세스는 이전의 변환 기록을 바탕으로 결정됩니다.

샘플 포인트 선택 회로가 과거 데이터를 바탕으로 미래의 이벤트에 대한 예측을 하기 때문에 샘플러에는 분명한 대역폭의 특성이 있습니다. 디지털 제어 시스템의 기법을 이용하여 이러한 특성을 분명히 할 수 있습니다. 알고리즘은 PLL처럼 저역통과 위상 트래킹 동작을 해야 하며 그러지 않을 경우에는 샘플러가 불안정해질 것입니다. PLL의 예에서처럼, 어떤 주파수에서 샘플러의 반응이 너무 높아지면 샘플러가 과잉수정하려 할 때 특정 주파수 범위에서 지터에 대해 샘플러를 심하게 불내성을 떨 수 있습니다. 대부분의 샘플러는 상당히 감쇠된 반응을 보이도록 설계되어 있습니다.

▶ 응용자료

PLL과 샘플러 사이의 상호작용

SerDes가 동기화를 깨고 높은 비트 오류율을 갖는 경우에는 크게 세 가지 메커니즘이 있습니다.

- ▶ PLL이나 샘플러는 슬루율 한계에 도달할 경우 대역확산 기능과 유사한 저주파수 효과를 유발할 수 있습니다.
- ▶ 레퍼런스 클럭의 전체 지터와 데이터 입력이 샘플러에 불안정한 히스토그램을 만들어낼 수 있습니다(기본적으로 중간 주파수 효과).
- ▶ 데이터 지터가 포인트에 대한 아이를 막아 샘플러의 래칭 메커니즘이 더 이상 setup/hold 요건을 충족할 수 없게 됩니다(PLL에 무시해도 좋은 지터가 있을 때에도 일어날 수 있는 고주파수 효과).

저주파수 동작

SerDes 장치는 낮은 지터 주파수에서 커다란 지터 진폭(여러 비트 시간과 동일)을 추적할 수 있습니다. 개별 데이터 비트가 포인트에서 포인트로 천천히 이동하여 아이를 막게 되면 샘플러는 데이터 수집을 잘 하기 위해 샘플링 포인트를 조절할 수 있습니다. 여기서 기억해야 할 중요한 용어는 “천천히”입니다.

주파수만으로는 아이가 얼마나 빠르게 움직이는지 알 수 없습니다. 아이가 이동하는 속도를 계산하려면 지터의 주파수와 진폭 모두를 사용해야 합니다. 아이의 “슬루율”은 등식 2로 계산할 수 있습니다: 여기서 B_n 은 피크-피크 지터 진폭(피코초), W_n 은 주파수(초당 라디안), “transfer” 항은 dB로 표현됩니다.

$$B_n \times \omega_n \times 10^{\frac{\text{transfer}}{20}}$$

우리가 관심을 가지고 있는 저주파의 경우 항 $10^{\text{transfer}/20}$ 은 1로 갑니다(dB로 나타낸 transfer = 0; 그림 2 참고).

주파수가 증가할수록 SerDes가 허용하는 지터 진폭이 작아집니다. 이것은 적절한 지터 전달 곡선이 사용되는 한 PLL이나 샘플러 모두에 해당합니다. 구체적인 SerDes에 대한 실제 값은 실험을 통해 측정해야 합니다. 각 지터 전달 곡선의 니 포인트(knee point)보다 위의 주파수에서 항 “transfer”가 음수로 가고 슬루율 항이 0(zero)에 접근할수록, 지터 민감도에는 영향을 주지 않음에 유의해야 합니다.

중간(Mid) 주파수 동작

중간 주파수 범위에서 벌어지는 현상은 복잡한 경우가 많습니다. 이 범위에서 PLL은 여전히 샘플러에 클럭 지터를 보내고 샘플러에 들어오는 데이터 지터도 약간 있습니다. 두 지터(클럭과 데이터)는 어느 주파수에서든 긍정, 부정적으로 서로 간섭합니다. 클럭과 데이터 컴포넌트의 위상이 일치할 때 SerDes는 지터에 대한 허용치가 높고, 클럭과 데이터 컴포넌트의 위상이 일치하지 않을 때 허용치가 낮습니다. 가장 좋은 방법은 최악의 지터 위상 조합을 가정하고 오류 확률을 평가할 때 크기가 달라진 레퍼런스 클럭 지터를 데이터 지터에 추가하는 것입니다.

고주파수 동작

고주파에서 클럭 지터는 비트 오류에 큰 영향을 미치지 않습니다. 클럭의 지터가 PLL 지터 전달 니(knee)를 완전히 넘어선 다음에는 데이터의 지터 콘텐츠에 거의 전적으로 분석의 초점을 맞추어야 합니다(여기서는 -10dB 이동 포인트가 좋은 예입니다). 이 주파수 범위에서 샘플러는 더 이상 아이 움직임 추적하지 않습니다.

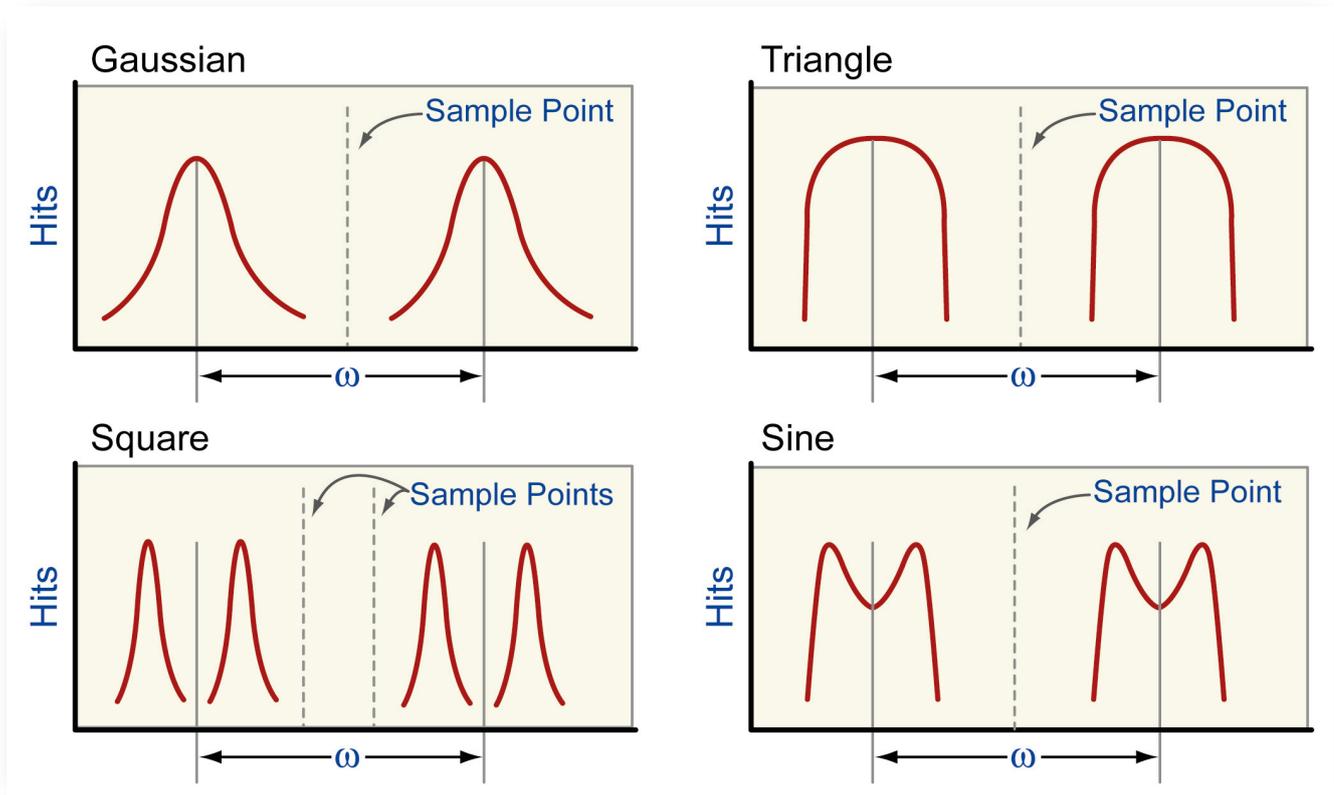
대신, 아이 히스토그램의 충실도가 결정적인 요인입니다. 간단히 말해, 샘플러는 아이가 열린 상태로 유지되는 한 데이터를 바르게 수집할 것입니다. 그러나 이는 샘플러 동작에서 아이가 열린다는 것이 무슨 의미가 있는 것일까 하는 의문을 제기합니다.

지터 프로파일

아이가 열린 경우, 지터 프로파일(정현파, 구형파, 삼각, 변칙 등)은 BER에 커다란 영향을 미칩니다.

그림 5의 가우스 지터 히스토그램을 살펴봅시다. SerDes 샘플러가 최적의 데이터 샘플링 포인트를 결정하기 위해 히스토그램의 피크나 중앙값을 사용한다면 최적의 샘플 포인트를 얻을 것입니다.

이것을 스퀘어 지터 히스토그램과 비교해 보십시오. 각 변환 지역은 시간에 따라 다른 두 개의 피크를 가질 것입니다. 이 히스토그램에서는 가장 높은 변환 포인트의 지표로 피크를 사용하기 어렵습니다. 라이브 데이터 이동 중 히스토그램을 살펴보면, 피크가 교대로 커졌다 사라집니다. 지터의 진폭이 분명한 경우 이 지터 프로파일은 비트 오류를 유발할 것입니다.



▶ 그림 5. 지터 히스토그램과 샘플링 포인트

나머지 두 개의 프로파일도 지터 허용치 테스트에 주로 사용되는 프로파일이기 때문에 흥미롭습니다. 두 히스토그램은 그림 5에서와 같이 상대적으로 사각 형태입니다. 샘플러는 히스토그램에서 비슷한 양의 히트를 갖기 때문에 전체 지역을 고려해야 합니다. 샘플러는 대개 이 지역의 중앙값을 찾아 중앙값으로부터 0.5 UI에 있는 래치 샘플창을 배치하려고 할 것입니다.

지터의 스펙스럼 컴포넌트

SerDes 장치에 대한 총체적인 분석을 수행할 때 주파수 영역 특성은 또 다른 중요한 문제입니다. 이론상으로는 앞서 설명한 저, 중, 고 주파수 지터 컴포넌트의 합이 SerDes의 허용치를 초과해서는 안됩니다.

하지만, 장치가 오류를 일으키는 방법과 시기에 대해 이론만으로는 반드시 정확한 예측을 할 수 없습니다. 비선형적인 종속변수가 너무나 많기 때문입니다.

지터 측정 틀 및 기법

정현파 지터 테스트

정현파 지터 테스트의 목적은 레퍼런스 클럭과 직렬 데이터 상의 특정 지터 주파수에서 SerDes의 지터 허용치를 평가하기 위해서입니다.

정현파 지터 테스트의 기본 단계는 다음과 같습니다:

1. 별도의 정현파 지터 소스를 이용하여 레퍼런스 클럭과 시리얼 데이터에 지터를 주입합니다.
2. SerDes의 출력을 모니터링하여 비트 오류가 있는지 살펴봅니다.
3. 비트 오류 한계를 초과하기 전 장치가 허용하는 지터의 양을 기록합니다.

이 절차에는 네 개의 변수가 있습니다:

- ▶ 클럭 지터 진폭
- ▶ 클럭 지터 주파수
- ▶ 데이터 지터 진폭
- ▶ 데이터 지터 주파수

시리얼라이저-디시리얼라이저 적합성 테스트를 위한 지터 생성 기법

▶ 응용자료

다수의 변수가 있기 때문에 측정된 데이터를 명확하고 사용 가능한 형태로 표현하는 것이 중요합니다. SerDes가 특정 클럭 지터 값에 대하여 허용할 수 있는 데이터 지터의 양을 각 곡선에 표현하여 그래프로 그리는 방법이 공통적인 접근법입니다. 클럭 지터(진폭과 주파수)는 각 곡선에 대하여 고정값으로 유지됩니다. 클럭 지터 주파수는 x축이고 지터 진폭은 y축입니다.

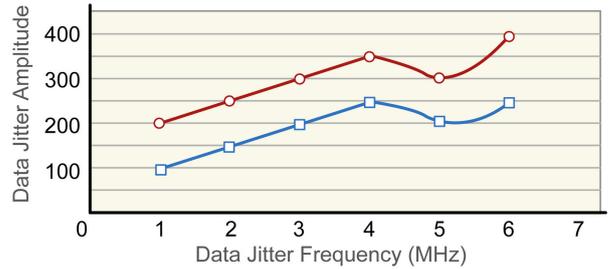
곡선의 일부가 통과하는(지정된 시간 동안 비트 오류 없음) 최대값을 결정하기 위해 데이터 지터의 진폭을 높임으로써 곡선이 생성됩니다. 별도의 그래프 자취는 클럭 지터의 여러 가지 주파수 및 진폭을 나타냅니다. 그림 6은 이런 방법으로 그려진 두 곡선의 예입니다. 각 곡선 아래 지역은 SerDes가 통과하는 지역을 정의하고(충분한 지터 허용치 전달) 곡선 위 지역은 SerDes가 오류를 나타내는 지역입니다.

장비 설정

지터 테스트를 위해 자극과 스트레스 신호를 제공하는 신호원은 특정 요건을 충족해야 합니다: 클럭과 데이터 신호의 지터 소스는 실제 클럭과 데이터 신호를 생성하는 오실레이터와는 독립적이어야 합니다.

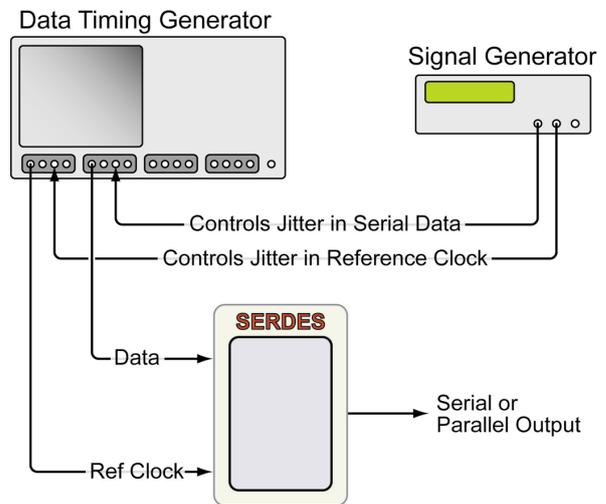
- ▶ 클럭과 데이터의 지터는 서로 독립적이어야 하며(위상동기 되어서는 안됨) 별도로 제어되어야 합니다.
- ▶ DTG5000 시리즈 데이터 타이밍 제너레이터와 DTGM31 지터 생성 모듈과 같은 장비를 사용함으로써 클럭과 데이터 지터를 완전히 동기화시키면서도 독립적으로 제어할 수 있습니다. 서로 다른 수준의 지터를 데이터와 클럭 신호에 동시 적용시킬 수 있습니다.
- ▶ 지터의 진폭과 주파수 변형은 넓은 범위로 확장이 가능해야 합니다.

그림 7에는 장비 설정에 대한 설명이 있습니다.



▶ 그림 6. 지터 허용치 그래프의 예.

붉은 그래프는 클럭 지터가 200KHz에서 200ps p-p 진폭으로 유지될 때의 데이터 지터를 나타내고, 파란 그래프는 클럭 지터가 150KHz에서 200ps p-p 진폭으로 설정될 때 나타나는 결과를 보여줍니다.



▶ 그림 7. 정현파 지터 테스트를 위한 장비 설정.

장비 설명

정현파형 제너레이터

두 개의 독립적인 정현파형 소스가 필요합니다. 하나는 클럭용 변조신호를, 다른 하나는 데이터용 변조신호를 발생시켜야 합니다. 어떤 신호 제너레이터는 서로 다른 주파수와 진폭의 두 신호를 동시에 제공하여 이 요건을 충족하기도 합니다. 소스는 다양한 범위의 주파수와 진폭에 대하여 정현파형을 발생시켜야 합니다. 정현파 소스는 다른 장비에 대해서는 입력이나 동기화를 요하지 않습니다.

정현파형 소스의 주파수 범위는 적어도 지터를 생성하는 하드웨어(이 경우 DTG5000 시리즈 데이터 타이밍 제너레이터에 설치된 Tektronix DTGM31 모듈)의 변조용량만큼 높아야 합니다. 예를 들어, 지터 제너레이터가 최대 10 MHz의 주파수에서 출력을 변조한다면 정현파형 제너레이터도 10 MHz 정현파형을 만들어낼 수 있어야 합니다.

각 정현파형 제너레이터는 지터 제너레이터의 변조입력을 주입하며, 이것은 지터 제너레이터로부터 나오는 클럭 신호를 변조합니다. 정현파형 주파수는 변조된 클럭 신호의 지터 주파수를 결정합니다. 정현파형 진폭은 변조된 클럭 신호의 지터 진폭을 결정합니다. 정현파형은 변조신호라고 지칭할 수 있습니다.

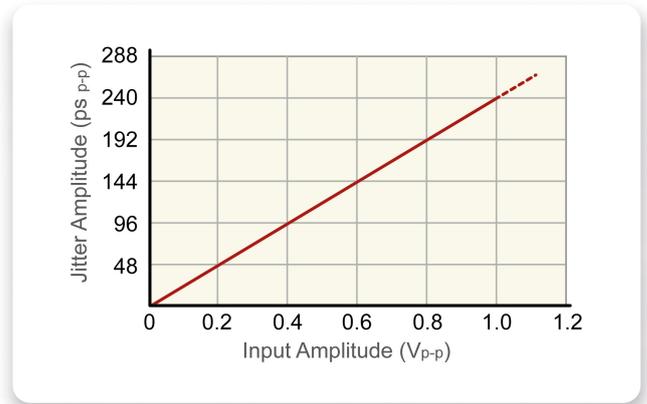
DTGM31 지터 제너레이터 모듈

지터 변조가 입력된 DTGM31 출력 모듈은 대부분의 SerDes 지터 허용치 테스트에 필요한 진폭과 주파수의 지터를 생성할 수 있습니다. 이 모듈은 외부 소스로부터 변조신호를 받아들이고 그 신호에 비례하여 지터 변조 출력을 제공하도록 설계되어 있습니다.

이 DTGM31은 변조입력에서 1V 신호를 받으면 최대 200 MHz 주파수에 최대 240 ps (첨두치) 진폭의 지터를 전달합니다. 이보다 높은 지터 주파수—최대 400 Mhz—는 변조소스의 진폭을 높임으로써 변조가 가능합니다. 그림 8은 DTGM31 입력진폭과 지터 진폭의 그래프를 보여줍니다.

DTG5000 시리즈 데이터 타이밍 제너레이터

타이밍 제너레이터는 SerDes를 위한 시리얼 데이터와 레퍼런스 클럭을 생성하기 위해 사용됩니다. DTGM31 모듈을 갖춘 DTG5334 혹은 DTG5274 데이터 타이밍 제너레이터가 진폭과 주파수 컨텐츠 면에서 지터를 제어할 수 있습니다. 이 조합으로 여러 유형의 SerDes 장치에 대한 철저한 지터 허용치 테스트를 수행할 수 있습니다. 테스트 대상인 SerDes 장치가 요구하는 구체적인 데이터 요소에 맞게 데이터 유형을 프로그램할 수 있습니다.



▶ **그림 8. DTGM31 지터 진폭 반응.** “입력 진폭” 축은 외부 변조소스로부터 나오는 신호 수준을 표시합니다.

비트 오류 감지

SerDes의 비트 오류는 로직 애널라이저나 비트오류 테스터(BERT)를 이용해 감지할 수 있습니다. 로직 애널라이저는 SerDes로부터 병렬 데이터를 수집하는 반면, BERT는 SerDes로부터 직렬 데이터를 수집합니다.

▶ **로직 애널라이저**는 병렬 데이터에서 비트 오류를 트리거할 수 있습니다. 기기는 SerDes 백엔드(수신기의 출력)로부터 나오는 병렬 신호를 수집합니다. 로직 애널라이저에 들어가는 병렬 신호에는 복구된 클럭이 포함되어 있기 때문에 동기화가 필요 없습니다. BERT는 SerDes의 병렬 데이터 스트림에서 비트 오류를 감지할 수 있습니다. BERT는 유형 제너레이터와 같은 유형을 실시간 레퍼런스로 사용합니다.

▶ **BERT**는 리피터 모드로 구동하는 SerDes의 출력 데이터를 수집한 다음 시리얼 데이터를 유형 제너레이터 데이터와 비교하여 부정확한 비트의 개수를 셉니다. BERT는 두 지터 제너레이터와 같은 신호로 동기화되어야 합니다. 참고: SerDes가 리피터 모드로 작동할 때, BERT는 송신기와 수신기의 BER을 합쳐서 측정합니다.

시리얼라이저-디시리얼라이저 적합성 테스트를 위한 지터 생성 기법

▶ 응용자료

설명	장비
SerDes 평가 보드	벤더별
클럭 및 데이터 지터 생성용: 변조 소스(정현파 제너레이터: 지터 소스	AFG320 2채널 임의 기능 제너레이터 DTGM31 지터 생성 모듈
유형 데이터와 클럭 생성용	DTG5000 시리즈 데이터 타이밍 제너레이터
직렬 데이터 비트의 비트 오류 감지용	비트
병렬 데이터의 비트 오류 감지용	TLA7AA3 로직 애널라이저 모듈을 갖춘 Tektronix TLA721 로직 애널라이저
첨두치 지터 측정용	TDSJIT3 v2.0 지터 분석 소프트웨어를 갖춘 Tektronix TDS6804B 오실로스코프

▶ 표 1. 정현파 지터 허용치 테스트에 사용되는 장비.

오실로스코프

비트 오류가 발생했다고 판단될 경우 오실로스코프는 지터의 실제 첨두간 진폭을 측정할 수 있습니다. 지터를 측정하는 방법에는 여러 가지가 있습니다. 특성 프로젝트 과정에 걸쳐 모든 측정에 대하여 측정 방법은 일관성 있게 적용되고 반복이 가능해야 합니다.

본 응용 자료의 개발에는 Tektronix TDSJIT3 v2.0 지터 분석 패키지가 사용되었습니다. 모든 측정 세팅은 TDS 시리즈 오실로스코프에 저장되고 프로젝트 전체에 걸쳐 사용되었습니다.

지터 진폭은 기기 플랫폼에서 사용할 수 있는 최대값까지 증가되었습니다. TIE(Time internal error) 파형을 TIE 시간 추이 그래프와 대조하여 오실로스코프 소프트웨어가 실제로 정현파 지터를 감시하도록 하였습니다. 이는 기기 설정 오류에 따른 지터로 유발되는 오류가 없는지 확인하는 데도 도움이 되었습니다.

표 1은 철저한 지터 허용치 테스트를 위해 필요한 장비를 요약해 놓은 것입니다. SerDes 평가 보드가 필요하다는 점에 주목하십시오. 이 제품은 SerDes 벤더를 통해 구입이 가능합니다.

측정 절차

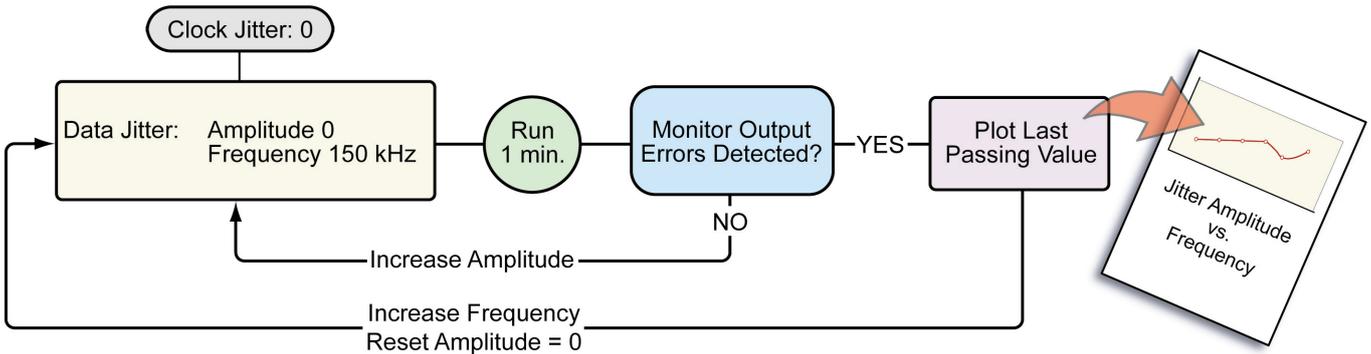
그림 9는 SerDes에서 지터 동작을 측정하고 문서화하기 위해 필요한 절차를 간략하게 보여주고 있습니다. 여기에 나타난 구체적인 값은 “전형적인” 숫자임에 유의하십시오. 테스트 중인 장치의 특성을 바탕으로 주파수 범위, 가동 시간, 기타 값을 선택해야 합니다. 그림에서는 테스트의 데이터 지터 부분만이 나타나 있지만 클럭 지터 프로세스의 경우에도 데이터 지터를 고정시키면서 동일한 단계를 따릅니다.

1. 클럭에 지터가 없는 상태로 시작합니다
2. 데이터의 지터를 진폭 0과 150 kHz처럼 저주파수로 설정합니다.

SerDes는 데이터 수집을 시작하고 병렬과 직렬 포트로 데이터를 출력할 것입니다.

3. 현재 설정에 대한 지터 허용치를 결정하려면

- ▶ 데이터를 출력을 모니터하고 비트 오류가 있는지 살펴보십시오.(로직 분석기나 BERT 이용).
- ▶ 정해진 시간 동안 테스트를 수행하십시오(이 프로젝트의 테스트는 1분 동안 지속됨).
- ▶ 그 시간 내에 오류가 없으면 데이터 지터의 강도를 올리고 비트 오류가 있는지 살펴보십시오.
- ▶ 지정된 시간(예: 1분) 내에 SerDes에서 오류가 발생할 때까지 데이터 지터의 강도를 올리십시오.
- ▶ 오류가 발생하기 전까지 SerDes가 허용하는 지터의 깊이를 기록하십시오.



▶ 그림 9. 지터 허용치 측정 절차의 예시

4. 데이터 지터의 주파수를 높이고 3단계를 반복합니다. 같은 방법으로 데이터 지터의 더 높은 주파수에 대한 데이터 포인트를 얻습니다. 그림 6과 같이 데이터를 작성합니다.
5. 이제 클럭의 지터를 설정합니다. 클럭의 특정한 지터 진폭에 대하여 하나의 곡선 세트를 지정했다가 각 곡선에 대하여 클럭 지터의 주파수를 변경할 수 있습니다.
6. 진폭을 그대로 두고 클럭의 지터 주파수를 올리면서 3, 4단계를 반복합니다.
7. 3, 4, 6단계의 시퀀스를 계속 반복하여 각 시퀀스에 대하여 새로운 곡선을 만듭니다. 그에 따라 얻은 곡선은 클럭 상의 특정 지터 진폭에 대한 지터 허용치를 보여줍니다. 각 곡선은 특정 클럭 지터 주파수와 진폭에 대하여 데이터 지터 허용치를 나타냅니다. 곡선 아래 부분은 장치가 작동하는 지역(값의 범위)을 나타내고 곡선 위부분은 오류 지역을 뜻합니다. 클럭 지터의 진폭을 바꾸어 여러 가지 곡선 세트를 얻고 몇 개의 곡선을 얻을 때까지 3, 4, 6단계를 반복합니다.

이 절차를 실시할 때 유의해야 할 사항: 테스트는 오류 없이 일정시간 지속되어야 합니다. 의미 있는 BER 값을 얻기에 충분할 만큼 시간을 길게 선택하는 것이

이상적입니다. 그러나, 실제 테스트보다는 추정을 통해 BER 수치를 계산하는 것이 일반적인 관행입니다. 선택은 사용자에게 달려 있습니다.

테스트 시리즈를 자동으로 운영할 수 있는 솔루션이 있습니다. GPIB는 일반적으로 장비 제어에 사용됩니다. 사용자나 상용 벤더가 쓴 스크립트가 실제 테스트를 실시합니다. 이 스크립트를 구동하려면 추가 장비(표 1에서 설명되지 않음)가 필요합니다.

테스트 유형은 SerDes에 압박을 주는 유형이어야 합니다. 이 응용 자료 개발에 사용된 유형은 표준 PCI Express Compliance Pattern이었습니다. 이는 PCI Express 1.0a 규격에서 찾아볼 수 있습니다. 다양한 유형은 SerDes의 서로 다른 부분에 압박을 줍니다. T11.2 MJSQ 문서의 부록 A는 유형 특성에 대한 정보를 얻을 수 있는 좋은 자료입니다.

결론

이 응용 자료는 설계자들이 최종 사용자 시스템의 오류율에 영향을 주는 SerDes 지터 특성을 다룰 때 도움이 될 만한 솔루션과 방법을 제시한 것입니다. 이 접근법은 기존의 통과 경험적인 방법을 이용하여 지터 허용치를 정밀하게 찾아냅니다.

지터에 관한 참고 자료

지터 개념:

T11.2 MJSQ 문서

지터 측정:

지터에 대한 이해 및 특성, 응용 자료.

www.tektronix.com/jitter

PLL과 DLL:

Phase and Delay Locked Loop Clock Control in Digital Systems, Zeljko Zilic, McGill University, 몬트리올

텍트로닉스 연락처:

ASEAN/남양주 (65) 6356 3900
오스트리아 +41 52 675 3777
발칸, 이스라엘, 남아프리카 및 다른 ISE 국가들 +41 52 675 3777
벨기에 07 81 60166
브라질 및 남미 55 (11) 3741-8360
캐나다 1 (800) 661-5625
중앙동유럽, 우크라이나 및 발트국 +41 52 675 3777
중앙 유럽 및 그리스 +41 52 675 3777
덴마크 +45 80 88 1401
핀란드 +41 52 675 3777
프랑스 및 북아프리카 +33 (0) 1 69 86 81 81
독일 +49 (221) 94 77 400
홍콩 (852) 2585-6688
인도 (91) 80-22275577
이태리 +39 (02) 25086 1
일본 81 (3) 6714-3010
룩셈부르크 +44(0) 1344 392400
멕시코, 중앙아메리카 및 카리브해 52 (55) 56666-333
중동, 아시아 및 북아프리카 +41 52 675 3777
네덜란드 090 02 021797
노르웨이 800 16098
중국 86 (10) 6235 1230
폴란드 +41 52 675 3777
포르투갈 80 08 12370
대한민국 82 (2) 528-5299
러시아 및 CIS 7 095 775 1064
남아프리카 +27 11 254 8360
스페인 (+34) 901 988 054
스웨덴 020 08 80371
스위스 +41 52 675 3777
대만 886 (2) 2722-9622
영국 및 아일랜드 +44 (0) 1344 392400
미국 1 (800) 426-2200
기타 지역: 1 (503) 627-7111
2004년 11월 3일자 최종 업데이트

텍트로닉스는 최첨단 기술을 다루는 엔지니어를 지원하기 위해 응용 자료, 기술 문서 및 기타 리소스 등을 총 망라한 방대한 자료를 보유 관리하고 있으며 이를 계속 확장하고 있습니다. www.tektronix.com을 참조하십시오.



Copyright © 2005, Tektronix, Inc. All rights reserved. 텍트로닉스 제품은 현재 등록되어 있거나 출원중인 미국 및 국제 특허의 보호를 받고 있습니다. 이 문서에 포함되어 있는 정보는 이전에 발행된 모든 자료에 실린 내용에 우선합니다. 사양이나 가격 정보는 예고 없이 변경될 수 있습니다. TEKTRONIX 및 TEK은 Tektronix, Inc.의 등록 상표입니다. 본 문서에 인용된 다른 모든 상표는 해당 회사의 서비스 마크, 상표 또는 등록 상표입니다.

01/05 DM/WOW

86K-18568-0

Tektronix

Enabling Innovation