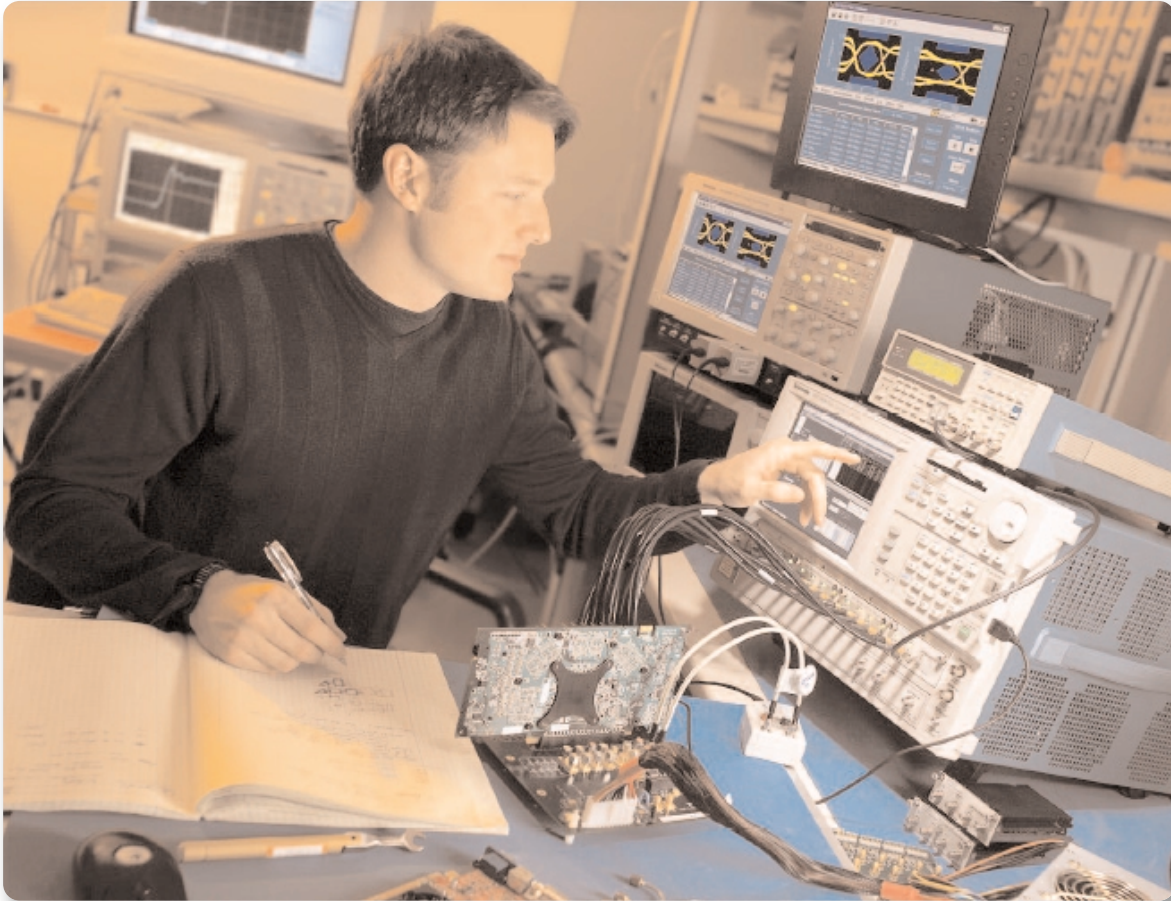


PCI Express レシーバ試験をサポートする DTG5000シリーズ・データ・タイミング・ゼネレータ



はじめに

PCシステムのデータ・レートやクロック・レートが高速化する中、PCIなどのパラレル・バスは過去のものになりつつあります。数多くの理由により、パラレルPCIバスは、貴重な回路基板スペースを節約すると同時に、同じ機能(マザーボード上のデバイス間でのデータ受け渡し)をより高速に実行できるシリアル構造に取って代われようとしています。

このアプリケーション・ノートでは、PCI Expressと呼ばれるシリアル・バス環境を構成するレシーバやシリアライザ/デシリアライザ (SerDes)、ケーブル、コネクタなど、さまざまな新しいデバイスの設計検証を行う場合の、当社DTG5000シリーズ・データ・タイミング・ゼネレータの設定方法と使用方法について説明します。

PCI Expressの概要

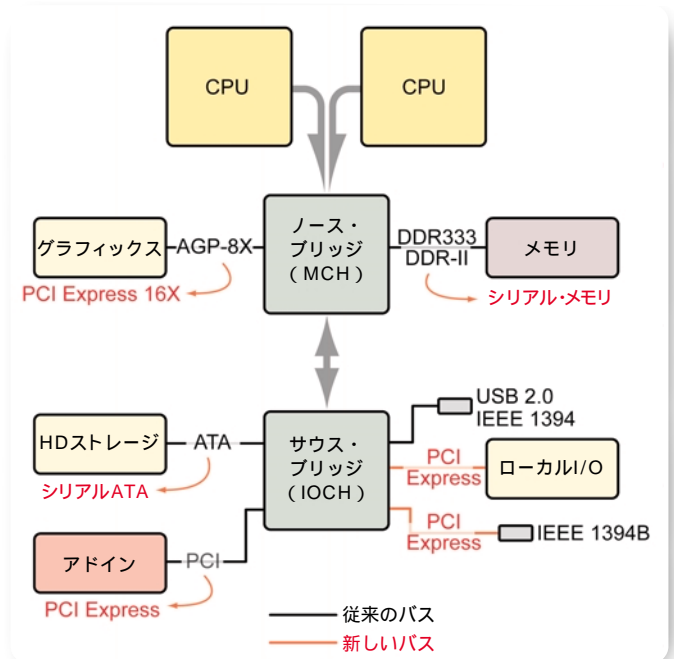
PCI Expressは、低電圧差動信号(LVDS)を使用し、現時点では最大通信速度2.5Gbpsのデータ・レートで動作するパケット・ベースのデータ転送プロトコルです。データ・レートはこの4倍まで高速化される予定です。2.5Gbpsのピン当たりのレートは100Mbpsです。

PCI Expressは、4本の信号線、すなわち2組の差動信号ペアを使用した双方向接続の単位で構成され、この構成単位は「レーン」と呼ばれています。各シリアル・データ・レーンには、送信信号線ペアと受信信号線ペアがあります。最大32レーンまで束ねて全体のスループットを上げることができます。このようにレーンを束ねた構成の場合、シンボル間干渉(ISI)とインタコネク・ロスの補正のため、ノントランジションに3.5dBのデエンファシス処理が必要です。

PCI Expressは、パラレル・バスと比較してデータ・ビット当たりの必要ワイヤ数は多くなりますが、メッセージ・ベースのプロトコルと組込み型クロッキングにより、パラレル・バスで使用される多くの制御信号が不要になります。全体として、信号線4本の差動レーン・アーキテクチャではあってもバックプレーン・コネクタの大幅なサイズ増大はありません。

データ・レートには、20%の8b/10bエンコーディング・オーバーヘッドが含まれます。このエンコーディングにより、遷移密度が高く、データ転送プロトコルの特殊コントロール・キャラクタの使用を可能にするDCバランス・ビット・ストリームが得られます。DCバランス・ビット・ストリームは、高遷移密度によりSerDesレーシーバでのクロック・リカバリを簡素化するとともに、ACカップリングやシグナル・インテグリティの向上(ビット・エラー・レートの低下)を実現します。SerDesにより、パラレル - シリアル変換とシリアル - パラレル変換の機能が1つの構成単位に統合され、高速シリアル伝送が可能になります。また、既存のリンク層コンポーネントにも対応します。

図1は、代表的なマザーボードにおける現行バス・レイアウトと新しいバス・レイアウトです。PCI Expressバスは、現在主力となっているバスのいくつかに取って代わるものです。



▶ 図1：PCI Expressシリアル接続を使用したPCアーキテクチャ

PCI Expressは、メモリをプロセッサのノース・ブリッジに接続し、これをPCI Expressバスに接続するため、メーカー独自のコンポーネントを使用する必要がありません。PCI - XバスまたはPCI ExpressバスがI/Oブリッジからファブリック・インタコネクに接続されます。インタコネクにはInfiniBand、Ethernetその他さまざまなアドイン・デバイスが使用できます。

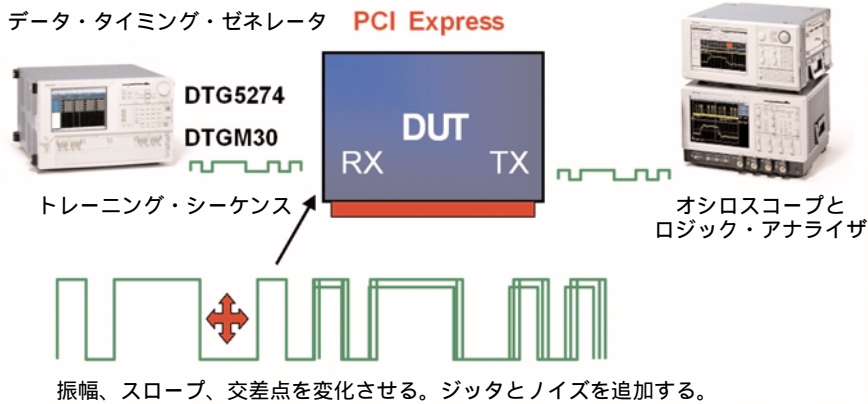
PCI Express物理層レーシーバ・テストの概要

PCI Expressの基本仕様は、異なるメーカーのデバイス間でインターオペラビリティ(相互運用性)を確保するため、関係企業²⁾のコンソーシアムであるPCI SIGによって開発されました。公開されている仕様には、関連するすべての定義や試験要件が含まれています。

*1 ここでは「ワイヤ」という用語は回路基板のパターン、コネクタ・ピン、実際のケーブル配線を指します。

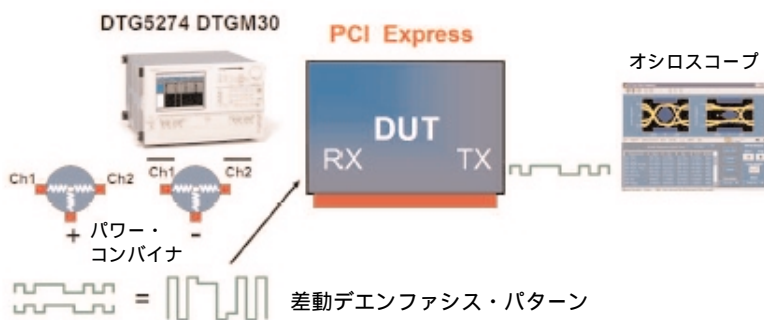
*2 会員企業について詳しくはwww.pcisig.comをご覧ください。

レシーバ (RX) ストレス試験



▶ 図2：レシーバ試験

レシーバ (RX) デエンファシス試験



▶ 図3：レシーバ・デエンファシス

PCI Expressデバイスには、すべてトランスミッタ (TX) 部とレシーバ (RX) 部があります。このアプリケーション・ノートでは、基本仕様セクション4のレシーバ物理層仕様で要求されている試験のみを取り上げます。

仕様では、設計検証と製造に一定の試験と機器を推奨しています。レシーバ試験では、ループバック・モードに設定した被測定物 (DUT) を駆動する信号源が必要です。これに適したツールには、トレーニング・シーケンス (TS1およびTS2) など、明確な2.5Gbpsテスト・パターンを発生させてデバイスに入力することのできるパターン・ゼネレータ (データ・タイミング・ゼネレータとも呼ばれます) があります。

トレーニング・シーケンスがDUTのレシーバ部に認識されると、トランスミッタ部によって同様のシーケンスが送出されます。この送出シーケンスは、オシロスコープやロジック・アナライザで観測や解析が可能です。DUTの特性をさまざまなストレス条件の下で評価できるように、トレーニング・シーケンスを変化させることがよく行われます (図2)。このようなストレスには、振幅レベル変動、アイ交差レベル変化、差動スキュー変動、ノイズやジッタの付加があります。

完全なレシーバ試験を行うには、データ・タイミング・ゼネレータで連続遷移ビット (図3) をデエンファシス処理し、SerDes回路をテストすることも必要です。

厳しい試験要件を規定するPCI Express仕様

図4は、PCI Expressに適用される電氣的仕様と要件の一部です。ランダム・ジッタとデターミニスティック・ジッタ両方の影響を受ける最小アイ幅に加えて、振幅の変動の試験があります。

トレーニング・シーケンスはレーシーバ試験の第一要件です。DTG5334型またはDTG5274型データ・タイミング・ゼネレータを使用し、トレーニング・シーケンスを設定としてロードするか、ASCIIフォーマットのいずれかを使用して機器にインポートすることができます。

トレーニング・シーケンスTS1とTS2は、ビット・アライメントとシンボル・アライメント、および物理層パラメータ交換に使用されるシーケンスで構成されます。これらのシーケンスは、スクランブルがかけられることはありませんが、8B/10Bエンコード処理されます。トレーニング・シーケンスTS1とTS2の定義については、PCI Express Base Specification Rev 1.0aの表4-2と表4-3に載っています。公称TS1およびTS2シーケンスがDUTのレーシーバ入力に送られると、ロジック・アナライザやオシロスコープを使用して、デバイスのトランスミッタ側で検証と性能の監視ができるようになります。

DTG5334型とDTG5274型は、Windows®インタフェースを使用しているため、ストレス試験用のパターン・キー・パラメータを簡単に変更できます。たとえばLEVELアイコンを選択すると、レベルがデバイスの許容範囲を超えることがないよう、最小振幅レベルと最大振幅レベルを調整したり限度を設定したりすることができます。

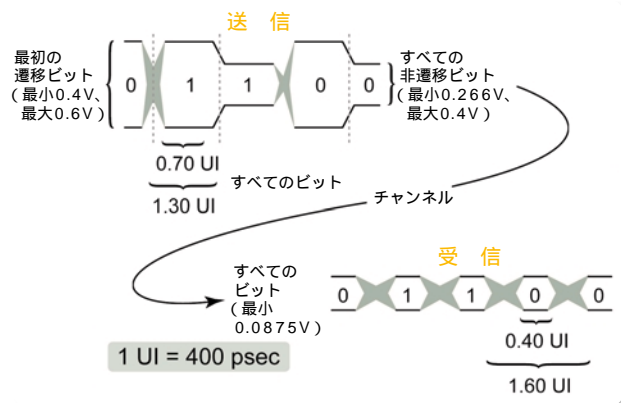
DTG5334型またはDTG5274型を、DTGM30型差動出力モジュールと併用すると、最大8つの差動チャンネルに対応します。これにより、1回の設定で複数のレーシーバをテストすることができます。また、DTGシリーズ・メインフレームを1台スレーブとして増設すると、合計で最大16チャンネルに対応します。

ストレス試験に使用できる調整可能な信号パラメータは、振幅レベルだけではなく、DTG5000シリーズの可変パラメータには以下のようなものがあります。

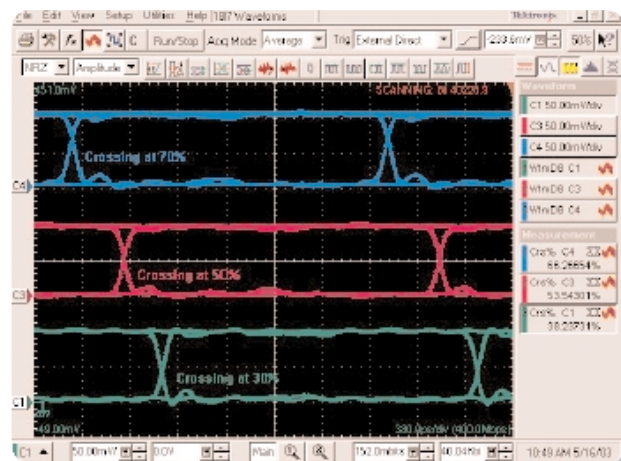
タイミング・トレランス 周波数を変化させて受信限度を探することができます。

交差レベル・トレランス DTG5000シリーズを使用して、振幅の30～70%の間で交差点を変化させることができます。図5を参照してください。

差動信号ペア間の遅延 遅延を変化させて差動信号ペア間のスキューのシミュレーションができます。



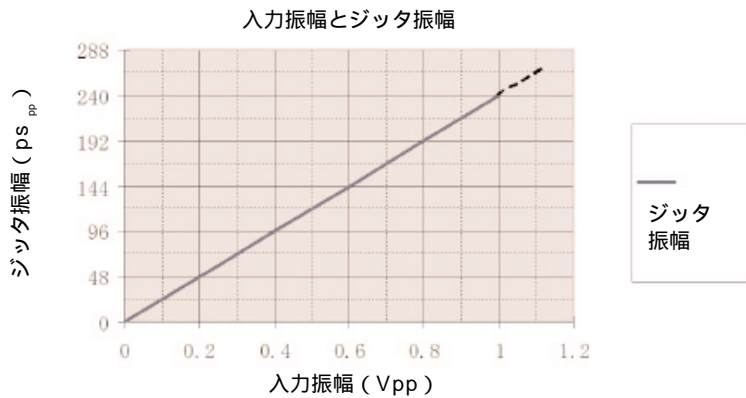
▶ 図4 : PCI Express電氣的仕様



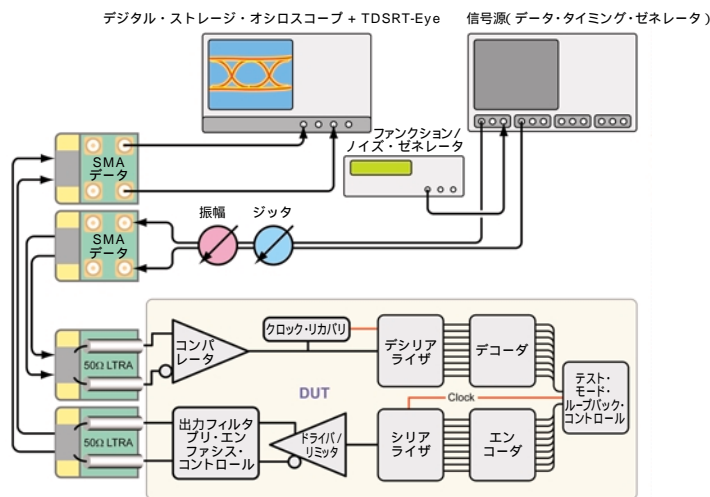
▶ 図5 : 交差レベル変化

ジッタ周波数変調とジッタ振幅の変化により、デバイスをスペック仕様に合わせて動作させることができます。

レーシーバのジッタ耐性は、ジッタのある環境でデータを問題なく回復する能力と定義されています。仕様に適合するということは、何らかのジッタがあってもSerDes回路とPLL回路によってクロックが確実に回復できるということです。ジッタ耐性試験は相互運用性を確保するための重要な試験の1つです。



▶ 図6 : DTGM31型の入力振幅とジッタ出力振幅



▶ 図7 : PCI Expressデバイス用のジッタ試験システム構成

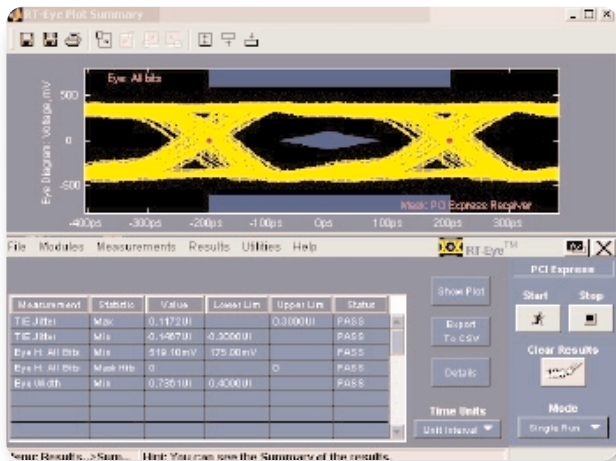
8b/10bエンコード処理されたデータ・ストリームに、クロックが組込まれたPCI Expressのようなアプリケーションでは、厳しいジッタ試験が特に重要です。信号源には、特定の振幅特性と周波数変調特性を持つジッタを供給することが必要です。

DTG5000シリーズには、ジッタ/ノイズ・ゼネレータが内蔵されています。ジッタ・ゼネレータは正弦波、方形波、三角波、ノイズなどさまざまな変調プロファイルに対応し、ジッタが立上りエッジ、立下りエッジ、またはその両方に付加されるように設定可能です。標準のDTG5000シリーズ・モデルで使用できる最大ジッタ周波数は1.56MHzです。

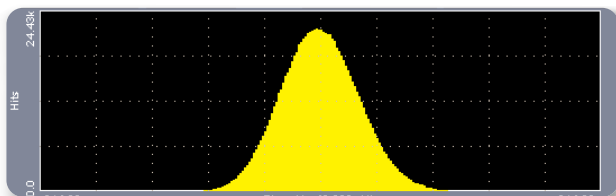
ジッタ変調入力を備えたDTGM31型出力モジュールは、必要に応じて高振幅、高周波数のジッタを発生できます。DTGM31型は、信号源からの1V入力振幅を使用して最大で振幅240ps p-p、周波数200MHzのジッタを発生することができます。変調信号源の入力振幅を大きくすれば、さらに高周波数 最大400MHzの変調も可能です。図6は、DTGM31型の入力振幅とジッタ振幅の関係をプロットしたものです。

ファンクション・ゼネレータなどの外部ゼネレータを使用すると、ジッタやノイズの変調プロファイルが得られます。図7に試験システムのレイアウトを示します。

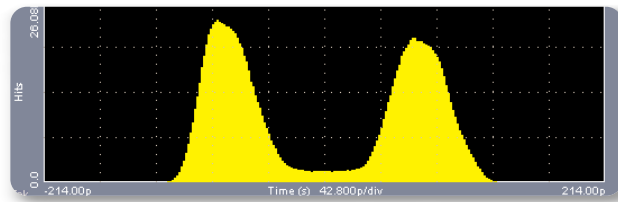
PCI Expressレシーバ試験をサポートするDTG5000シリーズ・データ・タイミング・ゼネレータ
 ▶アプリケーション・ノート



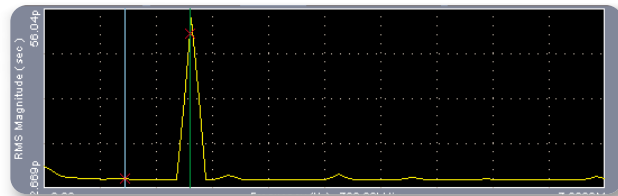
▶ 図8：2MHzのジッタを付加したPCIパターンをTDSRT-Eyeで測定



▶ 図10：TDSJIT3を使用してガウシャン・ノイズ・ジッタ・プロファイルを表示



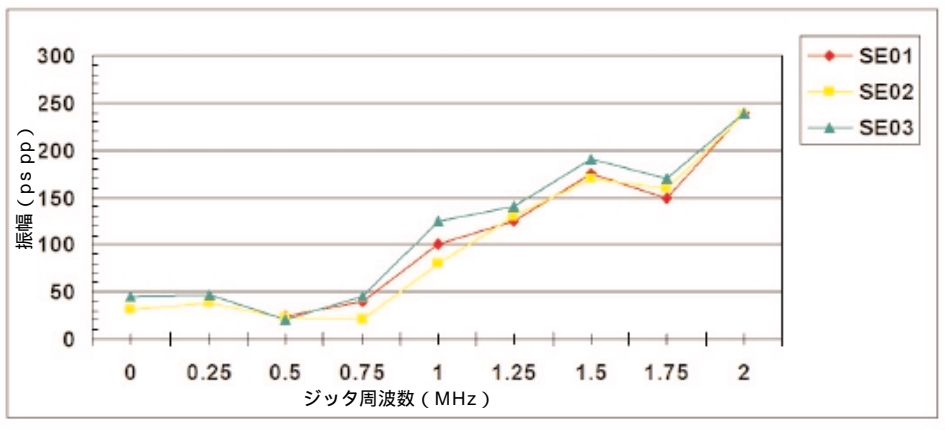
▶ 図9：TDSJIT3を使用して方形波ジッタ・プロファイルを表示



▶ 図11：TDSJIT3を使用してジッタ・プロファイルをスペクトラム表示

PCI Express Base Specificationでは、ジッタは、回復された送信端ユニット・インターバル(UI)に対するアイ・ダイアグラム交差点の変動と定められています。DTG5334型またはDTG5274型とDTGM31型モジュールを使用すると、ジッタを振幅と周波数の両面で制御できます。この組合せにより、PCI Expressレシーバの

完全なジッタ耐性試験が行えます。図8は、2MHzジッタを付加したPCI Expressのアイ・パターンを、TDSRT-Eyeで測定した際の結果表示画面です。図9と10は、方形波とガウシャン・ノイズの入力をTDSJIT3で測定した場合のジッタ・プロファイルです。図11は、ジッタ・プロファイルをTDSJIT3でスペクトラム表示したものです。



▶ 図12 : ジッタ耐性のプロット(代表例)

ジッタ耐性の試験方法

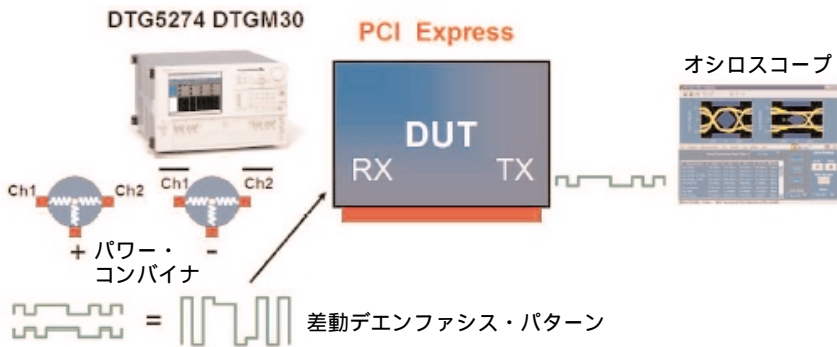
PLL回路を、SerDesデバイスの一部として設計しテストする場合、複数の周波数でジッタ耐性を確認するとよいでしょう。これは3つのステップで行います。

SerDesをループバック・モードに設定し、クロックまたはデータをシリアル・データ入力ポートに入力し、シリアル出力ポートをジッタ解析ツールで測定します。当社TDSシリーズ・オシロスコープ用のTDSJIT3 v2.0ジッタ解析ソフトウェア・パッケージはこの測定に最適です。該当する範囲でジッタ周波数を調整し、入出力間でジッタ伝送を比較します。

結果をプロットします。図12は、代表的なジッタ耐性をプロットしたものです。

TDSJIT3 v2.0を使用すると、デバイスのジッタ伝送の振幅を直接測定できます。このためには、デバイスの入力と出力を同時に調べ、同様の測定(データ周期測定)を両端で行い、各端でのジッタを取込んで測定します。

レシーバ (RX) デエンファシス試験



▶ 図13

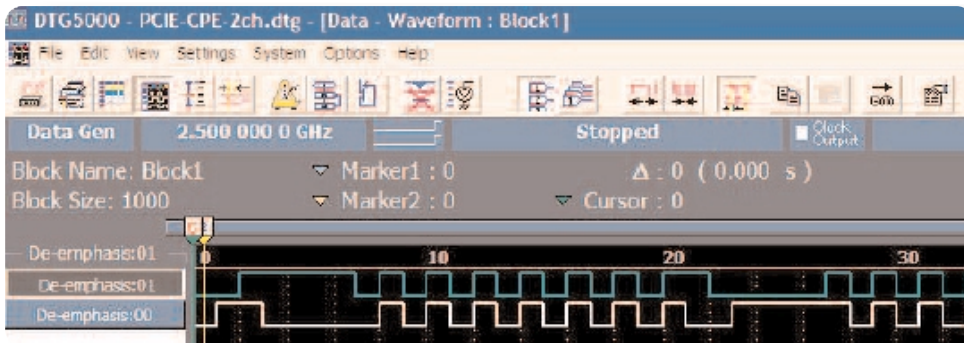
プリ・エンファシス効果の追加

デエンファシスは通常のSerDes動作の一環で、レシーバ試験で重要な役割を持っています。信号源 この場合はデータ・タイミング・ゼネレータ は、SerDesの実際の動作状況を擬似的に作り出すためにデエンファシスをシミュレートする必要があります。

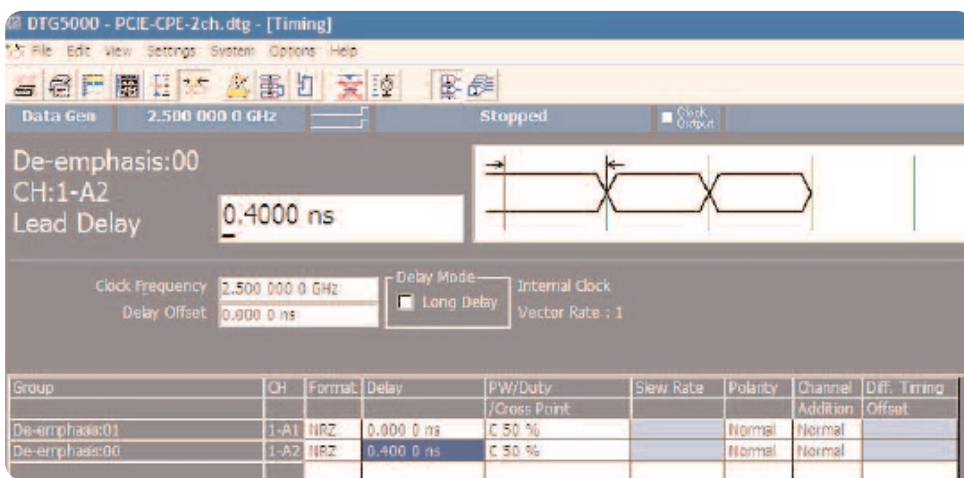
デエンファシスは、同一極性を持つ連続ビット(ノンランジション・ビット)の発生時にかける必要があります。最初のビットに続くビットの電圧レベルは、最初のビットよりも3.5 dB(± 0.5 dB)低くなります。すべてのビットが同一極性を持つシーケンスで、最初のビットを

含め、各ビットが必ずPCI Express Base Specificationの表4 - 5の $V_{TX-DIFFP-P}$ 特性に定められた最小値と最大値の間になければなりません。

デエンファシス試験には、図14に示すように、パワー・コンバイナのペアを駆動するためにDTG5274型データ・タイミング・ゼネレータのペア出力が必要です。適切なパターンがあらかじめできている場合は、それをデータ・タイミング・ゼネレータの2つのチャンネルにロードします。



▶ 図14 : デエンファシスによる遅延を示すDTGのタイミング・メニュー



▶ 図15 : 1 UI(400 ps)の遅延調整を示すDTGのメニュー

そのようなパターンがなくても、必要なデータを簡単に作成できます。該当するPCI Expressテスト・パターンをチャンネル1のメモリにロードし、コピーを作成して同じイメージをチャンネル2のメモリにペー

ストするだけです(コピーとペーストの機能は図14のWaveformメニューにあります)。Timingメニュー(図15)を使用し、チャンネル2の信号を反転させ、1UI(400ps)のクロックを遅延させます。

PCI Expressレーバ試験をサポートするDTG5000シリーズ・データ・タイミング・ゼネレータ

▶アプリケーション・ノート

DTGM30型のチャンネル1に接続されたパワー・コンバイナをチャンネル出力と接続し、もう一方のパワー・コンバイナを、チャンネルのコンプリメンタリ出力に接続します。その結果得られる信号は、デエンファシス振幅レベルが調整できる差動パターンです。図17は、このような信号をオシロスコープで表示したものです。振幅レベルは、パワー・コンバイナで発生した損失(通常50%)に対応し、ストレス試験中のデエンファシス量を変化させるように設定できます。

PCI Expressのための測定ツール

当社は、PCI Expressアプリケーションに対応する各種測定ツールを用意しています。DTG5000シリーズは、重要なPCI ExpressレーバRX試験をサポートするのに必要な機能をすべて備えています。他のソリューションとして、当社は高性能オシロスコープ、ロジック・アナライザ、プローブ、ソフトウェアなどを用意しています。これらのツールを使用すれば、新たに設計するPCI Expressデバイスの検証やトラブルシューティングが迅速かつ正確に行えます。

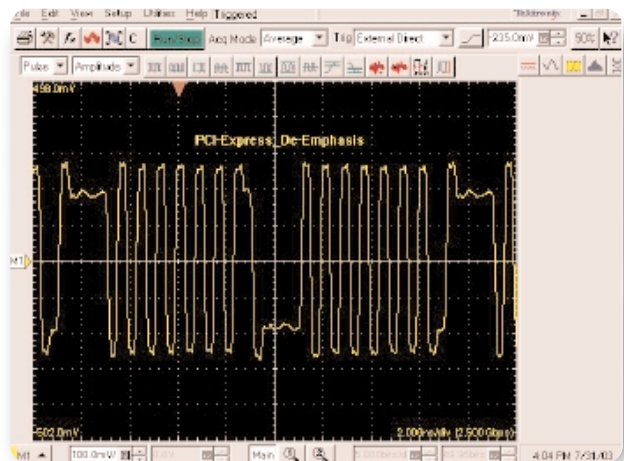
当社が用意するソリューションには以下のようなものがあります。

DTG5274型 / DTG5334型データ・ゼネレータ、およびRX試験中の差動シリアル・データ・パターン発生や、ジッタ生成に使用するDTGM30型 / DTGM31型出力モジュール。DTG5334型の高度なジッタ性能は、完全な試験の実施に最適です。

TXやRXの試験のためのTDS6000Bシリーズ・デジタル・ストレージ・オシロスコープ、TDS6000Cシリーズ・デジタル・ストレージ・オシロスコープ(DSO) / TDS7000Bシリーズ・デジタル・フォスファ・オシロスコープ(DPO)

PCI Expressはデータ・レート2.5Gbpsで基本信号周波数は1.25GHzで、データ・レート2.5Gbpsに相当します。PCI Express信号の最小立上り(遷移振幅の20%~80%)時間は50psです。

TDS6804B型デジタル・ストレージ・オシロスコープは、8GHz周波数帯域、立上り(20%~80%)時間35psを持っています。これらの能力が、アイ・ダイアグラム、立上り時間測定などに必要な高忠実度信号の取込みを可能にします。さらにTDS6000Cシリーズは



▶ 図16 : オシロスコープを使ったデエンファシス処理後の信号表示

次世代の5Gbpsを捉えるのに十分な12GHz/24ps、15GHz/19psの周波数帯域 / 立上り(20%-80%)時間を備えています

TDS6000B/CシリーズおよびTDS/CSA7000Bシリーズ(1.5GHz以上)オシロスコープで使用する、自動解析ソフトウェア・パッケージTDSRT - Eyeシリアル・データ・コンプライアンス / 解析(Opt. RTE)アプリケーション。パッケージには、PCI Expressプラグインが含まれ、最大3.2Gbpsの高速シリアル・バスの検証やコンプライアンス・テストを行う場合に必要な機能が利用できます。

TDSJIT3 v2.0ジッタ解析ソフトウェア・パッケージ。ジッタ試験の自動化、ジッタ・トランスファ関連機能の使用などが可能になります。

TMS817型 / TMS818型のPCI Expressバス・サポートを持つTLA700シリーズ・ロジック・アナライザ。TMS817型 / TMS818型サポート・パッケージは、PCI ExpressバスとTLA700シリーズ・ロジック・アナライザのインタフェースとなり、プロトコル・レベルでの完全な性能評価を可能にします。

80E04型差動TDRプラグイン・モジュールと、TDS8200型デジタル・サンプリング・オシロスコープ

ボード・レイアウトとインタコネク特性評価は、高速デジタル設計において大変重要です。低LVDS信号振幅、高データ・レート、FR4回路基板のような低コスト・メディアなど、PCI Expressの動作に影響を及ぼす環境の伝送特性を確認しなければなりません。

AWG615型 / AWG710B型任意波形ゼネレータ

信号源として、ビット・レート最大4.2Gbpsの任意パターンのシリアル・ビット・ストリームを発生できます。内蔵「マーカ」信号出力により、PCI Express信号を発生することができます。

プロービング

プローブは信号取込みの大変重要な接点で、取込みは、すべての送信や受信の一部としてこのアプリケーション・ノートで説明されています。PCI Expressバスの高速LVDS信号を取込むにはプローブは低負荷で、立上り時間と帯域幅は、PCI Expressを測定する条件を満たしている必要があります。またプローブは、差動信号をそのままオシロスコープに伝達しなければなりません。当社のプロービング技術は、このようなPCI Expressの測定条件に適応します。

アナログ・シグナル・インテグリティ試験について、PCI Expressの仕様では、リンクを切断して100 (片側50)の差動負荷で終端することが前提となっています。SerDesドライバがトレーニング・シーケンスを送出し、応答がない場合は、送出先がテスト機器であると判断し、繰返しコンプライアンス・テスト・パターンを送信します。

PCI Express差動信号のプロービング方法として、コンプリメンタリ・ペアの各側に1つずつ、計2つのシングル・エンド・プローブを使う方法があります。これは、擬似差動アクイジションと呼ばれるものです。オシロスコープの演算機能により、2つの波形を1つの信号として処理するのに必要な計算が行われます。タイミング測定を正確にするため、オシロスコープの2つのチャンネルは、使用前にデスキュー調整しておく必要があります。



▶ 図18 : P7380SMA型差動プローブ

他に、当社差動アクティブ・プローブP7380型およびP7380SMA型を使用する方法もあります。P7380型およびP7380SMA型は、PCI Express測定ニーズに完全に適合しており、差動信号を1つのオシロスコープ・チャンネルに伝達します。デスキュー調整は不要です。

「ダミー」負荷をターミネーションとして差動プローブP7380型と組合せて使用するか、あるいは、P7380SMA型を使用すると、測定対象信号に対して劣化や副作用なくPCI Expressバスを観測できます。P7380型差動プローブはP7380HHA型ハンドヘルド・アダプタとの併用で任意のポイントに接続でき、P7380SMA型差動プローブは、SMAコネクタで据付品に接続する設計になっています。図18はPCI Expressプロービング・ソリューションの1つであるP7380SMA型差動プローブです(さらにTDS6000CシリーズにはP7313型差動プローブが用意されています)。

Tektronix お問い合わせ先:

東南アジア諸国/オーストラリア/パキスタン (65) 6356-3900

オーストリア +43 2236 8092 262

ベルギー +32 (2) 715 89 70

ブラジルおよび南米 55 (11) 3741 8360

カナダ 1 (800) 661 5625

中央ヨーロッパおよびギリシャ +43 2236 8092 301

デンマーク +45 44 850 700

フィンランド +358 (9) 4783 400

フランスおよび北アフリカ +33 (0) 1 69 86 80 34

ドイツ +49 (221) 94 77 400

香港 (852) 2585-6688

インド (91) 80-22275577

イタリア +39 (02) 25086 1

日本 81 (3) 6714-3010

メキシコ、中米およびカリブ海諸国 52 (55) 56666-333

オランダ +31 (0) 23 569 5555

ノルウェー +47 22 07 07 00

中華人民共和国 86 (10) 6235-1230

ポーランド +48 (0) 22 521 53 40

大韓民国 82 (2) 528-5299

ロシア、その他の旧ソ連共和国およびバルト海諸国 +358 (9) 4783 400

南アフリカ +27 11 254 8360

スペイン (+34) 901 988 054

スウェーデン +46 8 477 6503/4

台湾 886 (2) 2722-9622

イギリスおよびアイルランド +44 (0) 1344 392400

アメリカ 1 (800) 426-2200

アメリカ 輸出販売) 1 (503) 627-1916

その他の地域からのお問い合わせ : Tektronix, Inc. 1 (503) 627-7111

Updated November 3, 2004

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ www.tektronix.co.jp または www.tektronix.com をご参照ください。



Copyright©2004, Tektronix, Inc. All rights reserved. Tektronix製品は、米国およびその他の国の取得済みおよび出願中の特許により保護されています。本書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。その他本書に記載されている商品名は、各社のサービスマーク、商標または登録商標です。

1 / 05 FLG/WOW

86Z-16973-2

12 www.tektronix.co.jp/dtg5000

Tektronix
Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティ B棟6階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

TEL 03-6714-3010 FAX 0120-046-011

電話受付時間 / 9:00 ~ 12:00・13:00 ~ 18:00 月曜 ~ 金曜(祝日は除く)

当社ホームページをご覧ください。 www.tektronix.co.jp
お客様コールセンター ccc.jp@tektronix.com