

シリアライザ・デシリアライザ・コンプライアンス・テストのためのジッタ発生テクニック



シリアル・データ規格やプラットフォームは絶えず新しいものが策定されており、それに伴って効果的なコンプライアンス・テストや性能評価のためのツールが要求されています。特にデジタル設計エンジニアが注目しているのは、シリアライザ・デシリアライザ (SerDes) や、クロック・アンド・データ・リカバリー (CDR) 回路のジッタ測定ソリューションです。

信号のジッタは、シリアル・デバイス設計エンジニアが直面している規格適合に対する困難な問題の1つです。ジッタはアナログ設計の領域では十分に解析され、深く理解されていますが、多くのデジタル関連のエンジニアにとってはなじみの薄い存在です。最近のシリアル・デバイスは、高速データ・レートとクロック埋め込みにより、ビット・エラー・レートを悪化させるジッタの影響を受けやすくなっています。これを未然に防止するには、シリアル・デバイスに対し、振幅や周波数など制御可能な既知の特性を持つジッタを印加してストレス試験を行います。ジッタというストレスのある条件下でデバイスが試験をパスすれば、インターオペラビリティ (相互運用性) が確保できることになり、エンド・ユーザの満足につながります。

SerDesジッタ耐性特性を評価する方法として業界で認知されているものでは、必ずしも設計の欠陥を正確に特定できない場合があります。周波数によって変わるジッタ動作などがその好例です。あるジッタ条件下ではロックがかからずビット・エラーとなるが、他のジッタではエラーにならないSerDesなどを想像してみてください。リアルタイム・スペクトラム・アナライザ (RTSA) を使用した測定では、ジッタ周波数がたとえば4MHzなど特定の周波数成分であった場合に問題が生じることを特定できます。さらに、当社のTDSJIT3 v2.0などのジッタ解析ソフトウェア・パッケージを使用すれば、高速オシロスコープで結果を検証できます。しかし、これはトラブルシューティングであり、トラブル防止策ではありません。

このアプリケーション・ノートで説明する繰り返しジッタ耐性測定手順に従ってテストすれば、トラブルシューティングの必要はありません。SerDesジッタ応答曲線を測定し、特性を評価することで、ジッタ周波数感度などの異常を予測できます。このアプリケーション・ノートでは、SerDesデバイスの特性評価をサポートするジッタ生成ツールとテクニックに焦点を絞って説明します。

SerDesアーキテクチャとジッタ動作について

SerDes回路が実際の信号を処理する能力を十分に備えているのかを調べるには、一定の試験が必要です。

ジッタ耐性 - さまざまなジッタ環境下でデータを確実に再生(リカバリ)する能力 - は、ジッタに対する性能全体の中でも重要な計測項目です。ジッタ耐性を評価するため、デターミニスティック・ジッタ量とランダム・ジッタ量を特定することが一般的に必要になりますが、この方法において考慮すべき2つのポイントがあります。

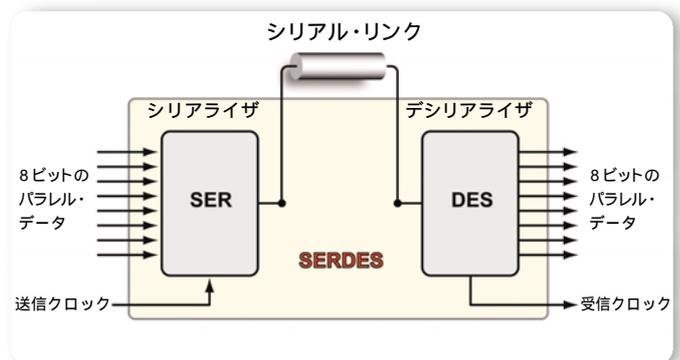
第1の問題点は、デバイスのジッタ耐性には周波数が大きな影響を及ぼす可能性があるにも関わらず、デターミニスティック・ジッタの周波数が定められていないことです。ほとんどのSerDesデバイスは、ジッタ周波数が高い場合よりも低い場合のほうが、デターミニスティック・ジッタに対する耐性がずっと高くなります。

第2の問題点は、クロック・ジッタの振幅や周波数が、SerDesのジッタ耐性に多大な影響を及ぼし得るにも関わらず、クロック・ジッタの影響が定められていないことです。

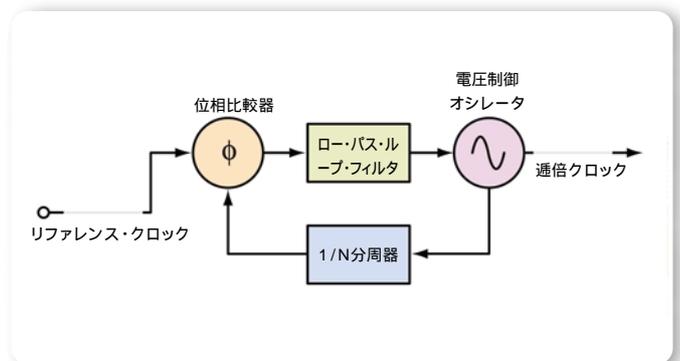
厳しいジッタ耐性試験を幅広く行わないと、特定のジッタ周波数における脆弱性が見落とされてしまいます。また、このような特定周波数は、SerDesを含むシステムに固有のものであることがあります。このため、PCI Express、シリアルATA、XAUIなどの一般的なシリアル規格では、コンプライアンス・テスト・システムの一環としてジッタ耐性試験が要件となっています。

ジッタがSerDesでなぜこれほど重要かを理解するには、デバイスの機能を再度確認してみるとよいでしょう。シリアルライザ(Ser)は、パラレル・データをシリアル・ビット・ストリームに変換します。入力通常8ビットのパラレル・データで、これは8B/10Bでエンコード処理されます。8B/10Bエンコーディングにより、8ビットのデータがシリアル出力リンクで伝送される10ビットのフォーマットに変換されます。

デシリアルライザ(Des)は、この逆の処理を行います。シリアル・データを受信したら必要に応じてデコードし、パラレル・フォーマットに変換します。Desはデータおよびクロックもリカバリして、それ以降のコンポーネントへデータ自体とともに転送します。SerDesのこの2つの補完的要素により、本質的にパラレルのデータからシリアル・



▶ 図1：代表的なSerDesアーキテクチャ

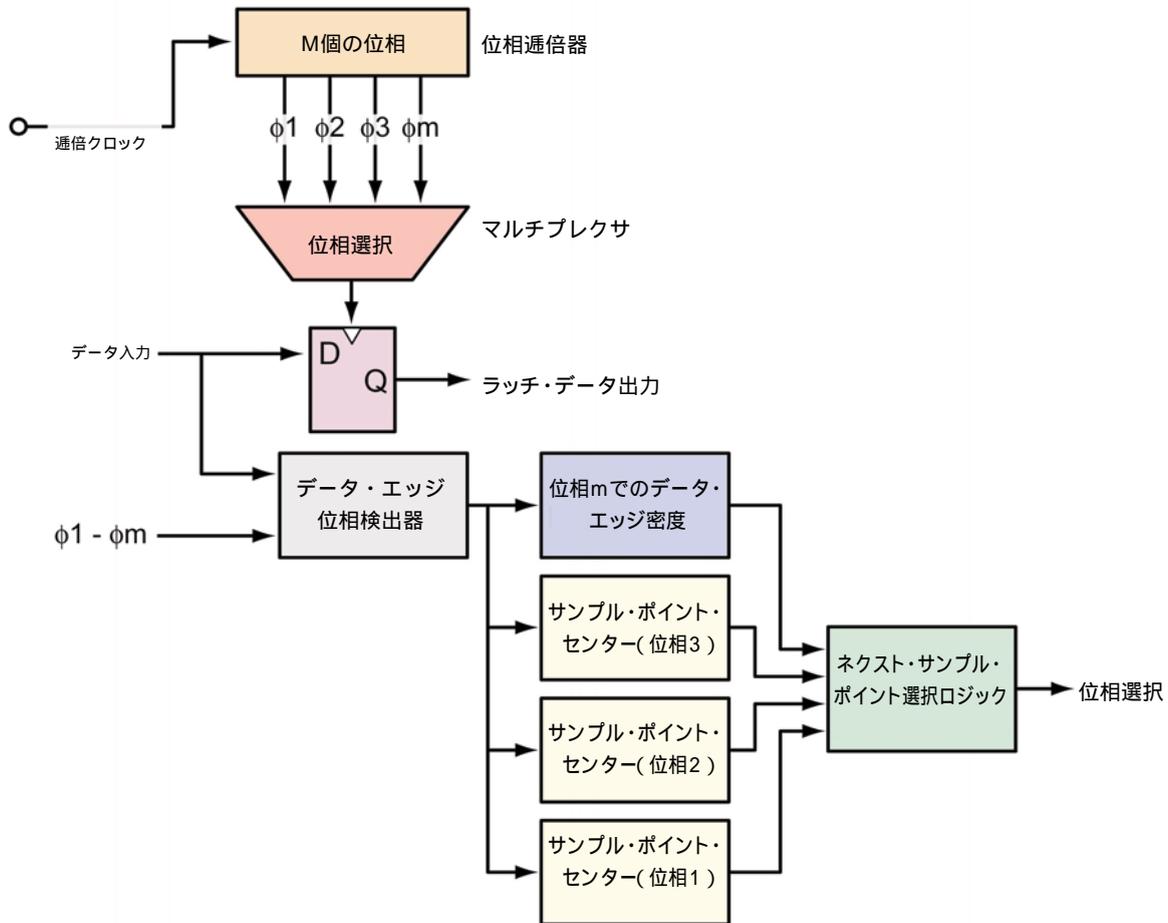


▶ 図2：PLLクロック通倍ブロック

データへ、またその逆への変換が行われ、効率のよい伝送を実現する便利な手段となっています。

代表的なSerDesは、2つの主要機能ブロック¹から構成されています。その一例を挙げると、PLL(フェーズ・ロック・ループ)クロック通倍ブロック(図2)とサンブラ(図3)です。PLLクロック通倍ブロックは、システムのリファレンス・クロックを通倍してビット・レートに合わせるもので、サンブラは入力シリアル・データをラッチする際、通倍されたクロックを基準として使用します。

¹ 他に、フェーズ・ロック・ループ構造を、データのトランジション中に内部オシレータを調整するコントロール・チャージ・ポンプとともに使用するSerDesの接続形態もあります。この場合の利点は、外部クロック入力が不要になることです。ただし、このアプリケーション・ノートでは、外部クロックを使用したSerDes構成に焦点をあてます。



▶ 図3 : サンプラ

図2と図3のブロック・ダイアグラムの区画から、PLL - サンプラ間には周波数領域の興味深い相互依存性があることがわかります。システムの基準クロックのジッタは、サンプラの性能に大きな影響を及ぼすことがあります。一定の条件下では、基準クロックのジッタが、データ・ストリーム自体のジッタと同じように、データ取込み精度を低下させる場合があります。

PLLブロックの一定量のリファレンス・クロック・ジッタを許容することは一般的で、耐性は理想周波数のppm(parts-per-million)で表されます。不都合なことにppmは、DC(ジッタなし)または時間平均による測定です。

この測定では、リファレンス・クロック・ジッタがデータ取込み精度に影響を及ぼさないものと見なすため、そのジッタ成分を求められません。リファレンス・クロック・ジッタの影響が生じないことは、実際のテストでは起こり得ない状況です。

同様に、ジッタの周波数を考慮することも重要です。ジッタをランダム成分と確定成分に分解する(周波数と無関係に)と、デバイスの重要な性能特性が明確にならない場合があります。動作範囲のほとんどで正しく動作するSerDesでも、一部のジッタ周波数ポイント付近ではジッタ耐性がないことがあります。そこで、エンジニアがこのような点を考慮すれば設計はうまくいきます。スイッチング電源その他、問題となるジッタ周波数に該当するレートで動作する制御システムの使用を避けることなどが予防策です。この周波数依存性も実際のテストで見るとよくわかります。

PLLジッタ・トランスファ

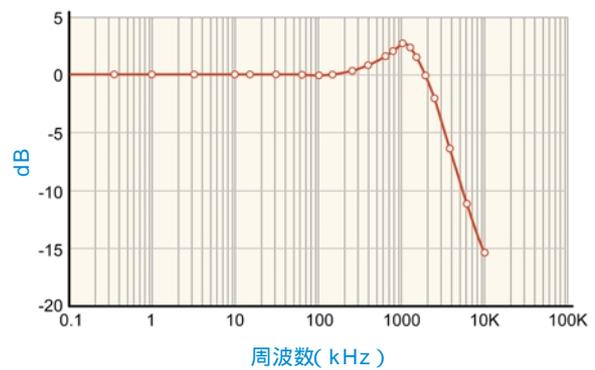
このアプリケーション・ノートでは、PLLがどのようにリファレンス・クロックにロックされた状態を維持するか、ロー・パス・ループ・フィルタを使用するPLLの場合は、そのロー・パス位相トラッキング応答(この特性は、トラッキング・デューティ・サイクルの経時変化に関連します)など、PLL動作の基本を理解している読者を対象に説明を進めます。さらに、PLLによってジッタがどのようにリファレンス・クロック入力から逡倍出力に伝達されるかについても考慮する必要があります。

図4は、代表的なPLLのジッタ・トランスファ特性です。この曲線は、PLLを伝達する正弦波ジッタの量(dB単位)とジッタ周波数の関係を表しています。ジッタ・トランスファ曲線によると、DQ(ジッタなし)から約100kHzまでは、リファレンス入力に現れるジッタが、PLL出力に全振幅(減衰なし)で反映されることを示しています。PLLは「正常に」動作しています。すなわち、PLLトラッキング・ループ・フィルタはサーボ・エラーを基本的にゼロにすることができるといえます。ジッタのスルー・レートをループ・フィルタの応答よりも高くすることによってこの状態を崩すテストができますが、ジッタのスルー・レートを比較的低く維持することで、問題の発生しないインタフェースを行うことができます。

図4の曲線は、このアプリケーション・ノートで説明する標準機器構成で作成できます。以下の手順を実行すると、このテストを非常に簡単に実施できます。

1. SerDesをループ・バック・モード(リタイム・モード)に設定し、クロックまたはデータをシリアル・データ入力ポートに供給し、同時にシリアル出力ポートを測定します。ジッタ抽出ソフトウェアが動作するリアルタイム・オシロスコープを使用するとよいでしょう。
2. 該当範囲内でジッタ周波数を調整し、出力のジッタ振幅を入力と比較します。
3. このデータをデシベル(dB)に変換します。

クロック入力に現れるジッタの振幅が比較的低くないと、PLLの動作が直線的にならないので注意が必要です。



▶ 図4 : PLLジッタ・トランスファ曲線

PLLジッタ・トランスファ曲線の後続部分は、さらに興味深い特性を持っています。約100kHzから1.9MHzまで、曲線の勾配はほぼ2.5dBのピークにまで上がり、その後入力から出力へのジッタ・トランスファは約0dBにまで下がります。これは、このジッタ周波数範囲内であれば、PLLによってリファレンス・クロックのジッタ量が増幅されることを示します。

$$\text{出力ジッタ}_{p-p} = \left(\text{入力ジッタ} \times 10^{\frac{2.5}{20}} \right)$$

式1は計算例です。リファレンス・クロックにジッタ周波数が1.2MHzの正弦波で、振幅が100ps p-pのジッタが入力されるPLLであれば、この式から、出力のジッタは約133ps p-pになります。PLLの特性により、ジッタは約33%も増加してまいいます。残念ながら、これは実際のPLLでは珍しいことではありません。

周波数の応答を限界まで減衰させたプロファイルよりも応答のプロファイルが臨界減衰(応答が最速で減衰するプロファイル)を示す周波数よりも高い周波数で、PLLのロックができるようにPLL応答のピークを設定する設計エンジニアもいます。ただし、このアプリケーションでは、ピーク特性によってPLL応答ループが位相エラーを過修正し、ジッタの影響を強めてしまうことが多くなります。

システム設計エンジニアは、SerDesのPLLをテストしてデバイスにクロック・ジッタの悪影響が及ばないようにしなければなりません。クロック・ジッタに対するシリアル通信システム中のすべてのコンポーネント(トランスミッタとレシーバ)の応答が同じであれば、問題はありませぬ。同じリファレンス・クロックによって駆動される複数のコンポーネントの動作が、同じクロック・ジッタに対して異なる応答をする場合に問題が発生します。ドライバとレシーバの位相がずれ、BERが許容レベルを超えることがあります。

サンブラの特性

PLLブロックと異なり、サンブラ・ブロックの機能と特性については情報がほとんど公開されていません。サンブラは、多くの場合、厳格に保護された特許や企業秘密です。図3は「代表的なサンブラ」の図です。サンブラは、PLLドライバから送出される通倍クロックによって駆動されます。そのクロック・レートはデータ・レートと同じです。実質的に、サンブラの通倍クロック入力にジッタが発生すれば、データ・ストリームのジッタとして認識されます。これは、ジッタ認識の基準ポイントが変わることで、定義上はクロックにジッタがなく、データがサンブラの入力ジッタにしたがった応答を示すことにより生ずるものです。

データ・ラッチング

シリアル・データ・サンブラの概念は比較的簡単です。サンブラの動作は、ラッチのサンプル/ホールド・ウィンドウが基本的に、データのトランジション部分(アイ・ダイアグラムの左側と右側)のちょうど中間になるようにラッチを駆動する(データを確定する)クロックを生成することです。この方法により、使用技術上可能なかぎりSerDesのジッタ耐性は高く、BERは低くすることができます。

サンブラ・クロックは、位相通倍器と位相マルチプレクサを使用して生成するのが一般的です。位相通倍器は、多くの場合ディレイ・ロック・ループ(DLL)で、ここではM個の遅延要素の合計が、1ビット時間/ユニット・インターバル(UI)と等しくなります。これで、時間分解能は $(1/[M-1]) \times UI$ となります。DLLのタップ数が大きいほど、サンブラ

のラッチ・サンプル・ウィンドウ位置精度が高くなります。グリッチを発生させることなく、通倍クロックの位相M個のうち1つを選択するには同期マルチプレクサ(mux)が使用されます。これが、サンブラで最も複雑な部分である位相選択回路になります。

位相選択

位相選択回路は、ラッチに使用するのに最適な通倍クロックの位相を求めるステート・マシンを備えた、高速エッジ検出器(デジタル位相検出器)で構成されます。通常のエッジ検出器は、通倍クロックに対する、データ・ストリーム中の最終エッジの相対位置を記録します。後続のステート・マシンは、この位置をレジスタ(M個ある各エッジ遷移点に対応し、位相通倍器により発生される位相数と同じだけあります)に記録し、位相Nで発生したエッジ数のヒストグラムの生成を続けます。

次にステート・マシンは、ヒストグラムの2つの中央値(アイの左側と右側)間の中心点を計算します。実用の詳細は設計によって大幅に異なります。ただし、ほとんどのトポロジでは、ピーク・トランジション密度を求めるために、ヒストグラムを1つ(M個のレジスタを持つデジタル・リミット・アキュムレータ)だけを生成し、ピークまたは中央値から $1/2 UI$ 離れた通倍クロック位相を自動的に選択します。この位相選択処理は、トランジションの履歴に基づきます。

サンプル・ポイント選択回路が、履歴データを基にその後のイベントを予測するため、サンブラには明確な帯域幅特性があります。特性は、デジタル制御システムの技法を使用して求められます。アルゴリズムには、PLLのようなロー・パス位相トラッキング動作がなければいけません。そうでないとサンブラが不安定になります。PLLの例と同様、サンブラの応答が特定の周波数でピークに達すると、特定周波数範囲で過修正され、ジッタに対するサンブラの耐性が大幅に低下する場合があります。ほとんどのサンブラは、臨界減衰応答を持つよう設計されます。

PLLとサンブラの相互作用

SerDesの同期がずれ、BERが高くなるようなメカニズムには主として以下の3つがあります。

- ▶ PLLまたはサンブラがスルー・レート・リミット(ジッタの周波数と振幅の限界)に達し、スペクトラム拡散機能に類似した低周波数による影響が生じる
- ▶ リファレンス・クロック入力とデータ入力のトータル・ジッタにより、サンブラに不安定なヒストグラムが生成される(本質的には中域周波数による影響)
- ▶ データ・ジッタのために、サンブラのラッチング・メカニズムが、セットアップ/ホールド要件を確実に満足することができなくなるポイントでアイが閉じる(PLLからのジッタがほとんどなくても発生し得る高周波数成分による影響)

低周波数での動作

SerDesデバイスは、低ジッタ周波数で非常に大きいジッタ振幅(何ビット時間分もの)をトラッキングできます。個々のデータ・ビットが、ポイント間をゆっくり移動してアイが閉じても、サンブラはサンプリング・ポイントを調整してデータ取込みが確実に行われるようにすることができます。ここで重要なのは「ゆっくり」移動することです。

$$B_n \times \omega_n \times 10^{\frac{\text{transfer}}{20}}$$

周波数だけでは、アイが移動する速度はわかりません。アイの移動速度を計算するには、ジッタの周波数と振幅の両方が必要です。アイの「スルー・レート」は式2で計算できます。

ここで、 B_n はピーク・ツー・ピークのジッタ振幅(ps)、 ω_n は周波数(ラジアン/秒)上付きの「transfer」はdBで表されます。

低周波数に関しては、 $10^{\frac{\text{transfer}}{20}}$ は1です(transfer(dB)=0、図2参照)。SerDesのジッタ耐性は、周波数が高くなるにしたがい低くなります。これは、適切なジッタ・トランスファ曲線が使用されるかぎり、PLLについてもサンブラについても当てはまります。特定のSerDesに関する実際の値は、実験で測定する必要があります。「transfer」が負になるとスルー・レートは0に近づき、ジッタ・トランスファ曲線の曲点を超える周波数では、ジッタ感度に対する影響がほとんどなくなるという点は重要です。

中域(Mid)周波数での動作

中域周波数範囲での相互作用は複雑です。この範囲でも、PLLはクロック・ジッタをいくらかサンブラに転送し、また、ジッタのかかったデータがサンブラに入力されます。この2つ(クロックとデータ)のジッタは、必ずといっていいほど特定周波数で干渉し、それぞれ強めあう作用と弱めあう作用を引き起こします。SerDesは、クロックとデータのジッタ成分が同期するとジッタ耐性が高まり、同期がずれるとジッタ耐性は低くなります。経験則では、最悪のジッタ位相の組合わせを想定し、エラー確率を計算する際に、スケーリングしたリファレンス・クロック・ジッタをデータ・ジッタに加算するとよいでしょう。

高周波数での動作

クロック・ジッタは、高周波数ではビット・エラーに大した影響を及ぼしません。クロック・ジッタが、PLLジッタ・トランスファ曲点を十分に超えたら(ここでは-10dBのトランスファ・ポイントがよい例です)、データのジッタ量のみを解析の焦点を絞るとよいでしょう。サンブラは、この高周波ジッタの範囲ではアイの動きをトラッキングできなくなります。

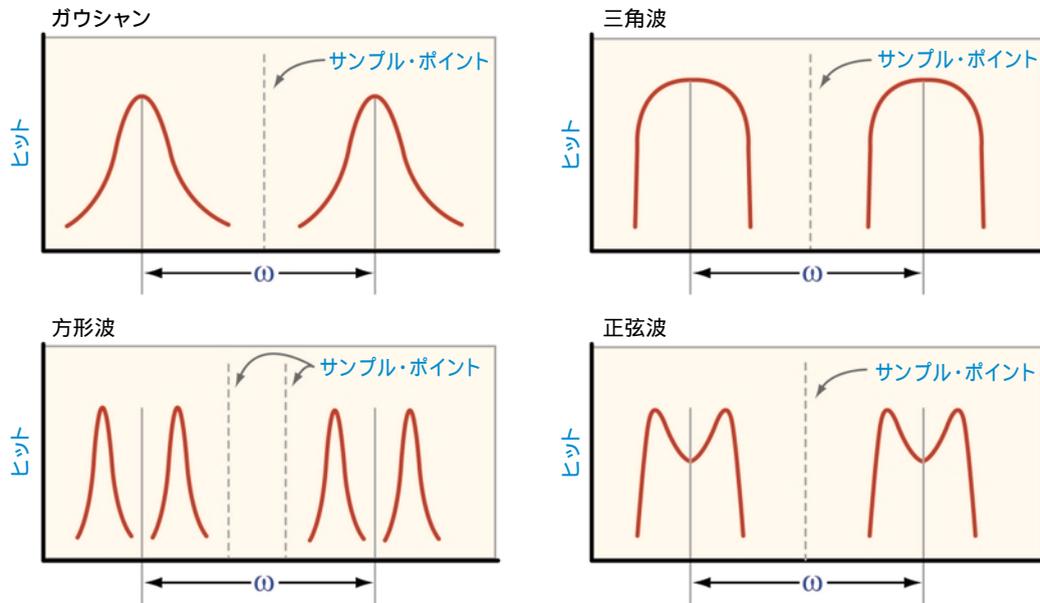
代わりに、アイ・ダイアグラムのインテグリティが重要な要素となります。簡単に言えば、サンブラは、アイが十分開いた状態であればデータを正確に取込みます。ここで、サンブラの動作に関して、アイが開いているというのはどういう意味かという疑問が生じます。

ジッタ・プロファイル

どのようなアイについても、ジッタ・プロファイル(正弦、方形、三角、ランダムなど)はBERに大きく影響します。

図5のガウシャン・ジッタ・ヒストグラムを考えてみます。SerDesサンブラは、ヒストグラムのピークまたは中央値を使用してサンプリング・ポイントを決定すると、最適なサンプル・ポイントを得ることができます。

これを、方形波ジッタ・ヒストグラムと比較します。各トランジション領域には時間変化する2つのスパイクがあります。このヒストグラムでは、最高トランジション・ポイントを示すものとしてピークを使用することが困難です。実際のデータ転送中のヒストグラムを見ると、ピークは増大と減衰を繰り返しています。このジッタ・プロファイルでは、ジッタの振幅がある程度大きくなるとビット・エラーが生じます。



▶ 図5 : ジッタ・ヒストグラムとサンプリング・ポイント

ジッタ耐性試験によく使用されるので、残りの2つのプロファイルも見ておきます。図5でわかるように、両方のヒストグラムとも、比較的四角に近い形をしています。ヒストグラム中でヒット数が同程度であるため、サンブラでは領域全体を考慮する必要があります。サンブラは通常、この領域の中央値を見つけ、ラッチ・サンプル・ウィンドウを中央値から0.5UIの位置にしようとしています。

ジッタのスペクトラム成分

SerDesデバイスを徹底して解析する場合、周波数特性も重要な問題です。理論上は、前述のように低周波ジッタ成分、中域周波数ジッタ成分、高周波ジッタ成分の合計がSerDesの耐性を超えないようにすることです。

残念ながら、理論だけではデバイスがいつ、どのように機能しなくなるのかを予測することはできません。非直線的な依存関係があまりにも多くあります。

ジッタ測定ツールとテクニック

正弦波ジッタ試験

正弦波ジッタ試験の目的は、リファレンス・クロックとシリアル・データの両方について、特定のジッタ周波数でSerDesのジッタ耐性を測定することです。

正弦波ジッタ試験の基本手順は以下のとおりです。

1. 基準クロックとシリアル・データに、別個の正弦波ジッタ・ソースを使用してジッタを印加します。
2. SerDesの出力をモニタし、ビット・エラーの発生を調べます。
3. ビット・エラー・リミットを超える前に、デバイスが耐性を示すジッタ量を記録します。

この手順には、以下の4つの変数があります。

- ▶ クロック・ジッタ振幅
- ▶ クロック・ジッタ周波数
- ▶ データ・ジッタ振幅
- ▶ データ・ジッタ周波数

シリアルライザ・デシリアルライザ・コンプライアンス・テストのためのジッタ発生テクニック

▶ アプリケーション・ノート

変数が多いため、測定データを明確かつ有効な形で表す必要があります。特定のクロック・ジッタ値について、SerDesが耐性を示すデータ・ジッタ量を表す一連の曲線をプロットするのが一般的な方法です。クロック・ジッタ(振幅と周波数)は、各曲線で固定値に維持します。クロック・ジッタの周波数をX軸に、振幅をY軸にとります。

曲線は、各データ・ジッタ周波数においてデータ・ジッタの振幅を上げていき、SerDesが試験を通過する(指定時間の間ビット・エラーが発生しない)最高値を求めることによって作成されます。クロック・ジッタの各周波数や振幅は、別個のグラフで表します。図6は、このようにしてプロットした2つの曲線の例です。各曲線の示す上下の領域は、下側が、SerDesが試験を通過する(十分なジッタ耐性を示す)領域を示し、曲線の上側はSerDesが機能しなくなる領域を示します。

機器構成

ジッタ試験の誘導源およびストレス源となる信号源は、一定の要件を満たしている必要があります。

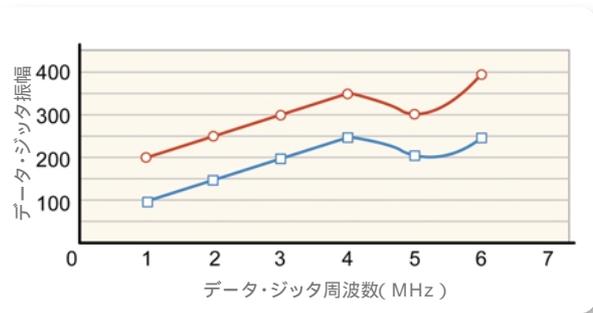
▶ クロック信号とデータ信号に印加するジッタのソースは、実際のクロック信号とデータ信号を発生するオシレータとは独立してなければなりません。

▶ クロックとデータに印加されるジッタは、互いに独立(フェーズロックされていない状態)で、個別に制御されていなければなりません。

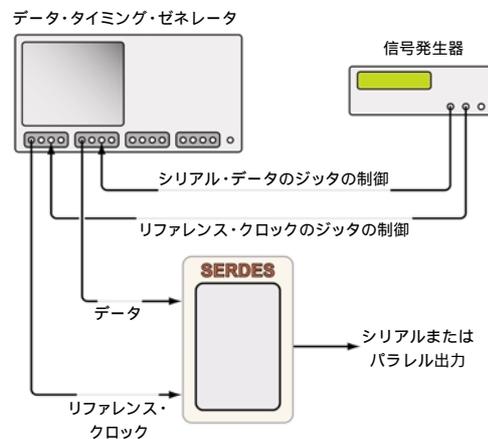
DTG5000シリーズ・データ・タイミング・ゼネレータや、DTGM31型ジッタ発生モジュールなどの機器を使用すると、完全に同期を維持しながらクロックとデータのジッタを個別制御できます。データ信号とクロック信号に異なるレベルのジッタを同時に印加できます。

▶ ジッタの振幅と周波数は、広範囲にわたって可変でなければなりません。

図7は機器構成です。



▶ 図6 : ジッタ耐性プロットの例。赤は、クロック・ジッタが200kHzで200ps p-pに設定されているときのデータ・ジッタを表し、青は、クロック・ジッタが150kHzで200ps p-pに設定されているときのデータ・ジッタを表します。



▶ 図7 : 正弦波ジッタ試験の機器構成

機器の説明

正弦波ゼネレータ

独立した2つの正弦波信号源が必要です。1つはクロックの変調信号を供給し、もう1つはデータの変調信号を供給するものです。信号発生器には、周波数と振幅の異なる2つの信号を同時に供給できるものがあり、これなら要件を満たします。信号源は、非常に広範囲の周波数と振幅で正弦波を供給する能力を備え、他の機器による入力や同期を必要としないものでなければなりません。

正弦波ソースの周波数範囲は、少なくともジッタ発生ハードウェア（この場合は、DTG5000シリーズ・データ・タイミング・ゼネレータに取り付けたDTGM31型出力モジュール2台）の変調機能以上でなければなりません。たとえば、ジッタ・ゼネレータの出力変調周波数が最大10MHzの場合は、正弦波ゼネレータは10MHzの正弦波を発生できなければなりません。

各正弦波ゼネレータは、ジッタ・ゼネレータの入力に正弦波を供給し、ジッタ・ゼネレータから送出されるクロック信号を変調します。変調クロック信号に生ずるジッタの周波数は、正弦波の周波数によって決まります。変調クロック信号に生ずるジッタの振幅は、正弦波の振幅によって決まります。正弦波は変調信号と相関関係があると考えることができます。

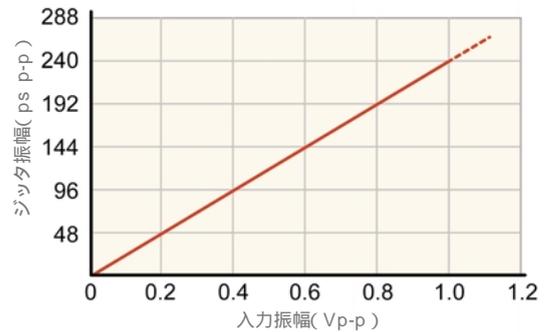
DTGM31型ジッタ・ゼネレータ・モジュール

ジッタ変調入力を持つDTGM31型出力モジュールを使用すると、ほとんどのSerDesジッタ耐性試験に必要とされる振幅と周波数のジッタを生成できます。外部信号源からの変調信号を受け、その信号に応じたジッタ変調出力を供給する設計になっています。

このDTGM31型は、変調入力に1Vの信号を受信すると、最大240 ps p-pの振幅、最大200MHzの周波数のジッタを供給できます。変調信号源の振幅を大きくすれば、さらに高ジッタ周波数 最大400MHz の変調も可能です。図8は、DTGM31型の入力振幅と出力可能なジッタ振幅の関係をプロットしています。

DTG5000シリーズ・データ・タイミング・ゼネレータ

DTG5000シリーズ・データ・タイミング・ゼネレータは、SerDes用のシリアル・データとリファレンス・クロックの発生に使用します。DTGM31型出力モジュールを取付けたデータ・タイミング・ゼネレータDTG5334型またはDTG5274型で、ジッタの振幅と周波数の両方を制御します。この組み合わせにより、さまざまなSerDesデバイスの完全なジッタ耐性試験が行えます。データ・パターンは、試験対象のSerDesデバイスが必要とする特定のデータ要素に合わせてプログラミング可能です。



▶ 図8 : DTGM31型のジッタ振幅応答。入力振幅軸は、外部変調ソースから送出される信号のレベルを示します。

ビット・エラー検出

SerDesのビット・エラーは、ロジック・アナライザまたはビット・エラー・レート・テスト BERT を使用して検出できます。ロジック・アナライザはSerDesからのパラレル・データを取込み、BERTはSerDesからのシリアル・データを取込みます。

▶ **ロジック・アナライザ**は、パラレル・データのビット・エラーでトリガさせることができます。SerDesのバック・エンド（レシーバの出力）から送出されるパラレル信号を取込みます。ロジック・アナライザに入力されるパラレル信号のリカバリされたクロックに同期して取込むため、特別な同期は不要です。

▶ **BERT**は、SerDesからのシリアル・データ・ストリームのビット・エラーを検出できるものです。リアルタイム・リファレンスとして、パターン・ゼネレータと同じパターンを使用します。

BERTは、リピータ・モード（リタイム・モード）で動作しているSerDesの出力データを取込みます。シリアル・データをパターン・ゼネレータのデータと比較し、誤りビットの数を数えます。BERTは、2台のジッタ・ゼネレータと同じ信号に同期させる必要があります。

注：SerDesがリピータ・モードで動作しているとき、BERTはトランスミッタとレシーバのBERの合計を測定します。

機 器	説 明
SerDes評価ボード	ベンダ仕様
クロックとデータのジッタの生成: 変調信号源(正弦波ゼネレータ): ジッタ信号源	AFG320型2チャンネル任意ファンクション・ゼネレータ DTGM31型ジッタ出力モジュール
パターン・データとクロックの生成	DTG5000シリーズ・データ・タイミング・ゼネレータ
シリアル・データのビット・エラーの検出	BERT
パラレル・データのビット・エラーの検出	TLA721型ロジック・アナライザと TLA7AA3型ロジック・アナライザ・モジュール1台
ピーク・ツー・ピークのジッタの測定	TDS6804B型オシロスコープと TDSJIT3 v2.0ジッタ解析ソフトウェア

▶ 表1 : 正弦波ジッタ耐性試験に使用する機器

オシロスコープ

ビット・エラーが発生したと判断されたら、オシロスコープを使用して実際のピーク・ツー・ピークのジッタ振幅を測定できます。ジッタ測定方法は数多くあります。特性評価の課題全体を通して、測定方法はすべての測定について一貫した再現可能なものでなければなりません。

このアプリケーション・ノートの作成には、当社のTDSJIT3 v2.0ジッタ解析パッケージを使用しました。測定設定はすべてTDSシリーズ・オシロスコープに保存し、課題全体で使用しました。

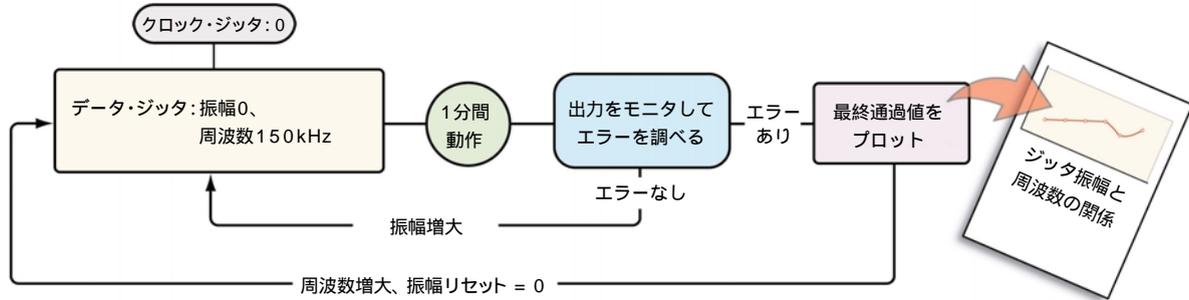
ジッタ振幅は、機器プラットフォームで最大限のレベルにまで上げました。タイム・インターバル・エラー(TIE)波形を、TIEタイム・トレンド・プロットで確認し、オシロスコープのソフトウェアが確実に正弦波ジッタを観測するようにしました。これで、機器セットアップ・エラーによって発生したジッタがないようにすることもできました。

表1は、完全なジッタ耐性試験を行うのに必要な機器をまとめたものです。SerDes評価ボードが必要な点に注意してください。通常SerDesベンダから入手できます。

測定手順

図9は、SerDesのジッタ動作の測定と記録の手順を簡単に説明したものです。記載されている特定の値は、代表値を示したものです。周波数範囲、動作時間、その他の値は、試験対象デバイスの特性に応じてユーザが決定してください。図では、試験のデータ・ジッタの部分だけを説明していますが、クロック・ジッタの手順も、ジッタを一定に維持して同様に行います。

1. クロックにジッタがない状態で試験を開始します。
2. データのジッタを、振幅0、低周波数(たとえば150kHz)に設定します。SerDesはデータ取込みを開始し、パラレル・ポートとシリアル・ポートにデータを出力します。
3. 現在の設定でジッタ耐性を求めます。
 - ▶ データ出力をモニタし、ビット・エラーの発生を調べます(ロジック・アナライザまたはBERTを使用)
 - ▶ 固定時間の間(この課題では1分間でした)試験を行います。
 - ▶ 試験時間内でエラーが発生しなければ、データ・ジッタの量を上げてビット・エラー発生を調べます。
 - ▶ 特定タイム・インターバル内(たとえば1分間)でSerDesにエラーが発生し始めるまで、データ・ジッタ量を上げていきます。
 - ▶ SerDesにエラーが発生し始める前の、耐性を示したジッタ量を記録します。



▶ 図9 : ジッタ耐性測定手順の例

4. データ・ジッタの周波数を上げて手順3を繰り返します。周波数を上げた状態のデータ・ジッタの量を同様に求め、その値をプロットします(図6を参照)
5. 次に、クロックのジッタを設定します。クロックに印加する特定のジッタ振幅に対して複数のデータ・ジッタの曲線(グラフ)を作成し、各曲線ごとクロック・ジッタの周波数を変えることができます。
6. 振幅は同じレベルに維持し、クロックのジッタ周波数を上げて、手順3と4を繰り返します。
7. 手順3、4、6のシーケンスを繰り返すと、シーケンスごとに新しい曲線が作成できます。結果として得られる曲線には、特定のクロック・ジッタ振幅に対するジッタ耐性が示されます。各曲線は、特定のクロック・ジッタ周波数と振幅に対するデータ・ジッタ耐性を示します。曲線の下は、デバイスが機能する領域(値の範囲)を示し、曲線の上は正しく機能しない領域を示します。

クロック・ジッタ振幅を変更し、別に一連の曲線を得ます。いくつか曲線ができるまで手順3、4、6を繰り返します。

この手順において考慮すべき点は以下のとおりです。

- ▶ この試験は、一定時間エラーが発生しない状態で続行する必要があります。望ましい動作時間としては、意味のあるBER値を得られる十分な長さにするのがよいのですが、実際の試験でBER値を得るよりも、外挿法によりBERを計算するのが一般的です。どちらにするかはユーザが決定します。
- ▶ 一連の試験を自動的に行う方法もあります。機器の制御には通常 GPIBを使用します。ユーザまたは供給ベンダが作成するスクリプトで試験を実行します。スクリプトを実行するには、他に機器(表1には含まれていません)が必要です。
- ▶ テスト・パターンは、SerDesにストレスを印加するものでなければなりません。このアプリケーション・ノートの作成に使用したパターンは、標準PCI Expressコンプライアンス・パターンで、PCI Express 1.0a仕様に記載されています。異なったパターンは、SerDes内の異なった部分にストレスを与えます。パターン特性については、T11.2 MJSQのAppendix Aを参照してください。

まとめ

このアプリケーション・ノートでは、エンド・ユーザのシステムでエラー・レートに影響を及ぼすSerDesジッタ特性に、設計エンジニアが対処するのに役立つ方法をいくつか紹介し、説明しました。ここでは、従来のツールを使用し、経験に基づいた方法でジッタ耐性を調査しています。

参考文献 - ジッタに関する情報

ジッタの概念について

Fibre Channel - Methodologies for Jitter and Signal Quality Specification - MJSQ, Task Group T11.2

ジッタ測定について

タイミング・ジッタの理解と評価(アプリケーション・ノート)
www.tektronix.com/jitter

PLLおよびDLLについて

Phase and Delay Locked Loop Clock Control in Digital Systems(デジタル・システムにおけるPLL/DLLクロック制御) Zeljko Zilic, McGill University, Montreal

Tektronix お問い合わせ先:

東南アジア諸国/オーストラリア/パキスタン (65) 6356-3900

オーストリア +43 2236 8092 262

ベルギー +32 (2) 715 89 70

ブラジルおよび南米 55 (11) 3741 8360

カナダ 1 (800) 661 5625

中央ヨーロッパおよびギリシャ +43 2236 8092 301

デンマーク +45 44 850 700

フィンランド +358 (9) 4783 400

フランスおよび北アフリカ +33 (0) 1 69 86 80 34

ドイツ +49 (221) 94 77 400

香港 (852) 2585-6688

インド (91) 80-22275577

イタリア +39 (02) 25086 1

日本 81 (3) 6714-3010

メキシコ、中米およびカリブ海諸国 52 (55) 56666-333

オランダ +31 (0) 23 569 5555

ノルウェー +47 22 07 07 00

中華人民共和国 86 (10) 6235-1230

ポーランド +48 (0) 22 521 53 40

大韓民国 82 (2) 528-5299

ロシア、その他の旧ソ連共和国およびバルト海諸国 +358 (9) 4783 400

南アフリカ +27 11 254 8360

スペイン (+34) 901 988 054

スウェーデン +46 8 477 6503/4

台湾 886 (2) 2722-9622

イギリスおよびアイルランド +44 (0) 1344 392400

アメリカ 1 (800) 426-2200

アメリカ 輸出販売) 1 (503) 627-1916

その他の地域からのお問い合わせ : Tektronix, Inc. 1 (503) 627-7111

Updated November 3, 2004

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ www.tektronix.co.jp または www.tektronix.com をご参照ください。



Copyright©2005, Tektronix, Inc. All rights reserved. Tektronix製品は、米国およびその他の国の取得済みおよび出願中の特許により保護されています。本書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。その他本書に記載されている商品名は、各社のサービスマーク、商標または登録商標です。

01/05 DM/WOW

86Z-18568-0

12 www.tektronix.co.jp/dtg5000

Tektronix
Enabling Innovation

日本テクトロニクス株式会社

東京都港区港南2-15-2 品川インターシティ B棟6階 〒108-6106
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

TEL 03-6714-3010 FAX 0120-046-011

電話受付時間 / 9:00 ~ 12:00・13:00 ~ 18:00 月曜 ~ 金曜(祝日は除く)

当社ホームページをご覧ください。 www.tektronix.co.jp
お客様コールセンター ccc.jp@tektronix.com