

テクトロニクス・イノベーション・フォーラム 2013

高速信号伝送の基礎と 設計トレンド最前線 1-PI編

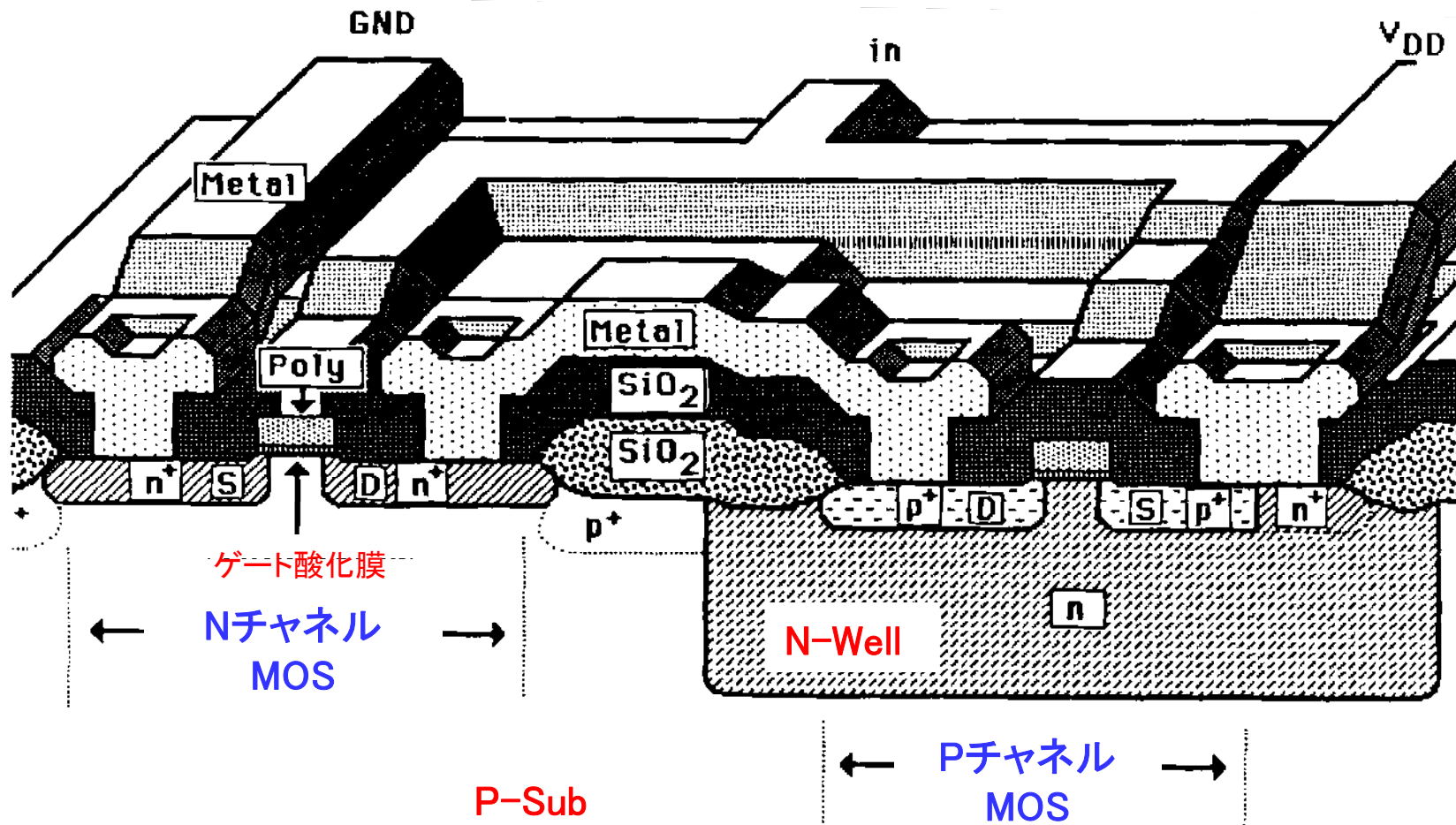
芝浦工業大学 電子工学科

須藤俊夫

内容

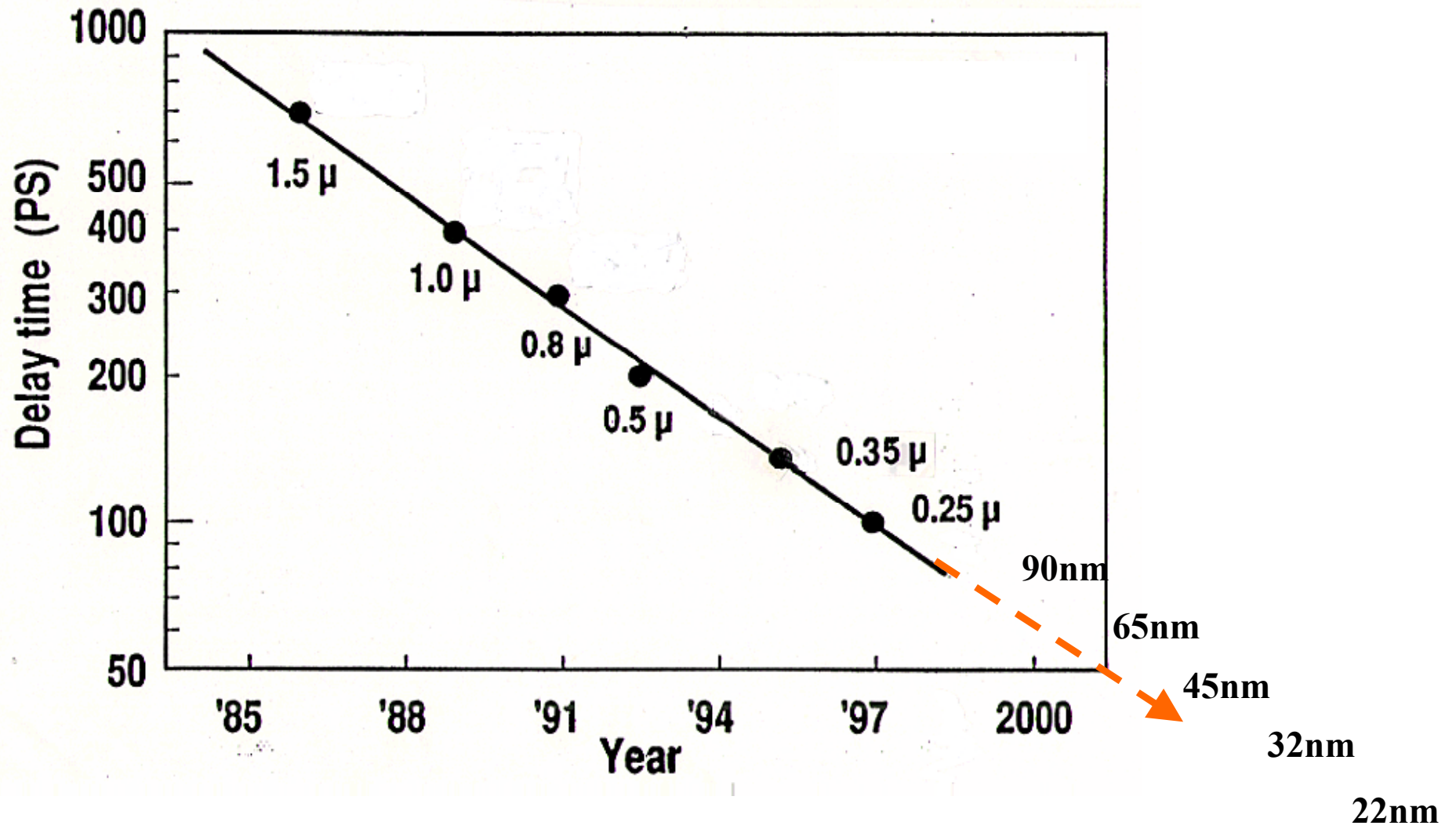
1. SI・PI・EMIの課題と背景
2. 電源ノイズの測定・解析例
3. 統合インピーダンスと反共振現象
4. 駆動源のスペクトラム
5. ターゲットインピーダンス
6. まとめ

CMOS回路の構造

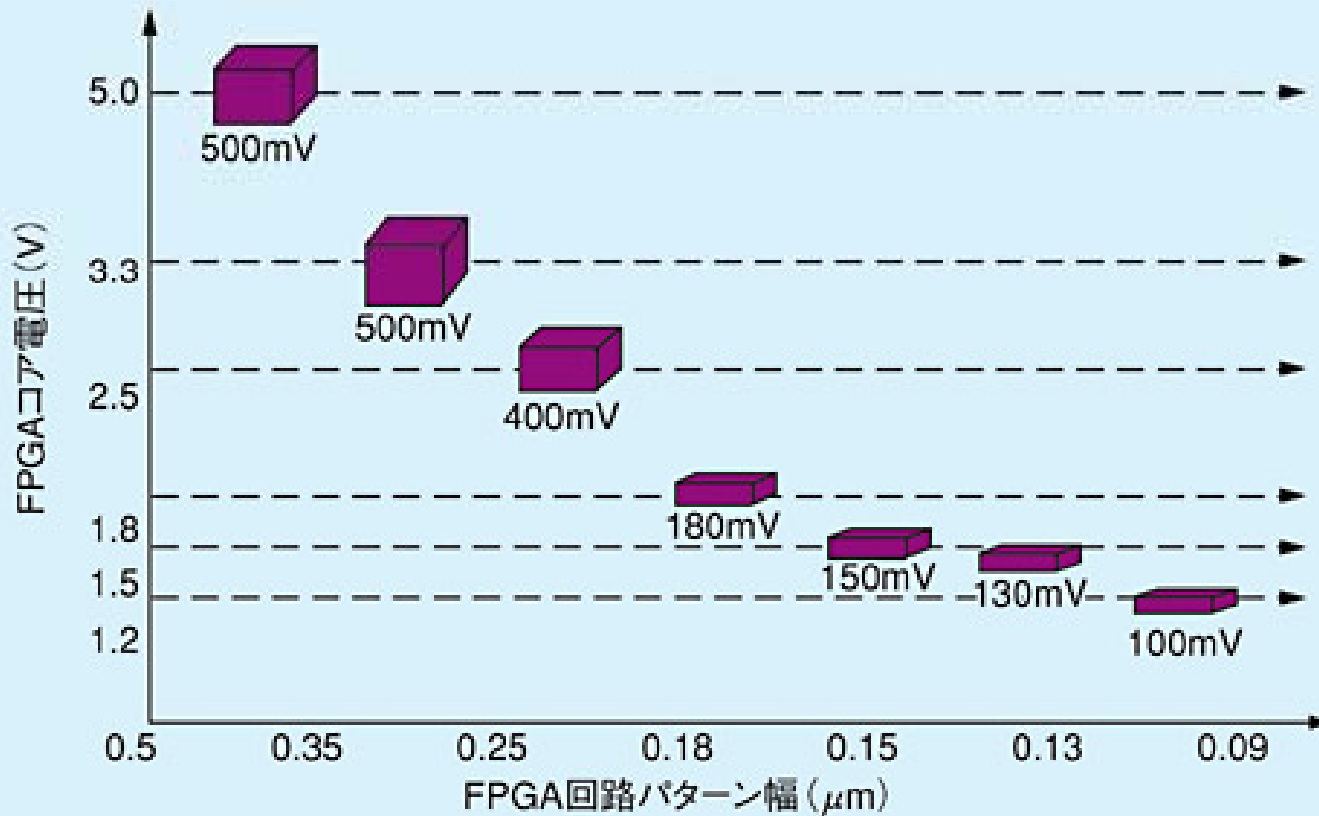


CMOS回路の微細化動向

Mooreの法則



コア電源電圧の低下傾向



電源電圧スペック

(リップル,抵抗誤差,温度マージン含む):

5V ± 10% (±500mV)

3.3V ± 5% (±165mV)

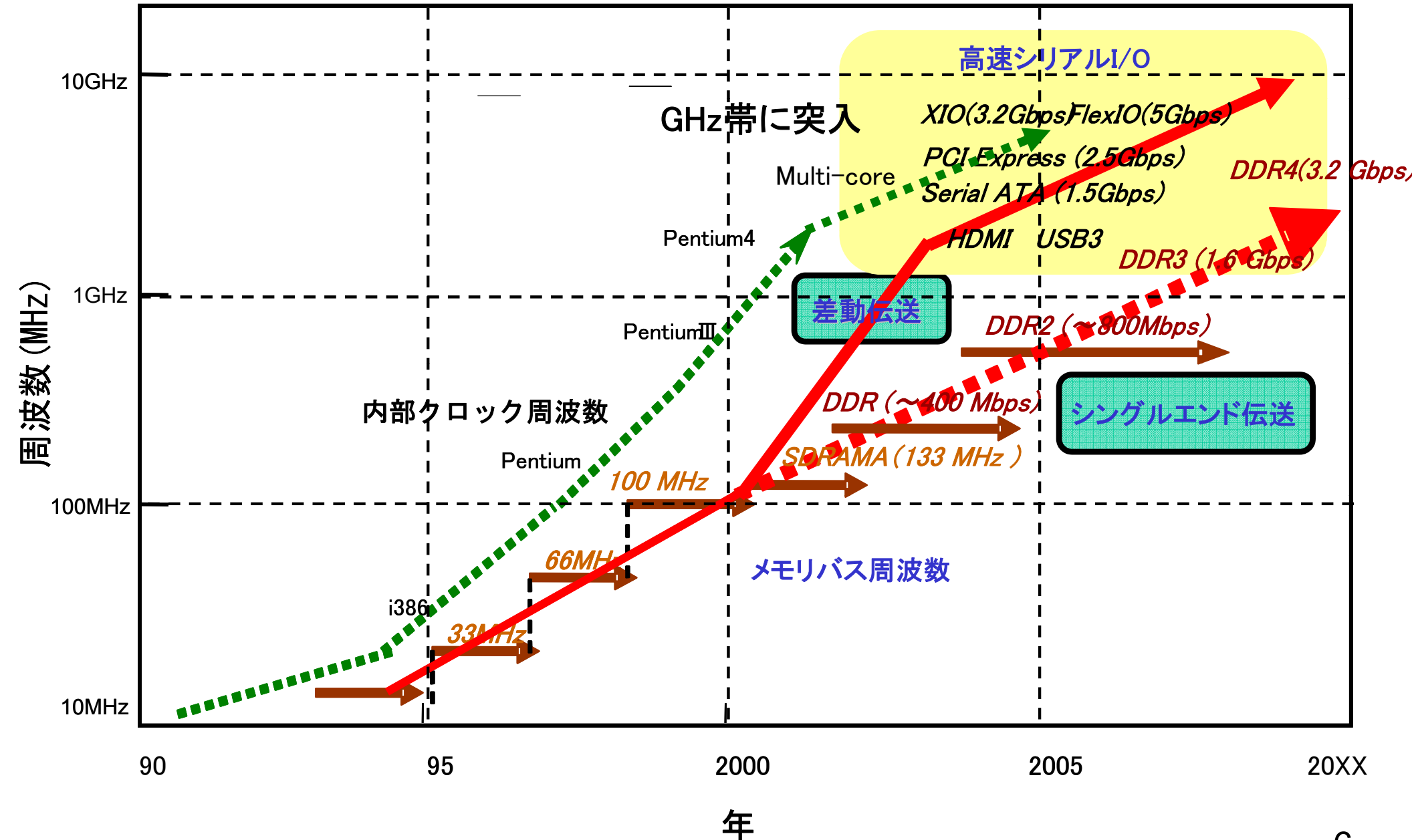
1.2V ± 3% (±36mV)

0.9V ± ?%

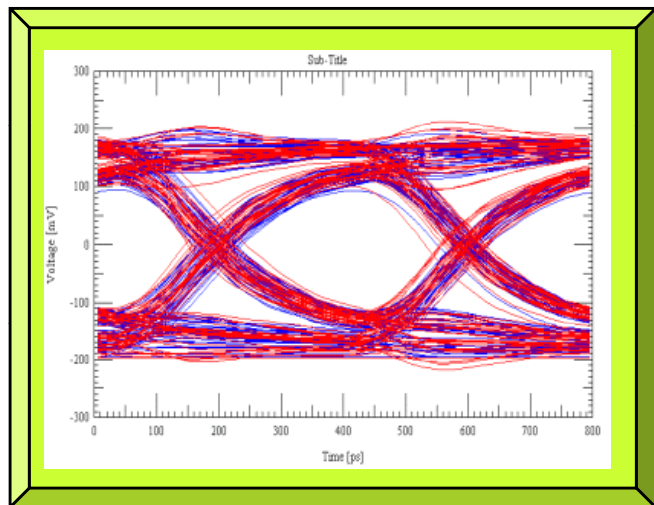
- ・低電源電圧化により、チップ性能は電源電圧により影響を受け易くなり、IRドロップが小さくなるように制御が必要となってきた。

引用:EDN 2005年7月8日

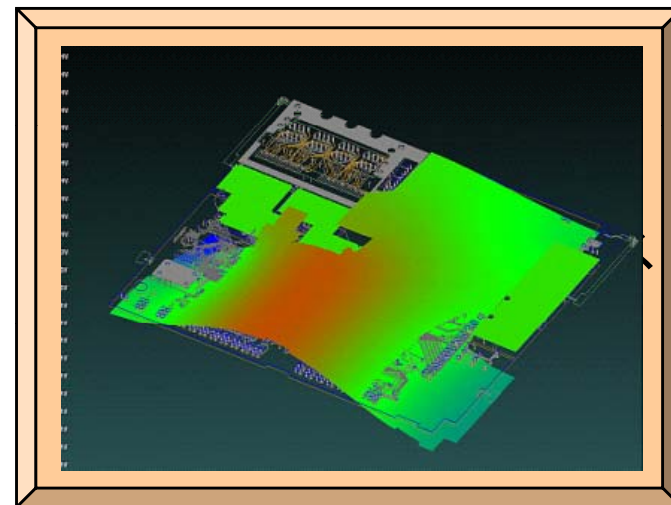
チップ内、ボード上信号の高速化動向



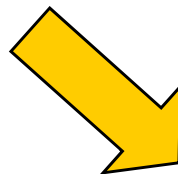
SI、PI、EMIの相互関連性



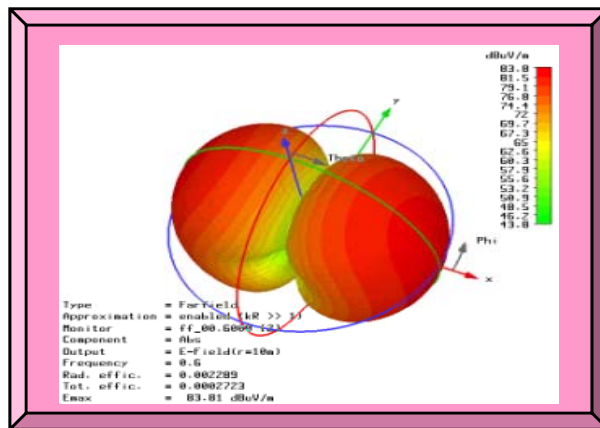
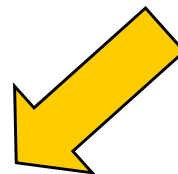
電源揺れによる
信号ジッタ増大



信号系のEMI
(ノーマルモード放射)

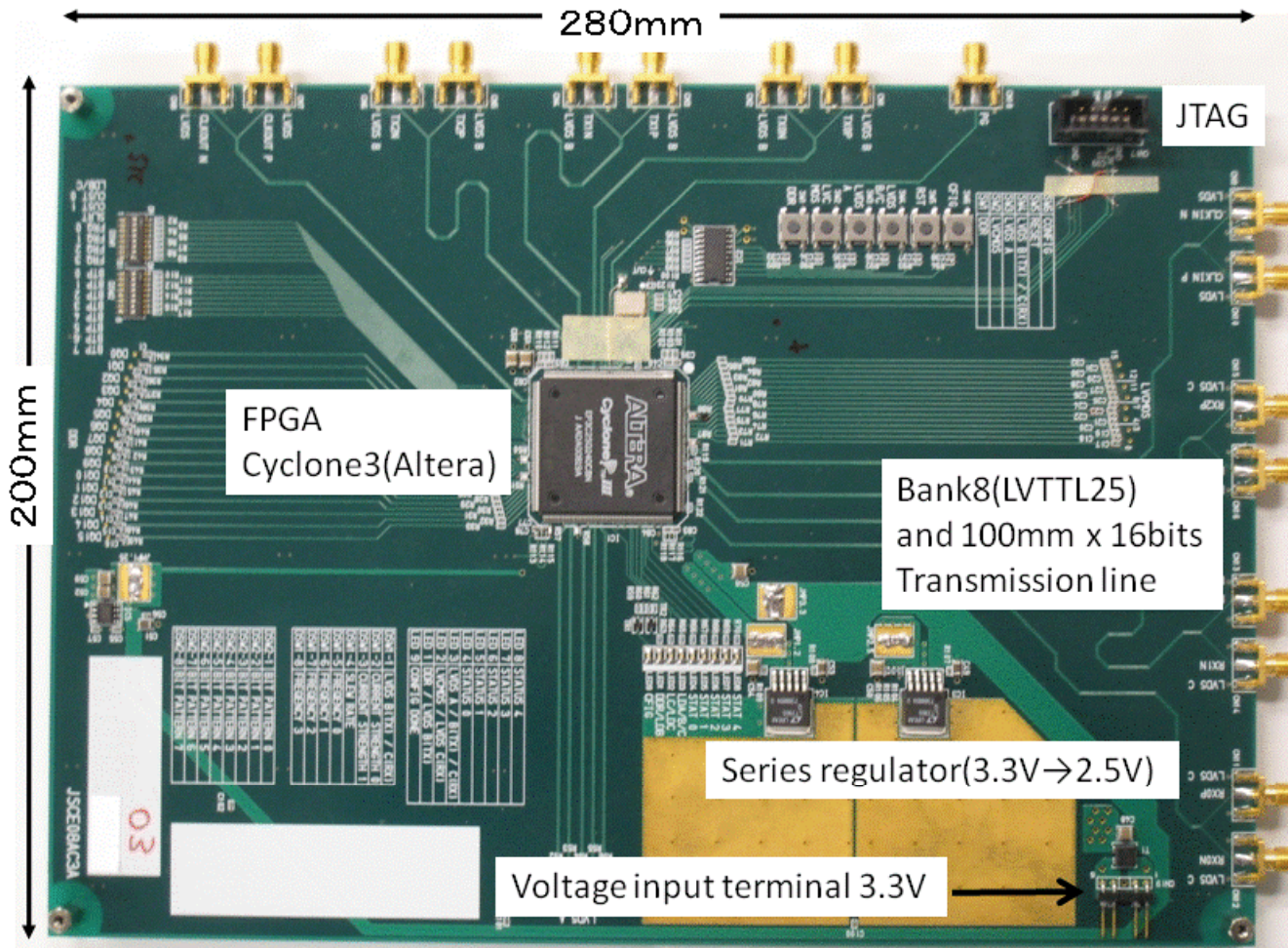


電源系のEMI
(コモンモード放射)



電源ノイズの測定・解析例

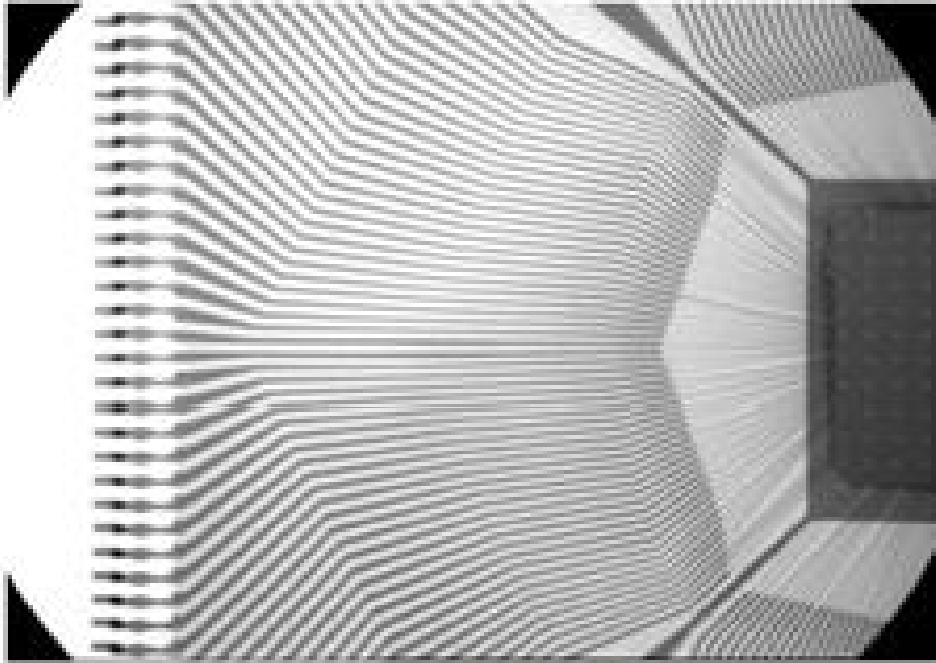
FPGAを用いた評価基板



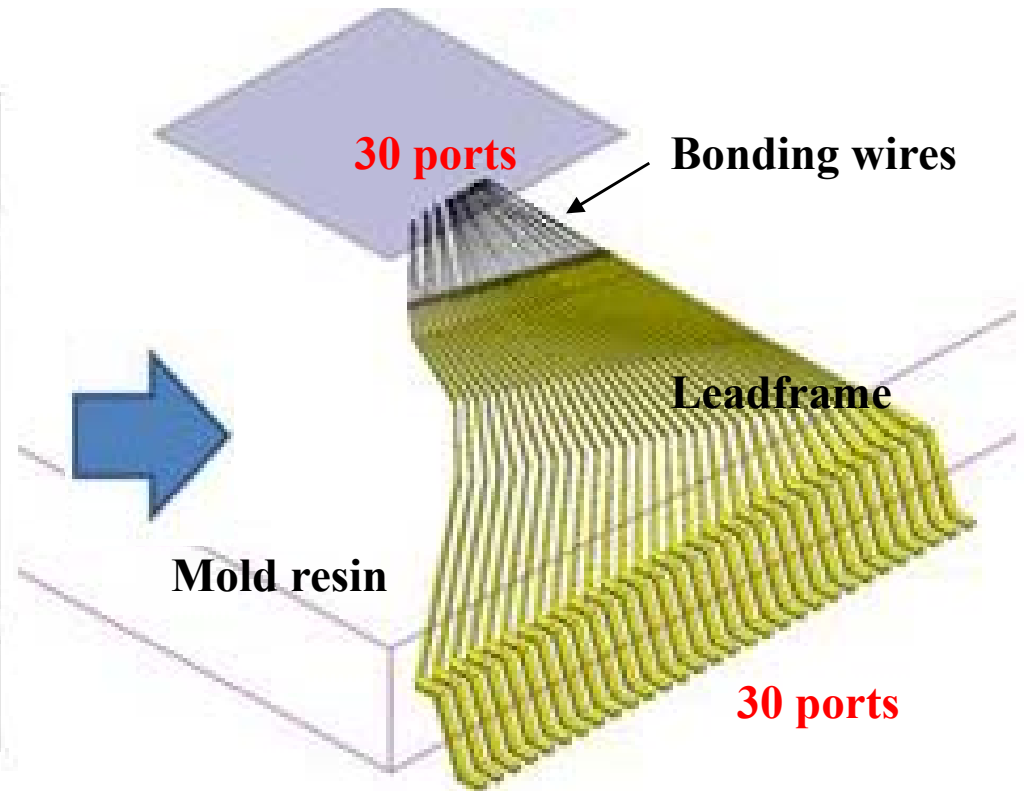
FPGA
電源電圧, I/O電圧, コア電圧
測定線路
線路長

- cyclone III(altera社)
- 3.3V, 2.5V, 1.2V
- LVCMOS, DDR
- 10cm

Quad Flat Packageのリードフレーム構造のモデル化



X-ray photo of
leadframe structure
(Plane view)



One eighth model of 3-D leadframe

抽出したインダクタンス行列 (16×16)

A part of full inductance matrix of 30 × 30

	pin213 VCCN_213	pin214 IO0	pin215 VSS_215	pin216 IO1	pin217 IO2	pin218 IO3	pin219 IO4	pin220 VCC_220	pin221 IO5	pin222 VSS_222	pin224 IO6	pin225 VCCN_225	pin226 IO7	pin227 VSS_227	pin228 VCC_228	pin229 VSS_229
pin213 VCCN_213	15.75	11.11	9.39	8.28	7.46	6.89	6.38	5.95	5.61	5.28	4.74	4.50	4.33	4.13	3.95	3.77
pin214 IO0	11.11	15.88	11.12	9.45	8.26	7.54	6.90	6.39	6.01	5.63	5.02	4.76	4.57	4.36	4.16	3.98
pin215 VSS_215	9.39	11.12	15.79	11.13	9.37	8.30	7.51	6.87	6.41	5.99	5.30	5.01	4.81	4.58	4.37	4.17
pin216 IO1	8.28	9.45	11.13	16.02	11.17	9.52	8.36	7.54	6.97	6.46	5.67	5.34	5.11	4.86	4.63	4.41
pin217 IO2	7.46	8.26	9.37	11.17	15.88	11.21	9.48	8.32	7.56	6.95	6.02	5.66	5.39	5.11	4.86	4.63
pin218 IO3	6.89	7.54	8.30	9.52	11.21	16.26	11.36	9.52	8.48	7.66	6.53	6.10	5.79	5.48	5.19	4.93
pin219 IO4	6.38	6.90	7.51	8.36	9.48	11.36	16.22	11.39	9.58	8.50	7.05	6.54	6.17	5.82	5.50	5.21
pin220 VCC_220	5.95	6.39	6.87	7.54	8.32	9.52	11.39	16.37	11.53	9.77	7.75	7.12	6.66	6.26	5.88	5.56
pin221 IO5	5.61	6.01	6.41	6.97	7.56	8.48	9.58	11.53	16.73	11.72	8.67	7.84	7.28	6.78	6.35	5.97
pin222 VSS_222	5.28	5.63	5.99	6.46	6.95	7.66	8.50	9.77	11.72	16.75	9.86	8.70	7.94	7.34	6.82	6.38
pin224 IO6	4.74	5.02	5.30	5.67	6.02	6.53	7.05	7.75	8.67	9.86	17.13	12.05	10.16	9.05	8.19	7.52
pin225 VCCN_225	4.50	4.76	5.01	5.34	5.66	6.10	6.54	7.12	7.84	8.70	12.05	17.28	12.22	10.40	9.16	8.27
pin226 IO7	4.33	4.57	4.81	5.11	5.39	5.79	6.17	6.66	7.28	7.94	10.16	12.22	17.74	12.52	10.53	9.28
pin227 VSS_227	4.13	4.36	4.58	4.86	5.11	5.48	5.82	6.26	6.78	7.34	9.05	10.40	12.52	17.85	12.63	10.58
pin228 VCC_228	3.95	4.16	4.37	4.63	4.86	5.19	5.50	5.88	6.35	6.82	8.19	9.16	10.53	12.63	18.07	12.78
pin229 VSS_229	3.77	3.98	4.17	4.41	4.63	4.93	5.21	5.56	5.97	6.38	7.52	8.27	9.28	10.58	12.78	18.23

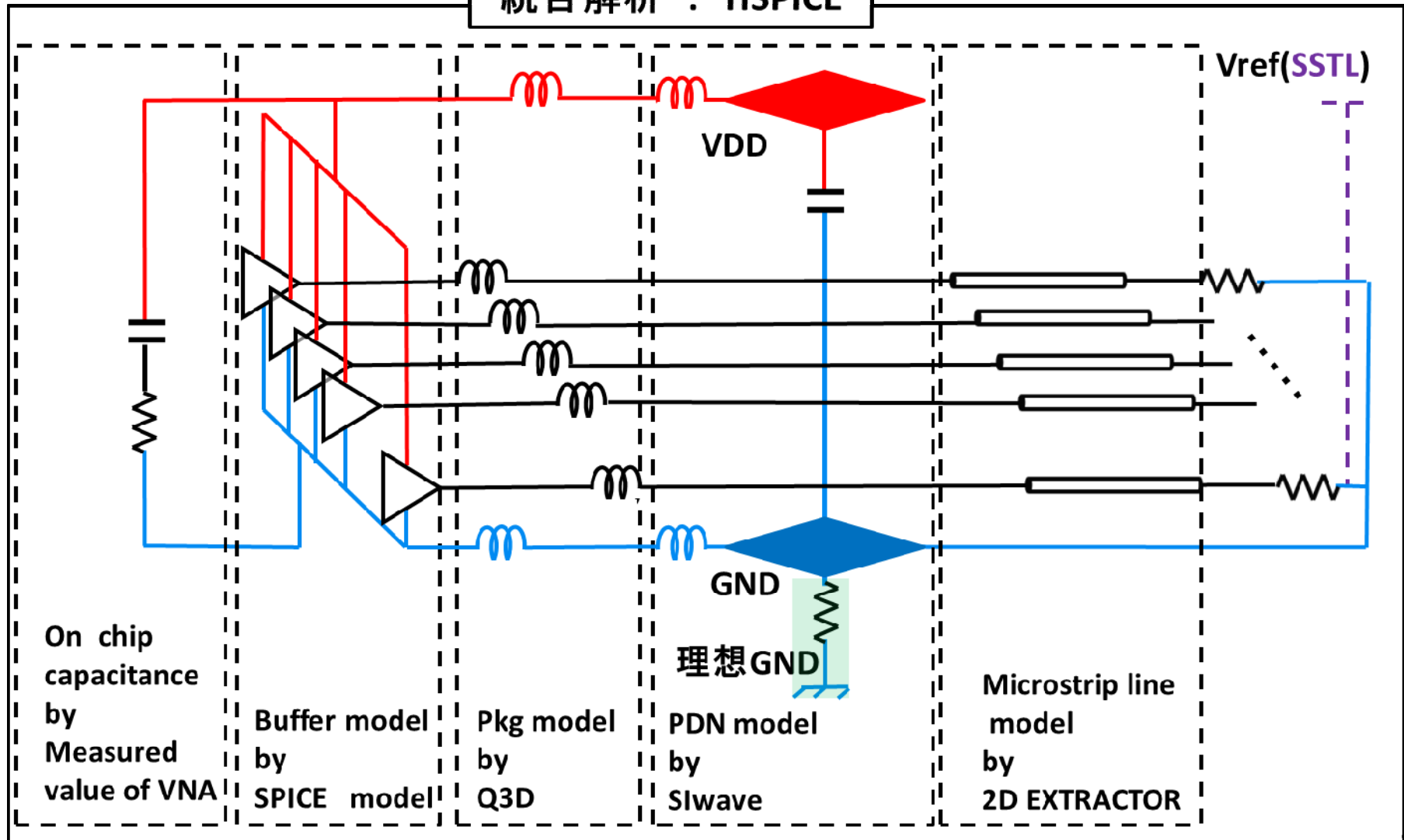
VCCN: I/O power supply
VCC : Core power supply
VSS : GND

●自己インダクタンスは15~18 nHで、相互インダクタンスの影響も考慮した

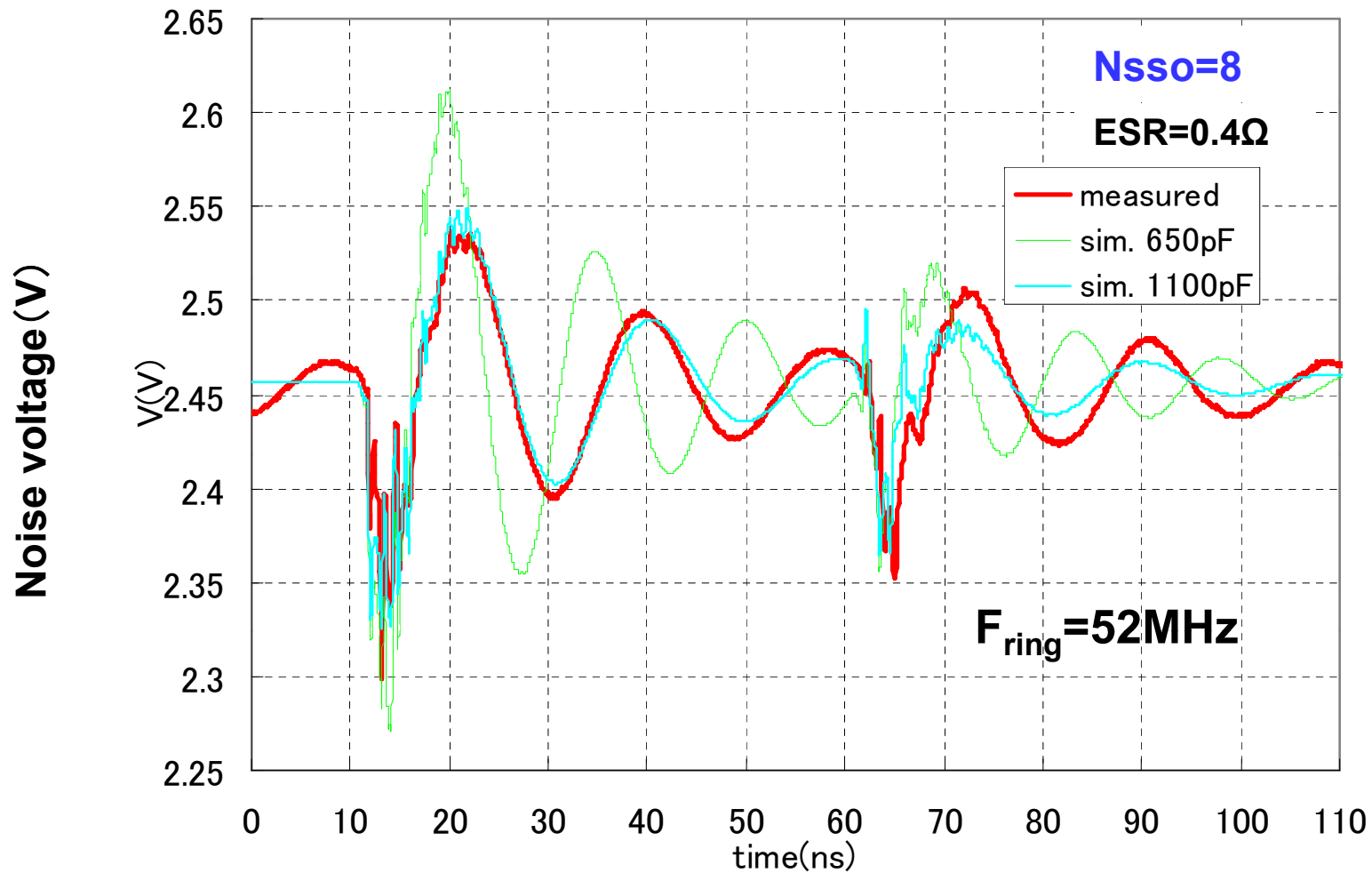
評価ボード全体の等価回路モデル

〈解析条件〉 動作周波数:10MHz 同時スイッチング数:2,4,8,15本
駆動電流:8mA スルーレート:2(fast)

統合解析 : HSPICE

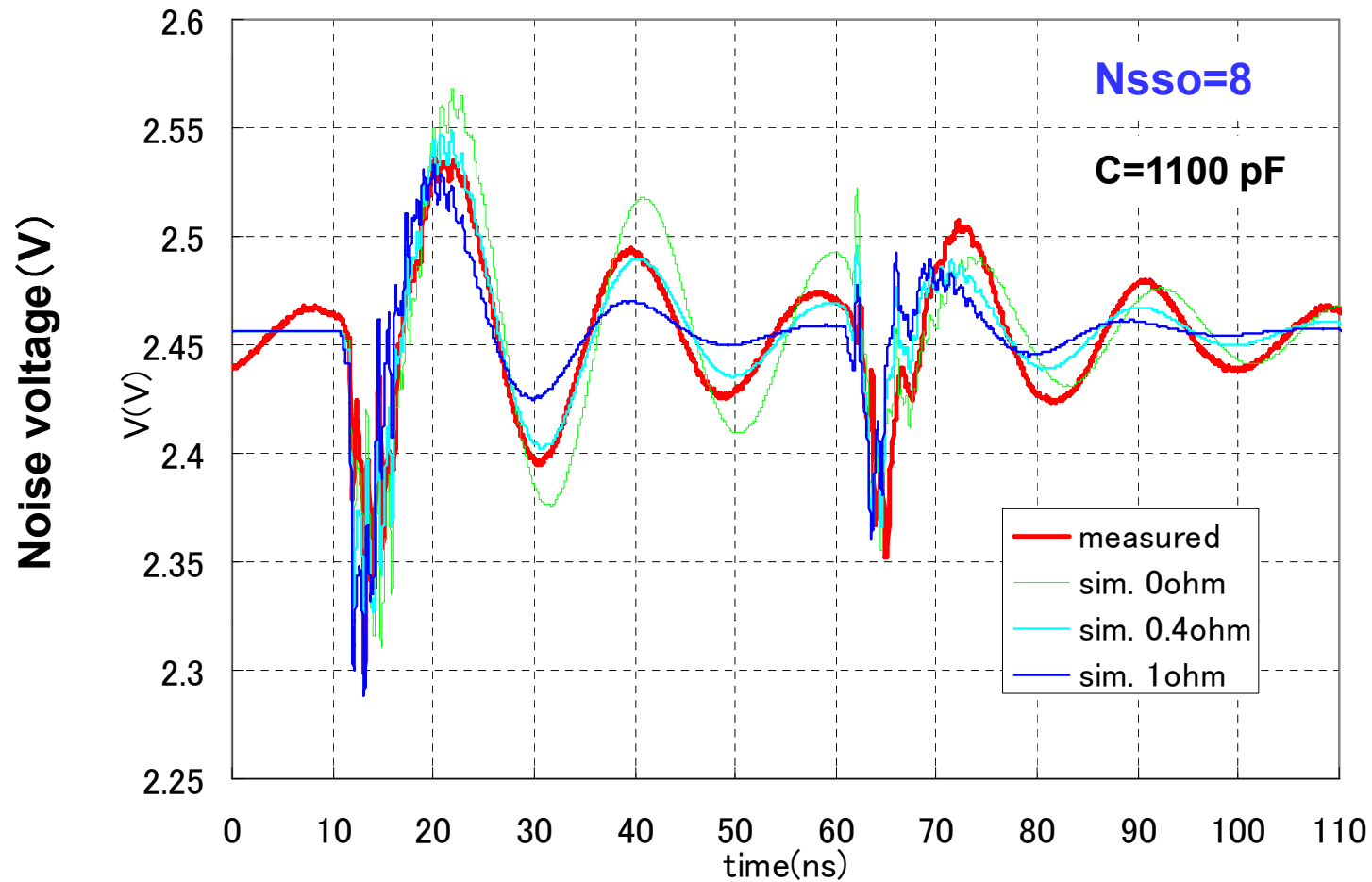


電源変動のCdie依存性解析



●リングング周波数はCdie値に強く依存することが分かる

電源変動のRdie依存性解析

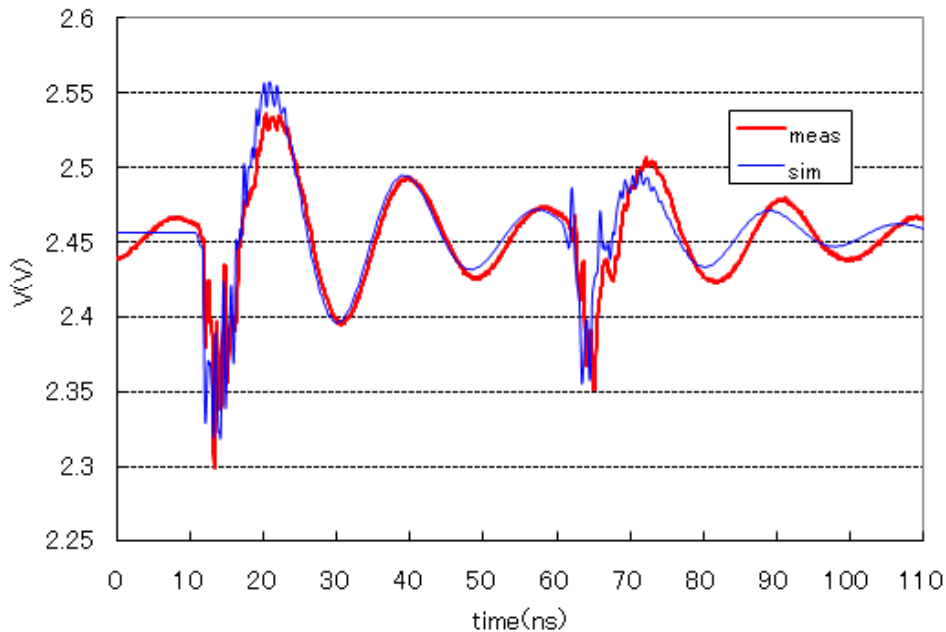


●ノイズピーク値はRdieに強く依存することが分かる

測定と解析結果の比較

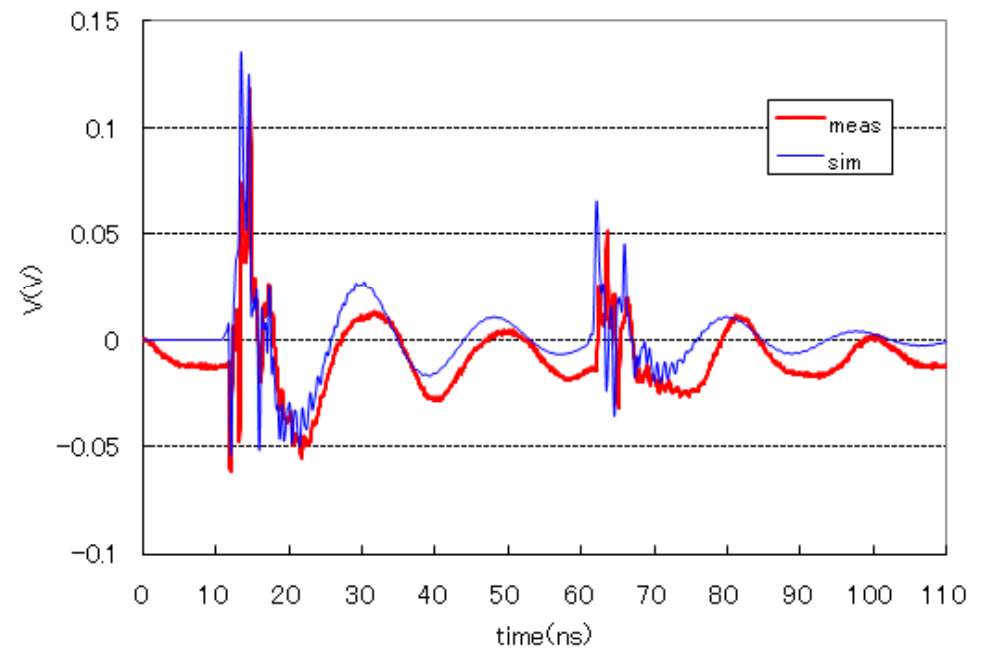
Power line fluctuation

Nsso=8



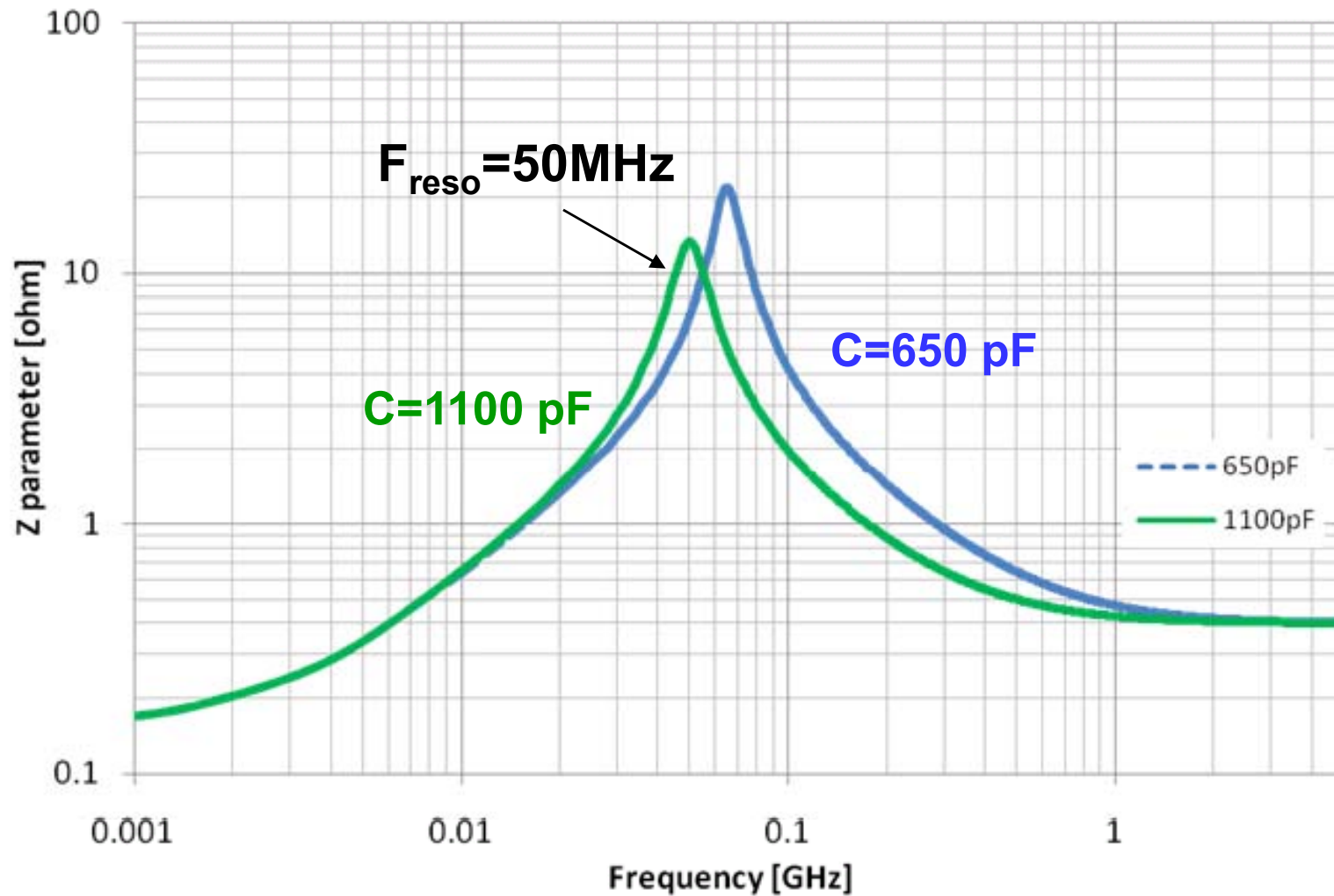
Ground line fluctuation

Nsso=8



●実測と解析結果は非常に良く一致した

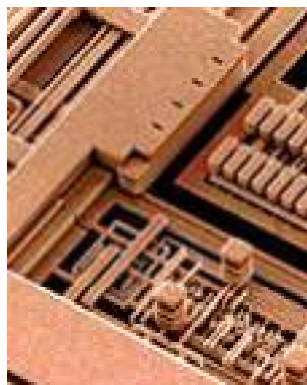
PDNインピーダンスの反共振ピーク



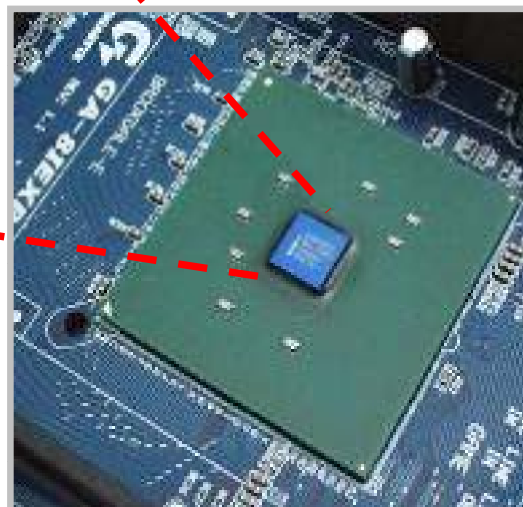
- 反共振ピーク周波数はSSNのリングング周波数と良く一致した

統合電源インピーダンス と反共振現象

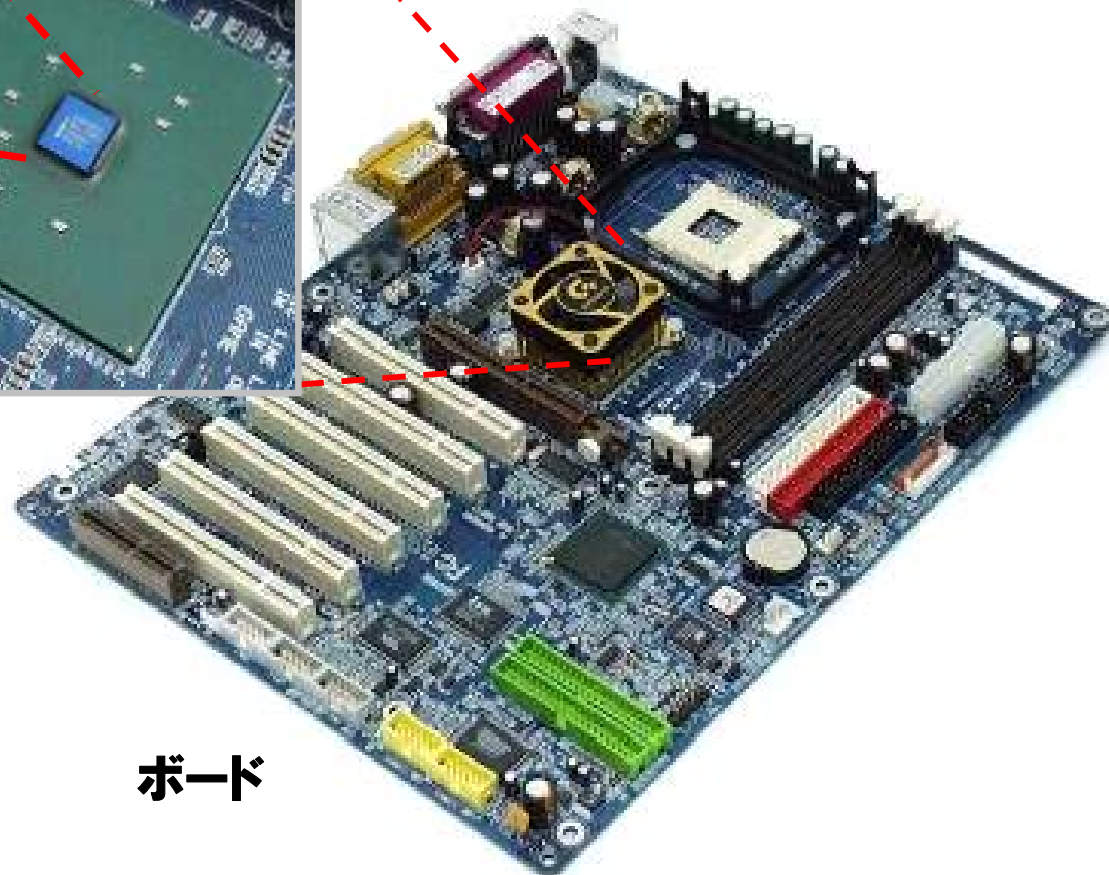
システム全体の最適設計



チップ

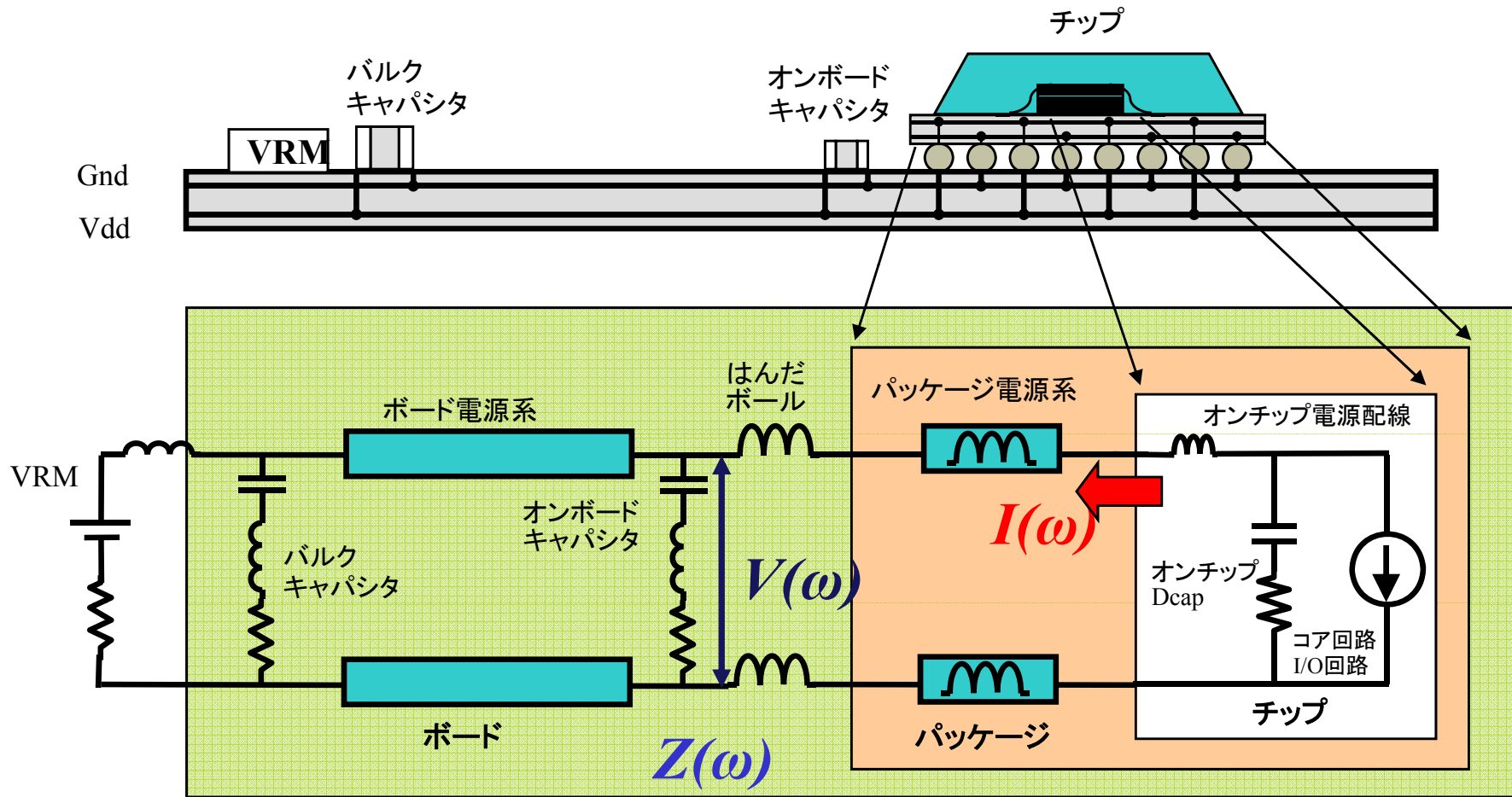


パッケージ



ボード

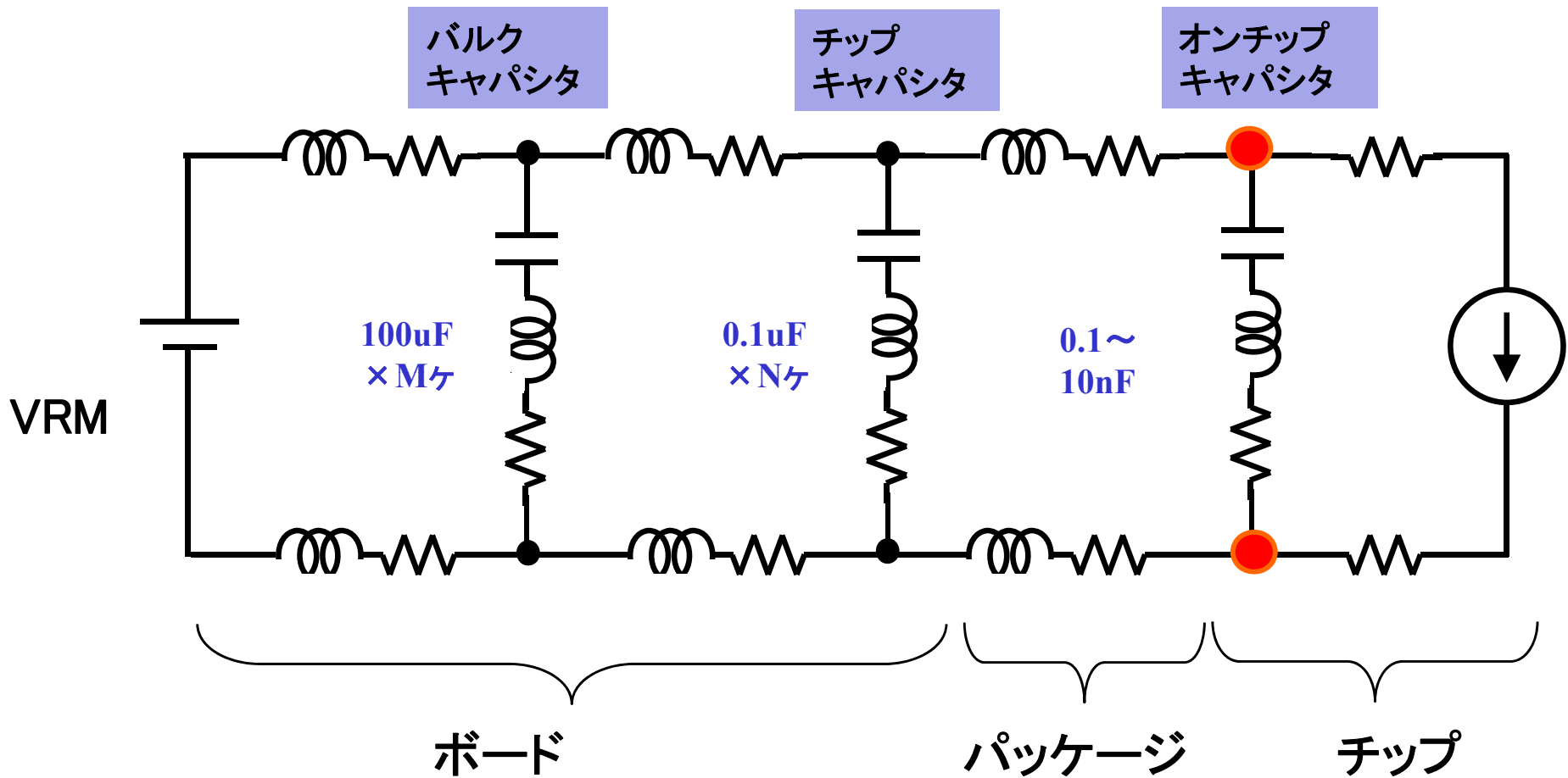
チップ・パッケージ・ボードの電源系(PDN) (PDN: Power Distribution Network)



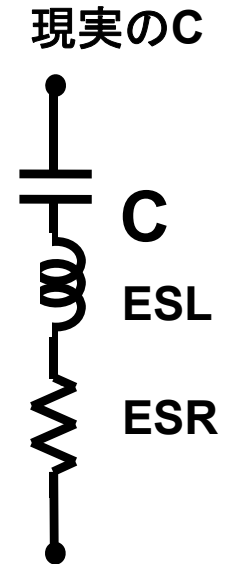
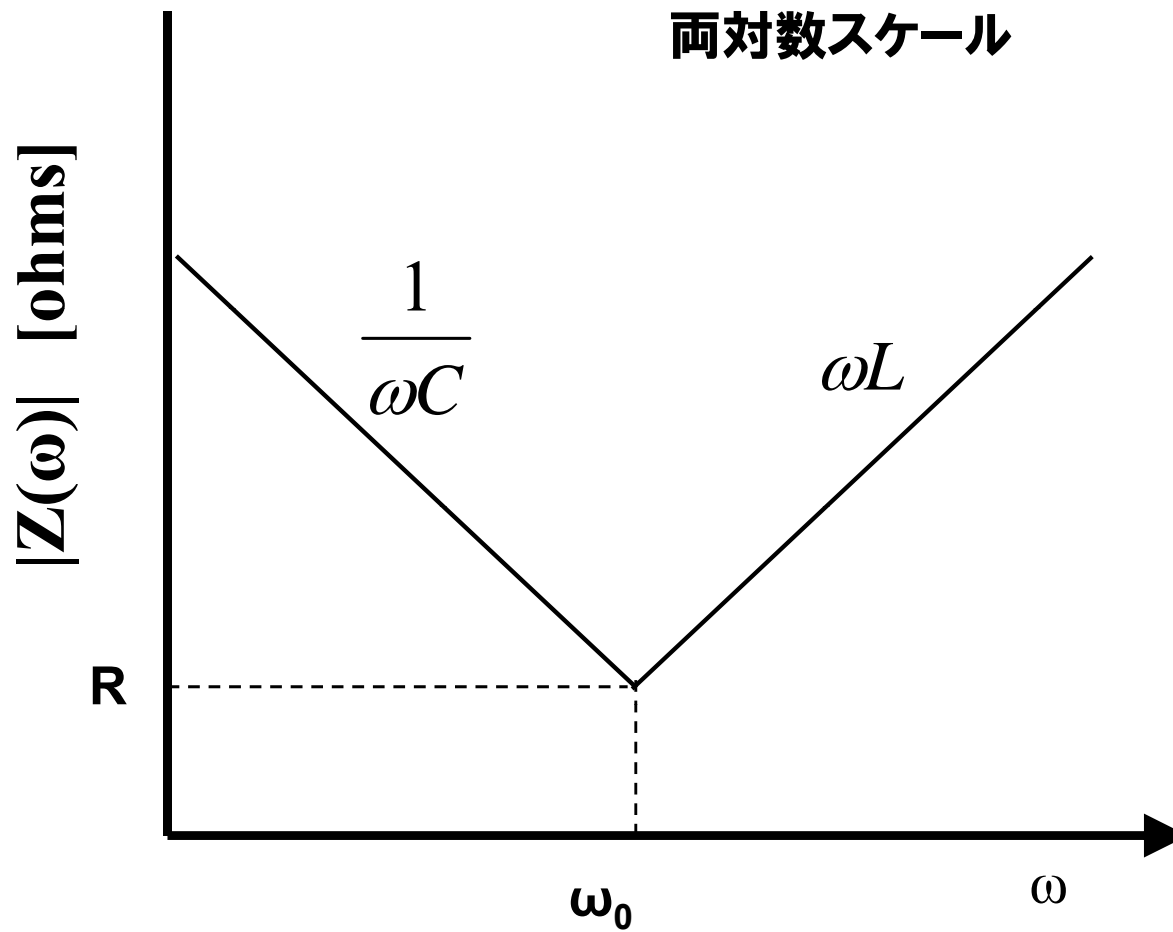
$$V(\omega) = Z(\omega) \cdot I(\omega)$$

・電源変動を抑えるには電源インピーダンスを小さくする必要がある。

全電源網の等価回路

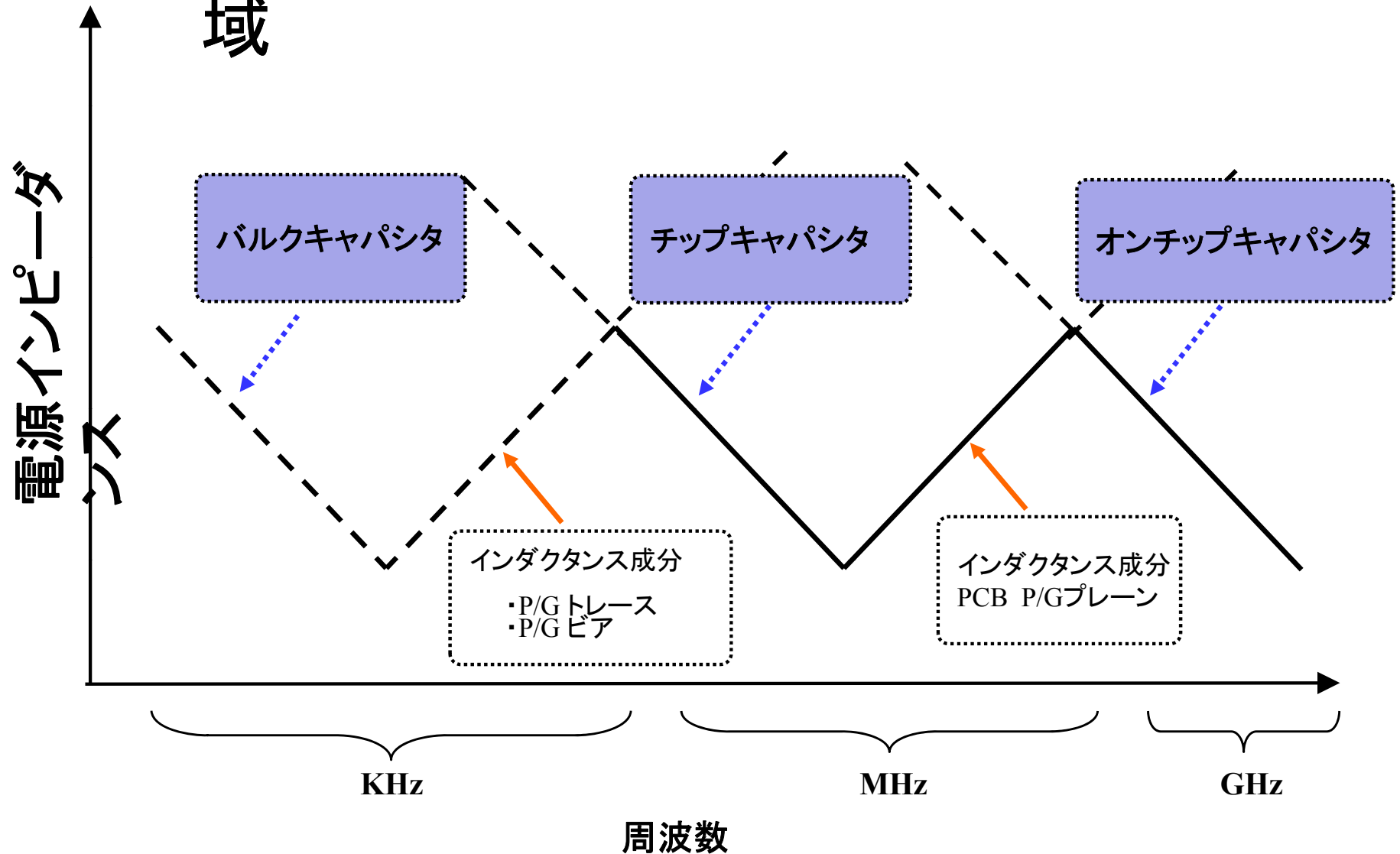


キャパシタの周波数特性



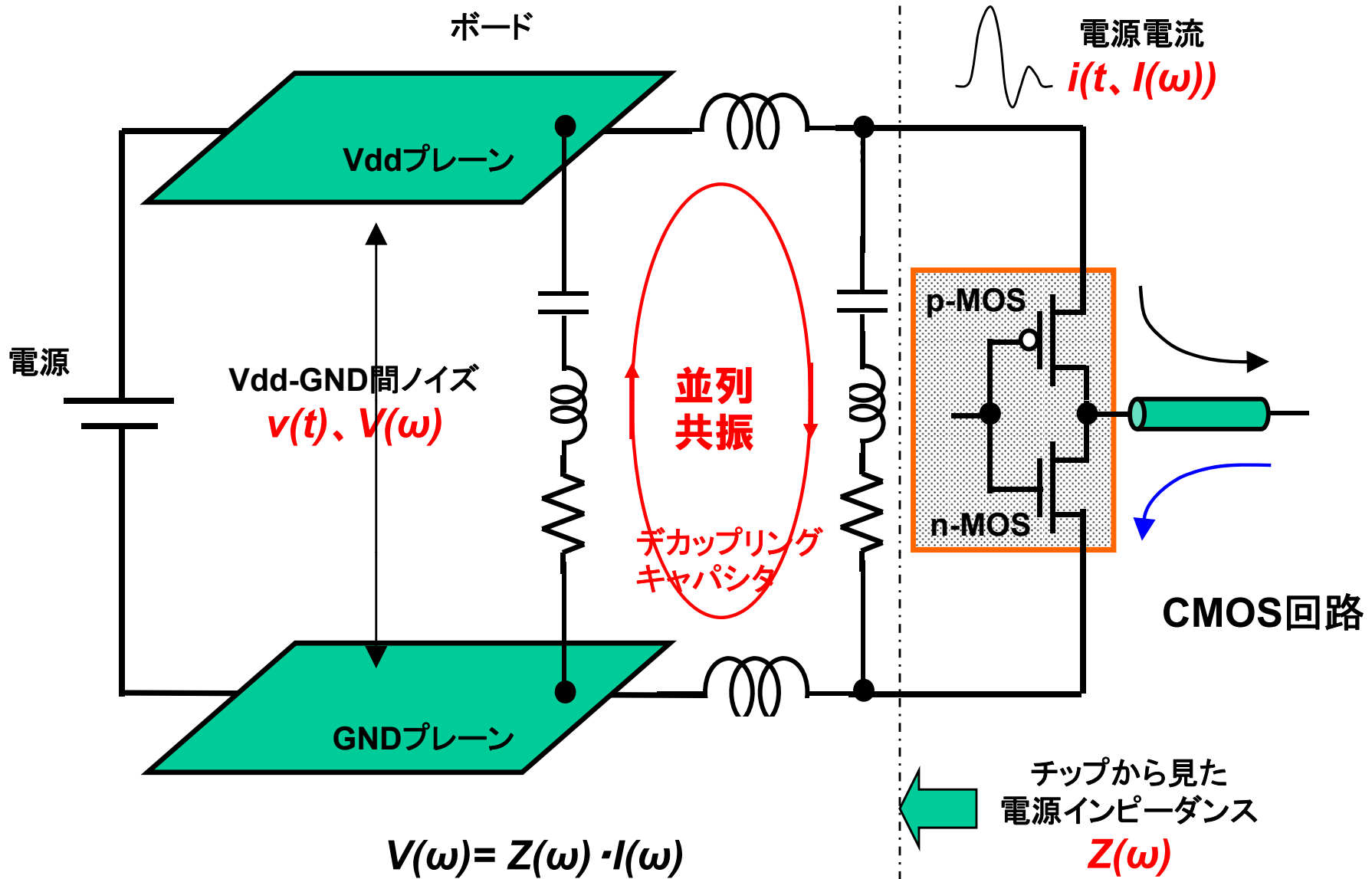
$$Z(\omega) = R + j \left(\omega L - \frac{1}{\omega C} \right)$$

電源インピーダンス(PDN)分担領域

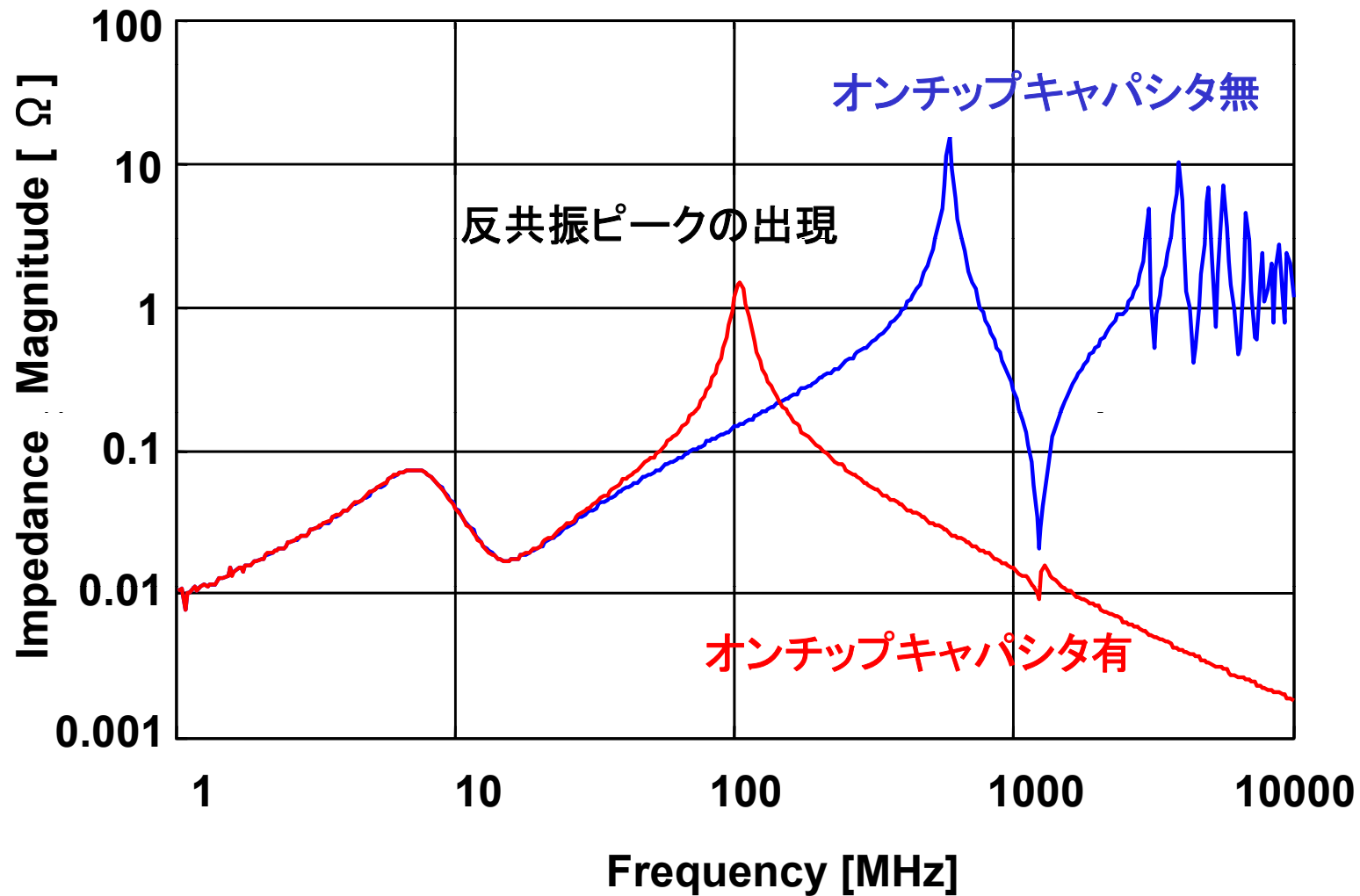


・キャパシタの基本性能はV字特性

チップとボードのキャパシタによる並列共振



オンチップキャパシタによる電源インピーダンスの反共振例



- ・反共振ピークは、チップキャパシタとオンチップの自己共振周波数が離れ過ぎているために、よく起こり得る現象である

2個のキャパシタの並列共振モデル

直列共振

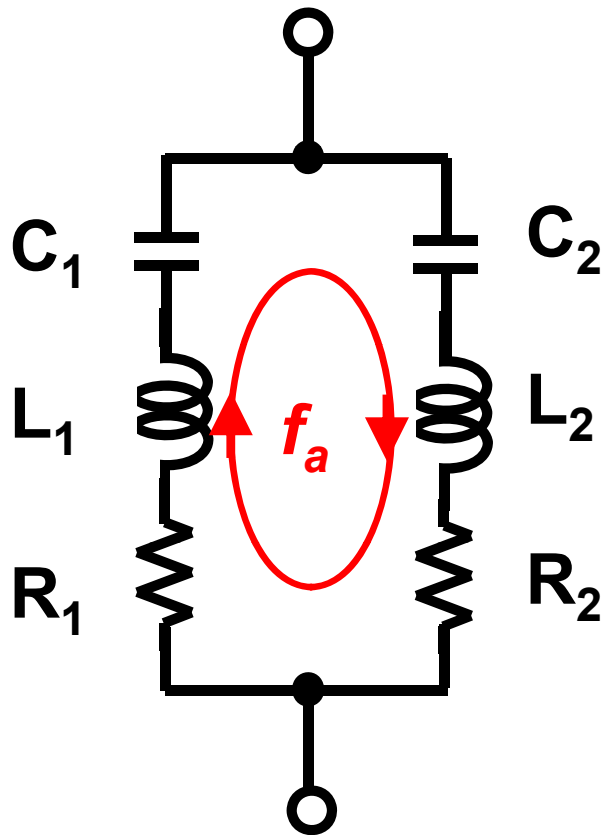
$$f_{r1} = \frac{1}{2\pi\sqrt{L_1 C_1}}$$

$$f_{r2} = \frac{1}{2\pi\sqrt{L_2 C_2}}$$

並列共振

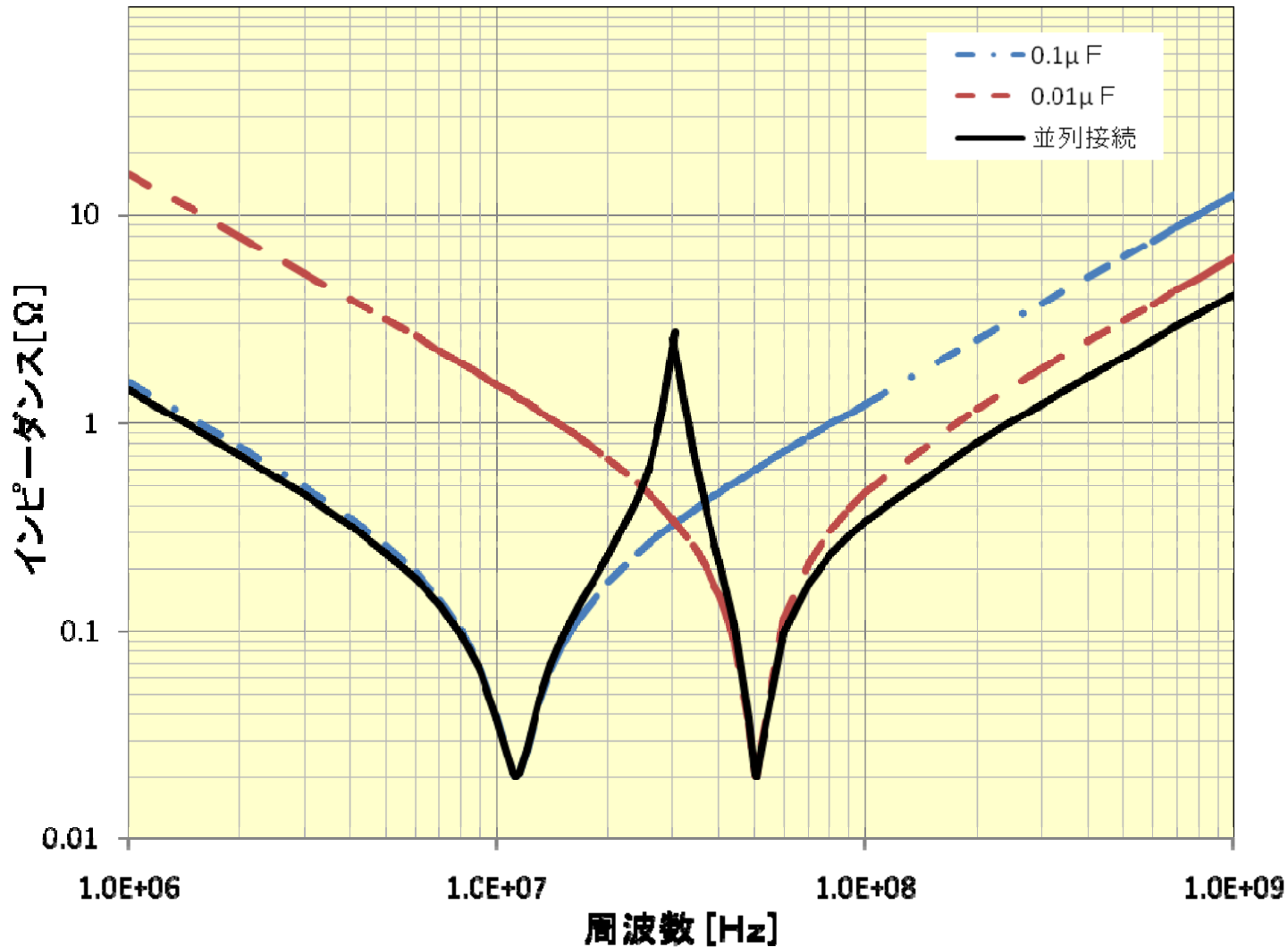
$$f_a = \frac{1}{2\pi\sqrt{(L_1 + L_2) \frac{C_1 C_2}{C_1 + C_2}}}$$

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}} \quad C = \frac{C_1 C_2}{C_1 + C_2}$$

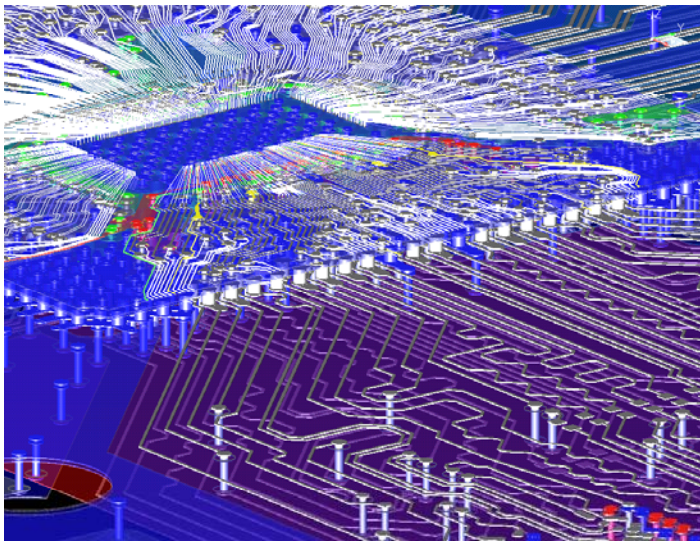


2個のキャパシタの並列共振の例

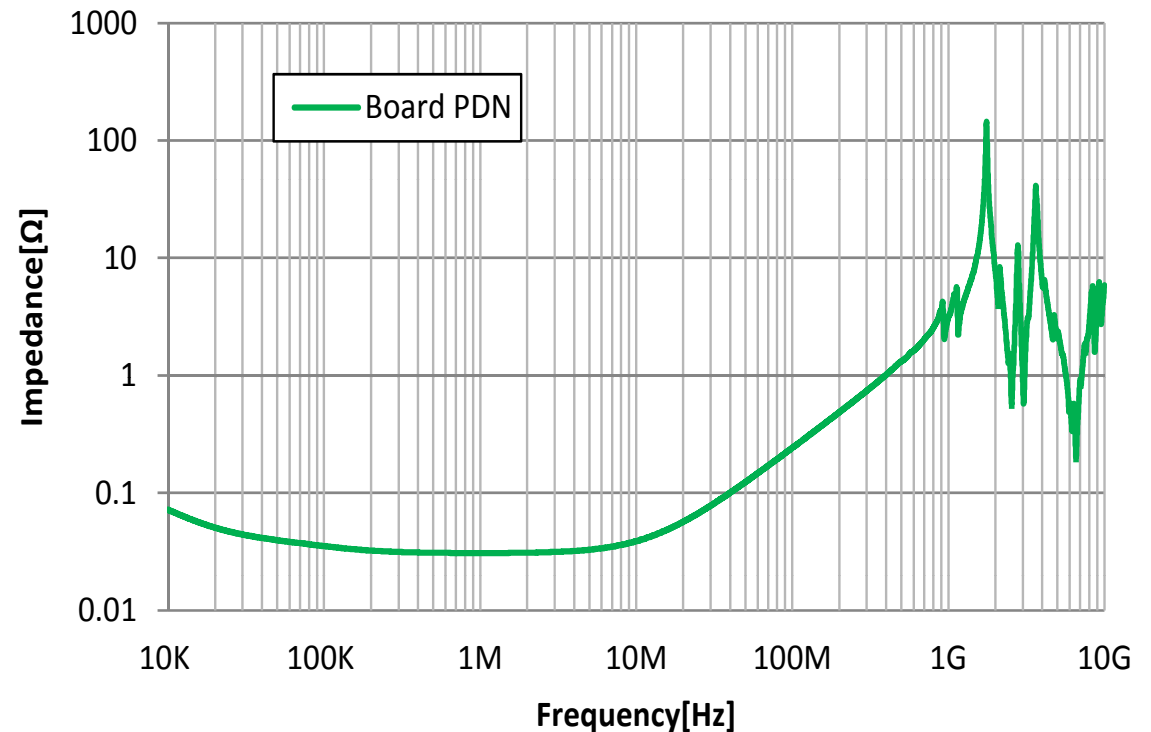
0.1 μ Fと0.01 μ Fの組合せ



ボードの電源インピーダンス

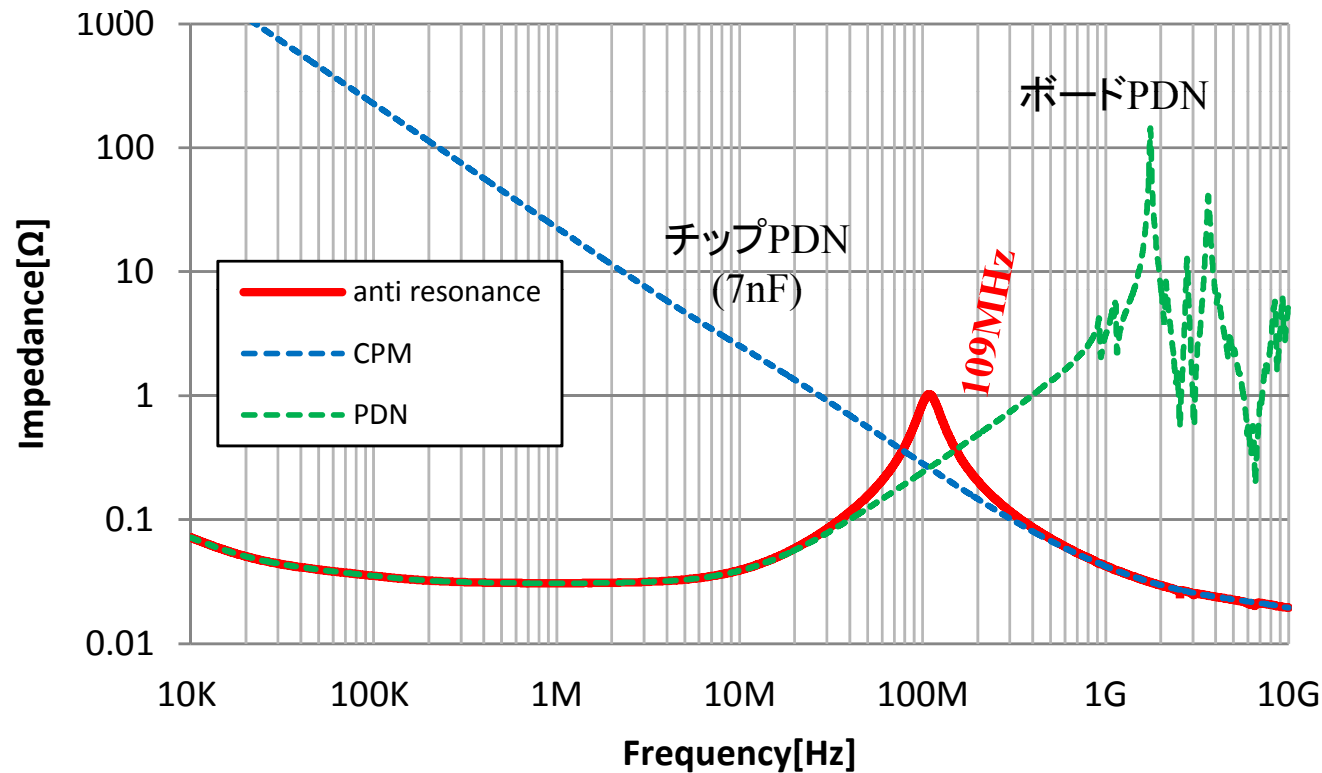
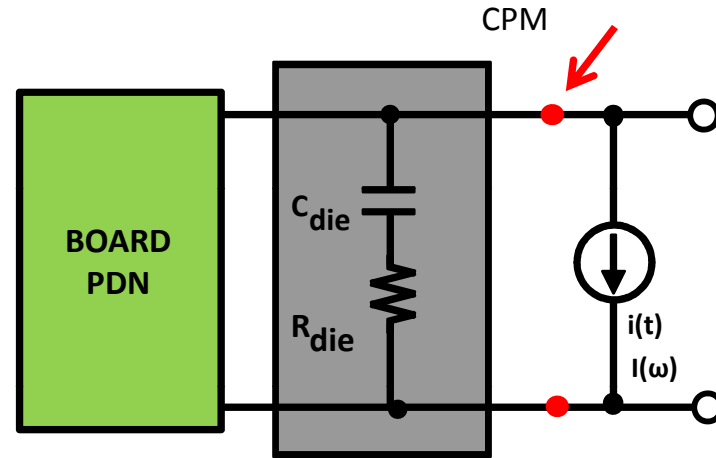


SIwave



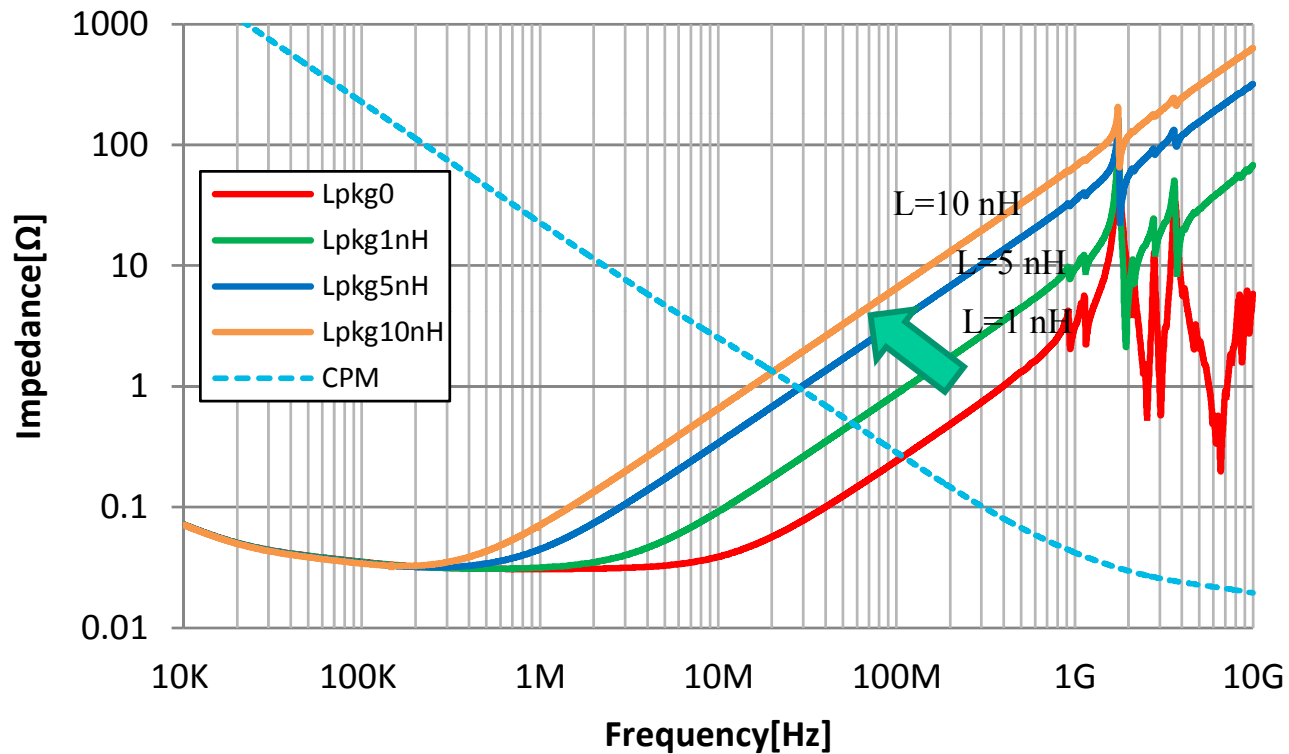
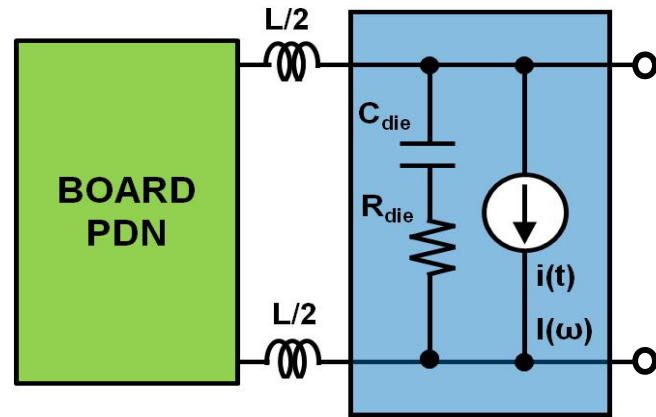
- ・ボードの電源インピーダンスは100MHz以上の周波数ではインダクタンス成分により高くなる傾向を示す。

チップから観測される統合電源インピーダンスの例



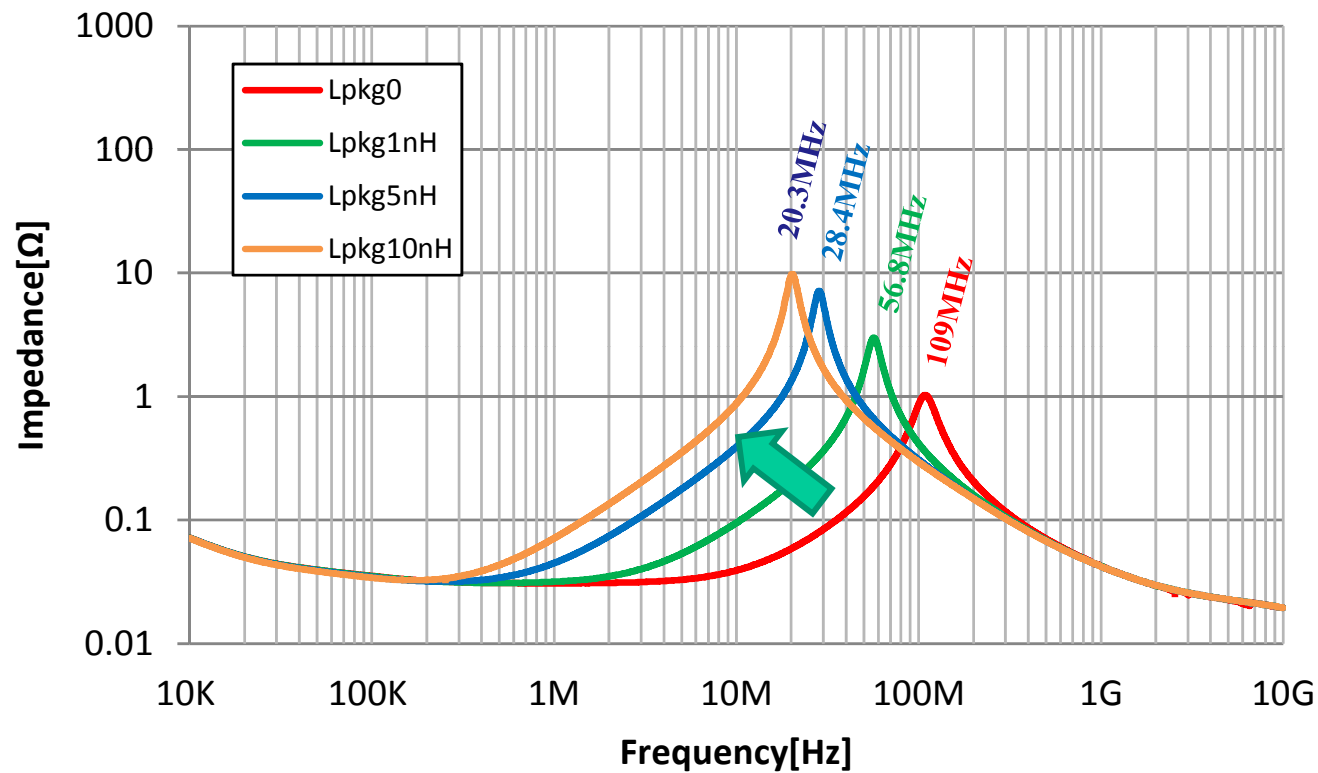
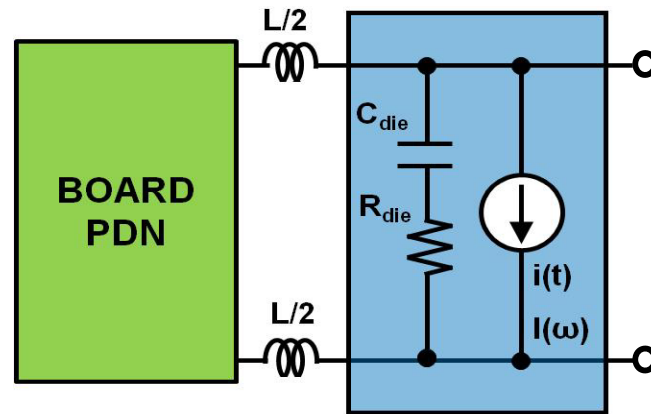
・反共振はほぼ
100
MHzに発生して
いる

パッケージインダクタンスの影響



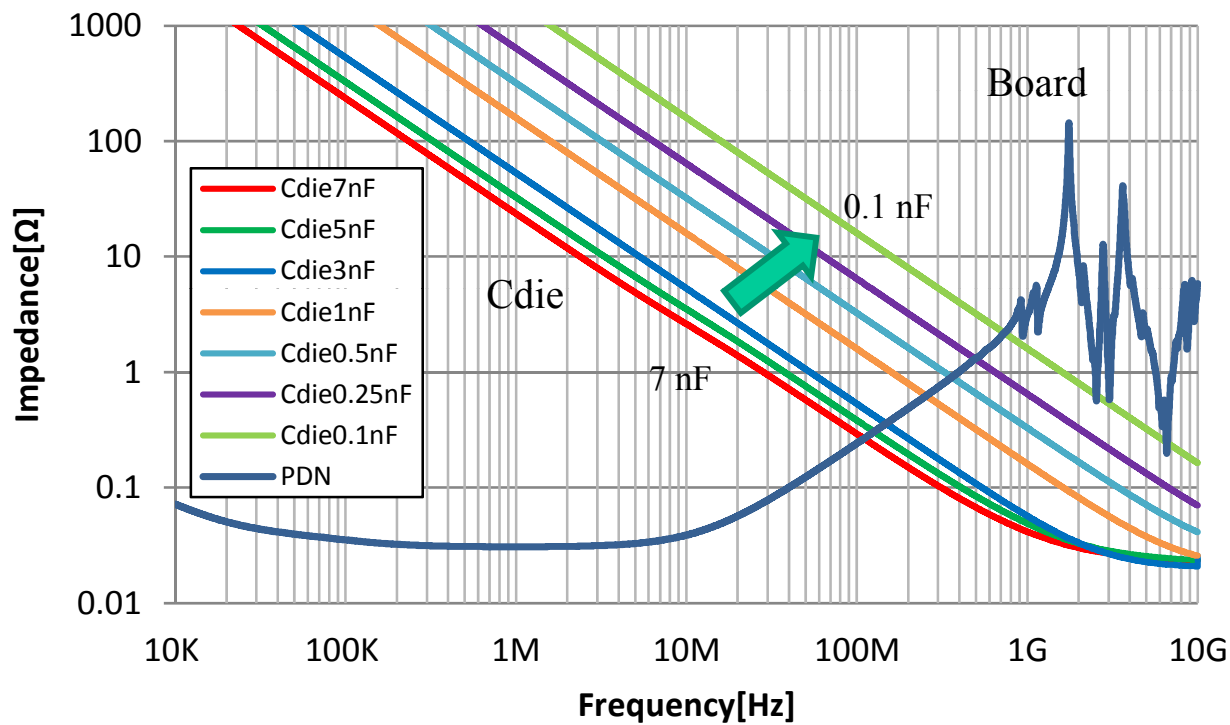
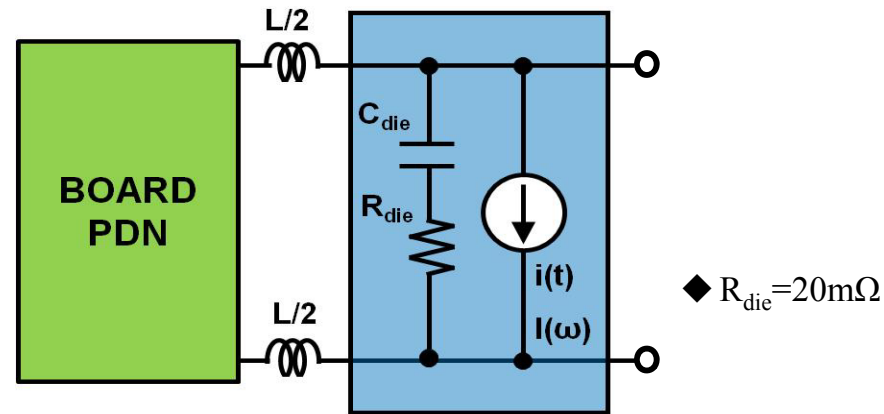
・パッケージインダクタンスが大きくなると、インピーダンスは増加する。

パッケージインダクタンスによる反共振ピークのシフト



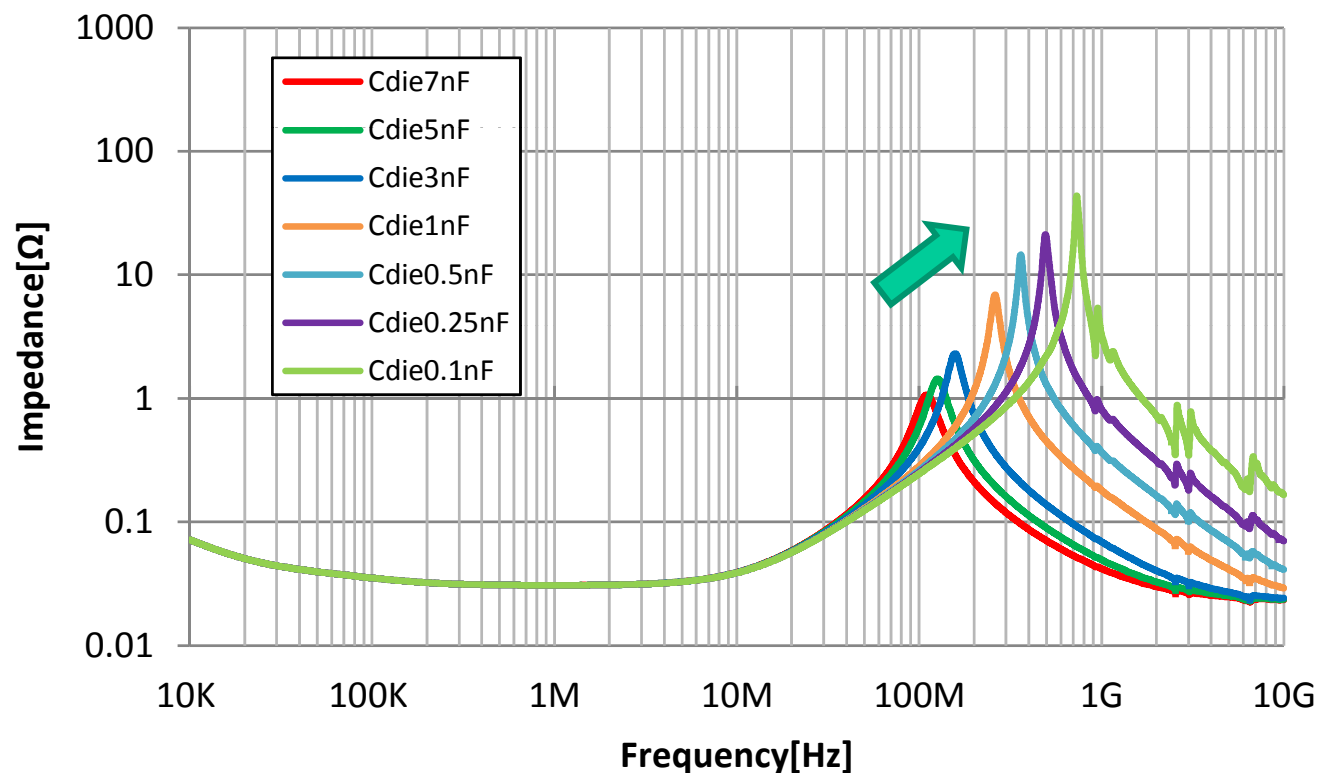
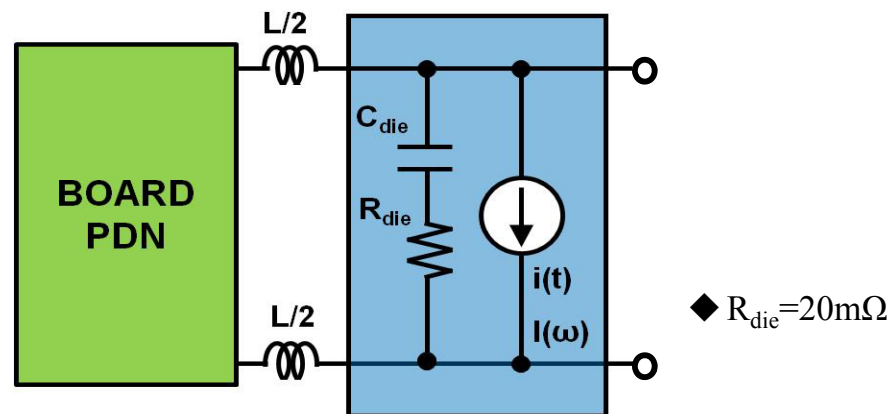
・パッケージインダクタンスが大きくなると、反共振ピークは低域にシフトする。

オンチップキャパシタンスの影響



・オンチップキャパシタンスが小さくなると、インピーダンスは増大する。

オンチップキャパシタによる反共振ピークのシフト



C_{die} value	peak frequency
$C_{die} 7nF$	110MHz
$C_{die} 5nF$	126MHz
$C_{die} 3nF$	157MHz
$C_{die} 1nF$	261MHz
$C_{die} 0.5nF$	361MHz
$C_{die} 0.25nF$	493MHz
$C_{die} 0.1nF$	732MHz

・オンチップキャパシタ値が小さくなると、反共振ピークは高域にシフトする。

反共振の定量化の難しさ

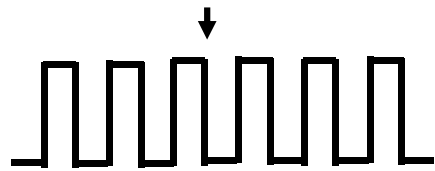
- SMDキャパシタの効く周波数帯域がLSIの動作周波数に追いつかなくなった。
- LSIの電源系オンチップキャパシタの容量値は公開されていない。
- 反共振ピークは、チップ、パッケージ、ボードのそれぞれ単体では観測できない。
- チップ外部からは通常反共振が観測できない。並列回路の合成により間接的に求めるしかない。

駆動源のスペクトラム

駆動源の周波数スペクトラムと、システムの内在する共振周波数とのオーバーラップを避けなければならない

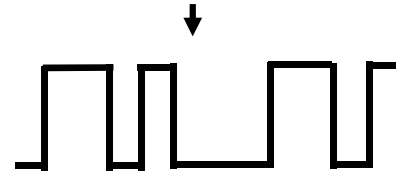
駆動源スペクトラムとの重なりを避ける

クロック信号



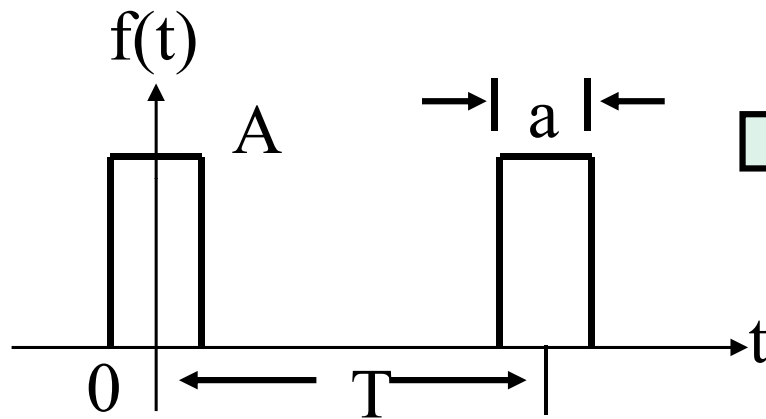
狭帯域なノイズ源

データ信号 ← PRBS信号で代用

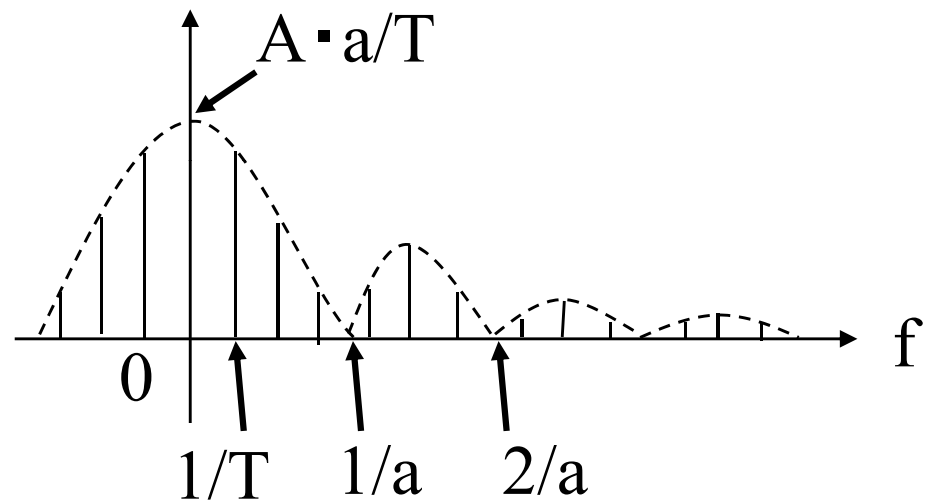


広帯域なノイズ源

(PRBS: Pseudo Random Binary Sequence)



時間軸波形

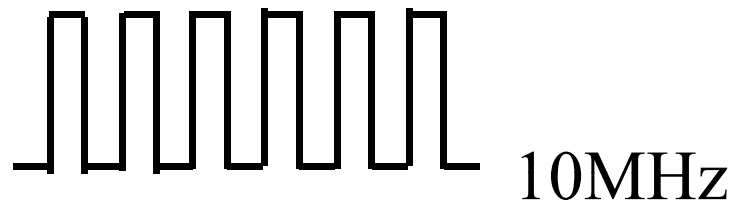


周波数スペクトラム

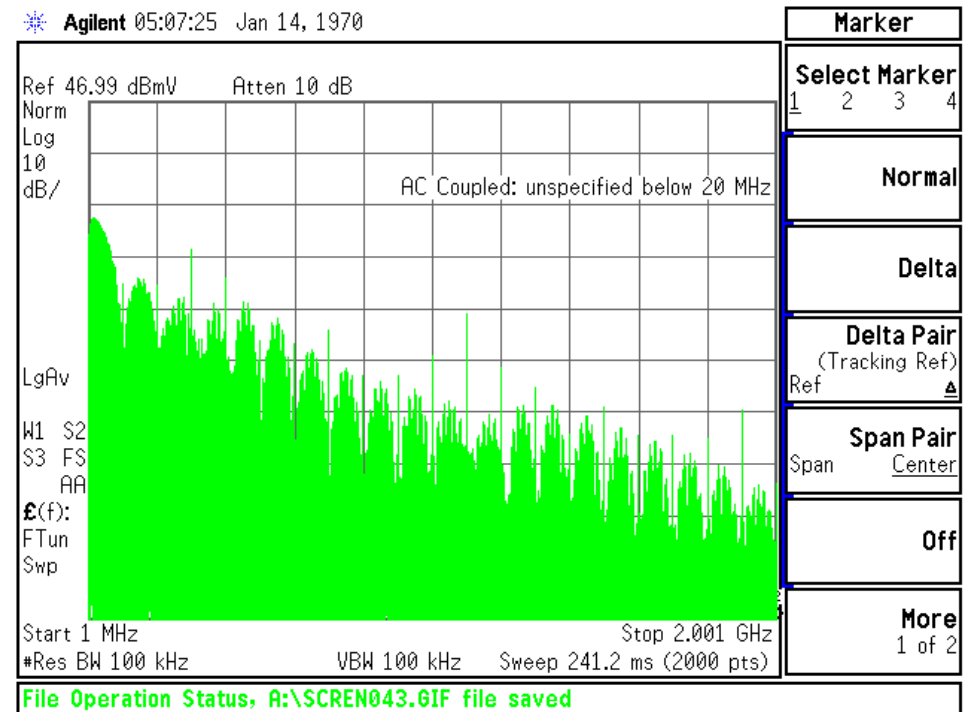
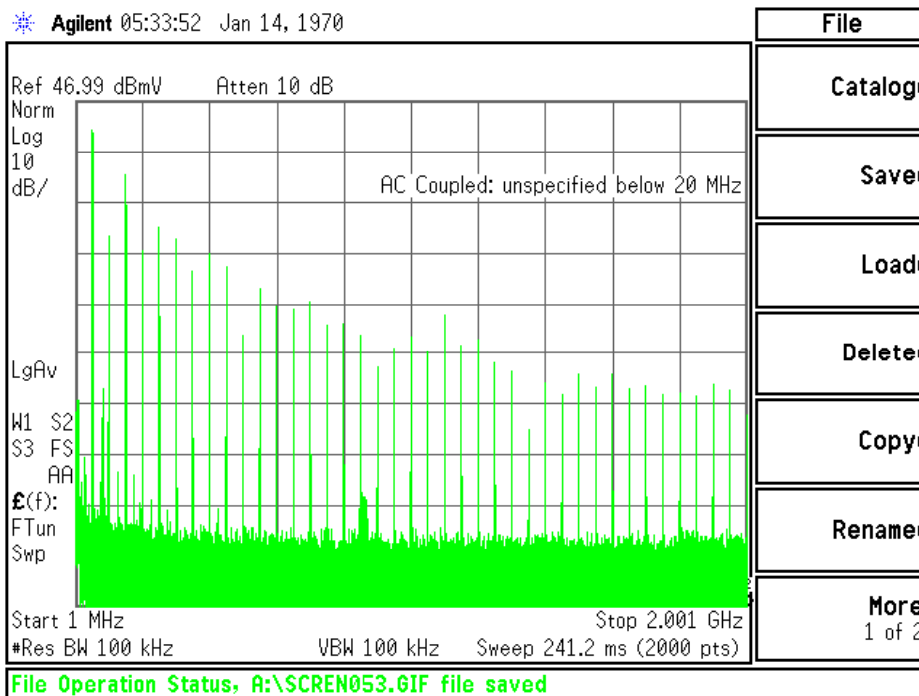
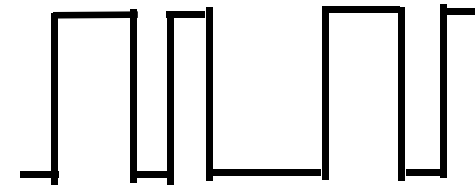
クロック信号とPRBS信号のスペクトラム

(Pseudo Random Binary Sequence)

クロック信号



データ(PRBS)信号



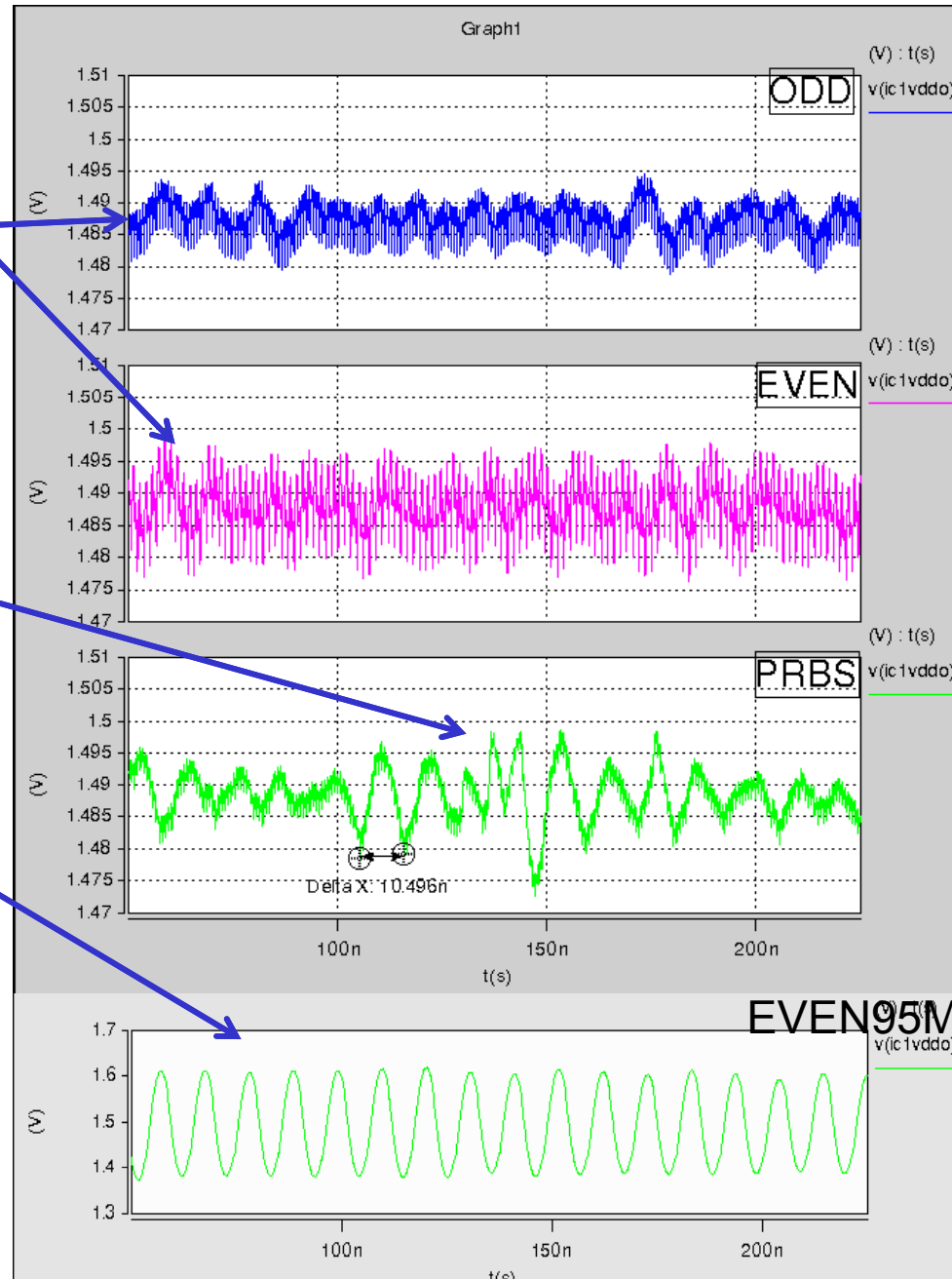
・PRBS信号は密度の高い広帯域なノイズスペクトラムをもつ。

32bit動作時の電源ノイズの解析結果

共振周波数での電位変動

特定のタイミングで共振周波数での励振発生

共振周波数と駆動周期が一致してノイズが増大



ODD(666MHz)

15.9mVpp

EVEN(666MHz)

23.3mVpp

PRBS(非同相)

26.1mVpp

EVEN(95MHz) EVEN(95MHz)

247.4mVpp

共振周波数(91MHz)付近での電位変動の影響が大きい

ターゲットインピーダンス

コア回路だけでなく、I/O回路にも適用できる
ターゲットインピーダンスの考え方

従来のターゲットインピーダンスの考え方

電源の変動率:5%とした場合

$$Z_{\text{target}} = \frac{\text{電源電圧} \times \text{許容リップル率}}{\text{過渡電流}} = \frac{5\text{V} \times 5\%}{1\text{A} \times 50\%} = 0.5\Omega$$

- Target impedance is falling 5x every generation.

Year	Technology	Power (W)	Vdd (V)	Current (A)	Target Impedance (mΩ)
2004	90nm	84	1.2	70	1.7
2007	65nm	103	0.9	115	0.7
2010	45nm	119	0.6	198	0.3

ターゲットインピーダンスの新定義

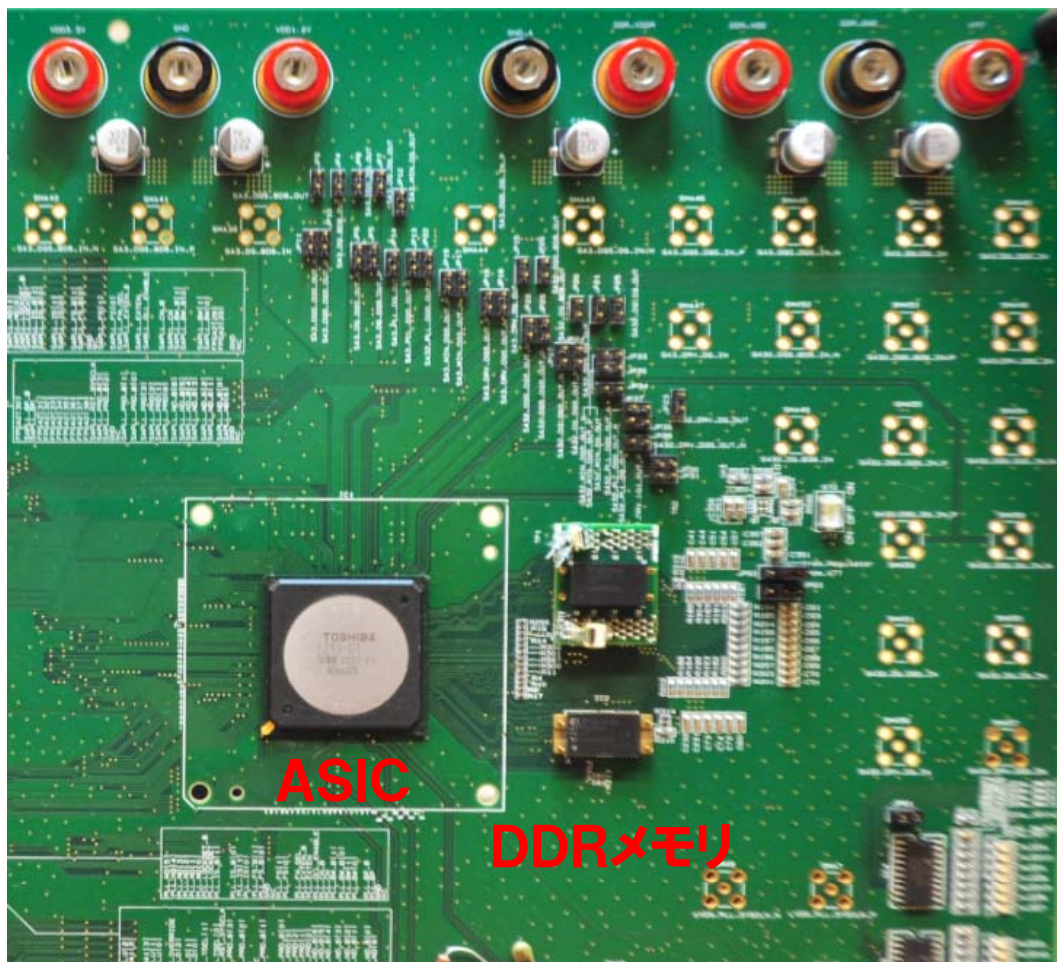
$$V(\omega) = Z(\omega) \cdot I(\omega)$$



$$Z_{\text{target}}(\omega) = V(\omega) \cdot I(\omega)^{-1}$$

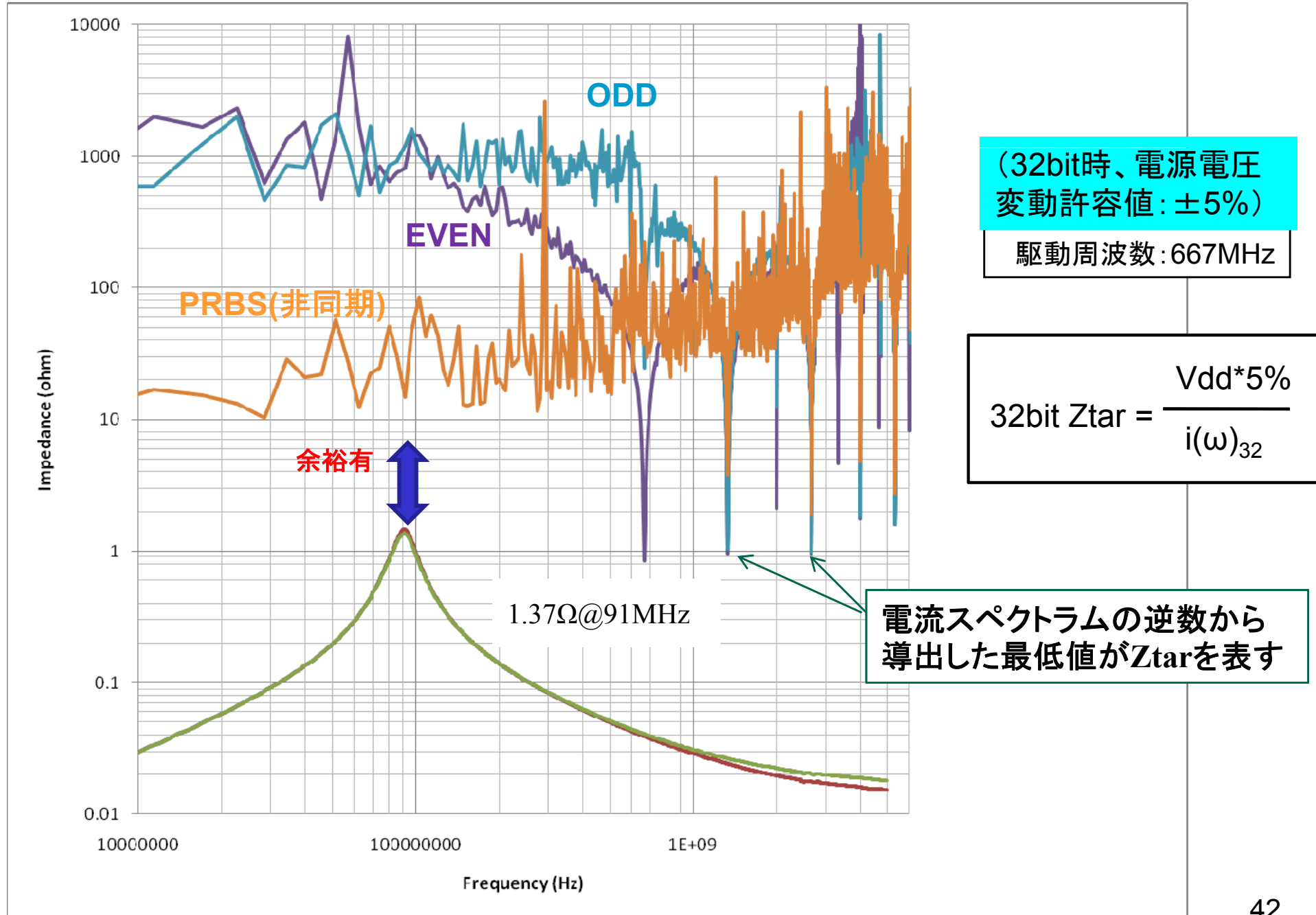
- ここで、 $V(\omega)$ は $v(t)$ の許容変動を、例えば5%としたときの値とする。
- $Z_{\text{target}}(\omega)$ は動作状態の $I(\omega)^{-1}$ に大きく依存する。

DDR3評価基板

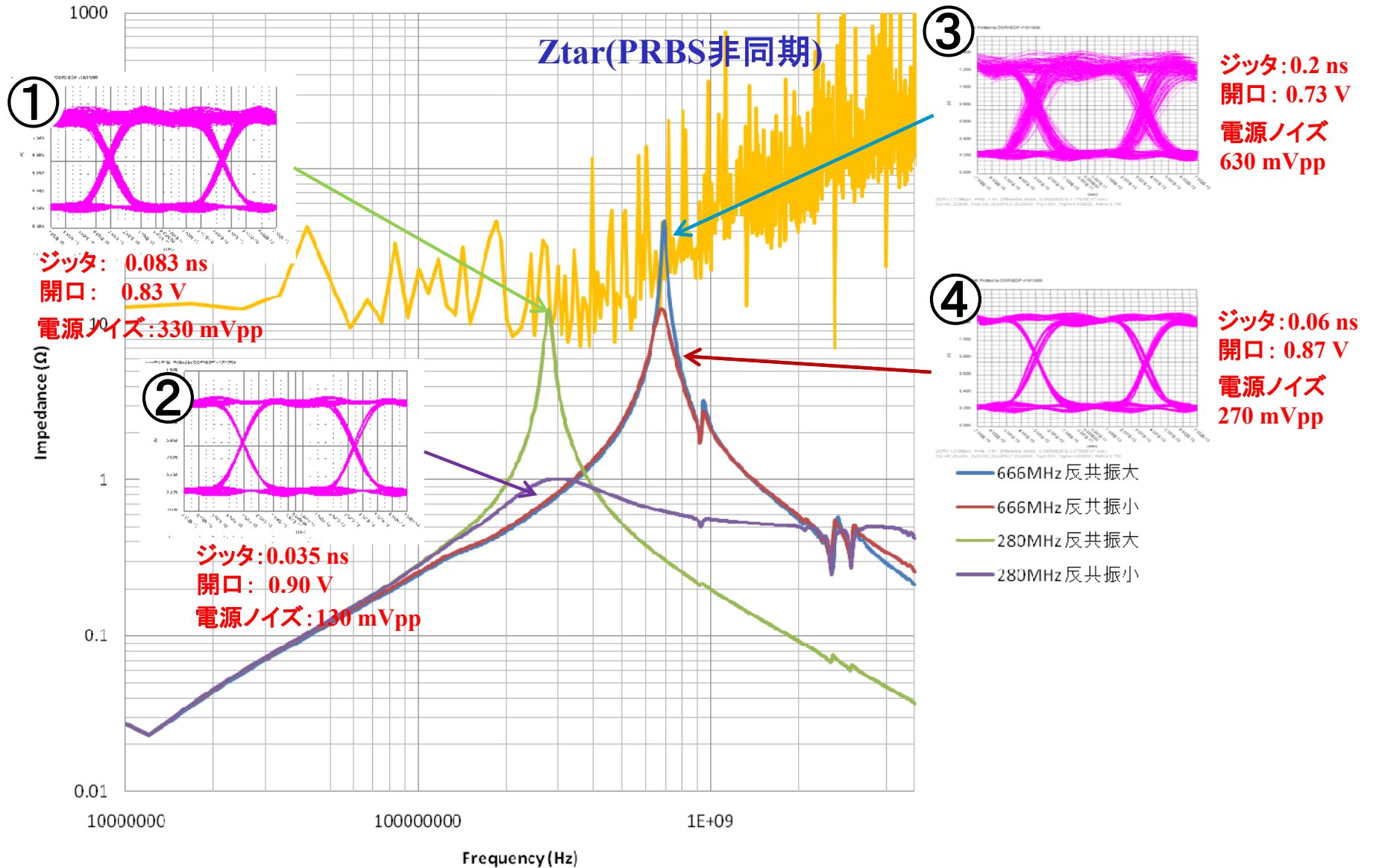


構成	寸法
層	4層
大きさ	355 × 250[mm]
厚さ	16[mm]

駆動モード毎の周波数依存性ターゲットインピーダンス



反共振ピークとアイパターンとの関係



●反共振ピーク値が Z_{tar} 以上になると、電源ノイズが増大し、アイパターンが劣化する

まとめ

1. パワーインテグリティには、様々な側面があるが、SI、EMIに強く関連する最も重要なファクタである。
2. ボード上のキャパシタとオンチップキャパシタの共振周波数は離れているため、**並列共振ピーク**が生じ、リングングを生み出す根源となる。ただ直接観測できない。
3. 励振源としてのPRBS信号に対するアイパターンは、スペクトラムが密なため、**高低にかぎらず**並列共振の影響を受ける。
4. **ターゲットインピーダンス**は、動作状態の電流スペクトラム $I(\omega)$ の逆数に依存する。 $I(\omega)$ はターゲットインピーダンスの高周波域での理論的緩和、最適化に不可欠である。

ご静聴ありがとうございました