

A-1

高速シリアル・インタフェースはこう測る：基本編 2.5Gbpsまでの高速シリアル・インタフェース測定技術



テクトロニクス/ケースレー
イノベーション・フォーラム2013 大阪

畑山 仁

Tektronix[®]

KEITHLEY
A Tektronix Company

講師紹介

畑山 仁: テクトロニクス社 営業技術統括部 シニア・テクニカル・エキスパート

- 担当分野: 高速デジタル、高速シリアル・インタフェース(特にPCI Express、USB3.0)
- セミナ講師: 当社の高速シリアル・インタフェース、PCI Express、USB3.0セミナをはじめ、FPGA代理店との協調セミナなど
- 主な執筆・編著(書籍は共著)
 - CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計, 機能実装まで」、2010年4月
 - <http://shop.cqpub.co.jp/hanbai/books/46/46411.html>
 - 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」、2011年11月: **USB3.0のみならず高速シリアル・インタフェースの知識、特にジッタ測定**の補足にぜひご利用ください。
 - <http://shop.cqpub.co.jp/hanbai/books/46/46421.html>
 - マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」連載中: 本セミナ、特にトランシーバ基盤技術についての補足にぜひご利用ください。
 - <http://journal.mycom.co.jp/series/serialif/001/index.html>

 facebook <http://facebook.com/hitoshih330>

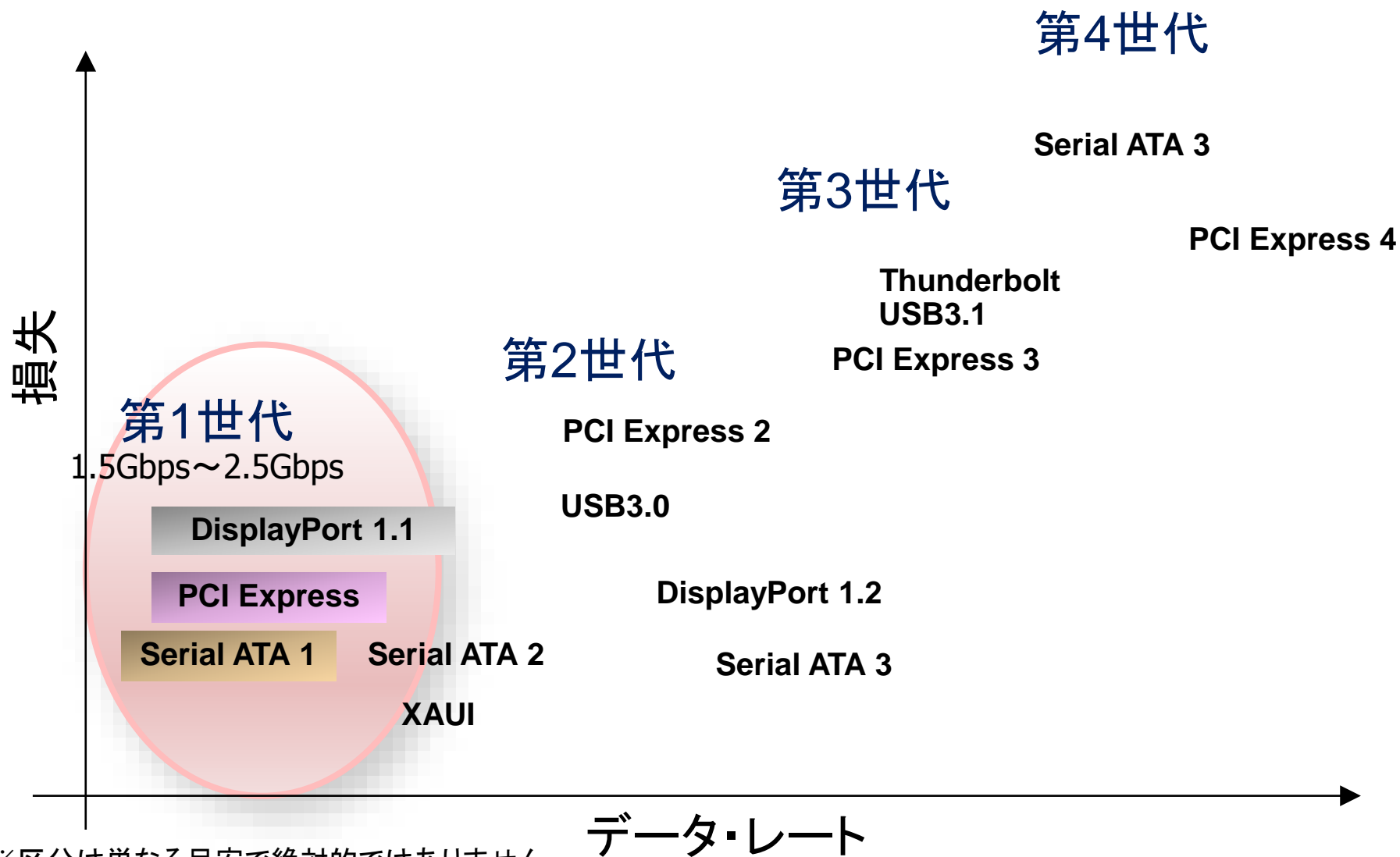
- 非公開グループ「高速シリアル同好会」主宰中



本日の内容

高速シリアル・インタフェース測定の基本的な物理層測定技術について第1世代(2.5Gbps～)の測定技術としてご紹介します。

高速シリアル・インタフェース第1世代



※区分は単なる目安で絶対的ではありません

高速シリアル・インタフェース物理層の構成要素

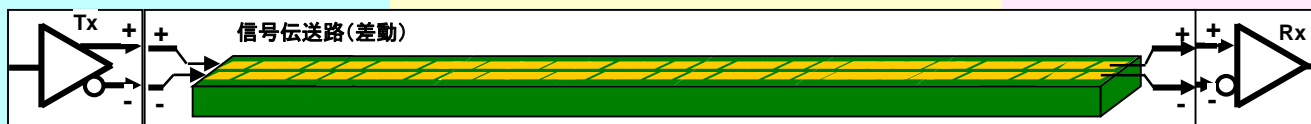
ロジック／リンク層

トランスミッタ

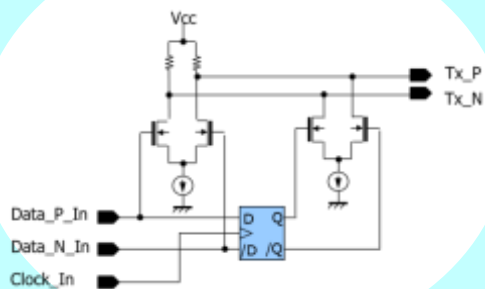
チャンネル
(PCB、バックプレーン、ケーブル)

ロジック／リンク層

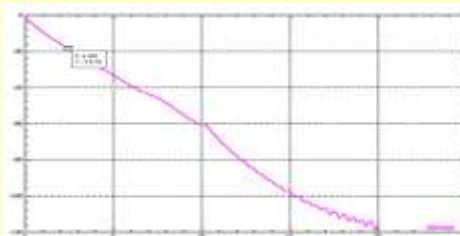
レシーバ



ディエンファシス／プリエンファシス

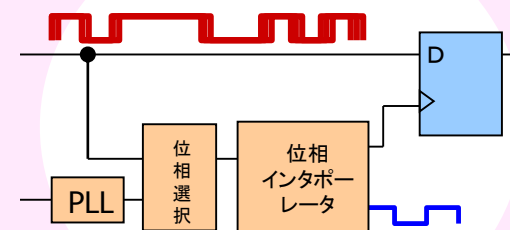


損失



周波数

クロック・データ・リカバリ



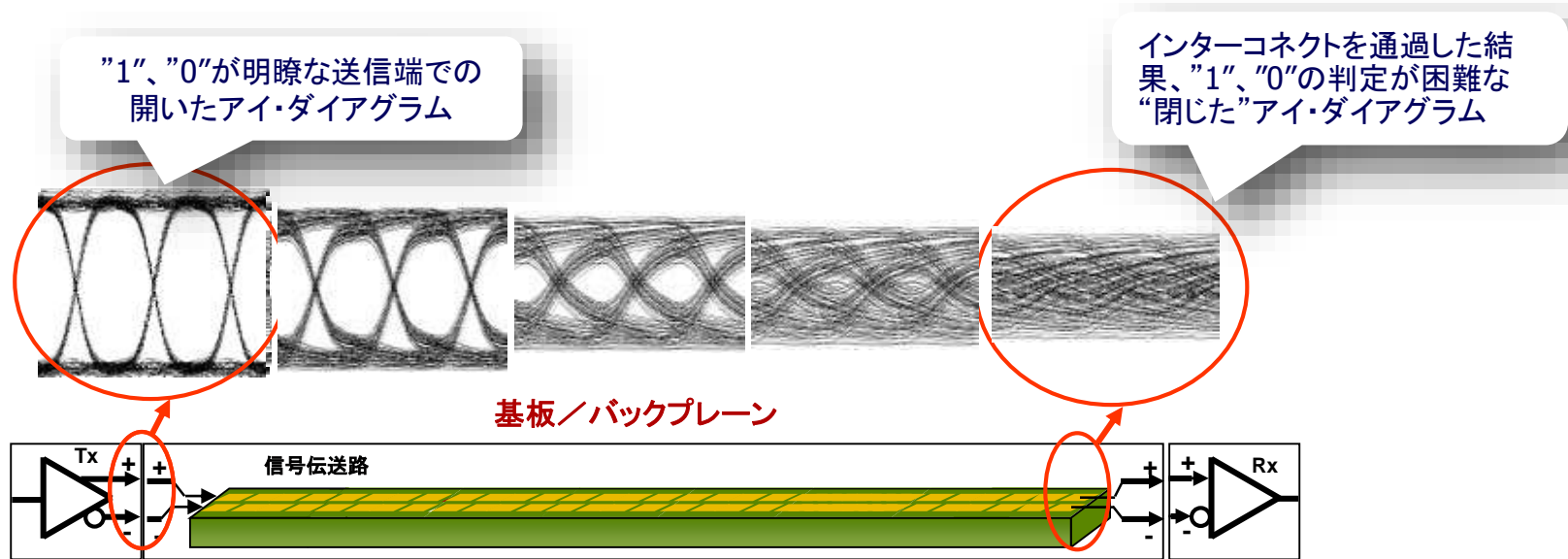
- 実際はデュアル・シンプレックス通信(双対単方向伝送)のため、ダウンストリーム→とアップストリーム←のペアで構成
 - 最高データ・レートで双方向同時通信が可能

チャンネル：有損失伝送路の信号伝送



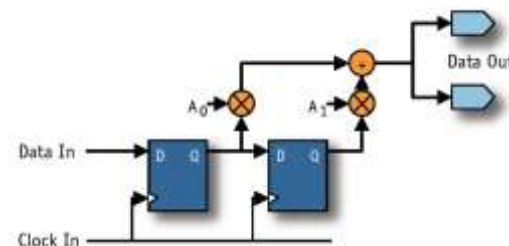
- 高周波損失：抵抗損（表皮効果）＋誘電損
- 周波数、伝送距離に応じた損失を受ける
- パターンによっても影響の受け方が異なる
- 波形が鋸歯状に。振幅、エッジ位置が変わる（データ依存性のジッタが発生）
⇒シンボル間干渉（ISI：Inter-Symbol Interference）

損失例：テクトロニクスBSA12500ISI型ISIテスト基板



高速シリアル・インタフェースの信号は、基板、バックプレーン、ケーブルの伝送にて高周波損失の影響を受ける⇒シンボル間干渉が発生

高周波損失に対する改善方法 ディエンファシス(プリエンファシス)

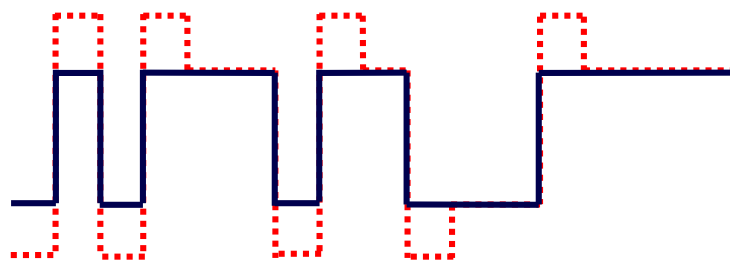


- 相対的に損失の影響を大きく受ける周波数が高い遷移ビットを強調し、受信端に到来した遷移ビットと周波数が低い非遷移ビットとのレベル差をなくすために送信側で施される信号改善方法
 - 遷移ビットの振幅アップ: プリエンファシス
 - 非遷移ビットの振幅ダウン: ディエンファシス
- 理想的には伝送路で受ける損失分を予め補正
- ただし過度に効かせるとジッタが増加
 - 損失の少ない近距離では注意

規格でのディエンファシス例

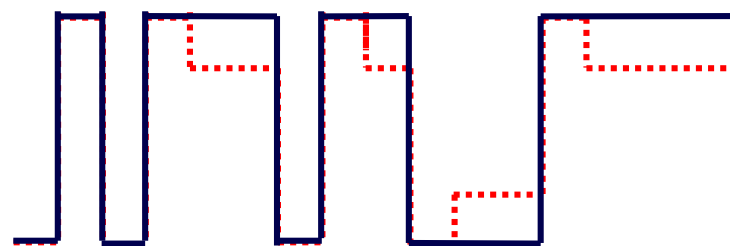
- PCI Express
 - 2.5Gbps: $3.5\text{dB} \pm 0.5\text{dB}$ (2/3に振幅を下げる)
 - 5Gbps: $3.5\text{dB} \pm 0.5\text{dB}$, $6\text{dB} \pm 0.5\text{dB}$ (1/2に振幅を下げる)
- USB3.0
 - 5Gbps: $3.5\text{dB} \pm 0.5\text{dB}$

通常の信号、プリエンファシスを適用した信号



0 1 0 1 1 1 0 1 1 0 0 0 1 1 1 1 1

通常の信号、ディエンファシスを適用した信号



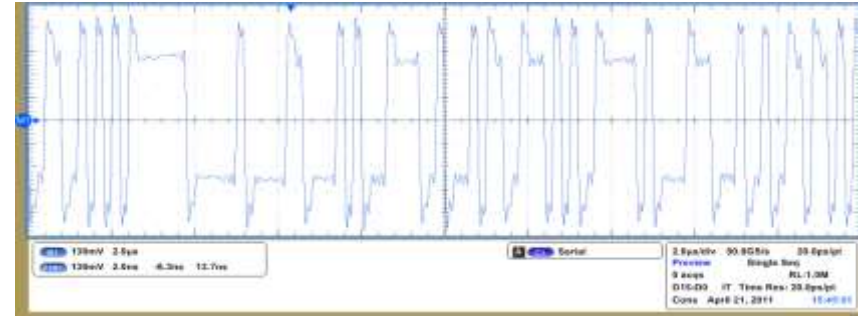
0 1 0 1 1 1 0 1 1 0 0 0 1 1 1 1 1

伝送路の損失の影響を受けた波形(シンボル間干渉)と ディエンファシスによる改善

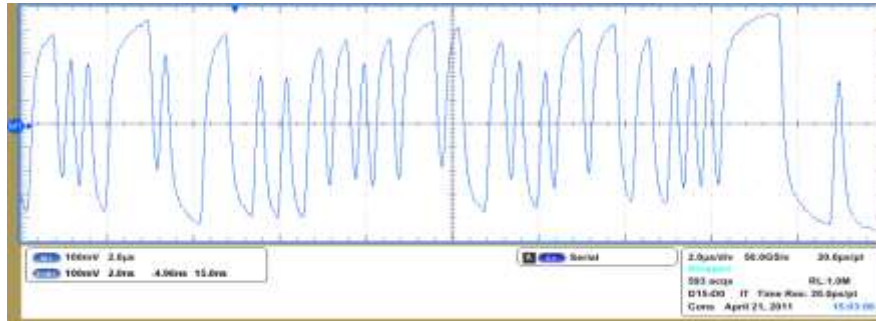
ディエンファシスなし



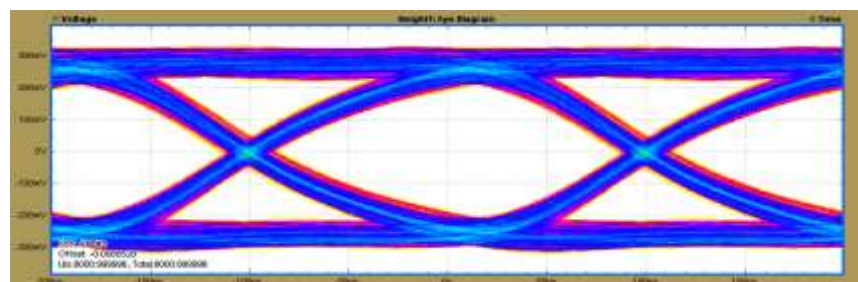
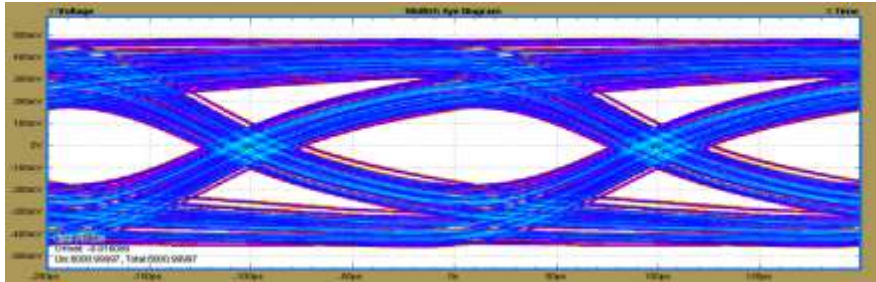
ディエンファシスを適用(-3.5dB)



上: 基板への入力信号



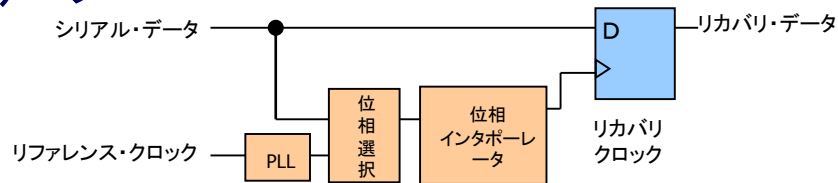
中: 基板を通過した信号



下: 基板を通過した信号の
アイ・ダイアグラム

5GbpsPRBS7、テクトロニクスBSA12500ISI型ISIテスト基板トレース長(91cm)

クロック・データ・リカバリ(CDR)のジッタ伝達特性



- シリアル・インタフェースでは、クロック・タイミングでデータを送信し、受信側でPLL等でクロックをリカバリし、リカバリされたクロックでデータをリカバリする。そのためジッタの影響を大きく受ける
- ジッタ※の影響はクロック・データ・リカバリ回路のPLL特性に依存⇒すべてのジッタが影響するわけではない

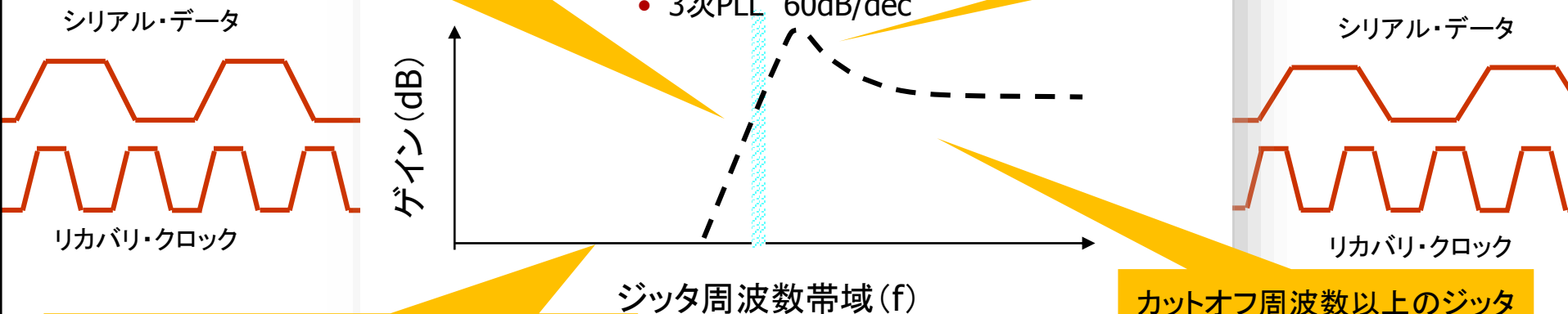
ジッタ伝達関数 : どこまでジッタを通すか

過渡領域でのジッタの吸収度合いはジッタ周波数と振幅に依存

過渡特性

- 1次PLL 20dB/dec
- 2次PLL 40dB/dec
- 3次PLL 60dB/dec

ピーキングがあると逆にジッタが増加



カットオフ周波数以下のジッタ成分は吸収: ジッタに追従

カットオフ周波数以上のジッタ成分は吸収されない: ジッタに追従できない

- リファレンス・クロック、送信のPLLも同様

※ 主にジッタ周波数軸上に明確なピークを持つ周期性ジッタでスイッチング電源ノイズやSSCの高調波、近接オシレータなどが原因⇒参照「様々なジッタ・ソースが存在」

参考. 様々なジッタ・ソースが存在

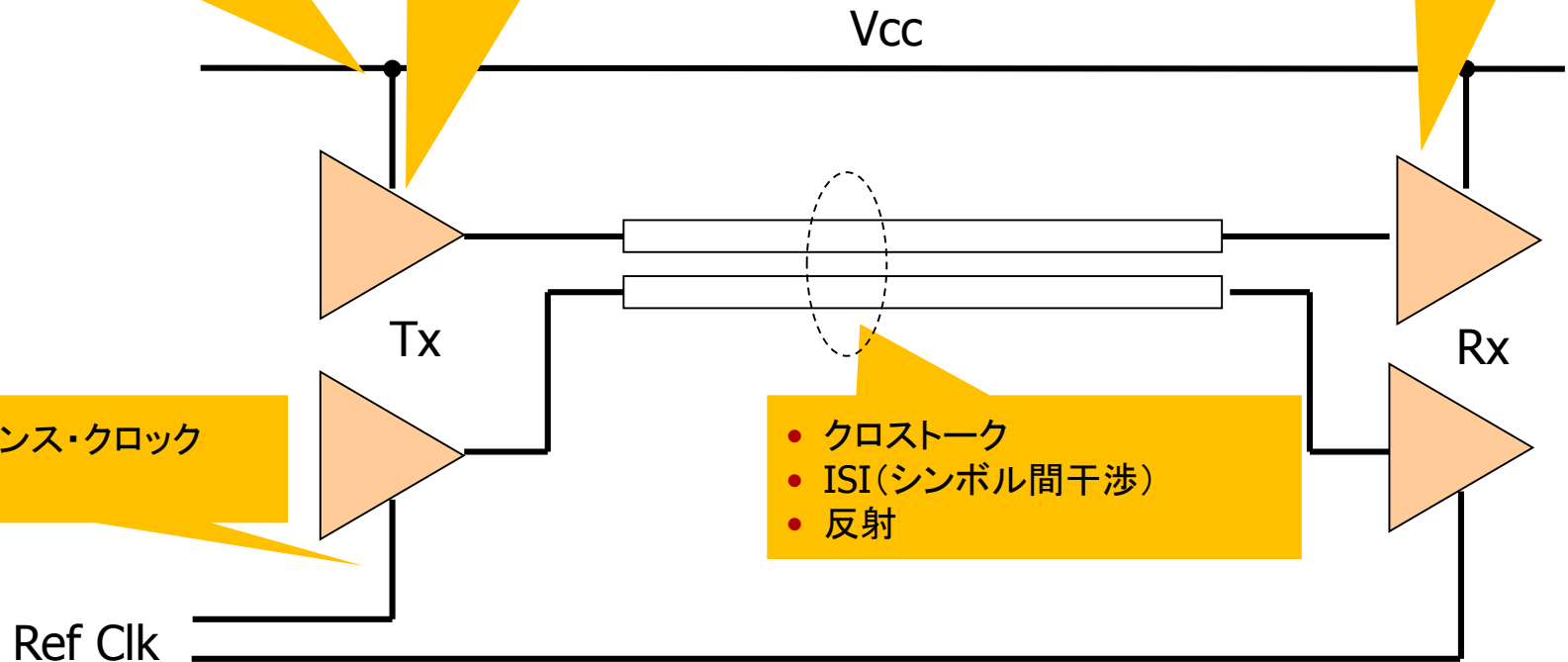
- 熱雑音、ショット・ノイズ
- 隣接オシレータ
- パッケージによるISI(シンボル間干渉)
- 不均衡な差動オフセット
- 不適切なPLL設定
- 過度なディエンファシス/プリエンファシス

- 熱雑音、ショット・ノイズ
- 不適切なPLL設定
- 不十分なデカップリング
- SSC

- 電源ノイズ(スイッチング電源)
- リプル

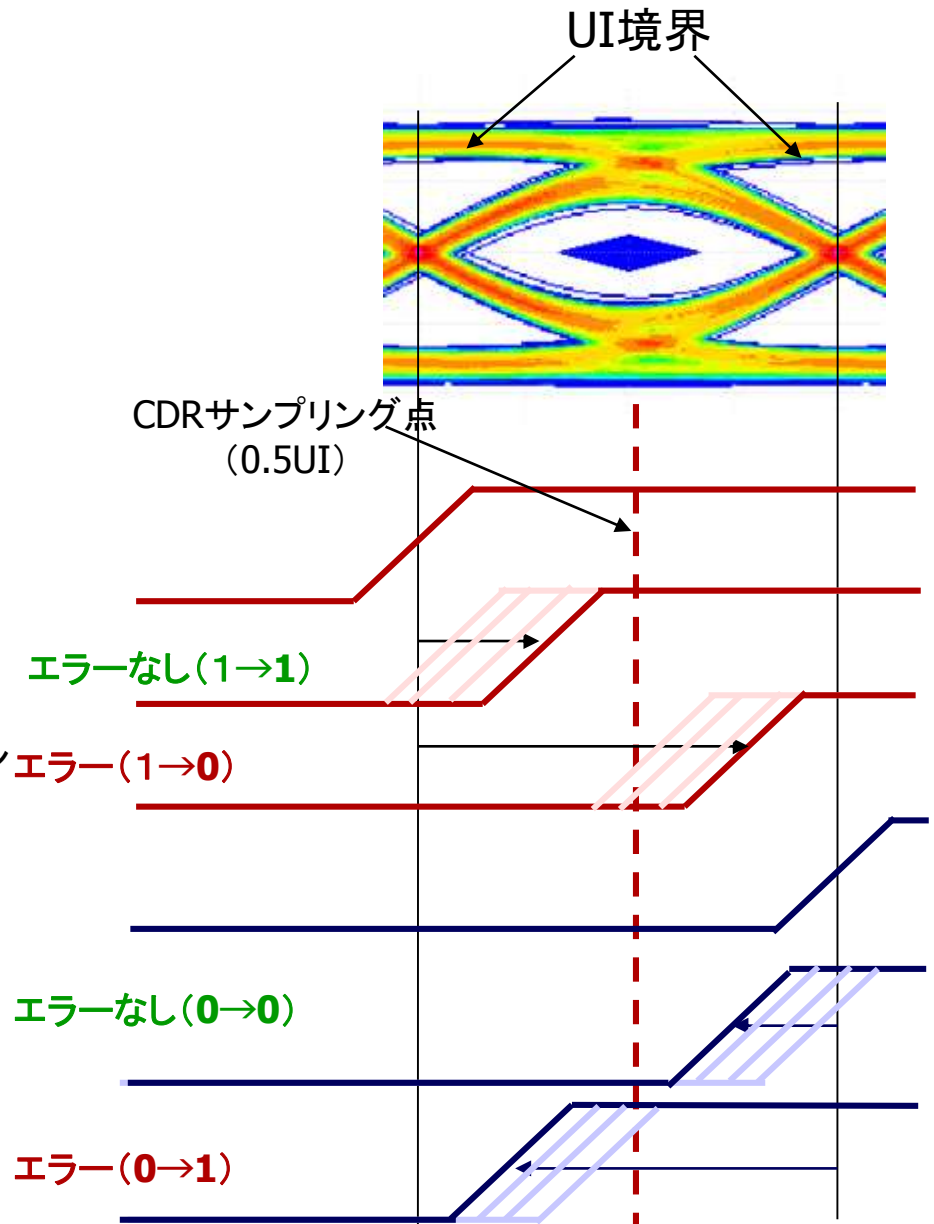
- リファレンス・クロック
- SSC

- クロストーク
- ISI(シンボル間干渉)
- 反射



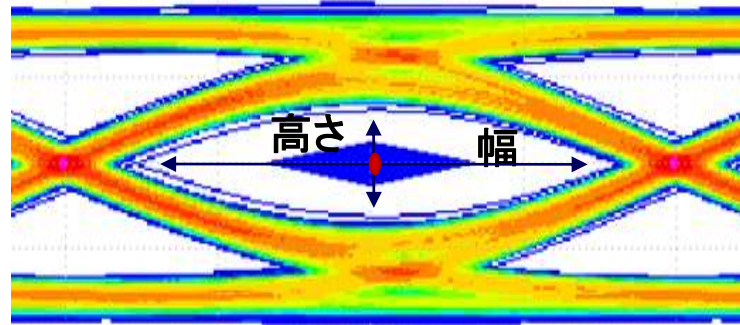
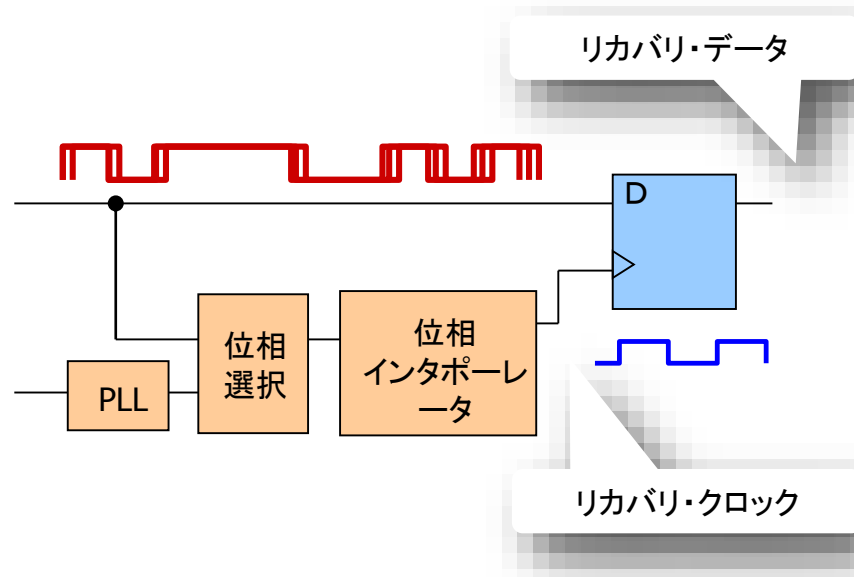
過大なジッタはエラーを招く

- ジッタはスレッシュホールド・スイッチング点の時間軸方向へのシフト
- 高速シリアル・インタフェースのジッタは、リカバリされたクロックと実際のエッジとのずれであるタイム・インターバル・エラー (TIE)
- 過大なジッタはエラーを招く
 - 単純化するため0.5UIを超えたらエラーと仮定
 - 実際はデータ・リカバリのセンス・アンペアがウインドを持つので幅がある
 - 基準のUI境界からのエッジのシフトが0.5UIまでならエラーなし
 - 0.5UIを超えるとエラーが発生
 - 1→0、あるいは0→1と認識
 - 左方向へのシフトも同様



レシーバから見たシグナル・インテグリティ

- レシーバは、受信信号からクロックを正しくリカバリし、正しく論理値を判定してデータをリカバリできることが重要
 - ラッチ点にて所望の信号レベルが確保されているかどうか？
 - ラッチ点から信号のエッジ位置までの時間が確保されているかどうか？
- 障害要因(信号劣化)
 - 振幅方向に関するもの
 - 信号レベルの低下
 - 信号のなまり
 - レベルの変動
 - ノイズ
 - 時間軸方向に関するもの
 - デューティ・サイクル、UIの変動
 - ジッタ
- その主な評価方法
 - トランスミッタ: オシロスコープを使ってのアイ・ダイアグラムとジッタの評価
 - 参考: レシーバ: ジッタを持った信号を入力し、正しく受けられることを確認



信号レベル、ジッタがポイント

トランスミッタ／ソース・テスト

- 規格に適合した信号を送信できているか？

- 共通的な測定項目

- アイ高さ、アイ幅
- マスク・ヒット
- ジッタ、データ・レート

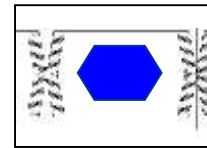
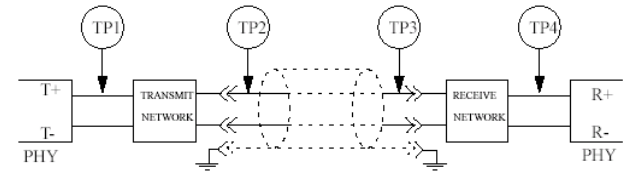
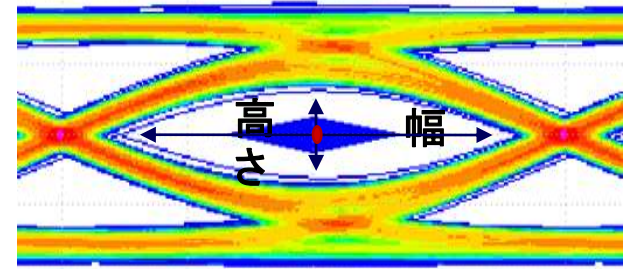
※ 規格で定められた点で測定する必要がある

例: IEEE802.3 - TP1、TP2、TP3、TP4

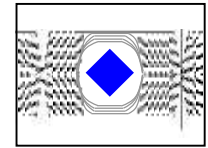
- オシロスコープとテスト・フィクスチャ(ケーブル)、ジッタ／アイ・ダイアグラム解析ソフトウェア、あるいは個々のコンプライアンス測定ソフトウェアを使用

- DUTと計測器とを直接接続。疑似差動測定

- プロブは、マルチギガ・ビット・レートのデバッグ、トラブルシュート以外ほとんど使用しない



近端



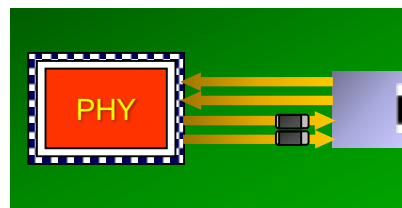
縁端

アイ・ダイアグラム、ジッタを評価

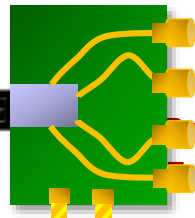
オシロスコープ



トランスミッタ内部で生成されたテスト用信号



被測定システム



テスト・フィクスチャ

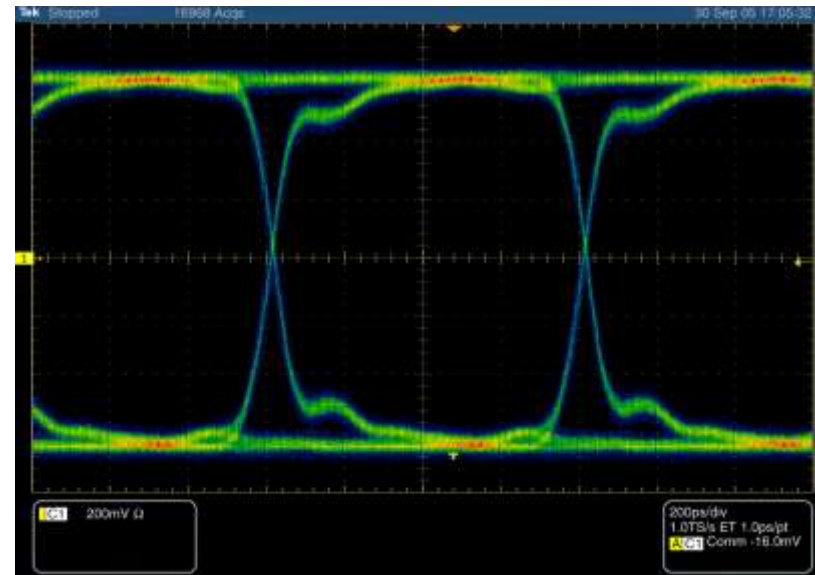
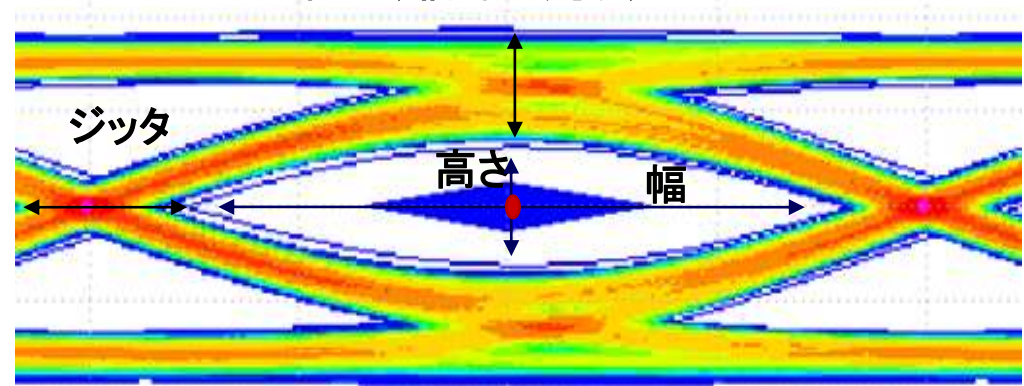


まずはアイ・ダイアグラムで評価

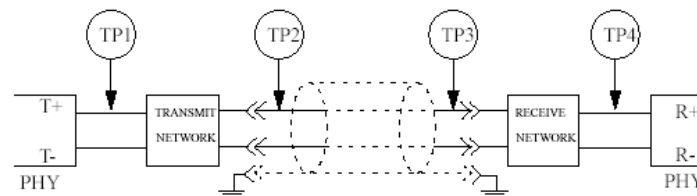
シリアル・インタフェース物理層評価の中核

- 信号の遷移・非遷移を重ね書き
 - 画素ごとの分布状況を色表現
- アイから分かるもの
 - 信号レベル
 - 立上り時間、立下り時間
 - 波形ひずみ
 - ノイズ
 - デューティ・サイクル、UI(ユニット・インターバル)、ジッタ
- アイの開き方が受信特性に反映
 - トップ、ベース部分が太くなったり、遷移部分が広がると受信特性が悪化
 - ⇒ アイの開き方はBER(Bit Error Rate)と相関がある
- アイの基準はリカバリされたクロック
 - 必要な信号レベル、エッジまでのタイミングがラッチ点にて確保されているかどうかを判定。CDRが吸収できないジッタを評価

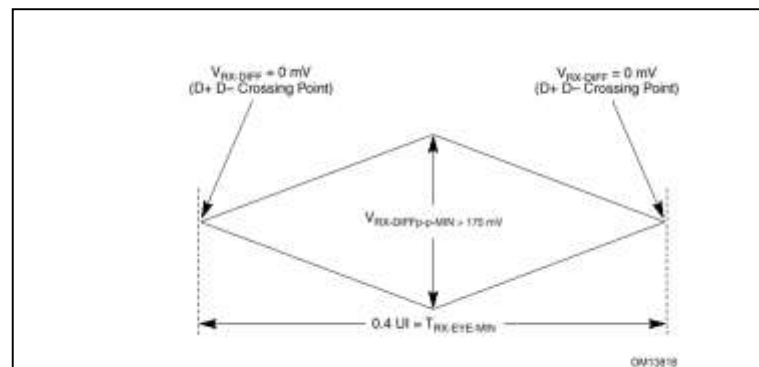
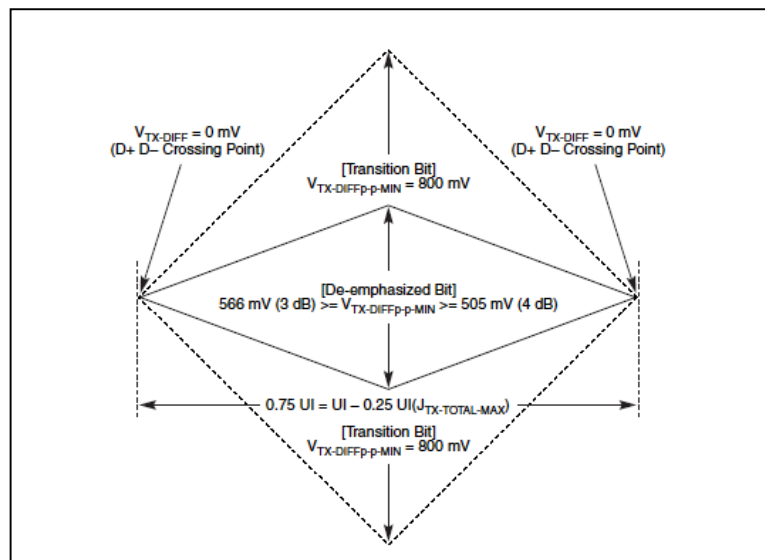
レベルの低下、信号の鈍り、ノイズ



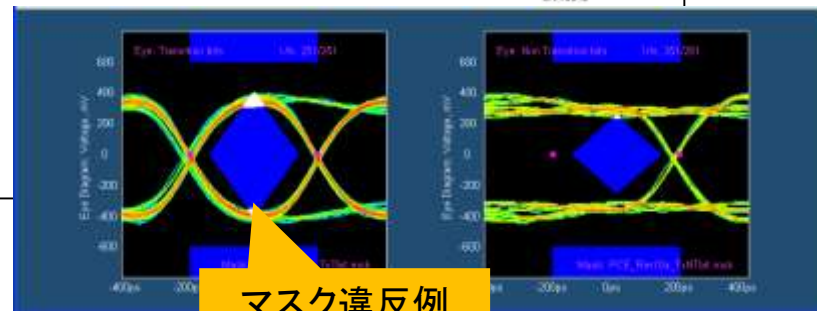
マスク・テスト



- レベル、ノイズおよびジッタ、パルス特性の許容範囲を多角形で規定
 - テンプレート・テストという規格も
- 各規格ごと、指定測定箇所ごとに規定されているマスクを使う
 - 測定箇所により、信号振幅、ジッタ特性が変わる
 - マスクは測定器ベンダで用意している他、独自に加工、作成も可能

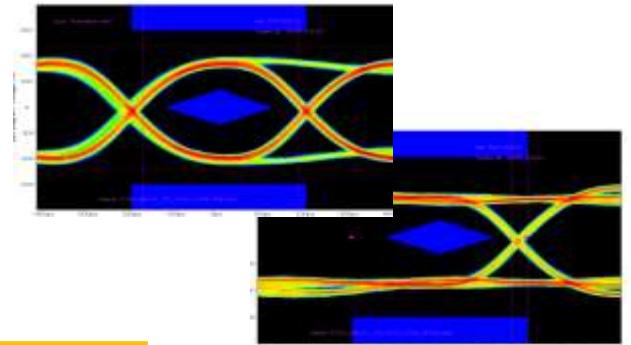
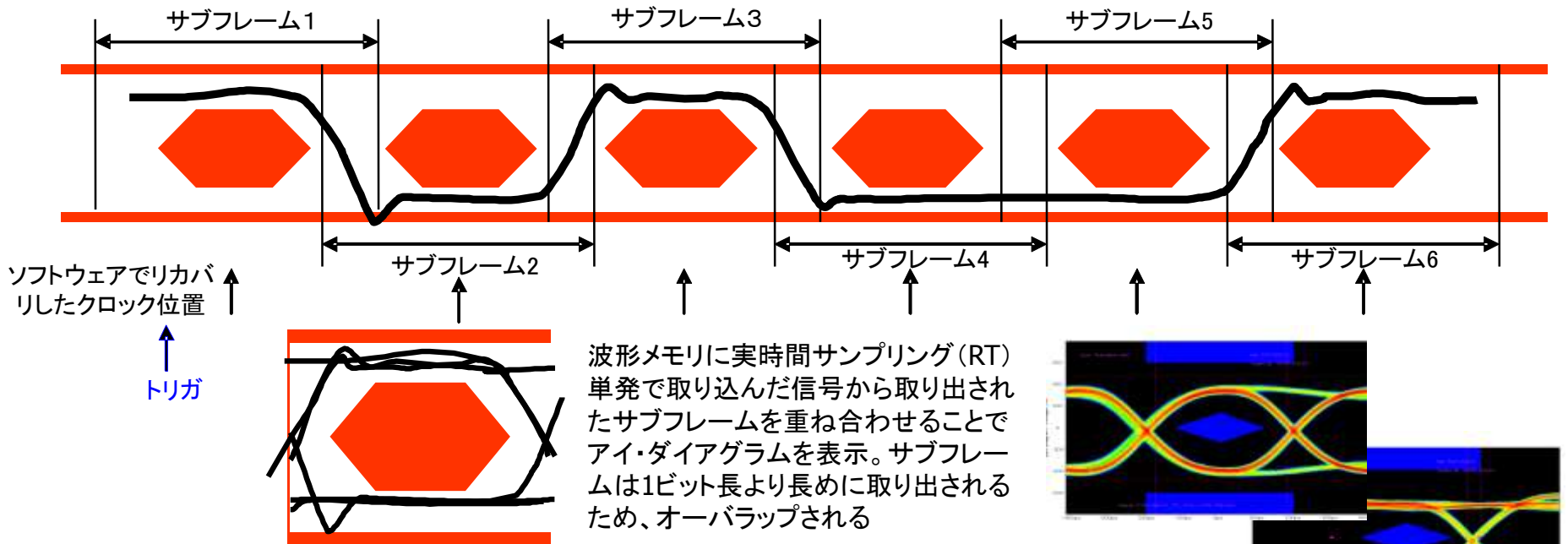


送信端(左)と受信端(右)のアイ・マスク(PCI Express Base Specification Rev.1.1)



マスク違反例

アイ・ダイアグラム測定のための今日の主流は ポスト・プロセス・ソフトウェア (ソフトウェア・クロック・リカバリ)



- 連続サイクルでの描画・評価が可能
- 遷移ビット、非遷移ビットに分離しての描画が可能
- 任意のクロック・リカバリ・モデルを選択可能
 - PLLのみならず全クロック成分を観測可能
- 同じ方法でジッタ (TIE) を測定可能

PLLモデル ダмпング・ファクタ

PLLモデル ダмпング・ファクタ

PLLループ帯域
ジッタ伝達関数帯域

第1世代の高速シリアル・インタフェース測定例 PCI Express Rev.1.1 (2.5Gbps)

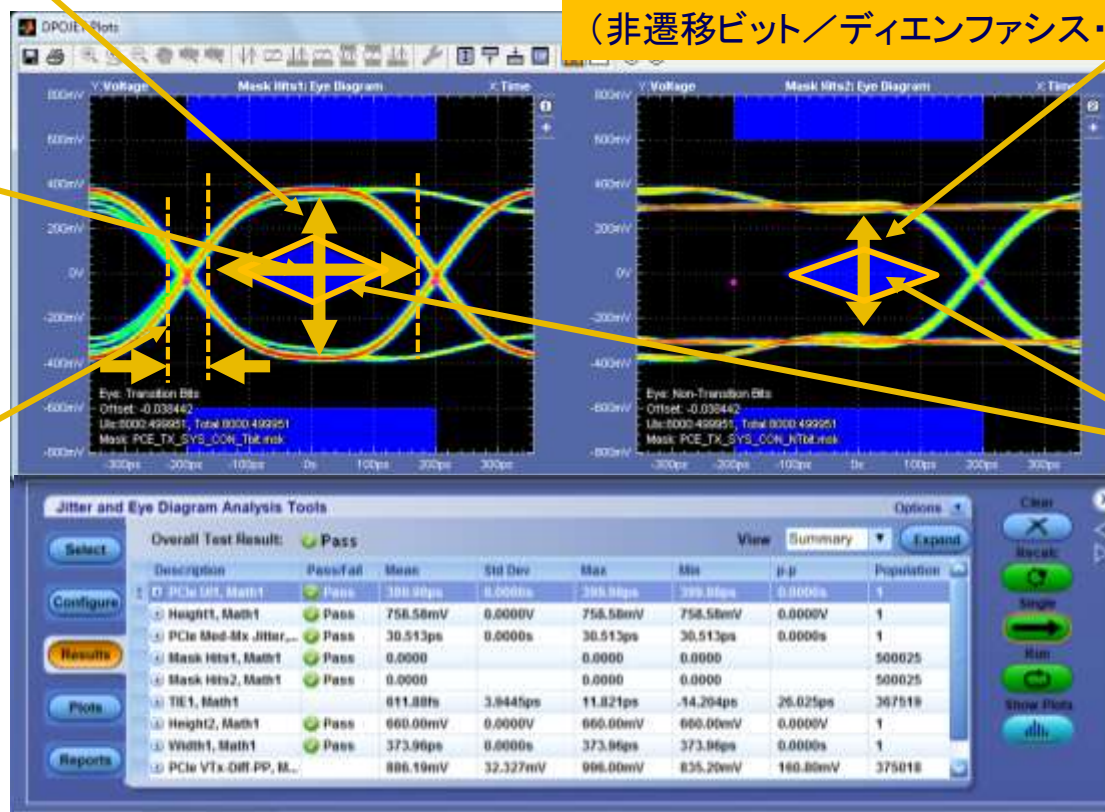
アイ高さ
(遷移ビットの最小信号レベル)

アイ高さ
(非遷移ビット／ディエンファシス・ビットの最小信号レベル)

アイ幅@1M-UI

TIE
ジッタ(p-p)

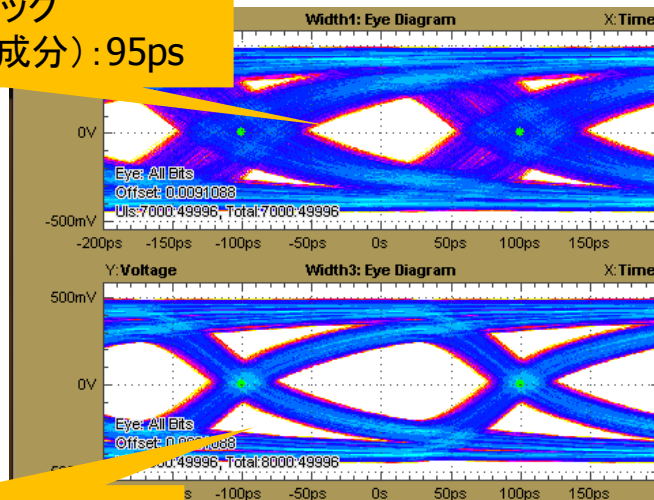
マスク・ヒット



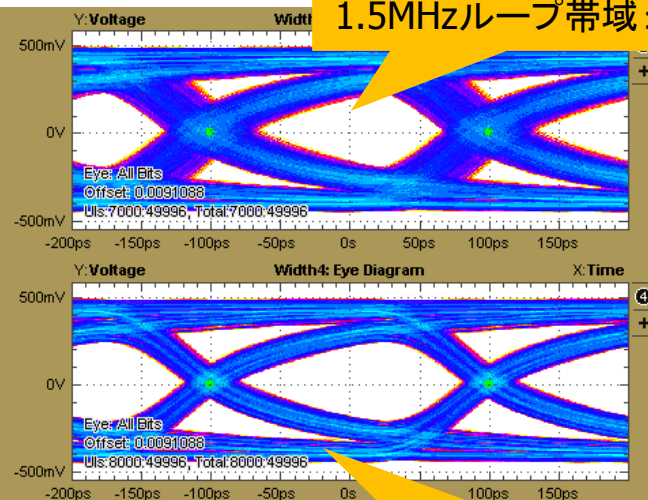
同じ信号なのにアイの開き方が異なる。その理由は？

- ジッタ成分によっては、クロック・リカバリの特性によりジッタの影響具合が異なる ⇒ 測定も同様。アイ幅、ジッタ測定結果が異なる
 - 下記はすべて5Gbpsの同じ信号の測定例(アイ幅)
 - ジッタ周波数成分: 1.5MHz、ジッタ振幅: 0.25UI (50ps)、アイ幅: 0.75UI (150ps)、25cmトレース
- 同一条件で測定⇒標準規格ではコンプライアンス測定の際のクロック・リカバリの特性を指定
 - 理想的には使用するレシーバのクロック・リカバリの特性で評価
 - **New!** SDLAビジュアライザの併用で半導体独自モデル (IBIS-AMIモデル) も使用可能

平均クロック
(全ジッタ周波数成分): 95ps



1.5MHzループ帯域: 121ps



3MHzループ帯域: 142ps

6MHzループ帯域: 150ps

トランスミッタ測定の基本: 検討事項

被測定機器(設計時検討事項)

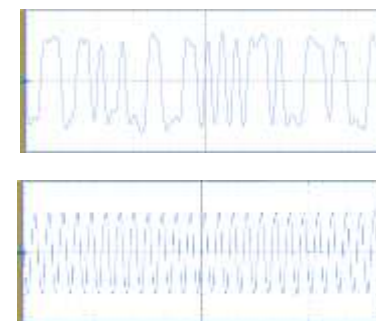
- テスト・モード: テスト・パターンの発生方法

計測器

- オシロスコープ: 周波数帯域
- コンプライアンス・テスト・ソフトウェア
- テスト・フィクスチャ
- プロブ／ケーブル
 - プロブ: Ethernet(10BASE-T/100BASE-TX/1000BASE-T)、USB2.0
 - ケーブル: PCI Express、SATA、USB3.0...
- ジェネレータ(規格・必要に応じて)

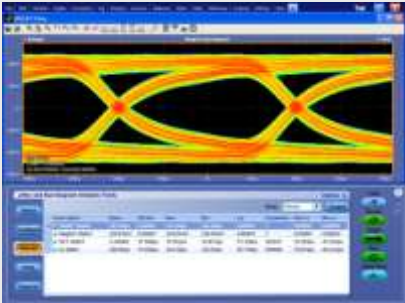
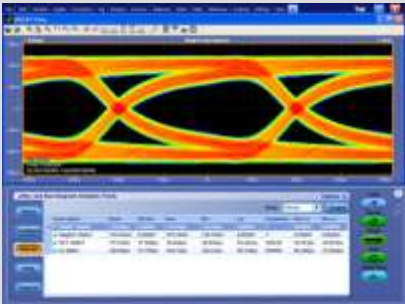
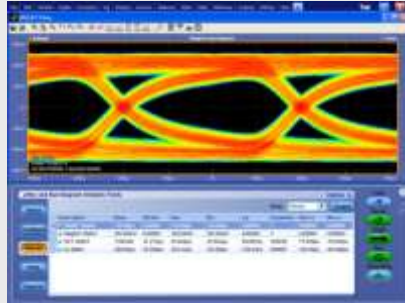
規格で指定されたテスト・パターンを使う

- パターンが異なると、データの持つ周波数成分の広がり、データ遷移密度などが変わり、測定結果が異なることになるので注意
 - PRBS (Pseudo Random Bit Sequence) : PRBS7、PRBS23、PRBS31
 - ↑ 周波数成分が異なる
 - 8B10B系
- 複数のパターンを測定項目ごとに使い分けるのが一般的
 - SFP+ : PRBS31、PRBS9、8180 (8ビット”1”、8ビット”0”)
 - SATA : HFTP (High Frequency Test Pattern)、MFTP (Mid Frequency Test Pattern)、LBP (Lone bit pattern)、LFTP (Low Frequency Test Pattern)
 - USB3.0 : CP0 (ランダム・パターン)、CP1 (クロック・パターン)
 - PCI Express (2.5Gbps、5Gbps) は1種類のパターンのみ使用
- パターンの指定がない規格もある
 - HDMI など
- **パターン・発生方法は規格、チップに依存**
 - 設計時に規格、デバイスの仕様を確認しておくこと

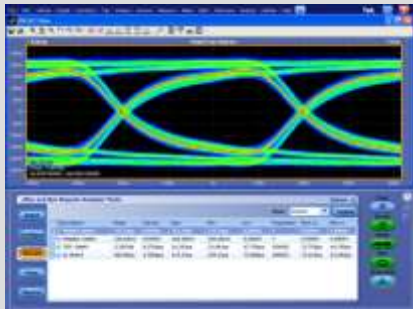


USB3.0 : CP0 (上)、CP1 (下)

参考: テスト・パターンによる測定結果の比較 (PRBS)

テスト・パターン	パターン・ビット長	ジッタ (TIE p-p)	アイ・ダイアグラム測定結果
PRBS7	127	57.338ps	
PRBS11	2,047	65.441ps	
PRBS15	32,767	80.907ps	

参考: テスト・パターンによる測定結果の比較 (8B/10B)

テスト・パターン	パターン・ビット長	ジッタ (TIE p-p)	アイ・ダイアグラム測定結果
Compliance Pattern (PCI Express)	40	47.720ps	
CJTPAT (FibreChannel)	2,640	47.764ps	
CP0 (USB3.0)	655,330	48.983ps	

必要なオシロスコープの周波数帯域

1. 規格認証試験書(CTS)による推奨

2. 5次高調波までの捕捉が目安

- 方形波の基本波周波数(最高) = ビット・レート(NRZ) / 2
- 周波数領域で見ると、方形波は基本波と奇数高調波により構成
 - 5次高調波までを捕捉
 - 5次以上は急速に減衰

3. 10Gbps以上

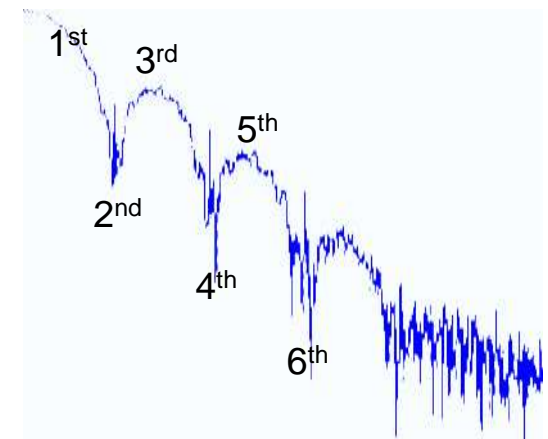
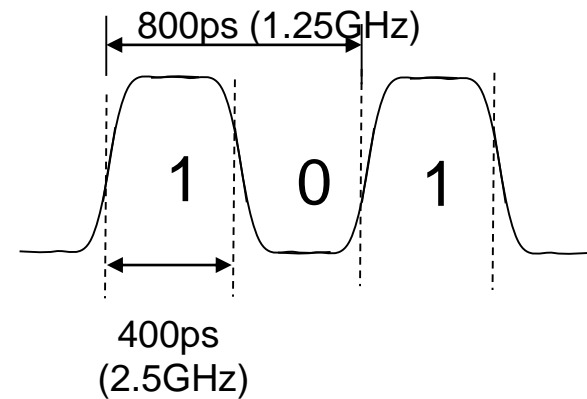
- システム: 3~4次が目安
 - SFP+, Thunderbolt: 10.3125Gbps → 15GHz
- 半導体: より正確な測定のために5次を推奨

4. 立上り時間からの考察

- ニー周波数(f_{Knee})^{*} = $0.5 / T_r$
- オシロスコープの立上り時間が2倍速いこと

5. 光

- ビット・レート × 0.75: 4次ベッセル-トムソン・フィルタによる帯域制限



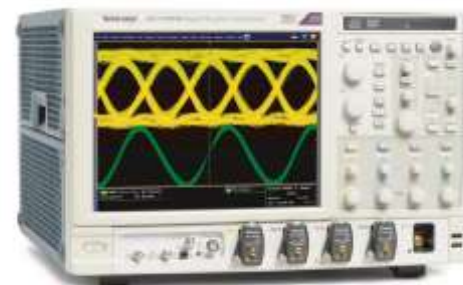
**高調波成分が急速に減衰する点。引用: Howard Johnson and Martin Graham, 「High-Speed Digital Design: A Handbook of Black Magic」, p.2. Prentice Hall, 1993*

テクトロニクスのソリューション： リアルタイム・オシロスコープ MSO7000C/DXシリーズ ミックスド・シグナル・オシロスコープ



- 33GHzから4GHzに9機種
- 100GS/s@2チャンネル、50GS/s@4チャンネル(12.5GHz以上)
- 標準：ジッタ／アイ・ダイアグラム解析、6.25Gbps8B10Bプロトコル・デコード、サーチ & トリガ
- オプション：フレーム & ビット・エラー・ディテクタ、ビジュアル・トリガ、I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0/3.0、HSIC、PCI Expressデコード & トリガ、DDR解析、シリアル・データ・リンク解析
- 業界唯一 のデバッグ、トラブルシューティングに威力を発揮するDPX(FastAcq)：波形更新レート毎秒30万回以上
- 16チャンネル・ロジック入力付：アナログ信号と周辺デジタル信号の同時測定
- 業界唯一：ロジック入力全チャンネルで12.5GHz分解能
- パラレルのみならず低速シリアル・バスも同時取り込み可能
- 業界唯一：MSOでのiCapture(アナログMUX)。1回のプローブ接続で任意のデジタル・チャンネルのアナログ信号を切り替えて観測可能

参考: MSO70000DXシリーズ *New!* ミックスド・シグナル・オシロスコープ

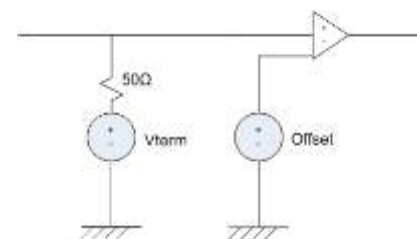


- 「最高の波形特性」と「強力な解析能力」

型名	MSO73304DX型	MSO72504DX型	MSO72504DX型
最高周波数帯域			
2ch(RT)、4ch(ET、アンダー・サンプリング)	33GHz	25GHz	23GHz
4ch(RT)	23GHz		
立上り時間(20%-80%)	9ps	12ps	13ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル		
最大レコード長	500Mポイント@4チャンネル、1Gポイント@2チャンネル		
垂直軸ノイズ (フルスケールに対するp-p)	0.58%		
フラットネス	±0.5dB(最高周波数帯域の半分まで)		
ジッタ・ノイズ・フロア(rms)	340fs	380fs	
デルタ時間測定確度(rms)	555fs	639fs	
垂直軸感度	6.25mV/div~600mV/div (62.5mV~6Vフルスケール)		
オフセット・レンジ 終端電圧レンジ	+3.5~-3.5V		



IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現

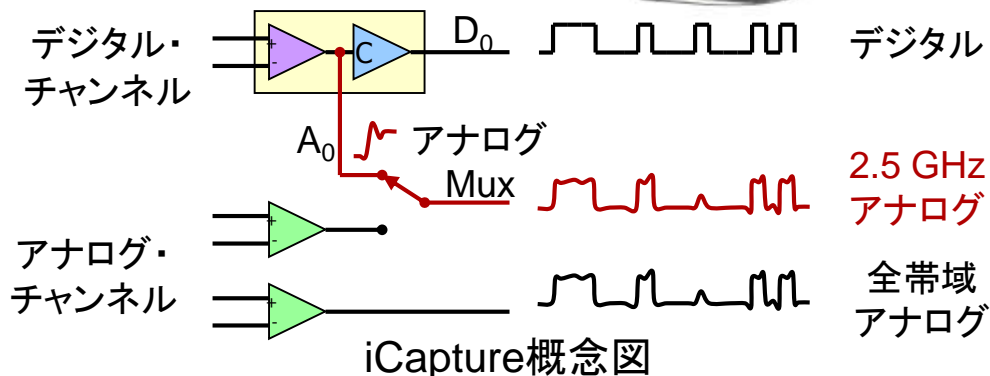


終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

参考:MSO70000Cシリーズ – 業界唯一 高性能ミックスド・シグナル・オシロスコープ



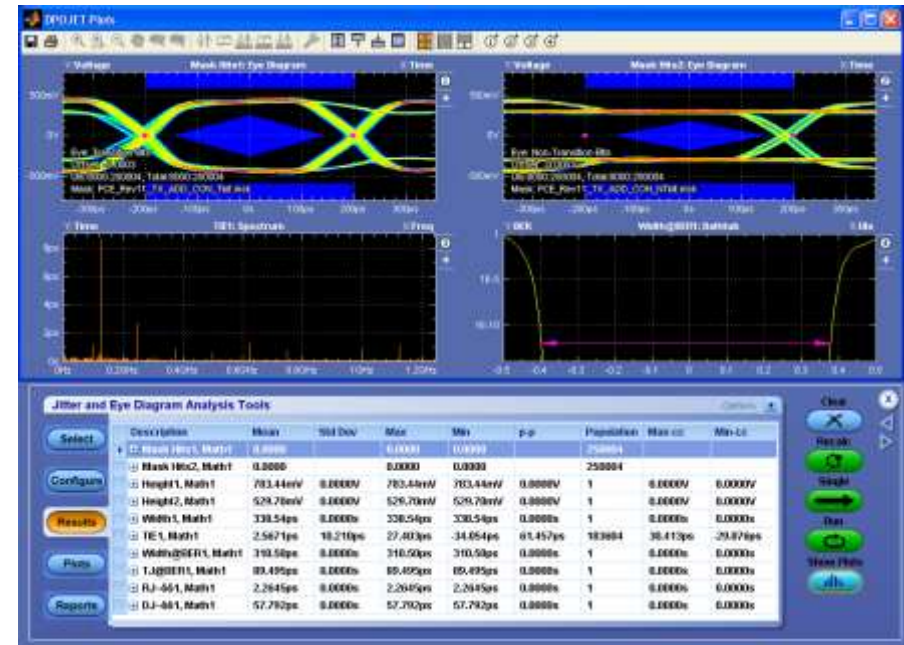
- 業界唯一 :MSO唯一のiCapture
 - 1回のプローブ接続でアナログとデジタルの信号の取込み
- 任意のデジタル・チャンネルとアナログ・チャンネルをすばやく切り替え
 - 同時に観測可能
- 汎用1GHzパッシブ・プローブと2.5GHzアクティブ差動プローブを用意



型名	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
アナログ・チャンネル	4					
デジタル・チャンネル	16					
サンプル・レート(アナログ)	50GS/s@4チャンネル、100GS/s@2チャンネル			25 GS/s@4チャンネル		
サンプル・レート(デジタル)	12.5 GS/s (80ps)					
レコード長 (全チャンネル)	250 M ポイント			125 M ポイント		
バス・トリガ/デコード(標準)	パラレル、I ² C、SPI					
iCapture®	○					
ロジック・クオリファイ・トリガ	○					
主な機能(標準)	サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ/アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード					

DPOJETジッタ & アイ・ダイアグラム 解析ソフトウェア (DPOJET Advanced)

- 周波数／周期、振幅、タイミング、ジッタとアイ・ダイアグラム測定
- 同時に99測定まで可能
 - 別々の信号に対する測定も同時に可能
 - 異なったクロック・リカバリでの評価
 - マルチレーンでは個々のレーンに対し、独立したクロック・リカバリを使用可能
- コンプライアンスからデバッグまで対応
- 様々な側面からデータ解析を可能にするプロット
 - 最大4プロット表示可能
 - アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンドなど
- 外部クロック逡倍を含む様々なクロック・リカバリ・モデルを選択可能



- レポート生成機能
 - MHTML形式 (MIME Encapsulation of aggregate HTML)*

*HTML ファイルとリンクされた画像データを単一のアーカイブにまとめて保存できる形式

コンプライアンス・テスト

1. 専用コンプライアンス・ソフトウェア

• サポート規格

- DVI、HDMI
- USB2.0、Ethernet (10/100/1000BaseT)、IEEE1394.a

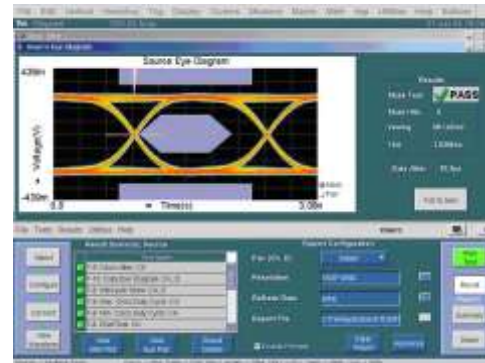
2. TekExpress自動テスト・ソフトウェア

• コンプライアンス・テスト・ワンボタン・ソリューション

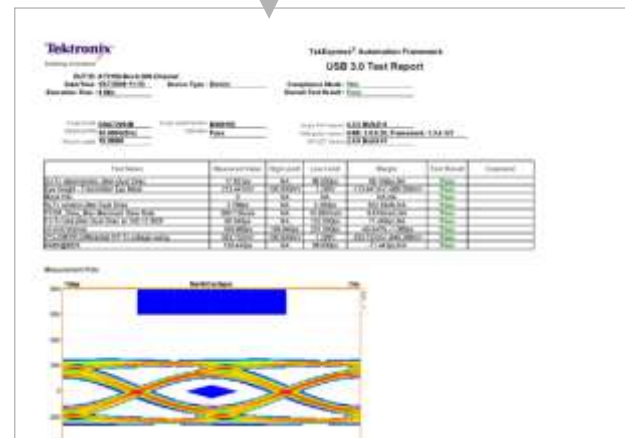
- 記憶、勘、MOIに頼らずコンプライアンス・テスト(トランスミッタ/レシーバ・テスト)をワンボタンでシーケンス実行
- 設定からレポートまで
- テスト信号を変更する必要がある規格では各々測定した結果を最後に1本のレポート化
 - テスト信号の自動変更、手動変更に対応

• サポート規格

- PCI Express
- DisplayPort
- SAS、SATA
- USB 3.0
- 10GBASE-T、BroadR-Reach
- Thunderbolt Technology
- SFP+/QSFP+、10GBASE-KR
- MHL



↓ TekExpress™ 自動テスト

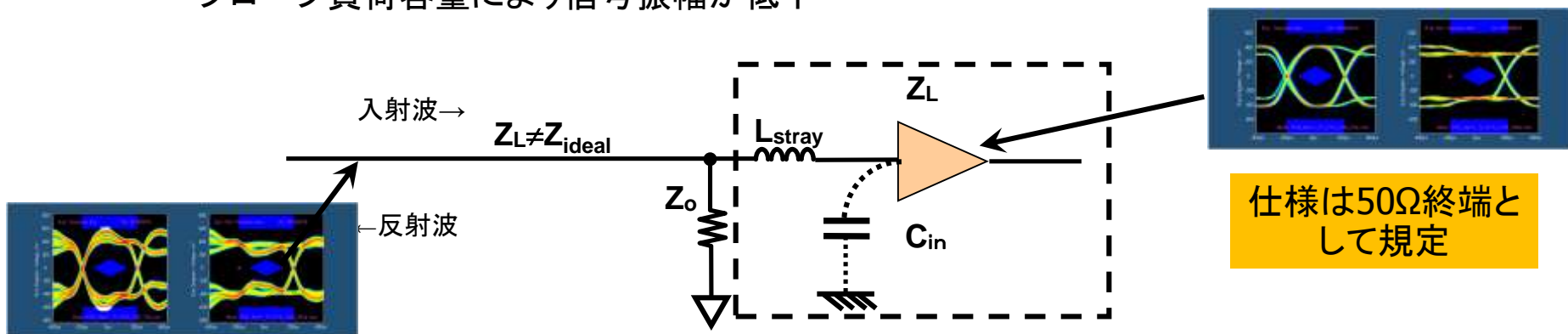


レポート・ファイル
(MHTML形式)

実デバイスでのプローブ測定への考察

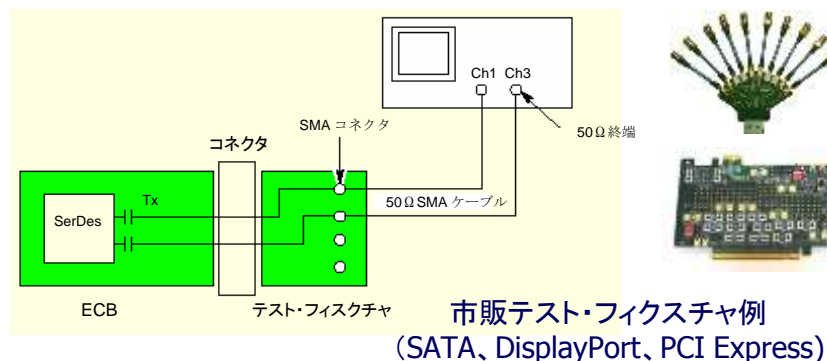
実デバイス環境でのプローブ測定

- デバイス入力容量により、高周波領域でのインピーダンスが低下
 - 伝送路との不整合をリターン・ロス仕様
 - 半導体ゲート幅の微細化により低容量化が進んでいるため負荷は軽減
- 規格は理想終端での仕様のため信号振幅が低下
- 伝送路の途中にプロービングした場合、入射波に対して反射波が重畳し波形が乱れる
- プローブ負荷容量により信号振幅が低下



ゆえにコンプライアンス・テストでは実デバイスではなく、理想終端で測定

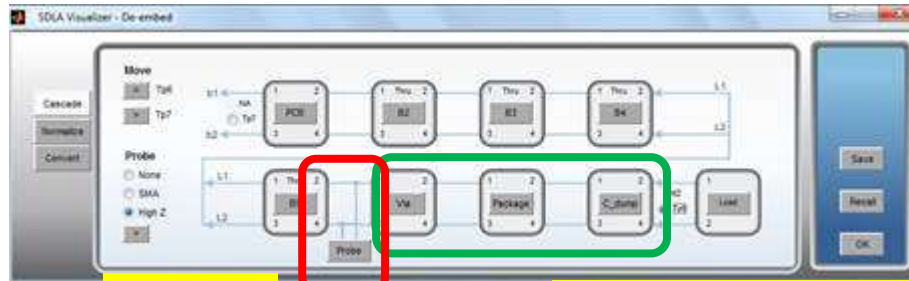
- オシロスコープの50Ω入力で終端
- テスト・フィクスチャを併用
- デバッグや参考測定ではプローブを使用
- **New!** SDLAビジュアライザを使用し、レーザ端の波形を測定し、50オーム終端波形をシミュレーションにより求める



実デバイスでのプローブ測定問題を解決

SDLA Visualizer シリアル・データ・リンク解析ソフトウェア

測定ブロック: プローブ測定環境の定義

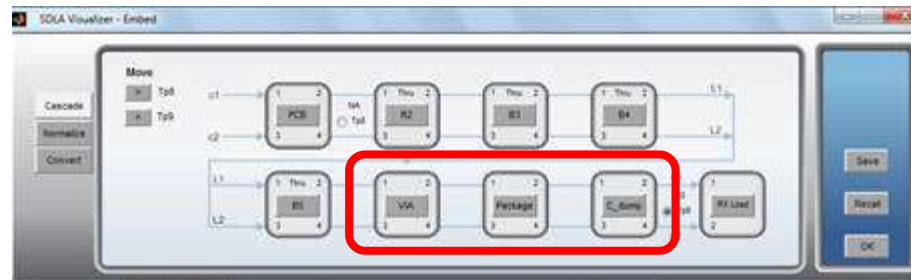
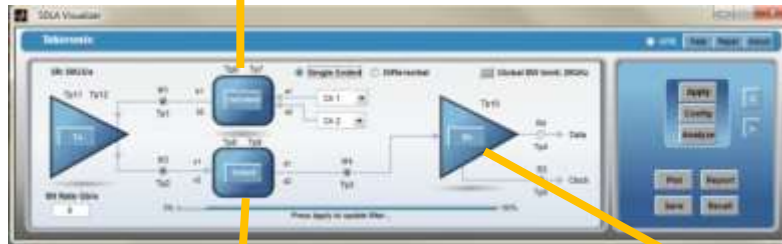


プローブ

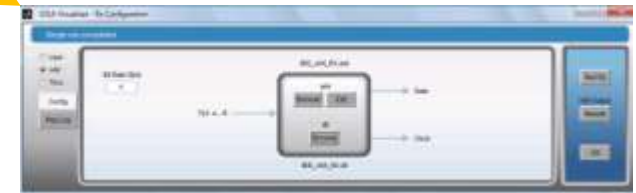
パッケージ、入力容量の定義

- 信号線路の任意の箇所での波形を表示: **最大6波形**
- プローブの負荷除去
- 反射除去
- 理想終端状態への変換
- モデルとしてSパラメータ、Tモデル (無損失)、RLCモデルを使用
 - 最大8段のカスケード接続
- **EDA業界標準のIBIS-AMIモデルによるクロック・データ・リカバリ/Rxイコライゼーションをサポート**

シミュレーション・ブロック: 理想終端環境の定義



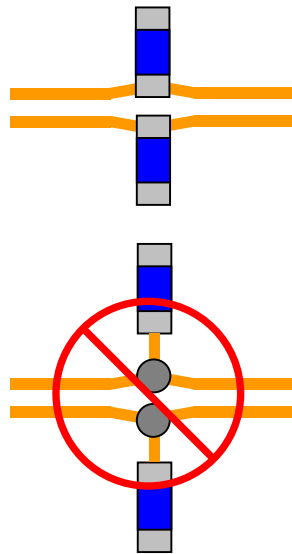
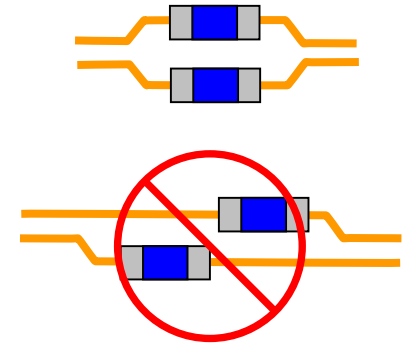
プローブ、パッケージ、入力容量の除去



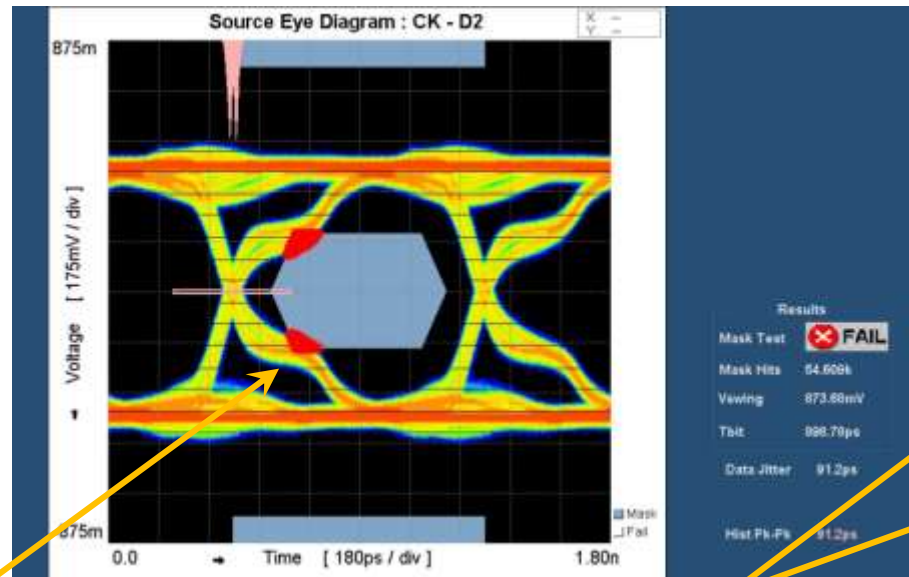
EDA: Electronic Design Automation

アイ、マスク・テストがフェイル: 可能性のある原因

- 伝送路中での減衰量・反射が想定以上
 - 差動伝送路配線のルール違反による差動インピーダンスの不連続性
 - 分岐配線されている: ESD保護素子など
 - 配線の対称性が保持されていない: AC結合キャパシタ、配線など
 - 差動インピーダンスを無視した配線: チップ・サイズの大きいAC結合キャパシタの採用、近接したグランド・アイランドなど



HDMIでESD保護素子を分岐配線した例(疑似的に再現)



差動インピーダンスを無視した配線

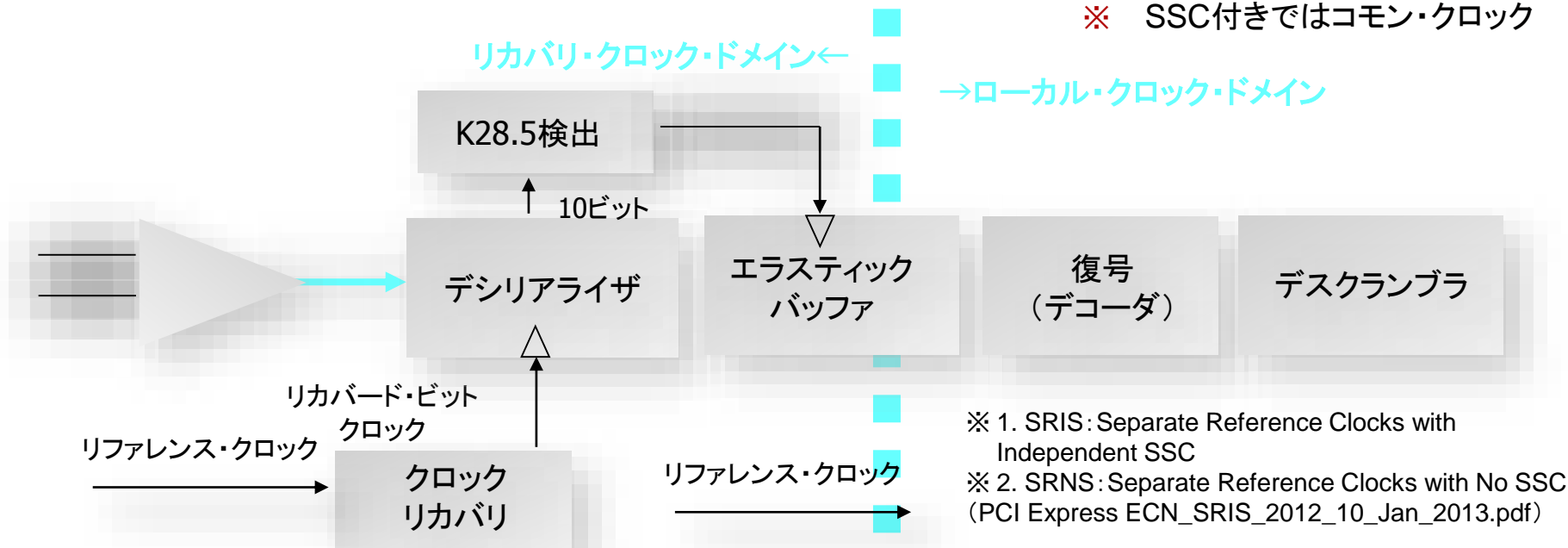
エラスティック・バッファ

- リンクの両ポート間の速度差(周波数偏差)を吸収するために設けられたバッファ
 - 正確にはレシーバ内のリカバリ・クロック・ドメインとローカル・クロック・ドメイン間の周波数差の吸収が目的
 - 送信側で一定間隔で挿入されるダミー文字(例:SKIP)を挿抜することで吸収

例:周波数偏差の許容範囲と発生する「ずれ」

- PCI Express (SRIS以外): $-300 \sim +300$ PPM[※]。最大偏差は600PPM、1666UIで1UI
- USB3.0、PCI Express (SRIS): $-300 \sim +5300$ PPM。最大偏差は5600PPM、178UIで1UI

※ SSC付きではコモン・クロック



※ 1. SRIS: Separate Reference Clocks with Independent SSC

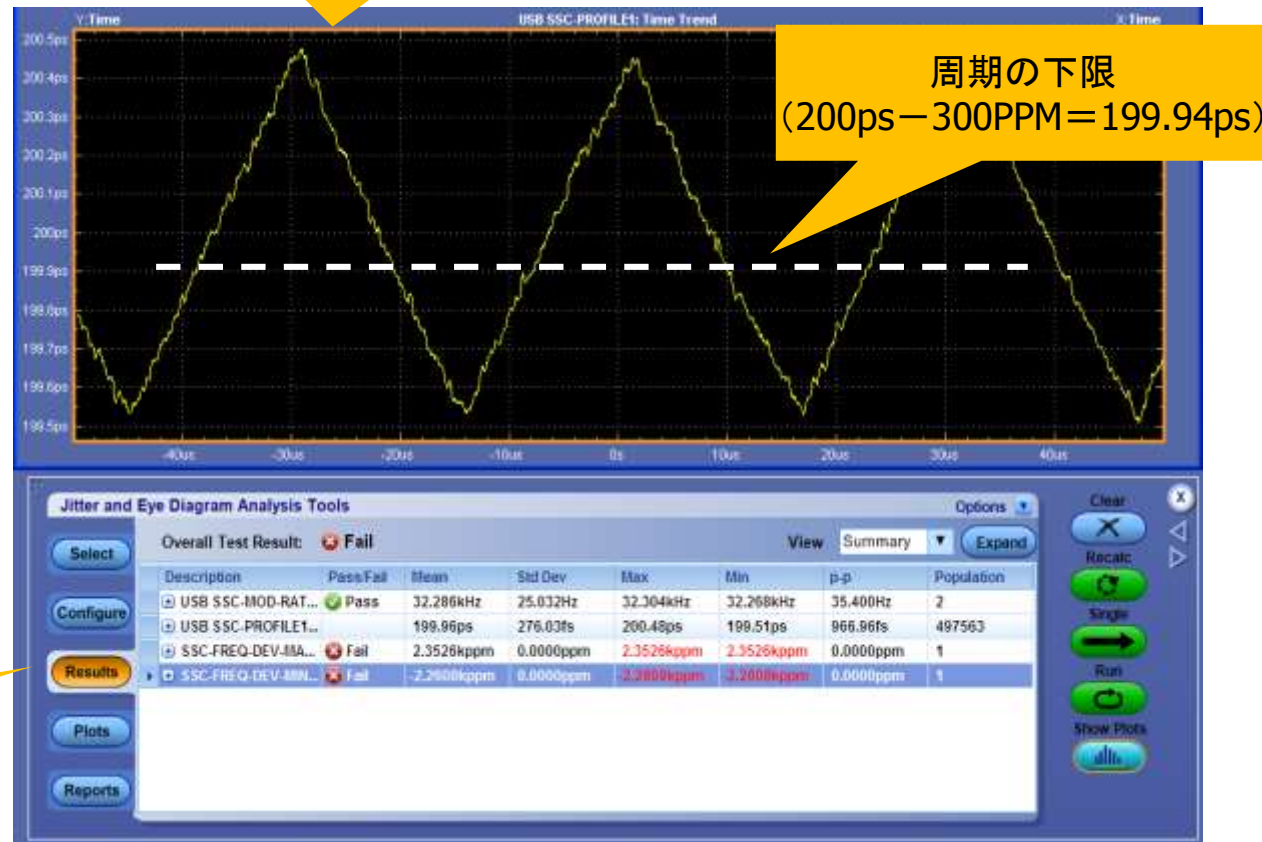
※ 2. SRNS: Separate Reference Clocks with No SSC (PCI Express ECN_SRIS_2012_10_Jan_2013.pdf)

エラスティック・バッファ・オーバーフロー、アンダフロー 規格外のSSCによるトラブル

- 規格はダウンスプレッド
 - 周波数が高くなるセンタ/アッパースプレッドのPC、マザーボードが流通
- DPOJETによるSSC測定
 - 汎用、PCI Express、USB3.0
 - 測定項目
 - プロフィール
 - 変調レート
 - 最小周波数偏差
 - 最大周波数偏差

SSCプロフィール・プロット

SSCの違反例(USB3.0)

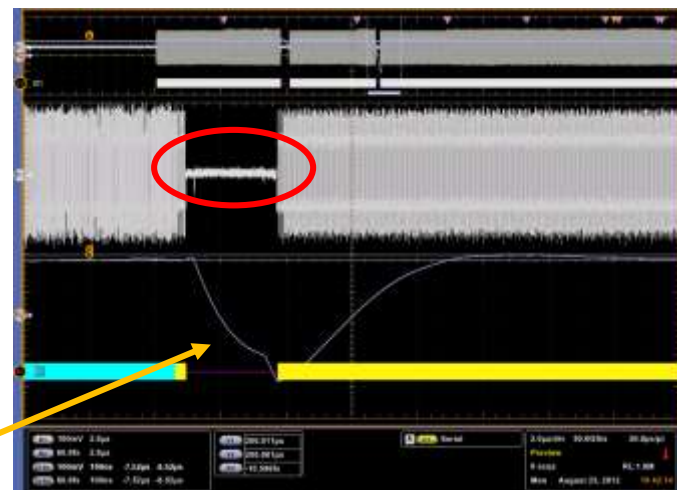


変調周波数、周期偏差の測定・規格値との判定結果

エラスティック・バッファ・オーバーフロー、アンダフロー

電氣的アイドル時のノイズによるCDRの誤動作(例:FPGA+PCI Express)

- PCI Expressでは省電力化のために、L0⇔L0sをダイナミックに遷移
 - L0:フル・アクティブな通常伝送
 - L0s:短時間(≒100シンボル以内)で復帰可能な電氣的アイドル状態(スタンバイ状態)
- FPGA内部のエラスティック・バッファのステータスをオンチップ・ロジック・アナライザで確認。L0s後にオーバーフロー、アンダフローが発生
 - ノイズの確認およびDPOJETでデータ・レート変動を測定
 - その結果、電氣的アイドル状態で重畳したノイズにCDRがトラックし、短期間にデータ・レートが大きく変動したと見なし、エラスティック・バッファのオーバーフロー、アンダフローが発生したと予想
 - 短期的な対策としてL0sに入らないようにPC側の電源オプションの詳細設定にあるPCI Expressのリンク状態の電源管理を変更で対策



DPOJETで測定したデータ・レート変動

まとめ：高速シリアル・インタフェース基本的な測定

- アイ・ダイアグラムとジッタの評価が基本
- アイ・ダイアグラムでは定量的な測定のみならず、許容度の限界を規定した多角形のマスクを同時に表示した方が評価が簡単
 - 規格で測定点ごとに用意
- 測定点の規格に基づいて測定
- 規定のテスト・パターンで測定
- アイ・ダイアグラムは、リカバリされたクロックを基準に評価する
 - 仕様に基づくクロック・リカバリ・モデルを使用する
 - ソフトウェア・クロック・リカバリの平均クロックでは全ジッタ成分を把握可能
- ジッタはタイム・インターバル・エラー（TIE）
- SSCを使用しているシステムではSSCも評価する
- 被測定システムと計測器はケーブルで直接接続し疑似差動で測定
 - 実デバイス環境ではデバイス入力の容量により、高周波領域でのインピーダンスが低下
- 使用するオシロスコープの周波数帯域は一般的には5次高調波までの捕捉が目安
 - 規格で規定している場合もある
 - 実際は立上り時間を考慮

弊社の高速シリアル・インタフェース 測定ソリューション

波形観測+信号品質テスト

- オシロスコープ+コンプライアンス・テスト／解析ソフトウェア+プローブ
- サンプリング・オシロスコープ
- RFスイッチ

ジッタ、ビット・エラー・レート(BER)計測

- オシロスコープ+ジッタ解析ソフトウェア
- BERT

伝送路解析(差動インピーダンス、差動Sパラメータ、インサージョン・ロス、リターン・ロス)

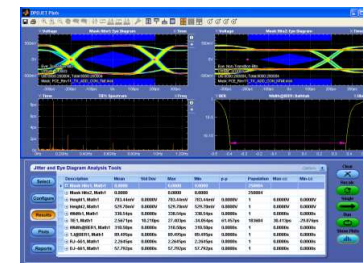
- 差動TDR／サンプリング・オシロスコープ

レシーバ・テスト

- 任意波形ジェネレータ
- BERTストレス・ジェネレータ

システム・レベル・デバッグ、 プロトコル解析

- ロジック・アナライザ



ご清聴いただきありがとうございました

本テキストの無断複製・転載を禁じます。テクトロニクス/ケースレーインストルメンツ
Copyright © Tektronix, Keithley Instruments. All rights reserved.

www.tektronix.com/ja
www.keithley.jp/

Twitter [@tektronix_jp](https://twitter.com/tektronix_jp)

Facebook <http://www.facebook.com/tektronix.jp>

Tektronix[®]

KEITHLEY
A Tektronix Company