

A-2

高速シリアル・インタフェースはこう測る：上級編 3Gbps超の高速シリアル・インタフェース測定技術



テクトロニクス/ケースレー
イノベーション・フォーラム2013 大阪



畑山 仁

Tektronix[®]

KEITHLEY
A Tektronix Company

講師紹介

畑山 仁: テクトロニクス社 営業技術統括部 シニア・テクニカル・エキスパート

- 担当分野: 高速デジタル、高速シリアル・インタフェース(特にPCI Express、USB3.0)
- セミナ講師: 当社の高速シリアル・インタフェース、PCI Express、USB3.0セミナをはじめ、FPGA代理店との協調セミナなど
- 主な執筆・編著(書籍は共著)
 - CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計, 機能実装まで」、2010年4月
 - <http://shop.cqpub.co.jp/hanbai/books/46/46411.html>
 - 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」、2011年11月: **USB3.0のみならず高速シリアル・インタフェースの知識、特にジッタ測定**の補足にぜひご利用ください。
 - <http://shop.cqpub.co.jp/hanbai/books/46/46421.html>
 - マイコミジャーナル「**高速シリアル・インタフェース測定の必須スキルを身に着ける**」連載中: 本セミナ、特に**トランシーバ基盤技術**についての補足にぜひご利用ください。
 - <http://journal.mycom.co.jp/series/serialif/001/index.html>

 facebook <http://facebook.com/hitoshih330>

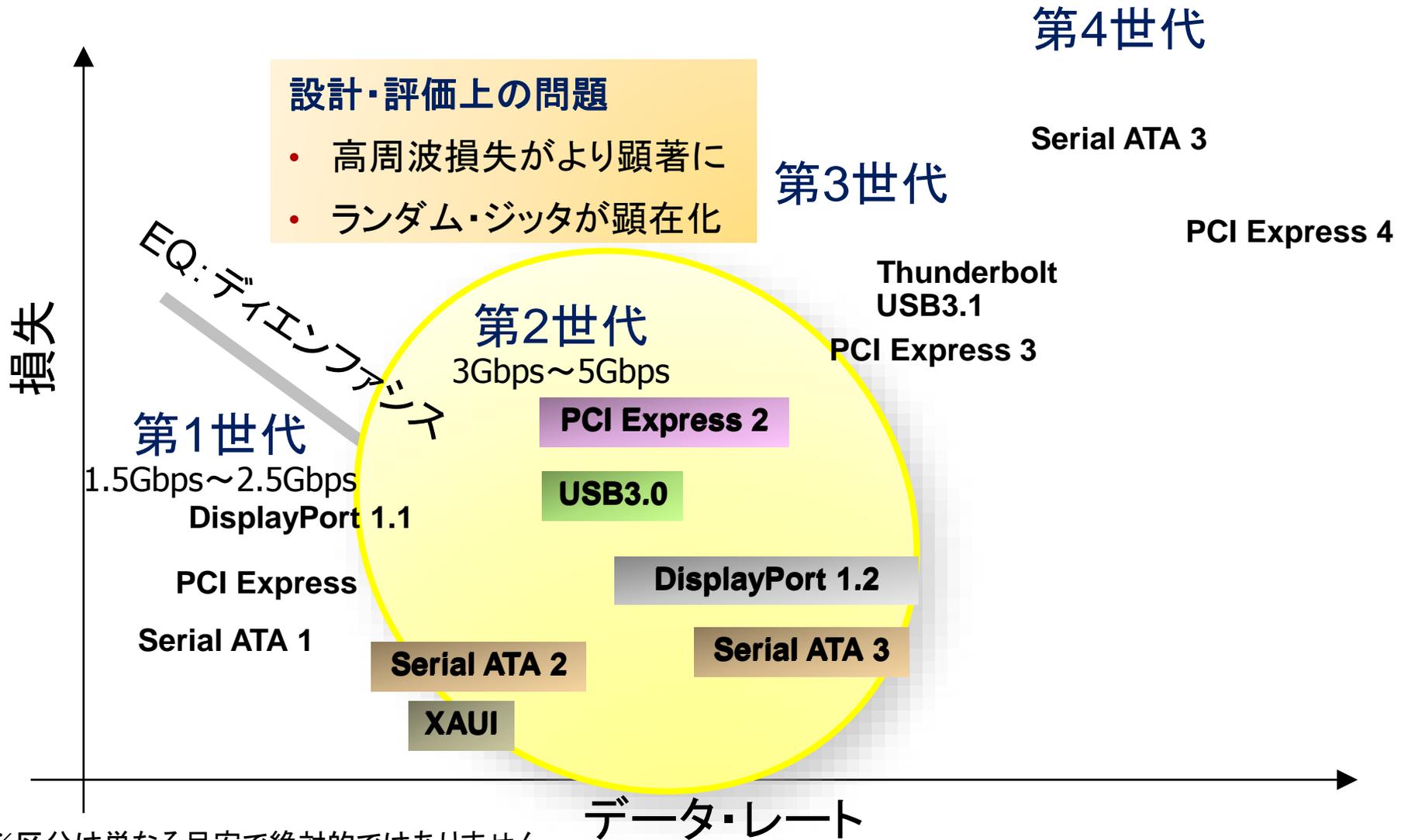
- 非公開グループ「高速シリアル同好会」主宰中



本日の内容

高速シリアル・インタフェース測定の上級編として第2-3、それ以降の世代で必要とされる物理層測定技術についてご紹介します

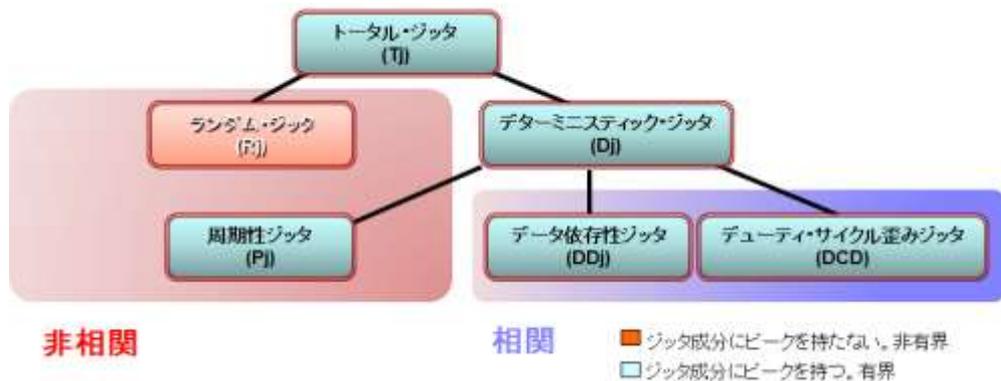
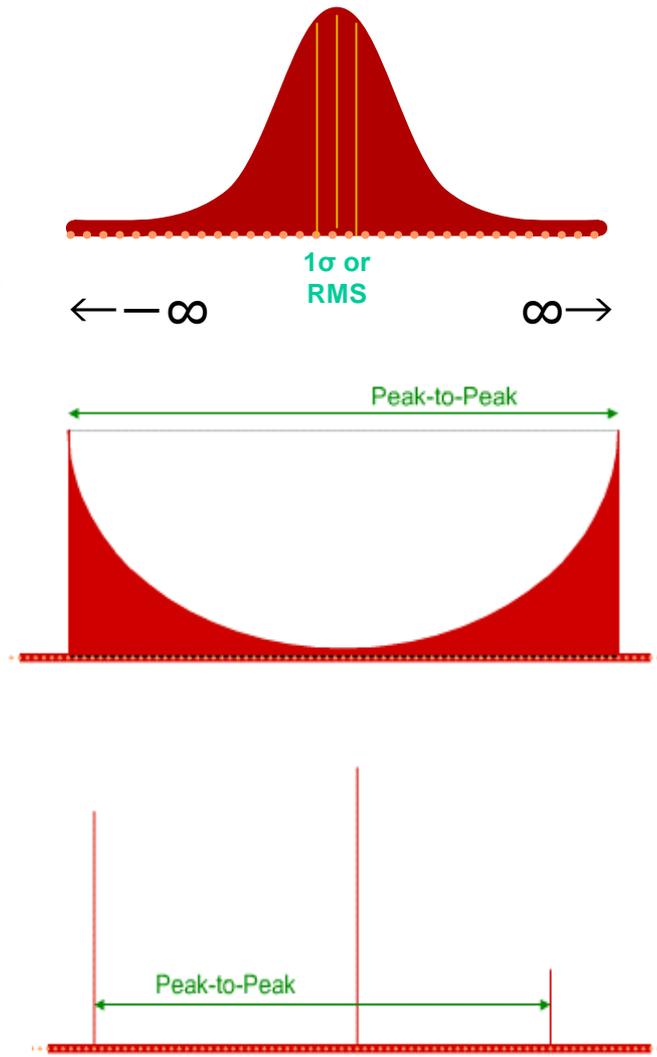
高速シリアル・インタフェース第2世代



※区分は単なる目安で絶対的ではありません

ジッタ: 性質の異なる2種類のジッタの合成

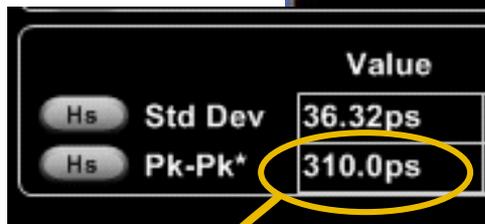
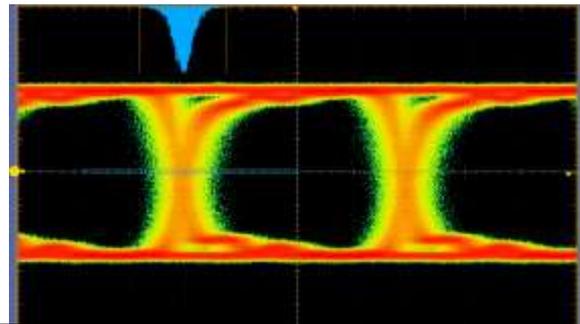
- ランダム・ジッタ: R_j
 - 熱雑音などに起因
 - ジッタの発生確率分布はガウス曲線(標準偏差 σ の関数)
 - 理論的には極めて低い頻度ながらも大きなゆらぎが発生
 - $\pm 4.75\sigma$ を超えるジッタは100万回(10^6 回)に1度、 $\pm 7\sigma$ を超えるジッタは1兆回(10^{12} 回)に1度発生
 - 長期間での通信品質(ビット・エラー・レート)に影響
 - ピーク・トゥ・ピークを持たないため、上記頻度をビット・エラー・レート(BER)と考え、仮想的なピーク・トゥ・ピークを想定(Q_{BER})
 - $Q_{BER}=7@BER^{-12}$ 、 $4.75@BER^{-6}$
- デターミニスティック・ジッタ: D_j
 - 隣接オシレータや伝送系の高周波損失などに起因
 - 発生確率の広がりランダム・ジッタと異なり有限(ピーク・トゥ・ピークを持つ)。ジッタ・マージンを低下させる



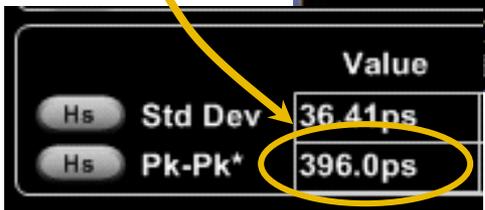
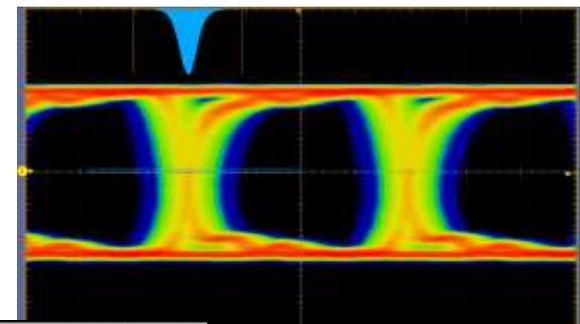
時間経過に従って減少するアイ幅。何故？

ランダム・ジッタの影響

- ピーク・トゥ・ピーク・ジッタ (TIE_{P-P}) の測定値は、 R_j により時間経過(測定母数集団数、測定UI数)に従い増加
- そのためピーク・トゥ・ピーク・ジッタの測定では時間(UI数)が規定される必要がある
 - 例: 1M-UI
- 測定時間→理想的には規定のビット・エラー・レートで定義
 - インターオペラビリティを確保するという意味は正確には特定BERでの通信を保証すること
 - 一般的にはBER 10^{-12}
- そこで特定BERにおけるトータル・ジッタ T_j で規定
 - アイ幅@BER = $1UI - T_j@BER$



1 038 985 acqs

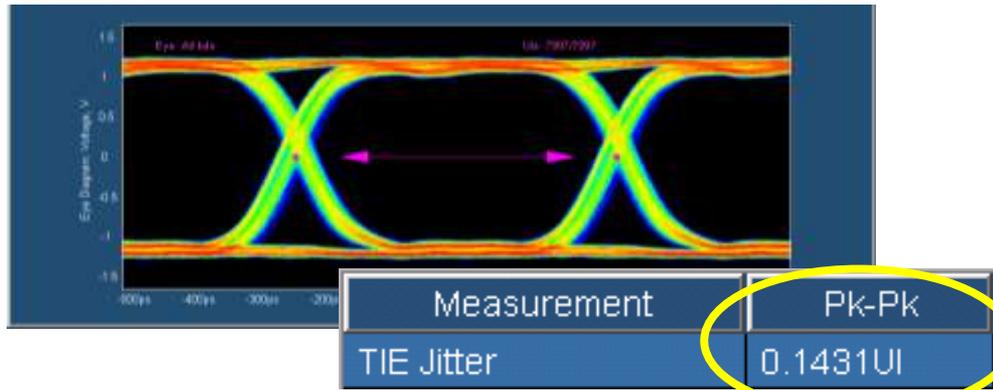


102 845 728 acqs

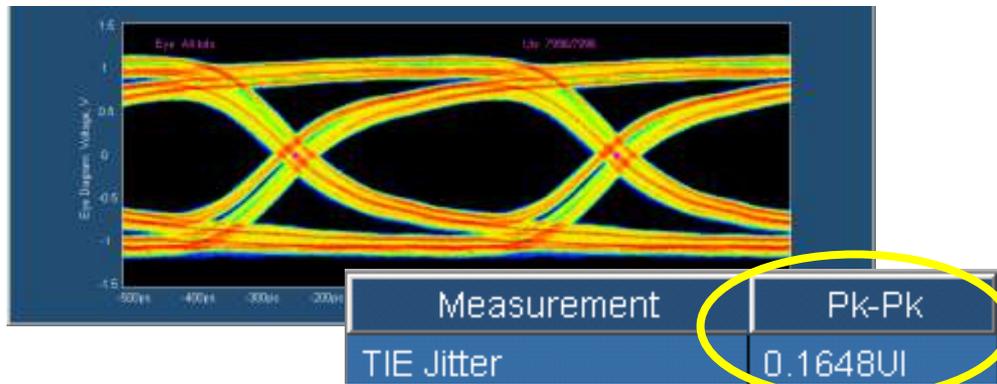
アイ幅、ジッタ量測定には時間的規定が必要

どちらのジッタが問題か？

ジッタ成分(ランダム・ジッタRjとデターミニスティック・ジッタDj)を分離測定



Result, Statistic	This Acq
Random **	0.0120UI
Deterministic *	0.1337UI
Data Dependent *	0.0461UI
Periodic *	0.0286UI
Duty Cycle *	0.0590UI



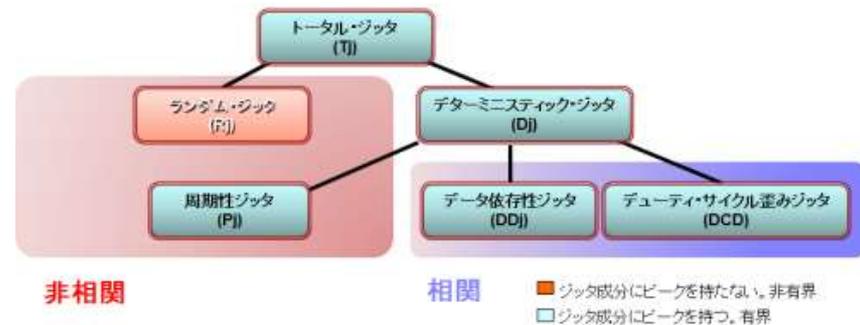
Result, Statistic	This Acq
Random **	0.0054UI
Deterministic *	0.1379UI
Data Dependent *	0.1107UI
Periodic *	0.0172UI
Duty Cycle *	0.0100UI

- 上は下に比較してDjが多少小さいがRjが大きい
- Rjが大きい上は時間経過に従い、ジッタが増加

DPOJETでは、Rj/Dj、Dj成分の分離測定、Rj、Dj(δ - δ)測定が可能

各々のジッタは性質が異なる

参考：ジッタの分類のまとめ

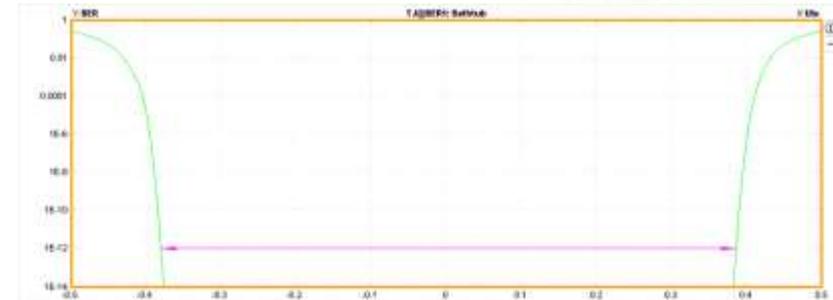
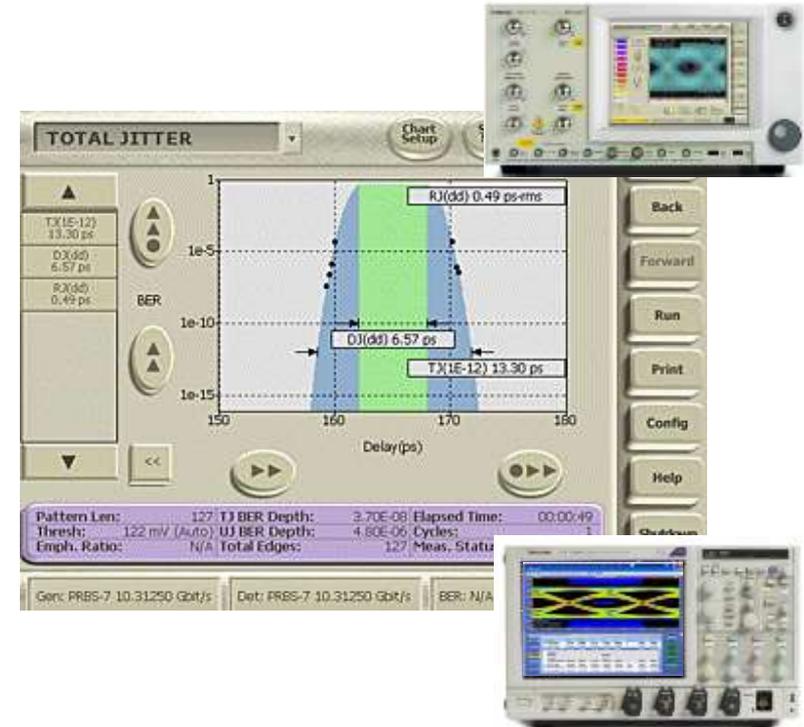


名称	要因	有界	相関	代表的な確率密度関数 (PDF)
ランダム・ジッタ (Random Jitter)	熱雑音など	非有界	非相関	
デターミニスティック・ジッタ (Deterministic Jitter)				
周期性ジッタ: Pj (Periodic Jitter)	スイッチング電源、CPUクロック、オシレータなどが原因	有界	非相関	
デューティ・サイクル歪みジッタ: DCDj (Duty Cycle Distortion)	オフセット・エラー、ターンオン時間の歪が原因	有界	相関	
パルス幅歪みジッタ: PWDj (Pulse Width Distortion)				
データ依存性ジッタ: DDj (Data Dependenz)	隣接するデータ・ビットの変化が原因で発生、伝送帯域特性など伝送路の影響。シンボル間干渉: ISI (Inter Symbol Interference)	有界	相関	
パターン依存性ジッタ: PDj (Pattern Dependent)				
シンボル間干渉: ISI (Inter Symbol Interference)				

バスタブ曲線：長期間でのジッタを短時間で測る方法

特定BERでのアイ幅、トータル・ジッタの推定

- バスタブ曲線はジッタにより引き起こされるBERのUI (Unit Interval) 内でのプロット
- BERT (Bit Error Rate Tester) への応用
 - トータル・ジッタ (Tj) を直接測定
 - 各点でBERを測定しながらUI内をスキャンし、BERプロットを求める
 - ただし膨大な時間が必要
 - 5Gbps (5×10^9) では5時間必要とも
 - そこでUI両端の高BERの数点だけ測定し、バスタブ曲線の外挿 (Extrapolation) により測定時間を短縮
- オシロスコープへの応用
 - 短期間でのジッタ (Rj、Dj) を測定し、PDFを求めることでバスタブ曲線 (CDF) を算出
 - PCI ExpressやUSB3.0では1M-UI



参考：数学的にはUI (Unit Interval) に沿って中央 (0.5UI) から外側 ($0 \leftarrow 0.5UI$, $0.5 \rightarrow 1UI$) に向かってジッタのPDF (Probability Density Function: 確率密度関数) を累積したCDF (Cumulative Distribution Function: 累積分布関数)

トータル・ジッタ (Tj) とDual-Diracモデル

- ジッタはすべてのジッタ成分が畳み込まれたもの (コンボリューション)
 - 複雑で扱いにくい
 - TjとRj、Djの関係を定量化できない

$$T_j(t) = \int_{-\infty}^{\infty} D_j(\tau) \cdot R_j(t - \tau) d\tau$$

- 単純化のため、Djをデルタ関数として近似 → Dual-Diracモデル
 - 積分がとれる
 - TjとRj、Djの関係を定量化可能
 - Q=7.0395 @BER10⁻¹², 4.7535 @BER10⁻⁶
 - Dj_(δ-δ) や Dj_(d-d) として識別
 - 多くの規格で採用: 単純化することでジッタ量の配分見積が可能に

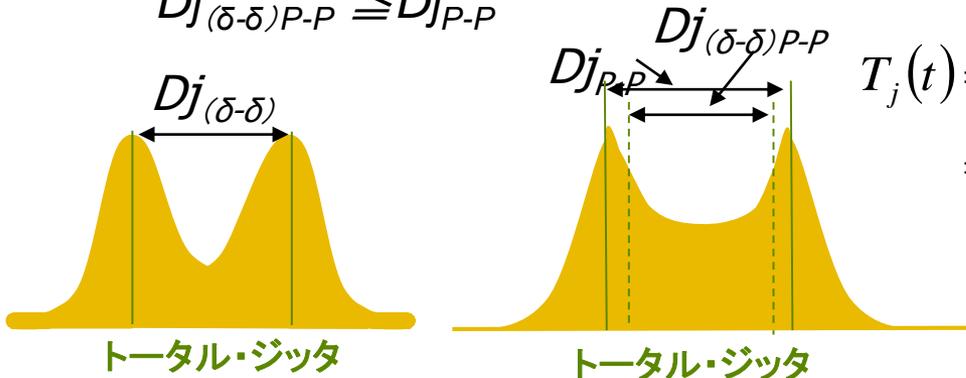
- Dual-Diracモデルと実際のジッタの関係は
 $Dj_{(\delta-\delta)P-P} \leq Dj_{P-P}$

$$D_j(t) = a_1 \cdot \delta(t - t_1) + a_2 \cdot \delta(t - t_2)$$

$$T_j(t) = \int_{-\infty}^{\infty} \{a_1 \cdot \delta(u - t_1) + a_2 \cdot \delta(u - t_2)\} \cdot R_j(t - u) du$$

$$= a_1 \cdot R_j(t - t_1) + a_2 \cdot R_j(t - t_2)$$

$$T_j = 2Q_{BER} * R_j + Dj_{(\delta-\delta)}$$



第2世代の高速シリアル・インタフェース測定例

PCI Express Rev.2.1 (5Gbps)

アイ高さ(遷移ビットの最小信号レベル)

アイ高さ(非遷移ビット/ディエンファシス・ビットの最小信号レベル)

バスタブ・プロット:
アイ幅@BER10⁻¹²

ジッタ・スペクトラム:
ジッタの周波数成分を表示
(規格とは無関係)

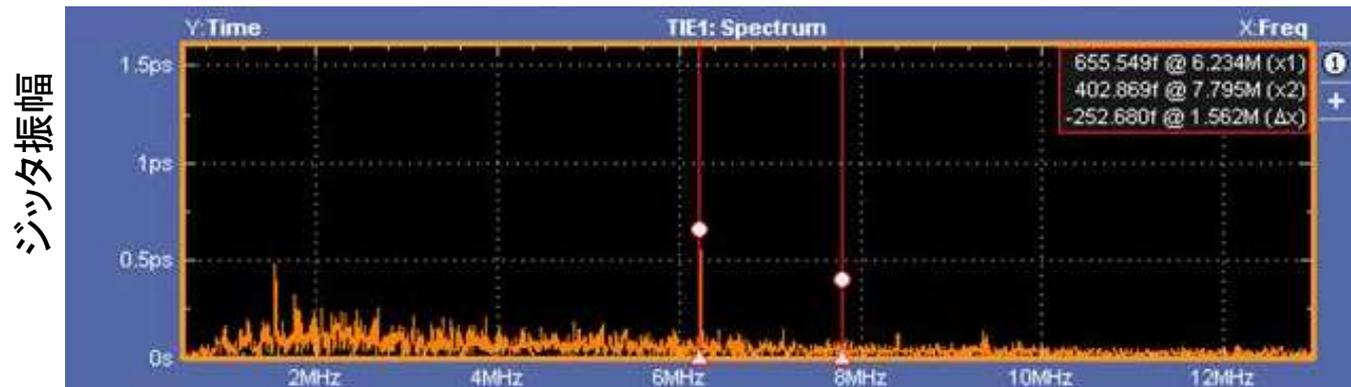


5 Gbps: デターミニステック・ジッタ($Dj_{(\delta-\delta)}$)、トータル・ジッタ@BER⁻¹²測定

ジッタが過大な場合の測定方法・対策のヒント

- R_j 、 D_j および D_j の各成分を分析し、対応法を検討
 - 近似モデル(Dual-Dirac)の D_j ではない
- P_j が過大な場合、スペクトラム・プロットでジッタ周波数を確認し、ジッタ・ソースを突きとめる
 - 近接のオシレータ、スイッチング・レギュレータの発振周波数を確認
 - 基板トレース、レイアウトの見直し、フィルタ等で対策
 - 電源の場合、スイッチング・レギュレータの見直し、シリーズ・レギュレータへの変更など

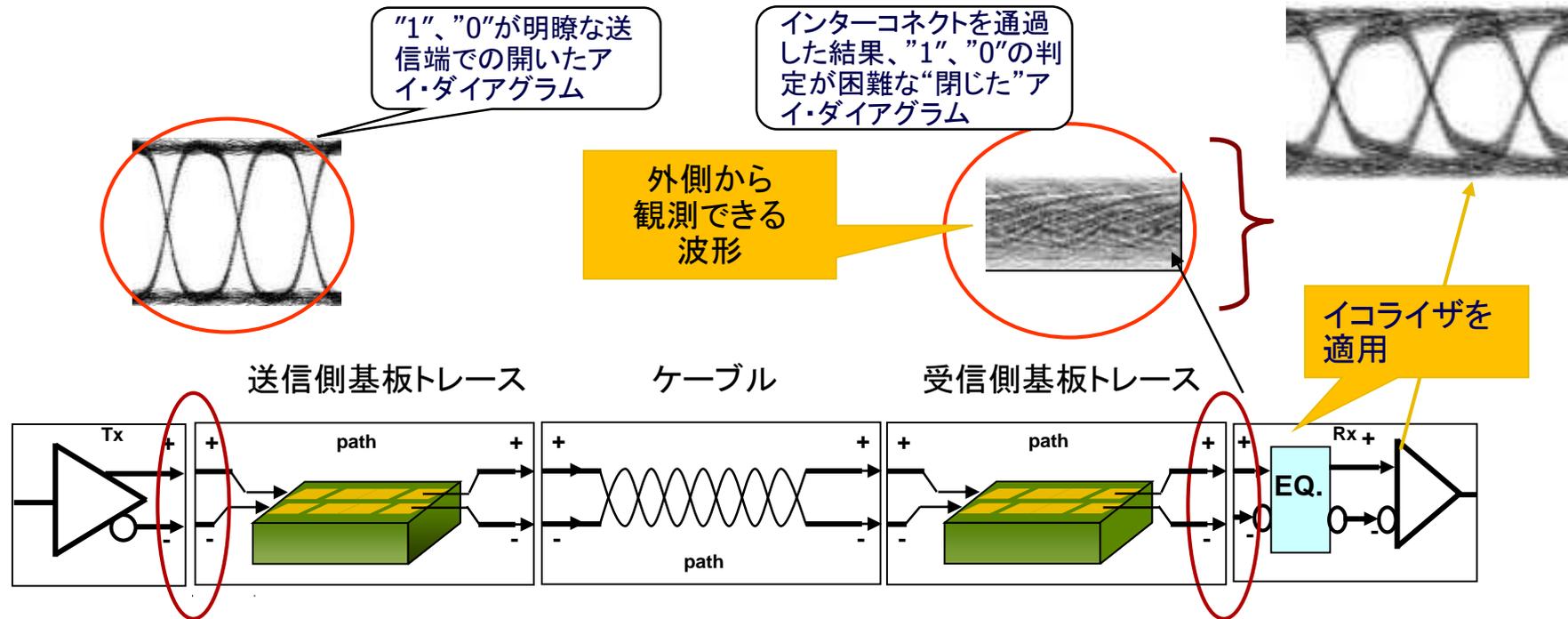
ジッタ周波数



ジッタが過大な場合の測定方法・対策のヒント(続き)

- Rjが過大な場合
 - ステッピング、ロットによる問題の例も
 - トランスミッタのPLLが正しくプログラムされずにチップが出荷されたケースも
 - Rjはループ帯域幅に依存して増加
 - NPBUJ(Non Periodic Bounded Uncorrelated Jitter: 非周期性有界非相関ジッタ)を測定してみる
 - NPBUJはRJに類似したジッタ(RJ: 非有界、NPBUJ: 有界)でクロストーク、クリッピングされたRJなどが主要因
 - DPOJET Advanced(Ver.3.6以降)ではNPBUJが分離測定可能に
 - ISIで信号のスルーレートが低下した場合、オシロスコープの持つ垂直軸ノイズがRjへ変換され増加。シンボル間干渉を受けた波形に対しては注意
- DDj(ISI)が過大な場合
 - カスタム仕様ではプリエンファシス、イコライザを調整する。イコライザ、リピータを入れる
 - アイ・ダイアグラムにも影響が現れるのでアイ・ダイアグラムからでも予測可能
 - プリエンファシス、イコライザが過多に効かせると、かえってジッタが大きくなることもあるので注意
 - 減衰が過大な場合、アイ・ダイアグラムが開いてもBERが悪化していることがあるので注意

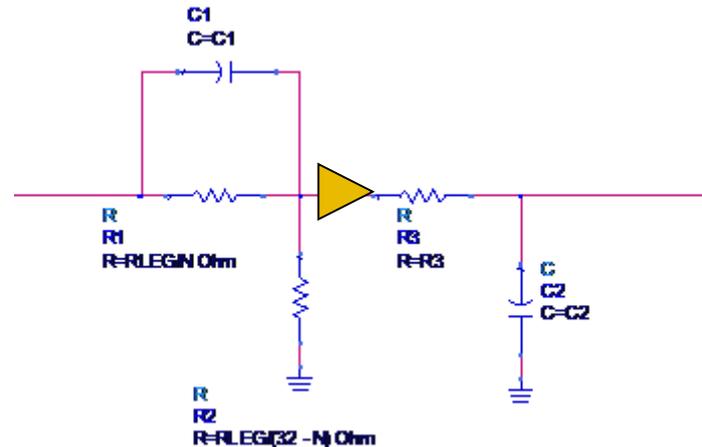
信号品質改善方法 – レシーバ・イコライザ



- データ・レートの高速化に伴い、プリ／ディエンファシスに加え、イコライザを積極活用
 - 遷移ビットの振幅を持ち上げるプリエンファシス: クロストーク、EMIを増加
 - 非遷移ビットの振幅を下げるディエンファシス: 受信端での信号振幅が下がるためレシーバ感度、ノイズ・マージンの不利に
- 外部で観測している信号波形とデバイス内部のイコライザ適用後の波形が異なる
 - 計測機器によりイコライザのエミュレーションが必須

レシーバ・イコライザの種類その1: CTLE (Continuous-Time Linear Equalizer)

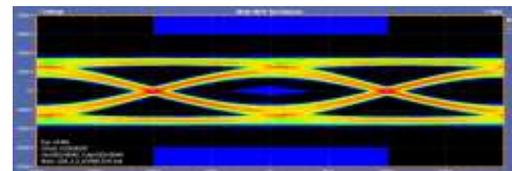
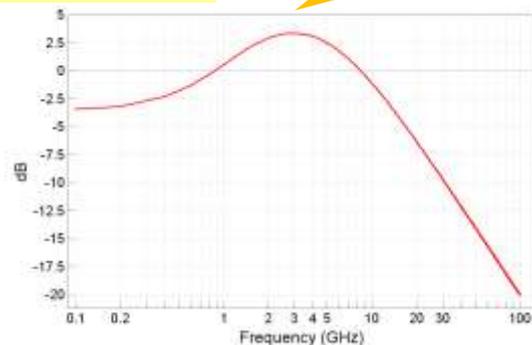
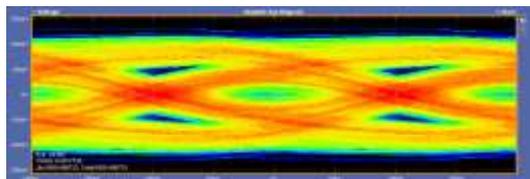
- ローパス+ハイパス・フィルタ
 - 周波数ドメインで設計
 - アナログ・ベース
 - 回路規模小
 - 低消費電力
- 高周波のブーストではなく、低周波成分の抑制にも使用する場合がある(例: PCI Express)



$$H(s) = \frac{A_{dc} \omega_{p1} \omega_{p2}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

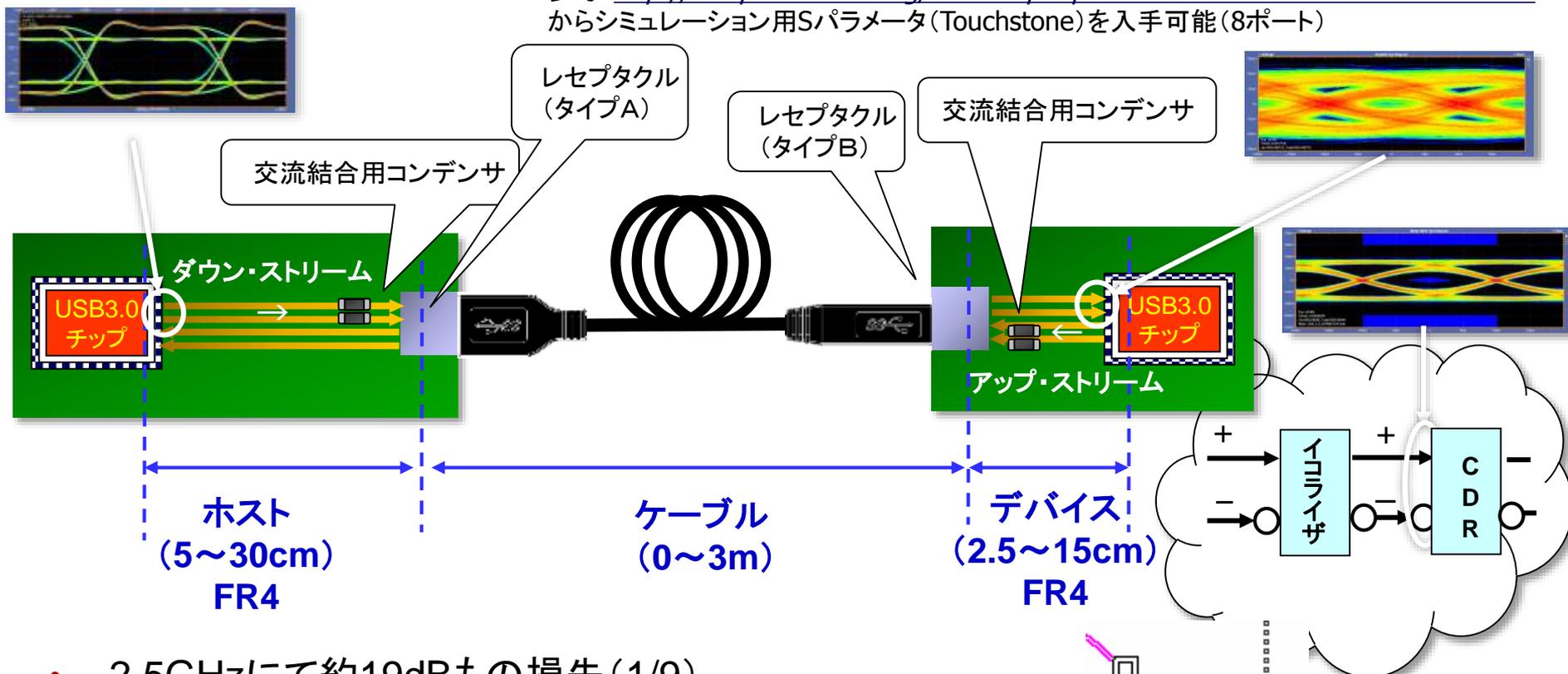
- 規格例: USB3.0コンプライアンス・テスト用リファレンス・イコライザ(ロング・チャンネル)
 - DCゲイン (A_{dc}): -3.5dB (0.667)
 - 極周波数: 1.95GHz (ω_{p1}), 5GHz (ω_{p2})
 - 零周波数 (ω_z): 650MHz

2.5GHzで+3.3dB以下

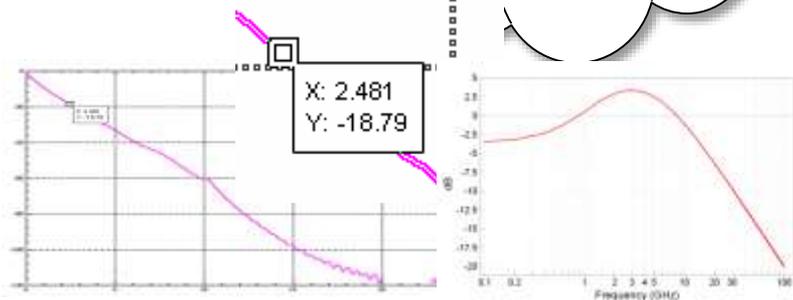


イコライザ使用例: USB3.0ホスト⇒デバイス想定最長チャンネル

参考: <http://compliance.usb.org/index.asp?UpdateFile=USB3&Format=Standard#58>
からシミュレーション用Sパラメータ(Touchstone)を入手可能(8ポート)

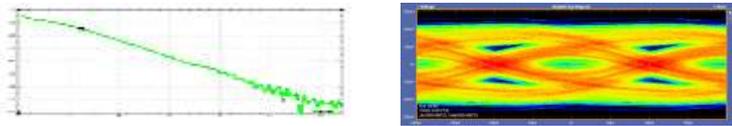


- 2.5GHzにて約19dBもの損失(1/9)
 - ケーブルは7.5dB
 - 受信端でのアイは閉じる
- ⇒ 前述のレシーバ・イコライザ(CTLE)で改善



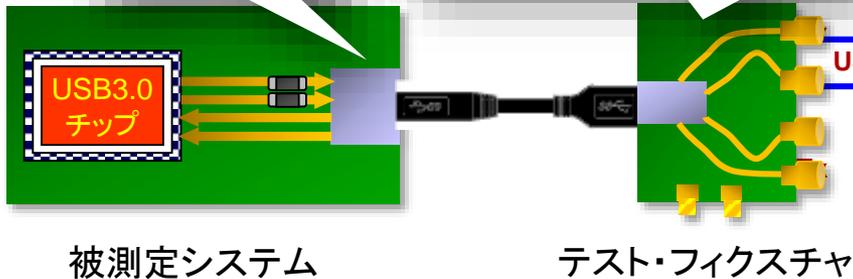
チャンネル、レシーバ・イコライザをシミュレーションする シリアル・データ・リンク解析が必須に

3. ソフトウェア的にチャンネル特性の損失を加え、
TP4の波形を再現



1. TP2の波形
を捕捉

2. ソフトウェア的にテスト・フ
ィクスチャの損失を補正

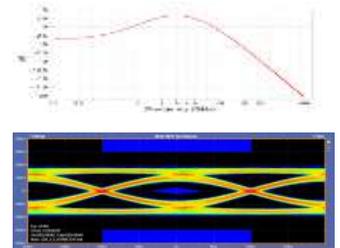


- USB3.0、PCI Express Rev3.0 (8Gbps)、DisplayPortなどのテストで採用している手法
 - 規格想定 の 最長チャンネルでテスト

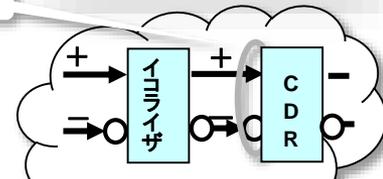
オシロスコープ



4. 再現されたTP4にイ
コライザを適用し、
チップ内部のTP5
(CDRが受信する信
号)を再現し、アイと
ジッタを測定

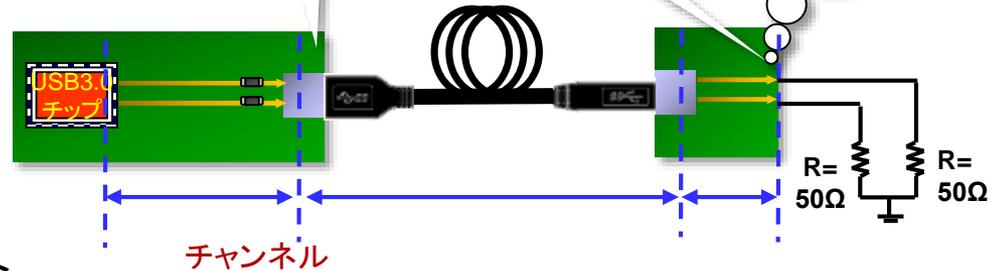


TP5



TP2

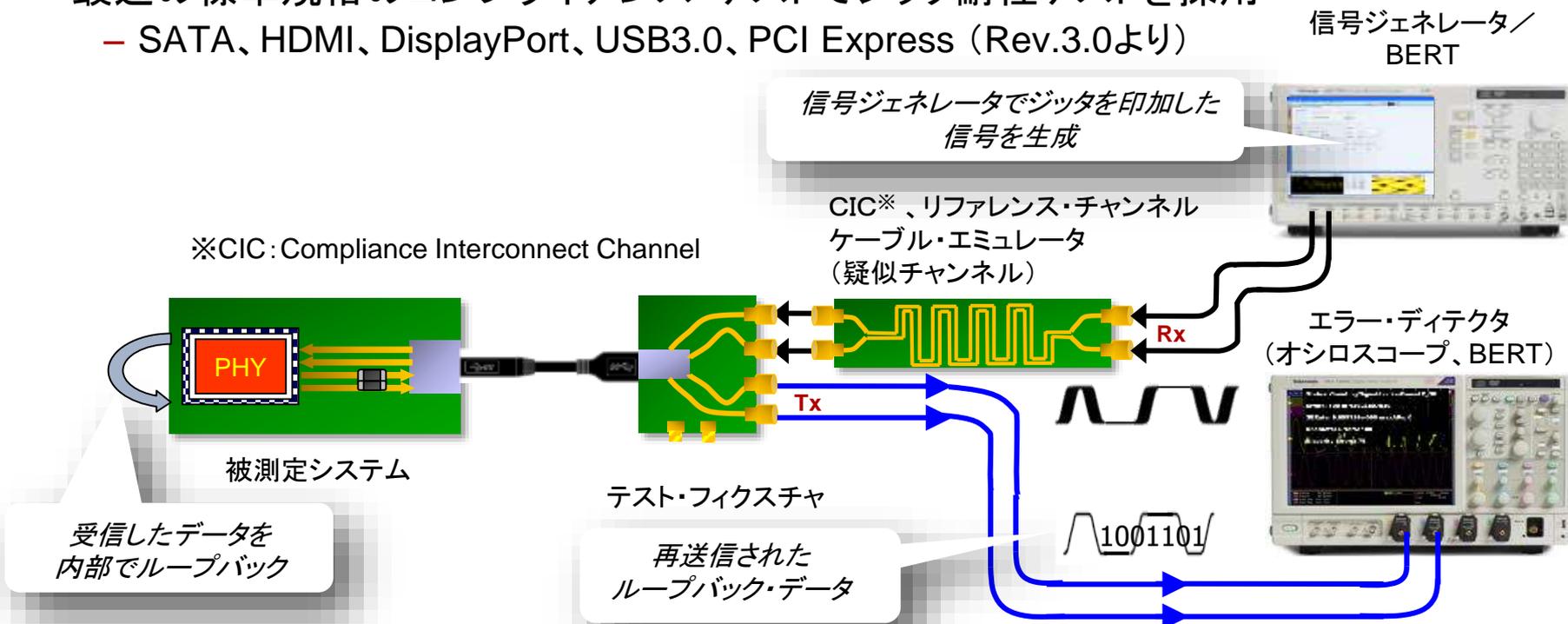
TP4



- デバイス: ホスト・チャンネル+ケーブル
- ホスト: デバイス・チャンネル+ケーブル

レシーバ評価が重要に

- 相互接続性、特定のBERでの通信を保証するためには、トランスミッタ評価だけでは不十分
 - 特に高速化に伴い、レシーバ側で受ける影響に対してセンシティブ
 - 受信端での信号振幅が減少
 - イコライザの併用で、受信端でのクロストーク、ノイズ等が増強される
- 最近の標準規格のコンプライアンス・テストでジッタ耐性テストを採用
 - SATA, HDMI, DisplayPort, USB3.0, PCI Express (Rev.3.0より)



レシーバ・テスト

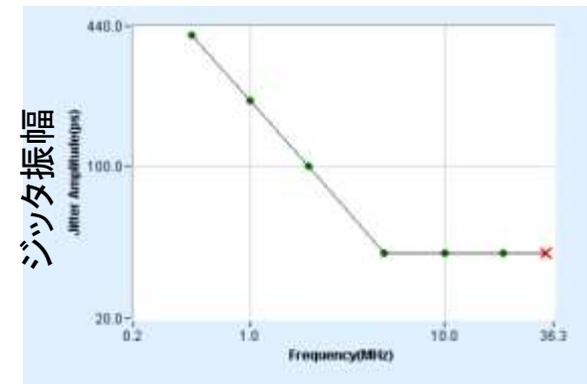
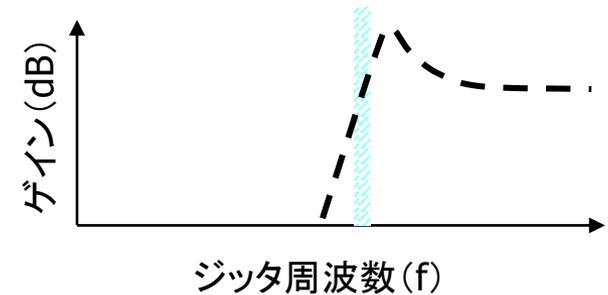
ジッタ耐性テスト(Jitter Tolerance Test)

- 規定のジッタ特性(周波数と振幅)を持った信号をレシーバに入力し、CDRの特性をテスト
 - クロック・リカバリ回路のジッタ吸収度合い、ピーキング、データ・リカバリ回路のセンス・アンプの時間方向余裕度の確認
- 内部・外部で受信したデータを確認
 - SATA、USB3.0、PCI Express: 外部エラー・ディテクタ
 - リタイムド・ループバック・モードを使用
 - 受信したデータをトランスミッタから出力
 - HDMI: 視覚で確認(モニタ)
 - DisplayPort: 内蔵BERT

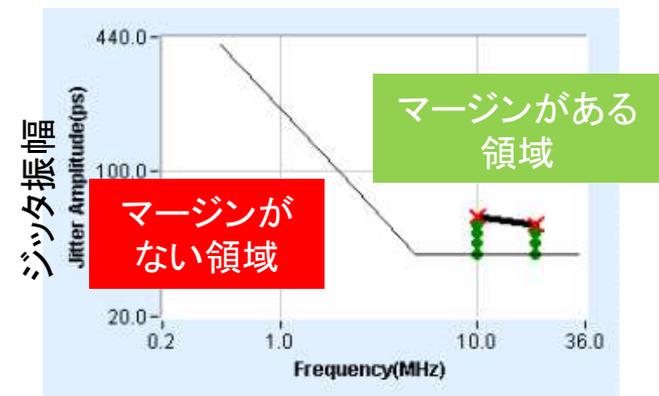
ジッタ・マージン・テスト(Jitter Margin Test)

- パス、フェイルではなく、ジッタ周波数、振幅を細かく変えて、どの程度のジッタまでならばCDRが正しくデータを受けられるかテスト
 - コンプライアンスではないが製品品質保証の意味で、社内で評価しておくことを推奨

CDRジッタ伝達関数:どこまでジッタを通すか



ジッタ周波数



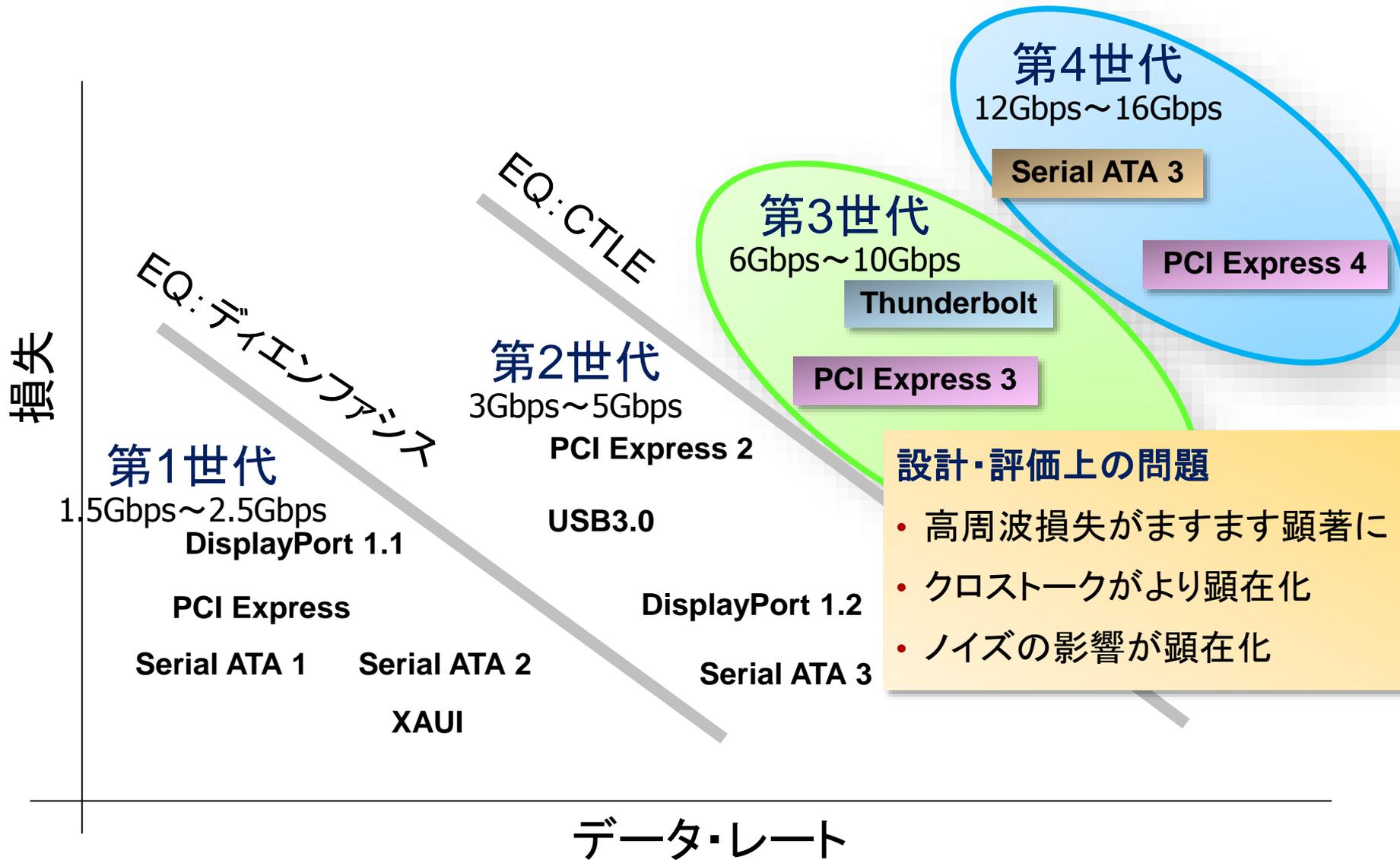
ジッタ周波数

まとめ:

第2世代の高速シリアル・インタフェースの測定

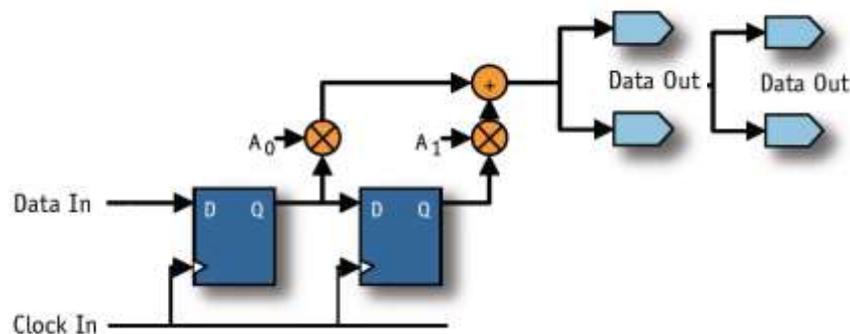
- 顕在化したRJのために、RJ、DJを分離したジッタ解析が必須に
 - RJ(Random Jitter): 時間経過に従い、広がる
 - DJ(Deterministic Jitter): 広がりは一一定で時間経過に依存しない
- Rjの性質ゆえ、BERベースでのジッタ予測、アイ幅の予測が必要に(アイ幅/TJ@BER)
 - 非有界なため、BERによりピーク・トゥ・ピーク(Q_{BER})を仮定
- 近似モデル(Dual-Dirac)による規定で現実のジッタとは異なる
- より顕著な高周波損失のためにトランスミッタ側のディエンファシスに加え、レシーバ側にイコライザ(CTLE: Continuous-Time Linear Equalizer)を併用
- チャンネル+レシーバ・イコライザ・シミュレーションにより遠端レシーバ内(TP5)波形を再現するシリアル・リンク解析を行う
- 相互接続性、特定のBERでの通信を保証するためには、トランスミッタだけの測定では不十分で、レシーバ・ジッタ耐性テストも必要
 - 製品品質保証の意味で、ジッタ・マージン・テストを推奨

高速シリアル・インタフェース第3、4世代

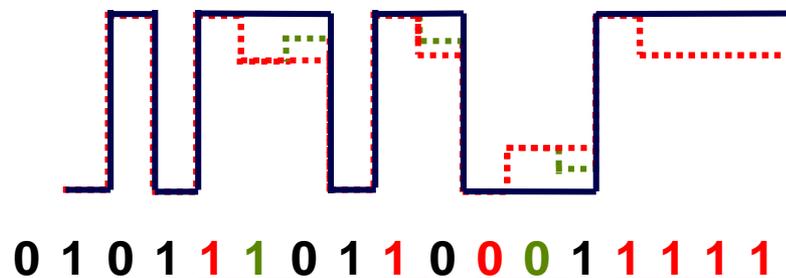


高周波損失に対する改善策、クロストークの影響

- 遷移ビット直前(プリカーソル)のビット振幅も制御(プリシュート)

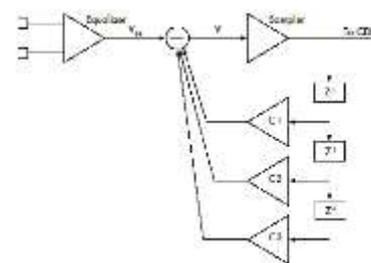


通常の信号、ディエンファシス、プリシュートを適用した信号



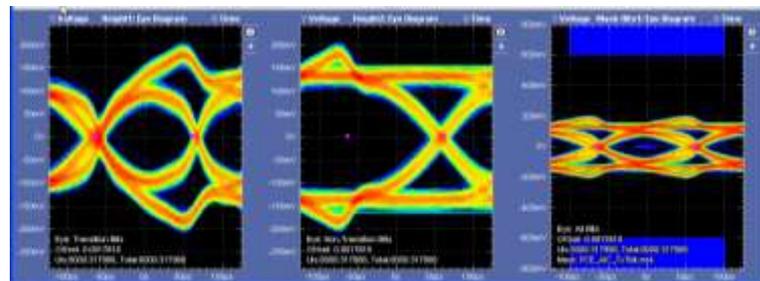
- DFE (Decision Feedback Equalizer) の採用

- パターンによりイコライザ量を可変
- 他のイコライザ方式の問題点であるノイズを増幅することなくシンボル間干渉をキャンセル

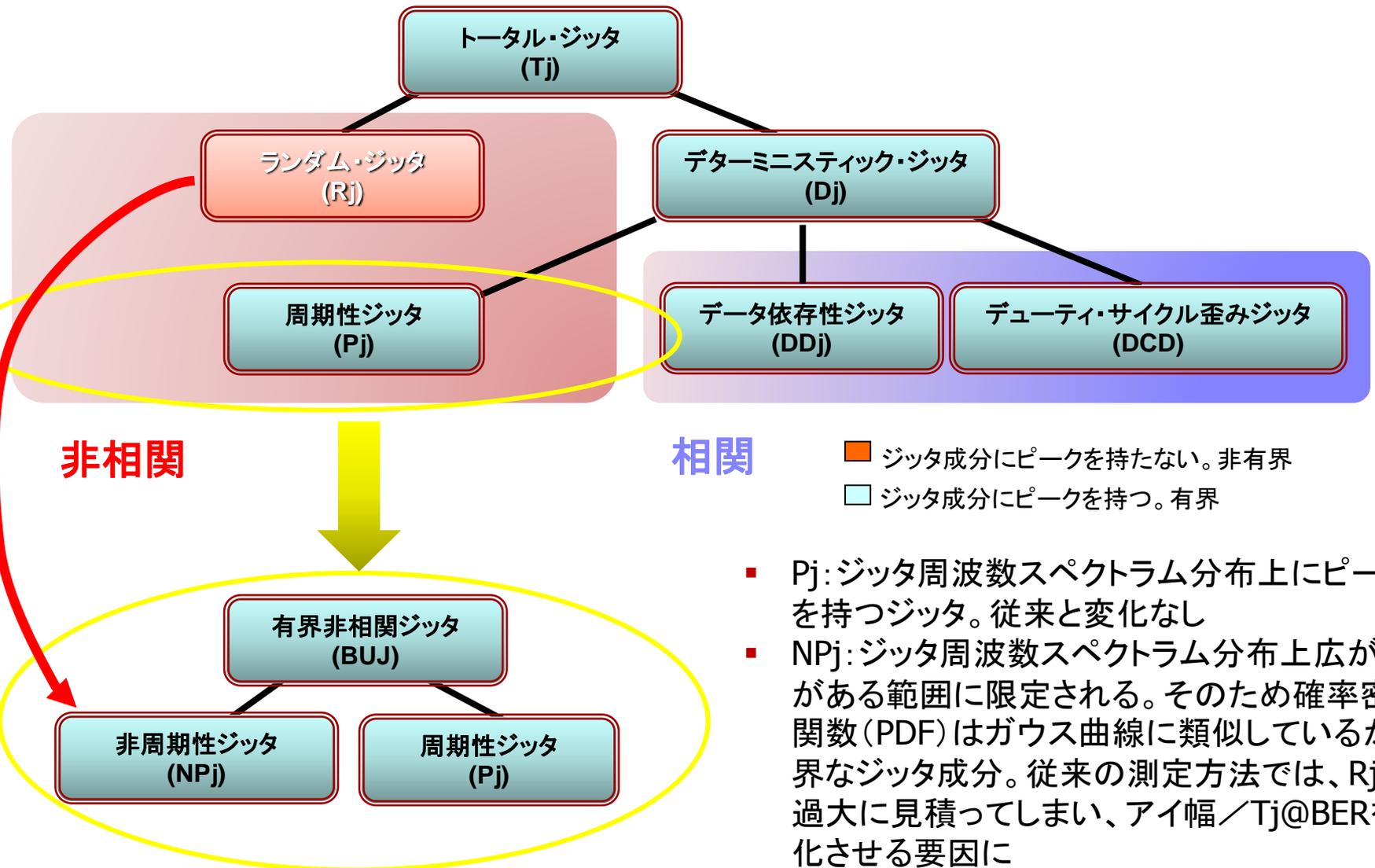


- クロストークの影響

- ノイズ・マージンの低下
- ジッタの増加: 非周期性有界非相関ジッタ (NPBUJ: Non-Periodic Bounded Uncorrelated Jitter) が増加

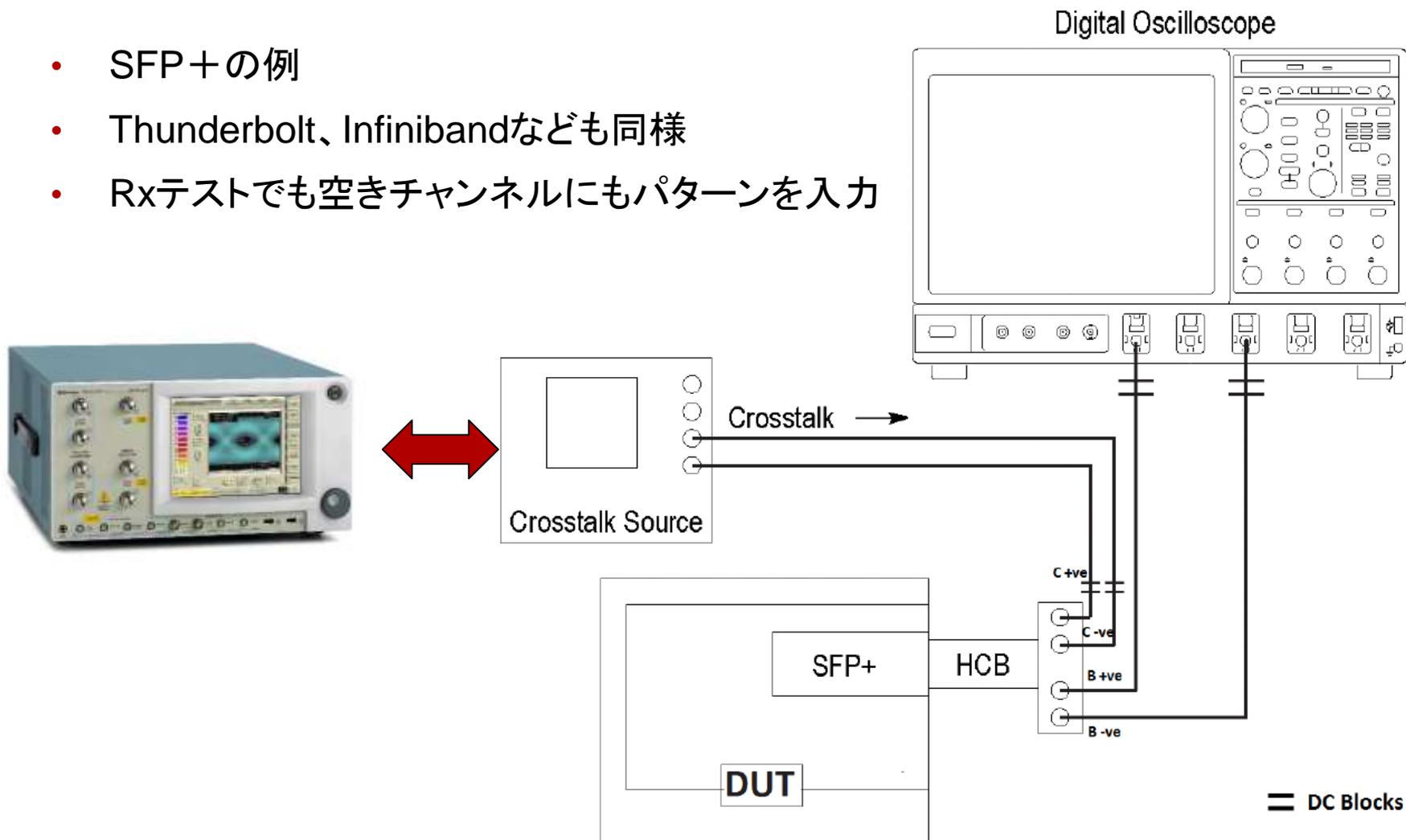


ジッタ: クロストークの影響を分離した測定が必要

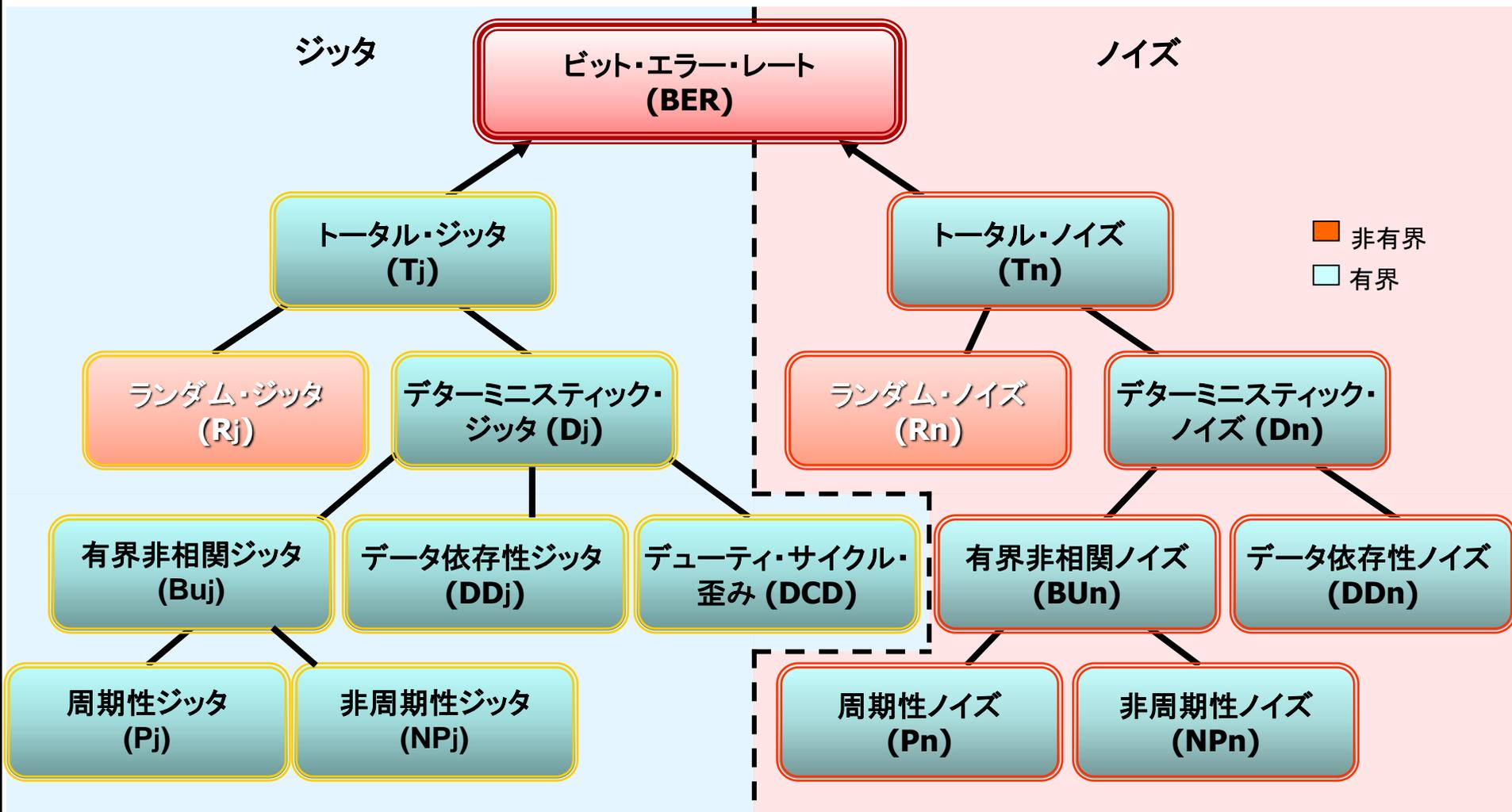


システム測定、コンプライアンスでは クロストークの印加が必要に

- SFP+の例
- Thunderbolt、Infinibandなども同様
- Rxテストでも空きチャンネルにもパターンを入力



BERの要因はジッタとノイズ



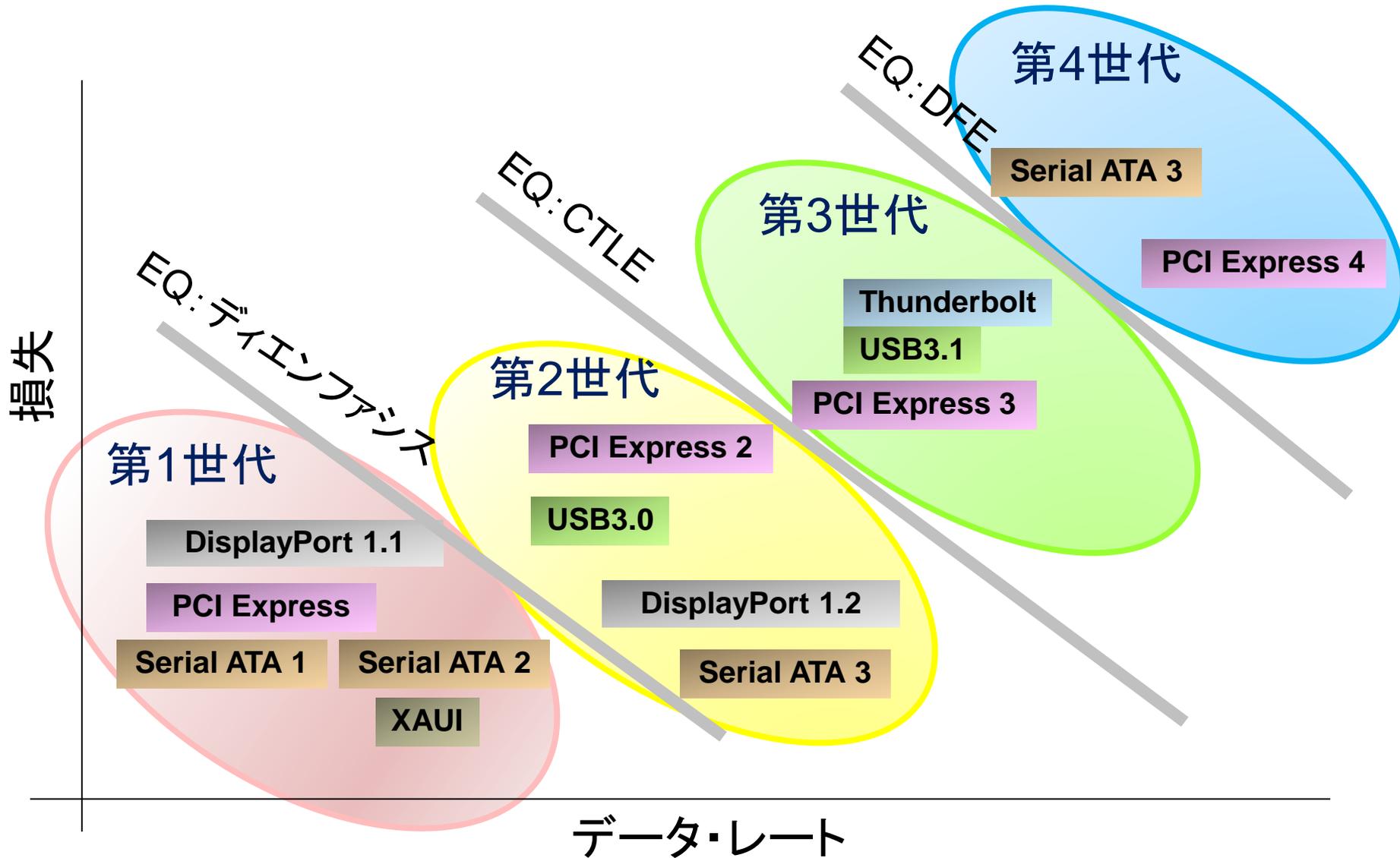
- ・ ノイズもジッタと同様に分類される
- ・ ノイズにもジッタと同様な考え方が適用可能⇒BERとバスタブ曲線

まとめ:

第3、4世代の高速シリアル・インタフェースの測定

- チャンネル+レシーバ・イコライザ・シミュレーションにより遠端レシーバ内(TP5)波形を再現するシリアル・リンク解析がより重要に
 - 損失の少ない近端(TP2)で信号を捕捉
 - CTLEのみならずDFEシミュレーションも必須に
- テスト時にはクロストークを印加
- ジッタ解析では、クロストークにより発生するBUJ(NPJ)を分離して、アイ幅/ $TJ@BER$ をより正確に予測
- 特定のBERにおけるアイ幅に加え、特定のBERにおけるアイ高さの測定が必要に
 - 3D-BER、BER等高線
- レシーバ・テストがより重要に

高速シリアル・インタフェース世代



まとめ：高速シリアル・インタフェース規格の世代と測定での必要事項

(※区分は単なる目安で絶対的ではありません)

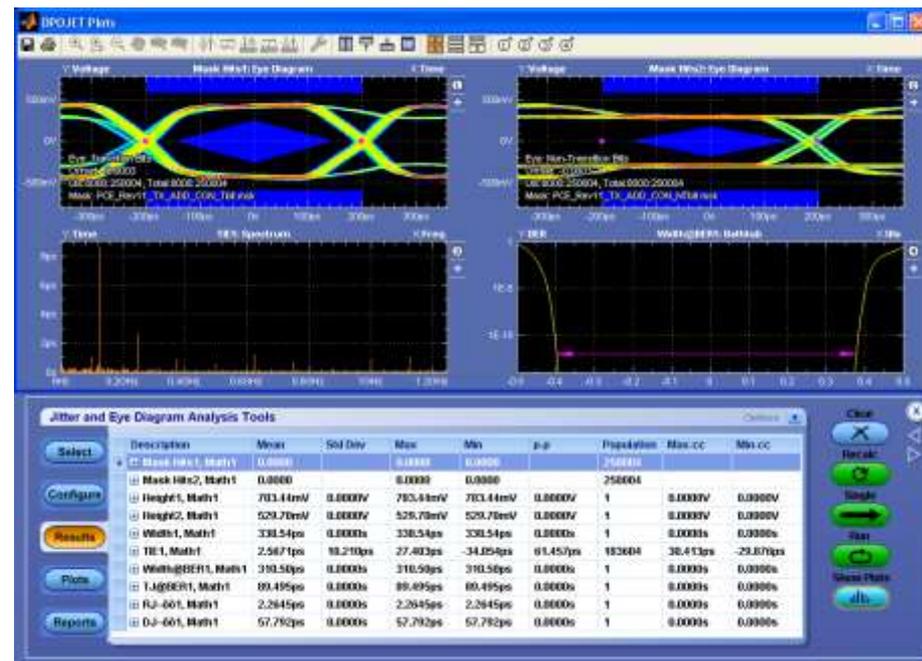
※BUJ: Bounded Uncorrelated Jitter、有界非相関ジッタ

	～第1世代	第2世代	第3世代～
データ・レート	1.5Gbps～2.5Gbps	3Gbps～5Gbps	6Gbps～
符号化	8B/10B		64B/66B、64B/67B、 128B/130B、128B/132B
イコライザ Tx	ディエンファシス(2タップ)		+プリシュート(3タップ)
Rx	CTLE		+DFE
測定点	TP1～TP4	TP2で捕捉し、チャンネル+レシーバ・イコライザ・シミュレーションにより遠端レシーバ内(TP5)波形を再現	
接続方法	プローブ	ケーブル直結	
アイ 高さ	アイ高さ@UI		アイ高さ@BER
幅	幅@UI	アイ幅@BER	
ジッタ	ピーク・ジッタ(TIE)	Rj、Dj、トータル・ジッタ@BER	+BUJ(NPj)
備考	ジッタでRjが占める割合がまだ小さい	Rjが顕在化	クロストーク、ノイズが顕在化(イコライザの併用、受信端レベルの減少)

DPOJETジッタ & アイ・ダイアグラム 解析ソフトウェア



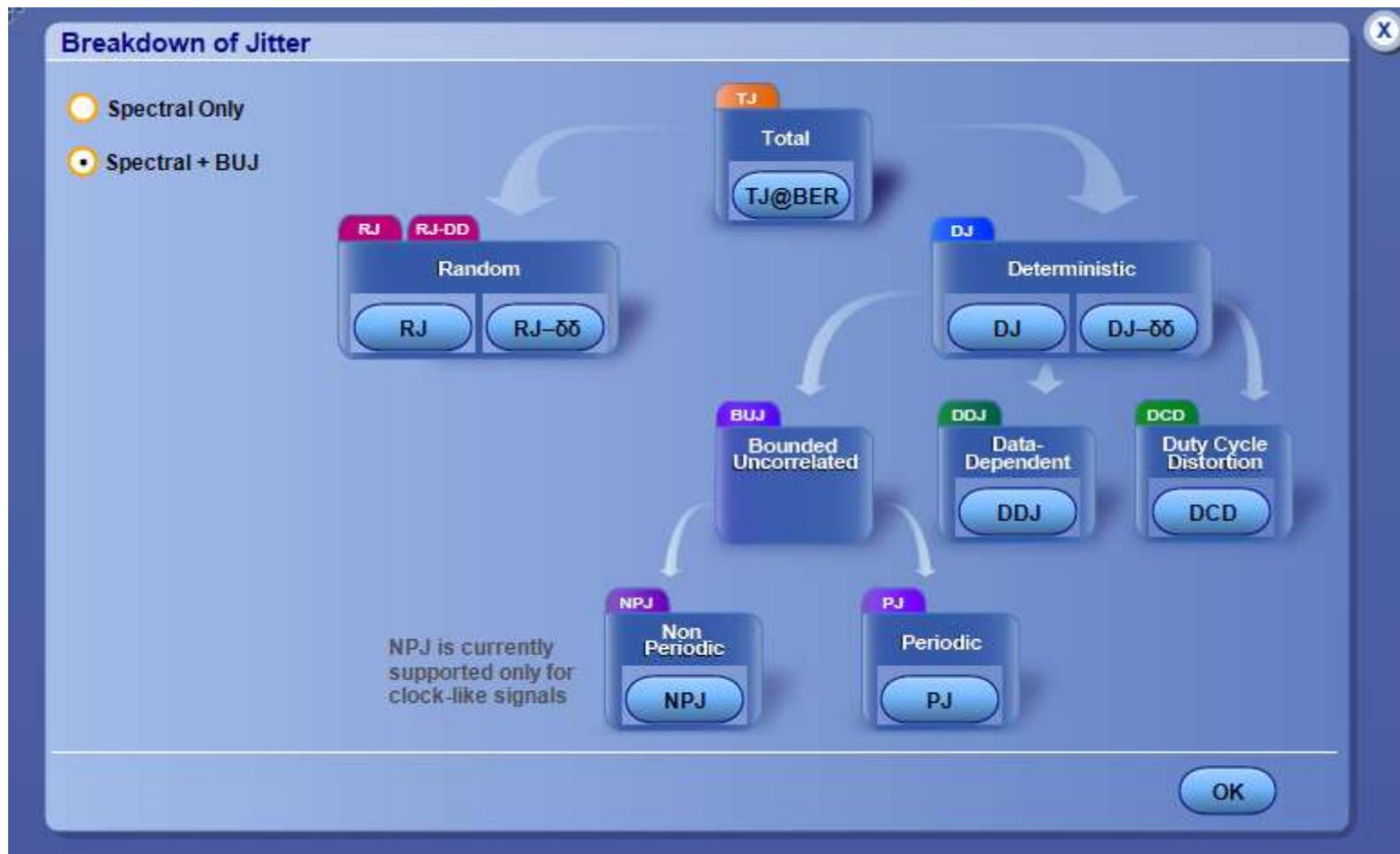
- 周波数／周期、振幅、タイミング、ジッタとアイ・ダイアグラム測定
- コンプライアンスからデバッグまで対応
- **同時に99測定まで: 効率的!**
 - 別々の信号に対する測定も同時に可能
 - 異なったクロック・リカバリでの評価
 - マルチレーンでは個々のレーンに対し、独立したクロック・リカバリを使用可能
- Rj/Dj測定、特定BERでのアイ開口幅とトータル・ジッタ予測
 - 真のDjとデュアル・ディラックDj($\delta\text{-}\delta$)測定
 - Dj各成分Pj, DDJ, DCDJを分離
 - NPBUJ測定
- 特定BERでのアイ高さ
- **最大4プロット表示可能**
 - 様々な側面からデータ解析を可能にするプロット
 - アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンドなど
- 外部クロック逡倍を含む様々なクロック・リカバリ・モデル
- 汎用+特定用途(DDR、PCI Express/3、USB3.0、SFP+、MIPI、SD/UHS-II など)



- レポート生成機能
 - MHTML形式(MIME Encapsulation of aggregate HTML)*
- MSO70000Cシリーズ、DSA70000C/Dシリーズ標準

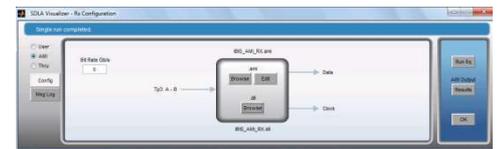
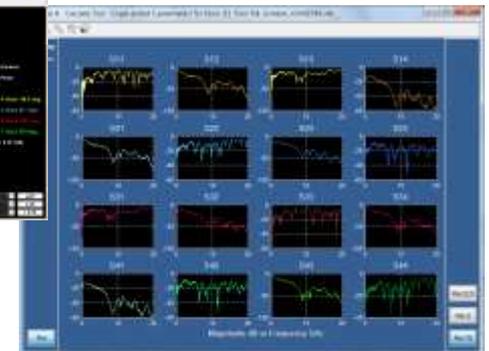
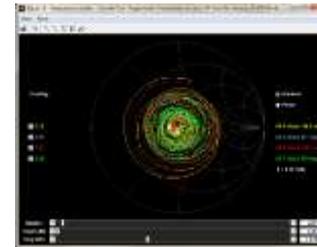
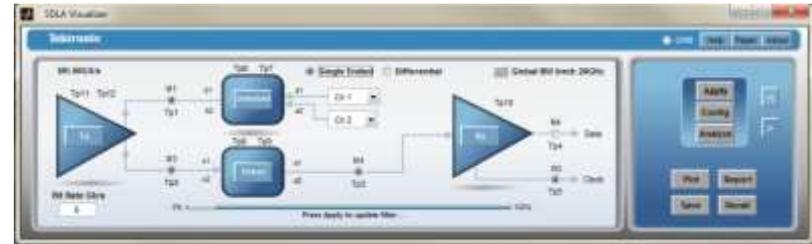
*HTML ファイルとリンクされた画像データを単一のアーカイブにまとめて保存できる形式

DPOJET新機能: NPBUJ測定 (Non-Periodic Bounded Uncorrelated Jitter)



New! SDLAビジュアライザ シリアル・データ・リンク解析ソフトウェア

- 1本のソフトウェアでチャンネル・エンベッド、ディエンベッド、イコライゼーションまでサポート
- 信号線路の任意の箇所の波形を表示
 - 最大6波形
- フル4ポートSパラメータ・モデル・サポート
 - TX および RX インピーダンス・モデル
 - SMAプローブ・モデル(2ポートSパラメータ)
 - ハイ・インピーダンス・プローブの負荷除去
- 反射除去
- Sパラメータに加え、Tモデル(無損失)、RLCモデルの使用
- モデル検証のためのプロット・ツール
 - 16 Sパラメータ・プロット、時間領域プロット、スミス・チャート
- Sパラメータを含むモデルのカスケード接続(最大8段)
- CTLE、FFE/DFEに加え、EDA業界標準のIBIS-AMIモデルによるRxイコライゼーション／クロック・リカバリをサポート
- DPOJETとシームレスに動作可能



EDA: Electronic Design Automation

SDLAビジュアライザ

Rxイコライゼーションに対するソリューション

- CTLE

- SDLA標準

- DCゲイン (A_{dc})
 - 第1極周波数 (ω_{p1})
 - 第2極周波数 (ω_{p2})
 - 零周波数 (ω_z)

$$H(s) = \frac{A_{dc} \omega_{p1} \omega_{p2}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

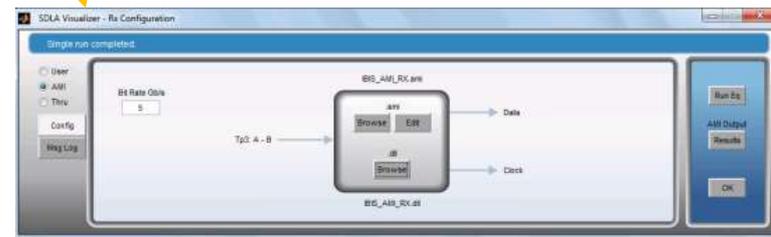
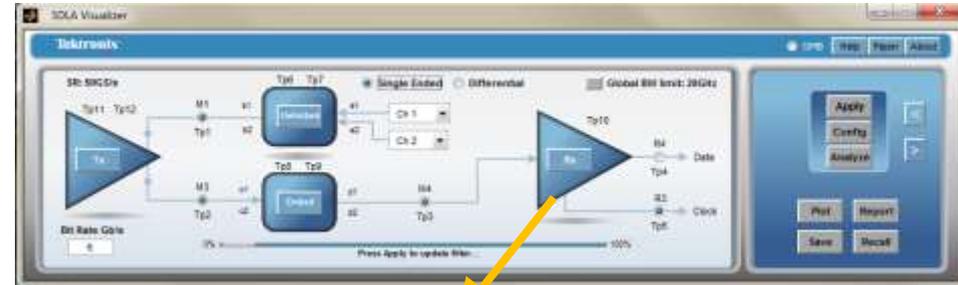
- Sパラメータによる

- FFE/DFE (Feed Forward Equalizer)

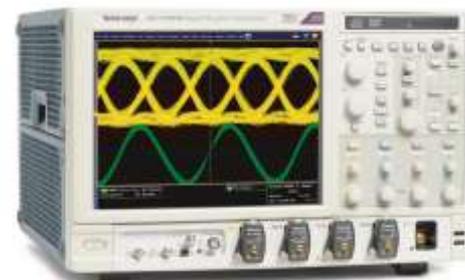
- EDA業界標準の

IBIS-AMIモデルによるRxイコライゼーション／クロック・リカバリをサポート

- 実際のRxが使用しているアルゴリズム / パラメータの利用
 - シミュレーションとの高い相関性



参考: MSO70000DXシリーズ *New!* ミックスド・シグナル・オシロスコープ

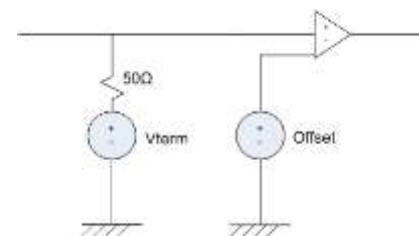


- 「最高の波形特性」と「強力な解析能力」

型名	MSO73304DX型	MSO72504DX型	MSO72504DX型
最高周波数帯域			
2ch(RT)、4ch(ET、アンダー・サンプリング)	33GHz	25GHz	23GHz
4ch(RT)	23GHz		
立上り時間(20%-80%)	9ps	12ps	13ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル		
最大レコード長	500Mポイント@4チャンネル、1Gポイント@2チャンネル		
垂直軸ノイズ (フルスケールに対するp-p)	0.58%		
フラットネス	±0.5dB(最高周波数帯域の半分まで)		
ジッタ・ノイズ・フロア(rms)	340fs	380fs	
デルタ時間測定確度(rms)	555fs	639fs	
垂直軸感度	6.25mV/div~600mV/div (62.5mV~6Vフルスケール)		
オフセット・レンジ 終端電圧レンジ	+3.5~-3.5V		



IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現

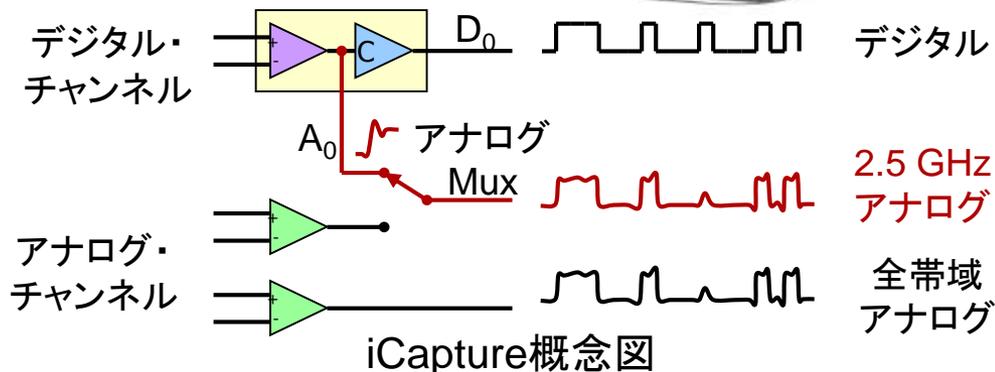


終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

参考. MSO70000Cシリーズ – 業界唯一 高性能ミックスド・シグナル・オシロスコープ

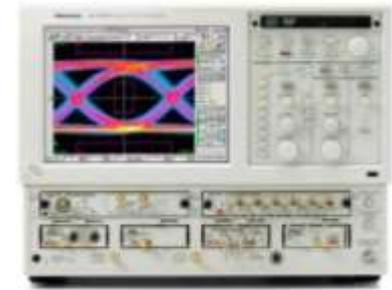


- 業界唯一 : MSO唯一のiCapture
 - 1回のプローブ接続でアナログとデジタルの信号の取込み
- 任意のデジタル・チャンネルとアナログ・チャンネルをすばやく切り替え
 - 同時に観測可能
- 汎用1GHzパッシブ・プローブと2.5GHzアクティブ差動プローブを用意

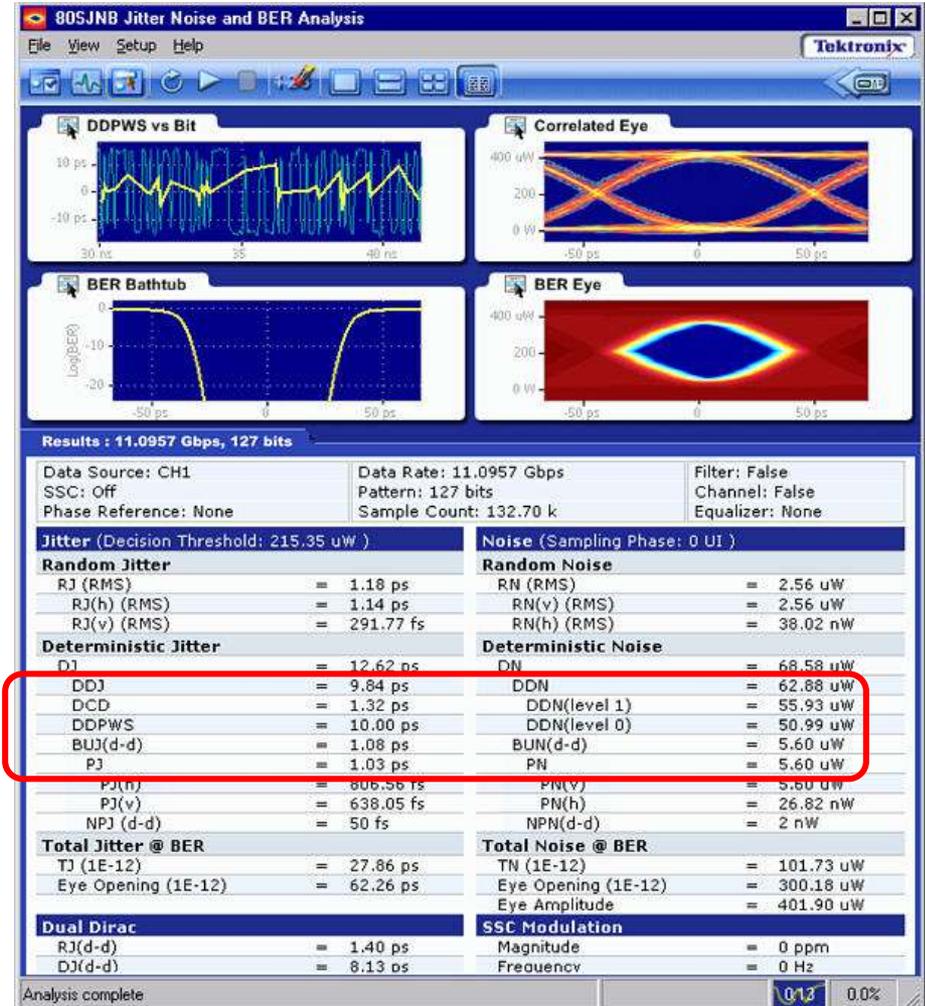


型名	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
アナログ・チャンネル				4		
デジタル・チャンネル				16		
サンプル・レート(アナログ)	50GS/s@4チャンネル、100GS/s@2チャンネル			25 GS/s@4チャンネル		
サンプル・レート(デジタル)	12.5 GS/s (80ps)					
レコード長 (全チャンネル)	250 M ポイント			125 M ポイント		
バス・トリガ/デコード(標準)	パラレル、I ² C、SPI					
iCapture®	○					
ロジック・クオリファイ・トリガ	○					
主な機能(標準)	サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ/アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード					

80SJNBジッタ、ノイズ、BER、 シリアル・データ・リンク解析ソフトウェア DSA8300シリーズ用ジッタ解析ソフトウェア

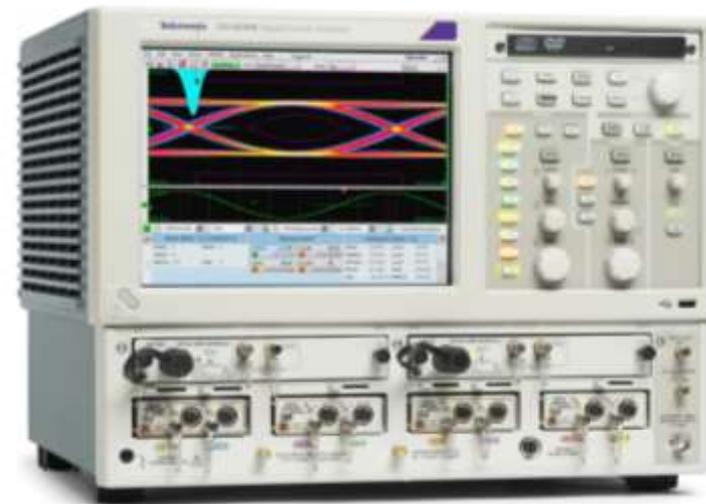


- 60Gbps超の高速シリアル信号のジッタおよびノイズの分離測定
- アイ開口@BER解析(垂直・水平)
- ジッタとノイズのランダム/デターミニスティック成分の分離と詳細な構成成分の解析
 - 周期性/非周期性、データ依存/非依存、有限/非有限
 - BUJ、BUNをサポート(2011年6月24日バージョン2.5.4より)
 - クロック・パターンのみならずPRBS-15までの繰り返しパターンに対応
- シリアル・データ・リンク解析機能
 - FFE/DFE
 - チャンネル・エミュレーション
 - チャンネル・ディエンベッド



DSA8300型 *New!* デジタル・シリアル・アナライザ

- 最高70GHz+ 周波数帯域
- 最高65GHz 光周波数帯域
- モジュール構造
 - 電気:5種類、TDR3種類
 - 光 :9種類
- 16ビット垂直分解能:20 μ V /LSB (1Vフルレンジ)
- 最大8ch 同時アキュジション
- ショート・ターム・トリガ・ジッタ
 - 標準:425fs、80A04型:200fs(RMS、代表値)
- トリガ帯域
 - クロック入力150MHz~15GHz(保証値)
 - プリスケール入力:150MHz~20GHz(代表値)
- コミュニケーション・マスク・テスト
- データ依存性障害解析に適したフレーム・スキャン機能
- 内蔵パターン・シンク機能(オプションADVTR)



- オプション
 - ジッタ、ノイズ、BER評価
 - Sパラメータ、モデリング、アイ・ダイアグラム、シミュレーション

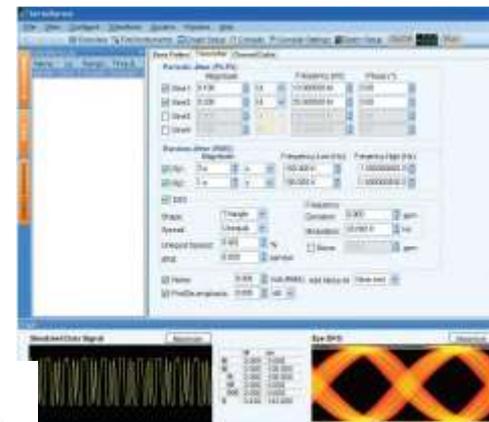
ジッタ・ストレス信号生成: 2つのソリューション



AWGシリーズ任意波形ジェネレータ

SDX100 SerialXpress™ SerialXpressジッタ生成ソフトウェア

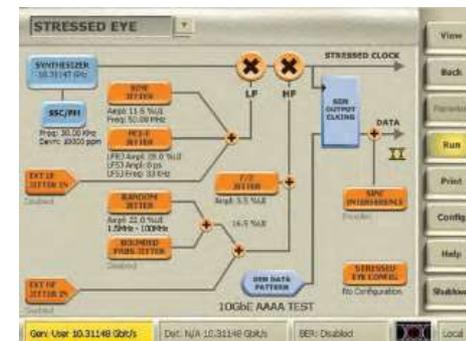
- ソフトウェア・ベースのジッタ信号生成
- 事実上制約のないジッタ生成
 - BERT、PPGはハードウェアの制約を伴う
- 12.5Gbpsまで



BERTScope Cシリーズ

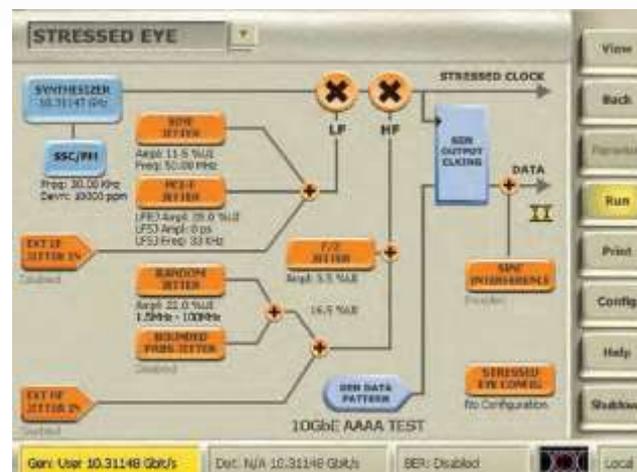
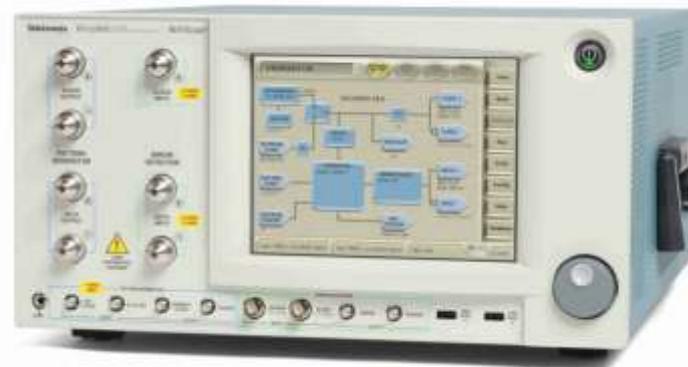
PPGシリーズ

- ハードウェア・ベースのジッタ信号生成(オプション)
- チャンネル・エミュレーション、プリエンファシス: 外付けハードウェア、ケーブル・エミュレータが必要
- 単体でBER、レシーバ・ジッタ耐性/マージン・テストが可能 (BERTScope Cシリーズ)
- 32Gbpsまで



BSA Cシリーズ ビット・エラー・レート・アナライザ

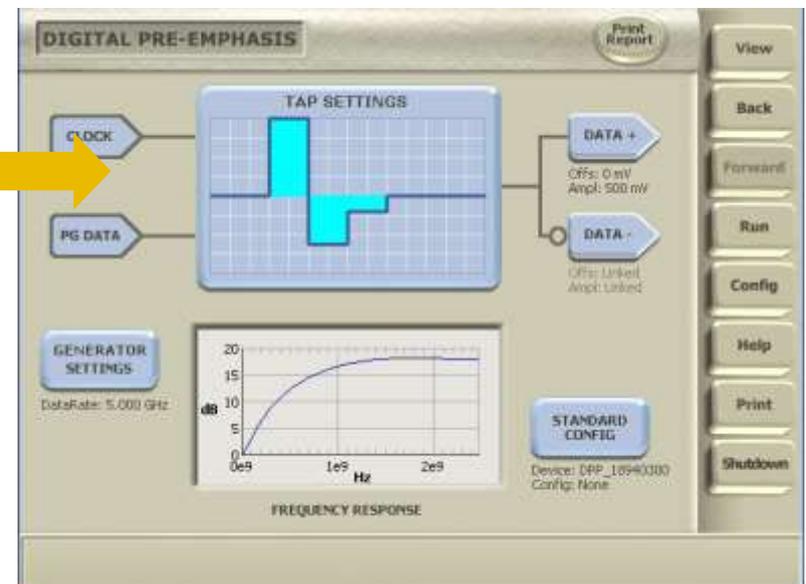
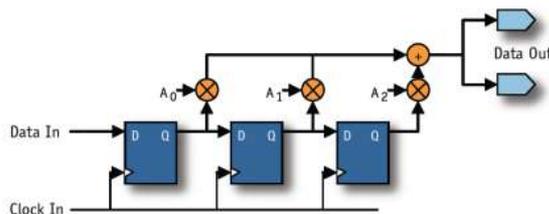
- 最高28.6Gbpsのパターン生成、高速BER/ジッタ測定、エラー解析が可能
 - 8.5Gbps、12.5Gbps、17.5Gbps、26Gbps、28.6Gbpsの5機種
- ストレス生成機能※
- BERTScopeツールキット
 - 標準テスト・スイート
 - アイ・ダイアグラム、マスク・テスト
 - ジッタ・トレランス・マージン・テスト※
 - 物理レイヤ・テスト・ソフトウェア・スイート※
 - ジッタ・ピーク、BER輪郭、Qファクタ解析
 - ジッタ分離(ジッタ・マップ) ※
- 当社特許のError Location Analysis機能
 - エラー/データ相関など
- その他※
 - ストレス・ライブ・データ
 - エラー訂正符号化エミュレーション
 - シンボル・フィルタリング



※オプション

DPP125B/C型 デジタル・プリエンファシス・ユニット

- 標準:3タップ、オプション:4タップ
 - 任意の3ビット、4ビットに対し、ディエンファシス、プリシュートを設定可能
 - 周波数領域での特性確認可能
- 12.5Gbpsまで
- 外部でのクロック/データ・タイミング調整不要(DPP125C型)
- BERTScope、あるいはスタンドアローンで他のパターン・ジェネレータと併用可能

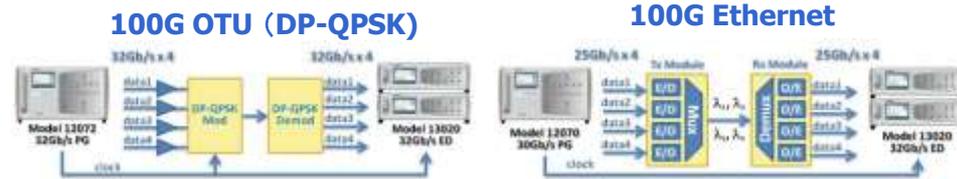


PPGシリーズ パターン・ジェネレータ

PEDシリーズ エラー・ディテクタ

New!

- マルチチャンネルBERTの要求に
 - 2/4レーン同時
 - クロストークの印加
- 28.6Gbps以上のデータ・レートの要求に
- 内蔵ジッタ・インサージョン機能(オプション)
 - Opt.HFJIT: SJ, RJ, BUJ.
 - Opt.LFJIT: 10Hz、5000UIものSJを生成可能

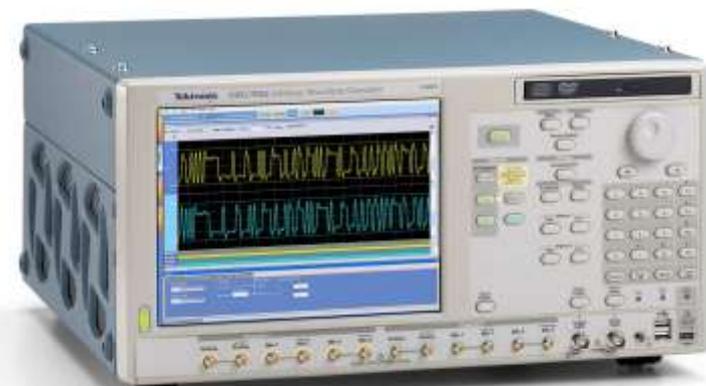


アプリケーション/用途	BSAシリーズ	PPG/PEDシリーズ
シングル・チャンネルBERT <28.6Gbps >28.6Gbps	○	○
マルチチャンネルBERT/PG/ED		○
ビルトイン解析機能	○	
コンプライアンス・テスト (PGとEDを統合しての)	○	
分離型PG/ED		○

型式	データ・レート	チャンネル数
パターン・ジェネレータ(PG)		
PPG3001/2/4型	30Gbps	1/2/4
PPG3201/2/4型	32Gbps	1/2/4
エラー・ディテクタ(ED)		
PED3201/2型	32Gbps	1/2
New! PED4001/2型	40GS/s	1/2

AWG7122C型 任意波形ジェネレータ

- 任意のジッタ、プリエンファシス、ノイズを印加してのシリアル・データが発生可能
- 直接にジッタを生成し合成(ダイレクト・シンセシス)
 - 損失のためのハードウェア・リファレンス・チャンネルが不要
 - 高い再現性
- 最高サンプリング・レート(従来機種1.2倍)
 - 12GS/s@2チャンネル
 - 24GS/s@1チャンネル
- 10ビット垂直分解能
- マーカ出力
 - 2チャンネル／アナログ出力
- メモリ長
 - 標準: 32M @2チャンネル、64M @1チャンネル
 - オプション: 64M @2チャンネル、128M @1チャンネル
- シーケンサ機能



- 応用例
 - レシーバ・ジッタ・トレランス・テスト
 - SSC df/dtストレス・テストを実現
 - PLLループ帯域幅
 - チャンネル・エミュレーション

New ! AWG70001A型・AWG70002A型 新世代任意波形ジェネレータ

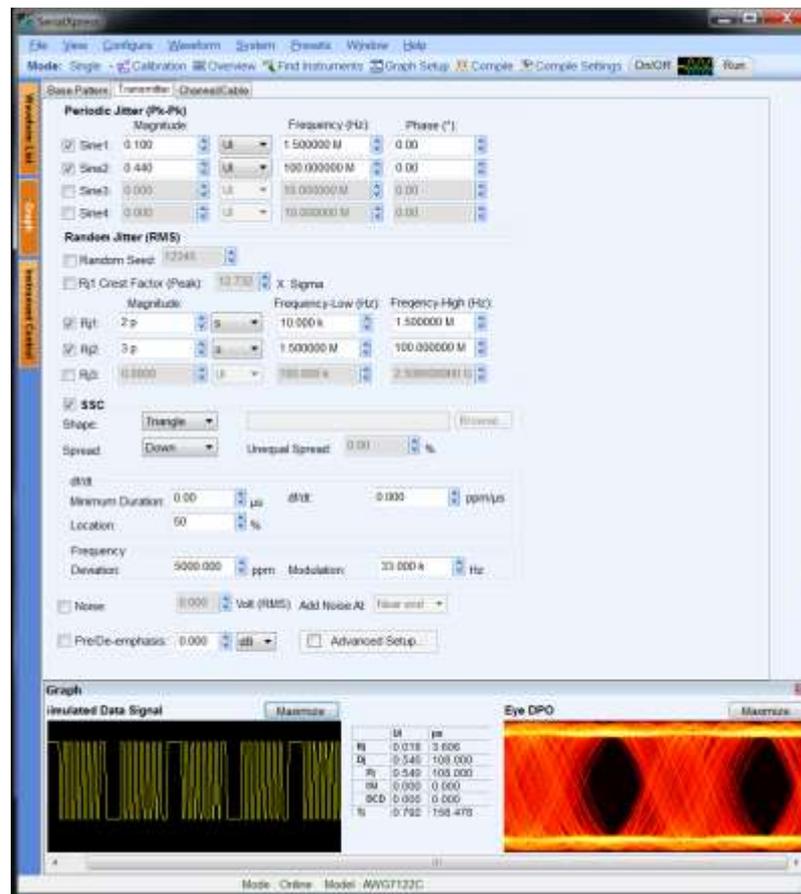
- 最高サンプリング・レート
(従来機種約2倍)
 - AWG70001A型: 50GS/s@1チャンネル
 - AWG70002A型: 25GS/s@2チャンネル
- 10ビット垂直分解能
- マーカ出力
 - 2チャンネル／アナログ出力
- メモリ長
 - 標準: 128M
 - オプション: 16G (AWG70001A型)、
8G (AWG70002A型)
- データ・レート (1UI/4ポイントで規定)
 - AWG70001A型: 12.5Gbps
 - AWG70002A型: 6.25Gbps
- シーケンサ機能 (オプション)



SDX100

SerialXpress™ ジッタ生成ソフトウェア

- AWGシリーズ任意波形ジェネレータで任意のジッタ、プリエンファシス、ノイズを印加してのシリアル・データが直接に発生可能に(ダイレクト・シンセシス)
- レシーバ・ジッタ耐性/マージン・テスト、SSC df/dtストレス・テストを実現
- ジッタ要素
 - 周期性ジッタ(正弦波4ソース)
 - ランダム・ジッタ(3ソース)
 - シンボル間干渉(ISI)
 - デューティ・サイクル・ディストーション(DCD))
- スペクトラム拡散クロック(SSC)要素(オプション)
 - プロファイル、拡散方式、周波数偏移、拡散周波数、df/dt、ノイズ
- S-パラメータ・フィルタによるチャンネル・エミュレーション(オプション)
 - TouchStone形式ファイルをインポートして、基板、ケーブル、クロストークをシミュレーション可能
 - シンボル間干渉(ISI)などを生成のための外付けハードウェアが不要



弊社の高速シリアル・インタフェース 測定ソリューション

波形観測+信号品質テスト

- オシロスコープ+コンプライアンス・テスト/
解析ソフトウェア+プローブ
- サンプリング・オシロスコープ

ジッタ、ビット・エラー・レート(BER)計測

- オシロスコープ+ジッタ解析ソフトウェア
- BERT

伝送路解析(差動インピーダンス、差動Sパラメータ、インサージョン・ロス、リターン・ロス)

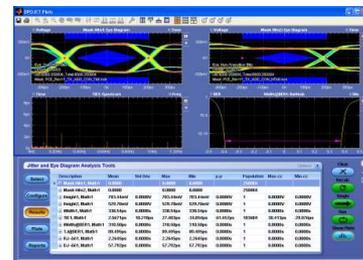
- 差動TDR/サンプリング・オシロスコープ

レーザー・テスト

- 任意波形ジェネレータ
- BERTストレス・ジェネレータ

システム・レベル・デバッグ、 プロトコル解析

- ロジック・アナライザ



ご清聴いただきありがとうございました

本テキストの無断複製・転載を禁じます。テクトロニクス/ケースレーインストゥルメンツ
Copyright © Tektronix, Keithley Instruments. All rights reserved.

www.tektronix.com/ja
www.keithley.jp/

Twitter [@tektronix_jp](https://twitter.com/tektronix_jp)
Facebook <http://www.facebook.com/tektronix.jp>

