

今日の設計者の常識。 高速シリアル・インタフェースの基礎知識と測定



テクトロニクス社

営業技術統括部 畑山 仁

www.tektronix.com/ja

講師紹介

畑山 仁:日本テクトロニクス株式会社 営業技術統括部 シニア・テクニカル・エキスパート

- サポート分野: 高速デジタル、高速シリアル・インタフェース (特にPCI Express、USB3.0) に対し、お客様、営業、AEをサポート
- セミナ講師: 当社の高速シリアル・インタフェース、PCI Express、USB3.0セミナをはじめ、FPGA代理店との協調セミナなど
- 主な執筆・編著
 - CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計、機能実装まで」、2010年4月
 - マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」: **本セミナーの補足にぜひご利用ください**
 - <http://journal.mycom.co.jp/series/serialif/001/index.html>
- 出身: 東京都
- facebook <http://facebook.com/hitoshih330>



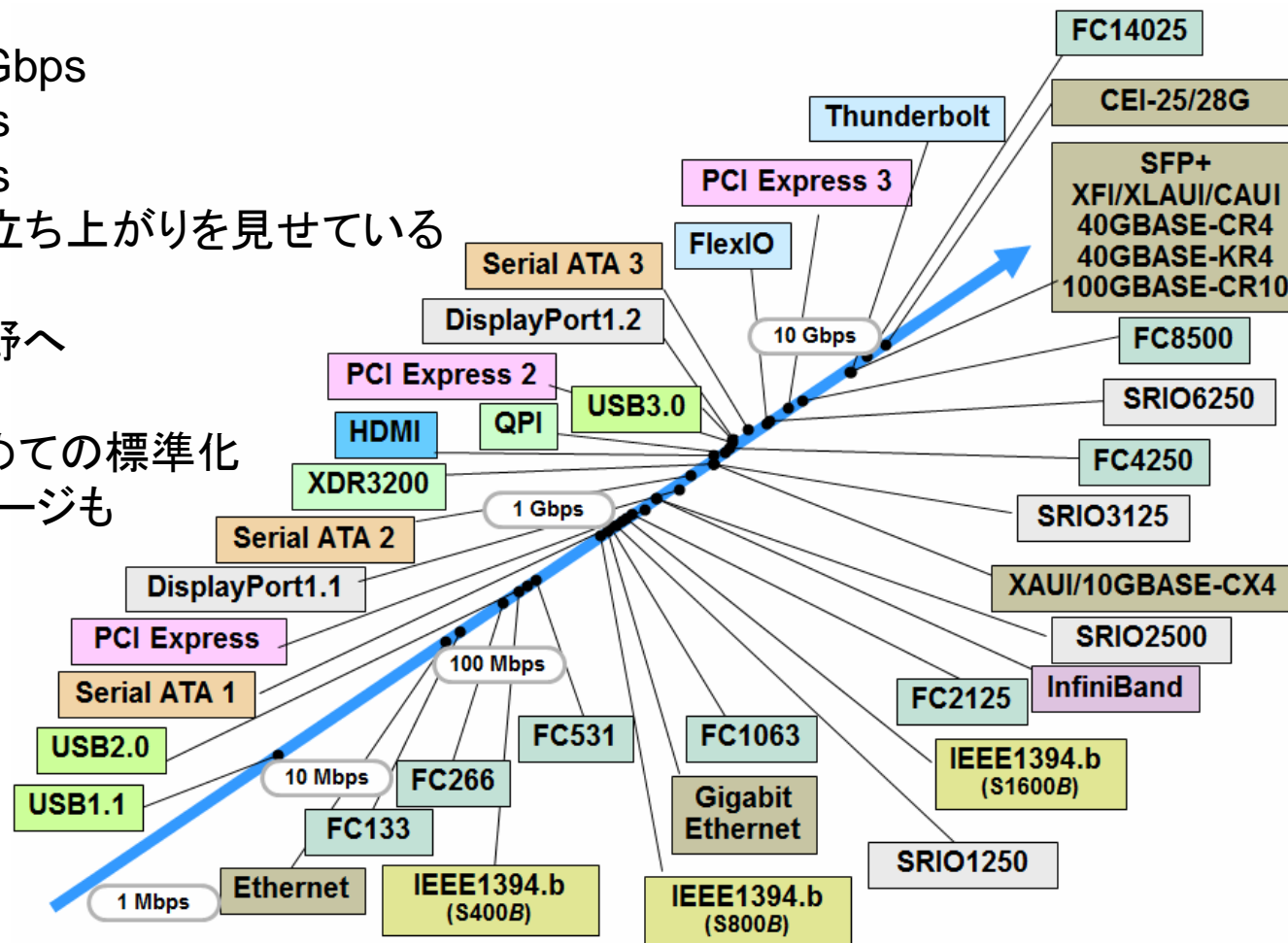
講師監修・執筆インタフェース・デザイン・シリーズ第2弾:USB3.0

- 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」
- A5判、512ページ
- 近日販売開始予定。乞うご期待ください
- 内容
 - 第1章 USBの概要
 - 第2章 USB 3.0の物理層と論理層
 - 第3章 デバイスとハブの動作
 - 第4章 コネクタとケーブルの形状と特性
 - 第5章 リンク層の詳細
 - 第6章 ハードウェア設計
 - 第7章 プリント基板の設計
 - **第8章 コンプライアンス・テスト:執筆しました**
 - 第9章 USB ソフトウェアのしくみ
 - 第10章 USBホスト・コントローラの制御
 - 第11章 USBデバイス・コントローラ制御



高速シリアル・インタフェースの台頭(電気)

- 既存のシリアル・バスの高速化
 - USB、FibreChannel、Ethernet...
- 従来パラレル伝送方式だった装置内部のバスのシリアル化
 - PCI Express、SATA、SRIO...
- 世代を重ねるごとに高速化
 - 第1世代: 1.5Gbps~2.5Gbps
 - 第2世代: 3Gbps~5Gbps
 - 第3世代: 6Gbps~8Gbps
- 10Gbpsを超える規格が急速に立ち上がりを見せている
 - Thunderbolt、SFP+...
- さらに25G/28Gbpsも業界の視野へ
 - OIF-CEI-25/28
- 規格団体によるテスト方法も含めての標準化
- モバイル機器、フラッシュ・ストレージも
- 物理層の統合が進む？
 - Thunderbolt
 - PCI Express
 - MHL



規格 — アプリケーションによる分類

(※下線は注目アプリケーション)



- **PC/サーバ系**
 - PCI Express – 2.5/5/8Gbps、1/2/4/8/16/32 レーン
 - HyperTransport – 2.6GHz/5.2GT/s、32ビット
 - InfiniBand – 2.5Gbps、1/4/12レーン
 - Thunderbolt – 10.3125Gbps、2レーン



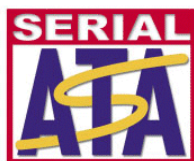
- **通信系**
 - 10GbE
 - XFP+, XFI – 10.3125Gbps
 - 10GBASE-KR – 10.3125Gbps
 - 10GBASE-CX4 – 3.125Gbps、4レーン
 - XAUI – 3.125Gbps、4レーン



- 40GbE
 - 40GBASE-CR4/KR4 – 10.3125Gbps、4レーン
- 100GbE
 - 100GBASE-CR10 – 10.3125Gbps、10レーン
- SRIO – 1.25/2.5/3.125/5/6.25Gbps、1/2/4レーン
- CPRI – 0.6144/1.2288/2.4576/3.072Gbps



- **周辺機器**
 - USB – High Speed (USB2.0) は480Mbps
 - USB3.0 – SuperSpeed (USB3.0) は5Gbps + USB2.0 (デュアル・バス)
 - 1394a/b – 100/200/400Mbps、800M/1.6Gbps



- **ストレージ系**
 - Fibre Channel – 1.063/2.125/4.25/8.5/14.025Gbps
 - SATA/eSATA/SAS – 1.5/3/6Gbps

- **ファシリティ内**
 - 1000BASE-T (GbE) – 250MHz 5値
 - 10GBASE-T – 2.5Gbps 6値

規格 — アプリケーションによる分類(続)

(※下線は注目アプリケーション)



- **放送機器 (75 Ω)**
 - SD-SDI – 270 Mbps
 - HD-SDI – 1.485Gbps
 - Dual-Link – 1.485Gbps、2ケーブルで3Gbps
 - 3G-SDI – 2.97Gbps
- **ディスプレイ系**
 - DVI – 1.65Gbps、3レーン(データ) + 1レーン(クロック)
 - HDMI – 3.4Gbps、3レーン(データ) + 1レーン(クロック)、HDCP
 - DisplayPort – 1.62/2.7Gbps、1/2/4レーン、HDCP
 - DiVa – 4.5Gbps、3レーン(データ)、HDCP、中国発
- **フラット・パネル**
 - LVDS (FPD-Link、Flat Link、RSDS、mini-LVDS)
 - V-by-One HS
 - eDP、iDP
- **モバイル**
 - MIPI (D-PHY、DigiRF、M-PHY)
 - MDDI
 - Mobile Video Interface
 - HDMI (1.4a. Type D)
 - MHL – 2.75Gbps、1レーン / USB2.0
- **フラッシュ・デバイス**
 - SD、UFS – 300MB/s ?

HDCP : High-bandwidth Digital Content Protection

参考:略語

- QPI – Quick Path Interconnect
- XAUI – 10Gbps Attachment Universal Interface
- SRIO – Serial Rapid IO
- CPRI – Common Public Radio Interface
- USB – Universal Serial Bus
- SATA – Serial Advanced Technology Attachment
- SAS – Serial Attached SCSI
- SD-SDI – Standard Definition Serial Digital Interface
- HD-SDI – High Definition Serial Digital Interface
- DVI – Digital Visual Interface
- HDMI – High-Definition Multimedia Interface
- UDI – Unified Display Interface
- MIPI – Mobile Industry Processor Interface
- MDDI – Mobile Display Digital Interface
- MHL – Mobile High-Definition Link
- HDCP – High-bandwidth Digital Content Protection
- JEDEC – 過去はJoint Electron Device Engineering Councils、現在はJEDEC Solid State Technology Association
- UFS – Universal Flash Storage
- OIF – Optical Internetworking Forum
- CEI – Common Electrical I/O

弊社の高速シリアル・インタフェース測定ソリューション

波形観測+信号品質テスト

- オシロスコープ+コンプライアンス・テスト/解析ソフトウェア+プローブ
- サンプリング・オシロスコープ

ジッタ、ビット・エラー・レート(BER)計測

- オシロスコープ+ジッタ解析ソフトウェア
- BERT

伝送路解析(差動インピーダンス、差動Sパラメータ、インサージョン・ロス、リターン・ロス)

- 差動TDR/サンプリング・オシロスコープ

レシーバ・ストレス・テスト

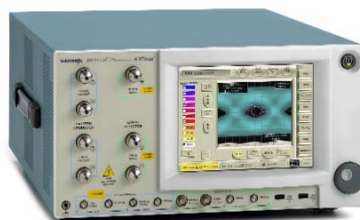
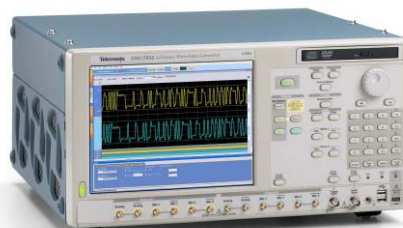
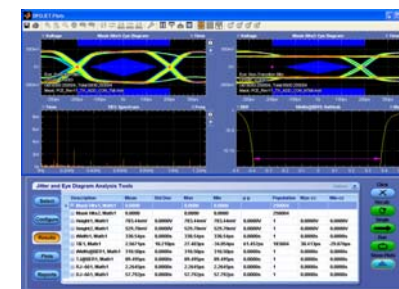
- 任意波形ジェネレータ
- BERTストレス・ジェネレータ

システム・レベル・デバッグ

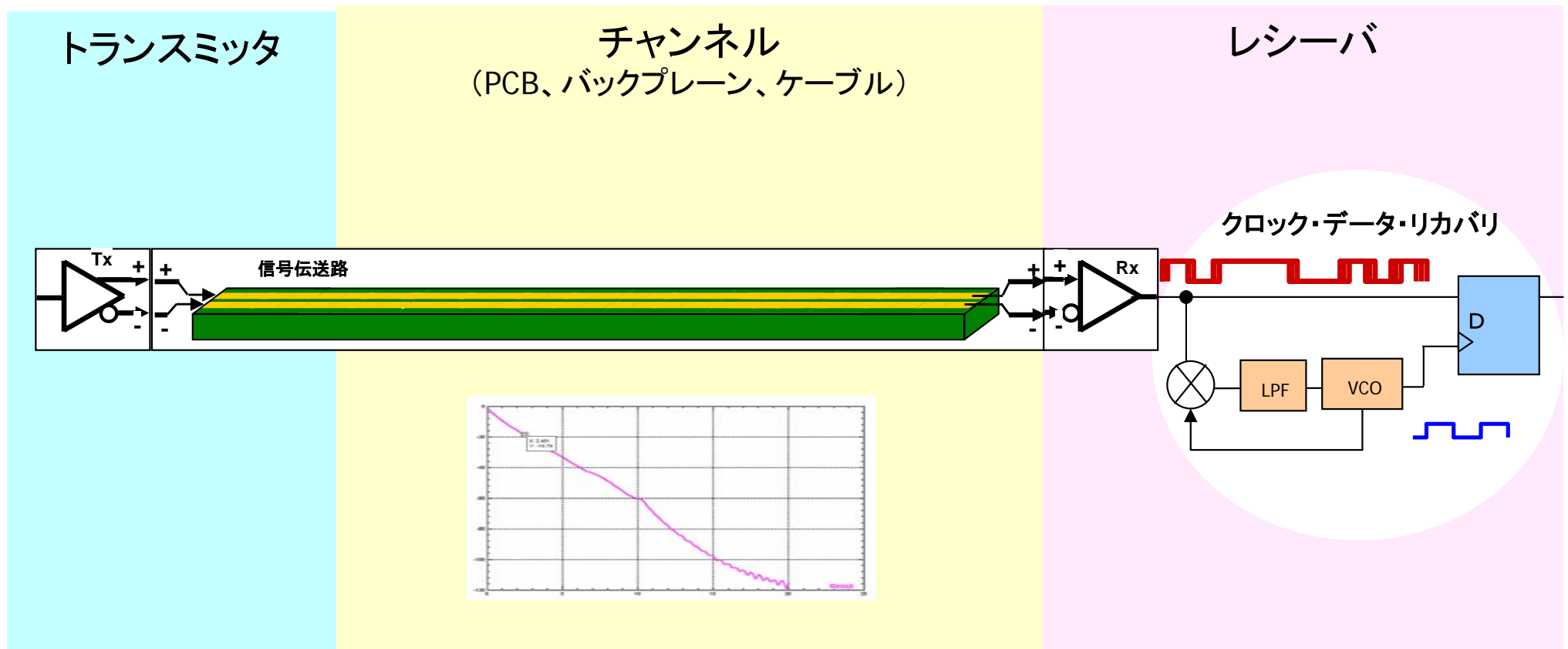
- ロジック・アナライザ

プロトコル解析

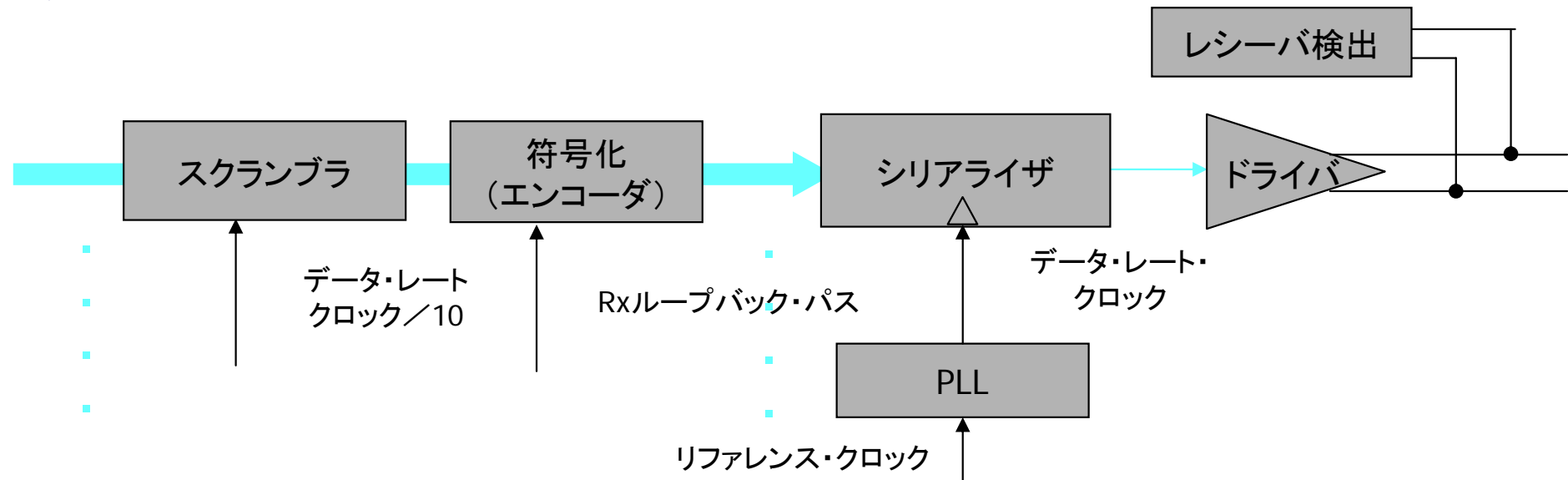
- プロトコル・アナライザ



高速シリアル・インタフェース物理層の構成要素

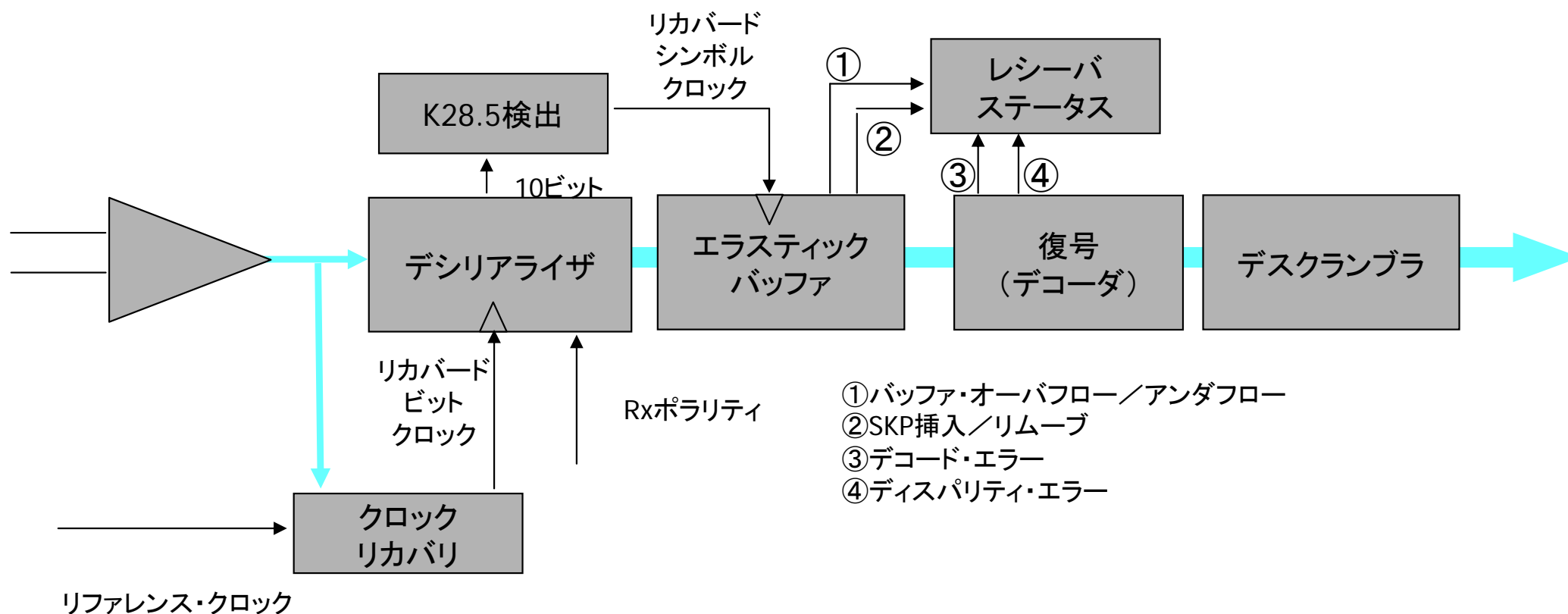


一般的なトランスミッタ回路ブロック例



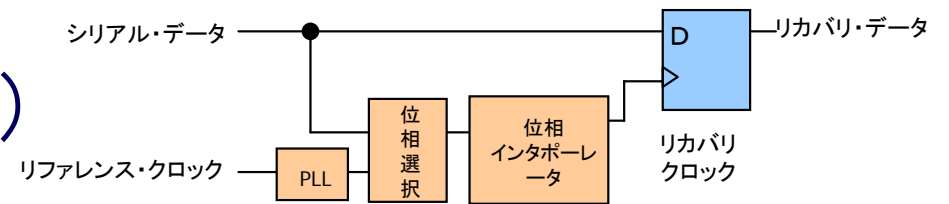
- **スクランブラ**: 線形フィードバック・シフト・レジスタで生成された乱数を使ってのデータ攪拌によるEMIを低減とデータ遷移密度の向上
- **符号化**
 - データ遷移密度向上 (クロック・リカバリを容易化) + 周波数広がりの抑制 (シンボル間干渉低減)、リンク・コントロール、フレーミング、DCバランスの保持
 - 8B/10B、64B/66B、64B/67B、128B/130B バランス
 - EMIを低減すべくデータ遷移密度の抑制
 - TMDS (Transition Minimized Differential Signaling)
- **シリアライザ**
 - 送信側ではクロック・タイミングでデータをシリアル化 (クロック埋め込み)
 - ディスプレイ系では周波数分割したクロックを並走するインタフェースも多く見られる
例: FP-Link、DVI、HDMI

一般的なレシーバ回路ブロック例

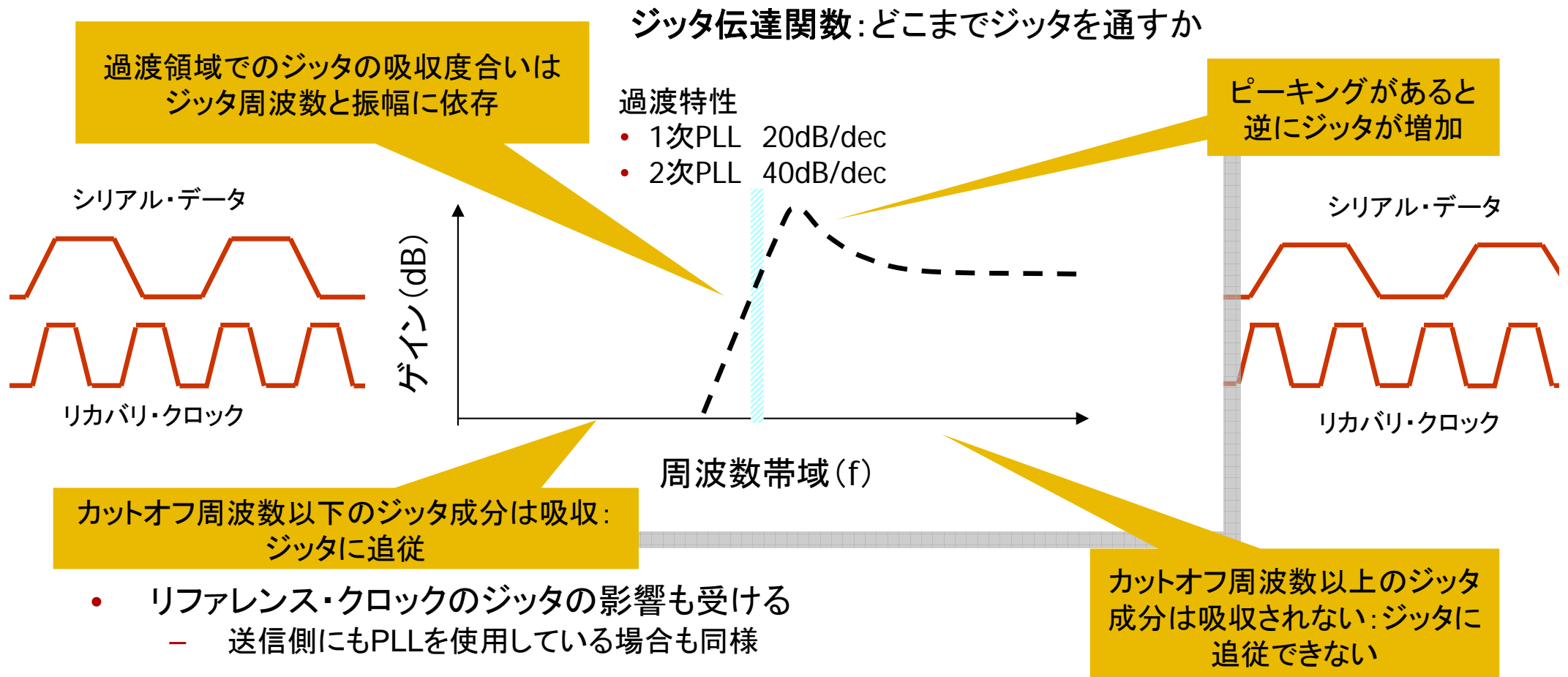


- クロック・データ・リカバリ (Clock Data Recovery)
 - シリアル・データからPLL等でクロックをリカバリ
 - さらにリカバリされたクロックでデータをリカバリ
- エラスティック・バッファ: 送信側と受信側の周波数のずれ(偏差)を特定コードの挿抜により吸収
- デスクランブラ: 攪拌されたデータを元のデータに変換

クロック・データ・リカバリ (CDR)



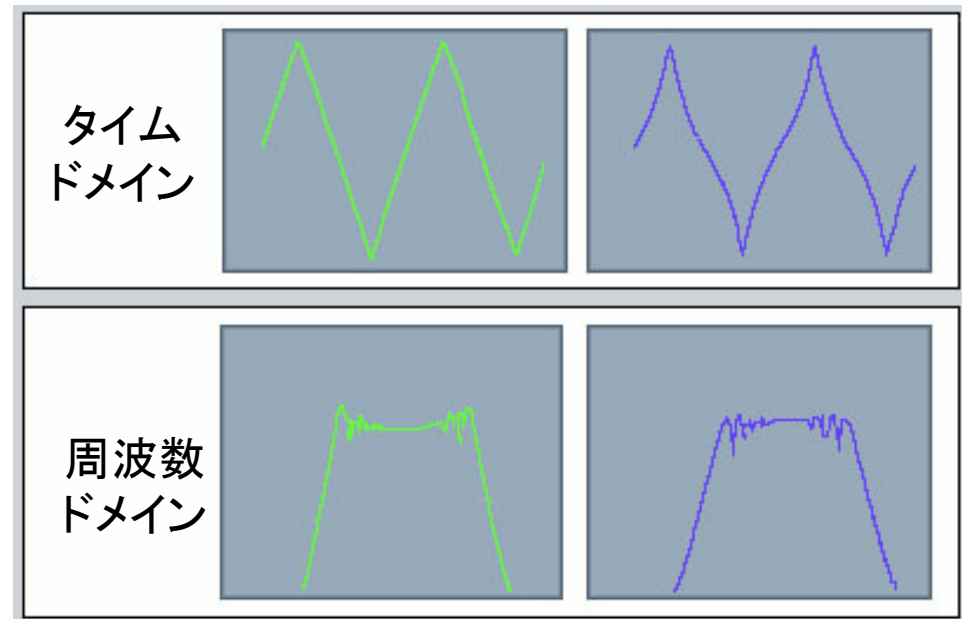
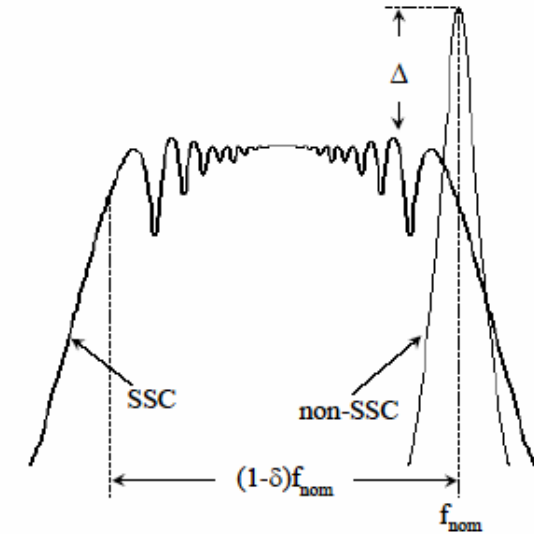
- クロック・タイミングでデータを送信し、受信側でPLL等でクロックをリカバリし、リカバリされたクロックでデータをリカバリするシリアル・インタフェースはジッタの影響を大きく受ける
- ジッタの影響はクロック・データ・リカバリ回路のPLL特性に依存



SSC (Spread Spectrum Clocking)

スペクトラム拡散クロック

- EMI低減のために、クロック信号を変調、すなわちジッタを与えることで、周波数分布を拡散し (Spread)、EMIの特定周波数へのエネルギーの集中を下げる
- PCやディスプレイ、薄型テレビ、プリンタなどで使用
- 三角波、あるいはLexmark (“Hershey Kiss”) プロファイル
 - 三角波はサイド・ローブが持ち上がる
 - Lexmarkは平坦で理想的。ただしLexmark社特許のため、ライセンスが必要
- USB3.0、PCI Expressの場合
 - リファレンス・クロック : 100MHz ± 300ppm
 - 周期30 ~ 33kHzで、0 ~ -0.5%までのダウンスプレッド
 - リファレンス・クロック
 - USB3.0、SATA: 送信と受信で独立
 - PCI Express: 送信と受信で共通

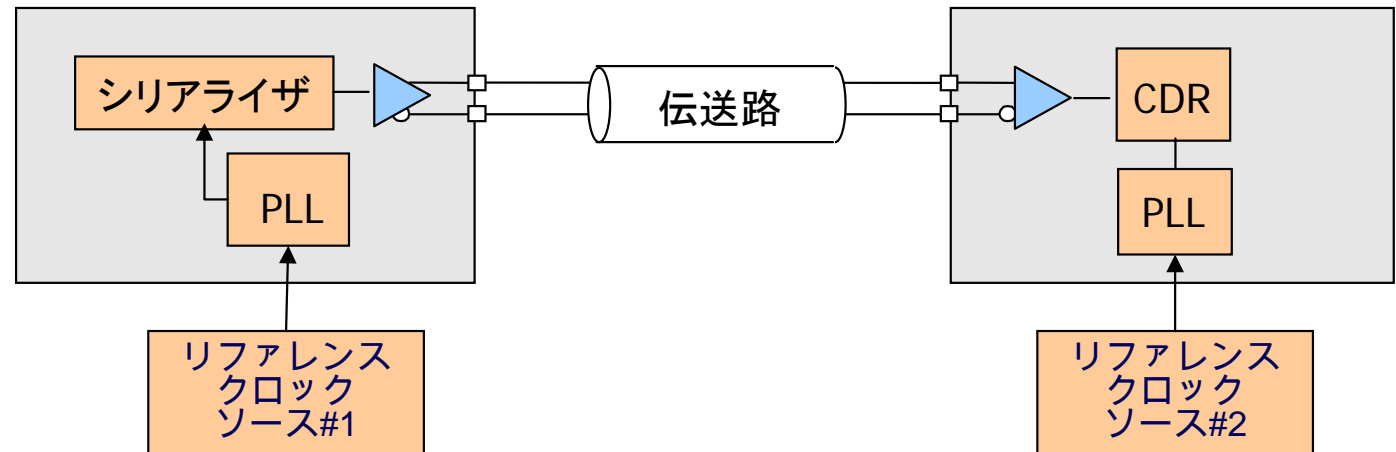


三角波
プロファイル

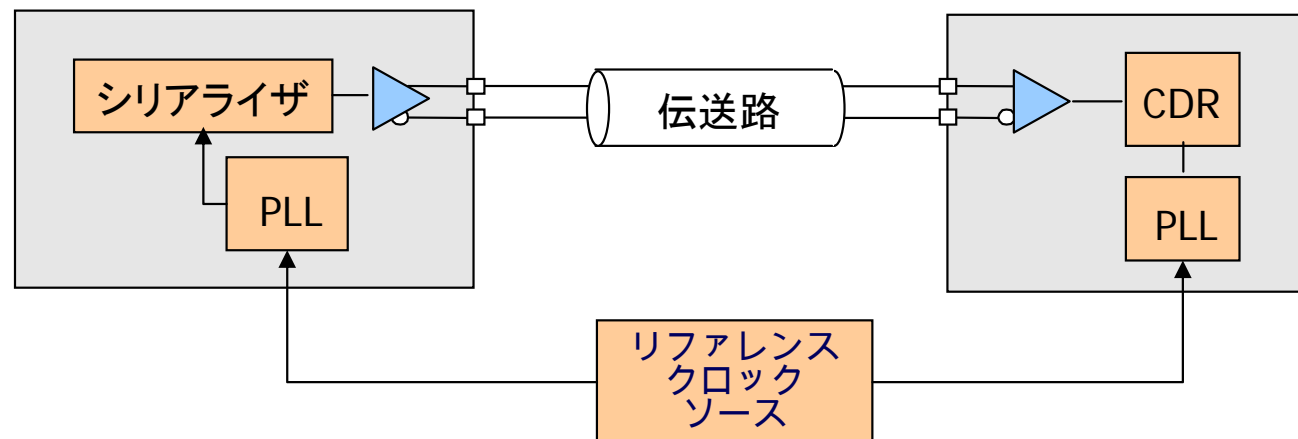
Hershey Kiss
プロファイル

リファレンス・クロック・スキーム

- 送信側と受信側に別々のリファレンス・クロック・ソース: USB3.0、SATA
 - 多少の周波数差は許容 (Plesiochronous)



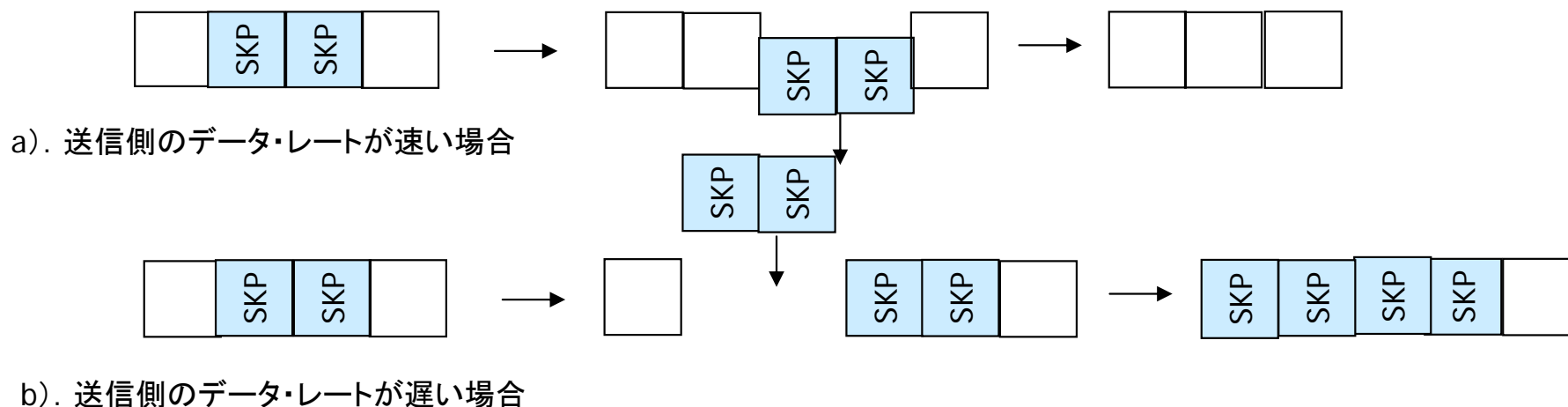
- 送信側と受信側で共通のリファレンス・クロック・ソースを使用: PCI Express
 - 周波数は同期、位相関係は不定 (Mesochronous)



エラスティック・バッファ

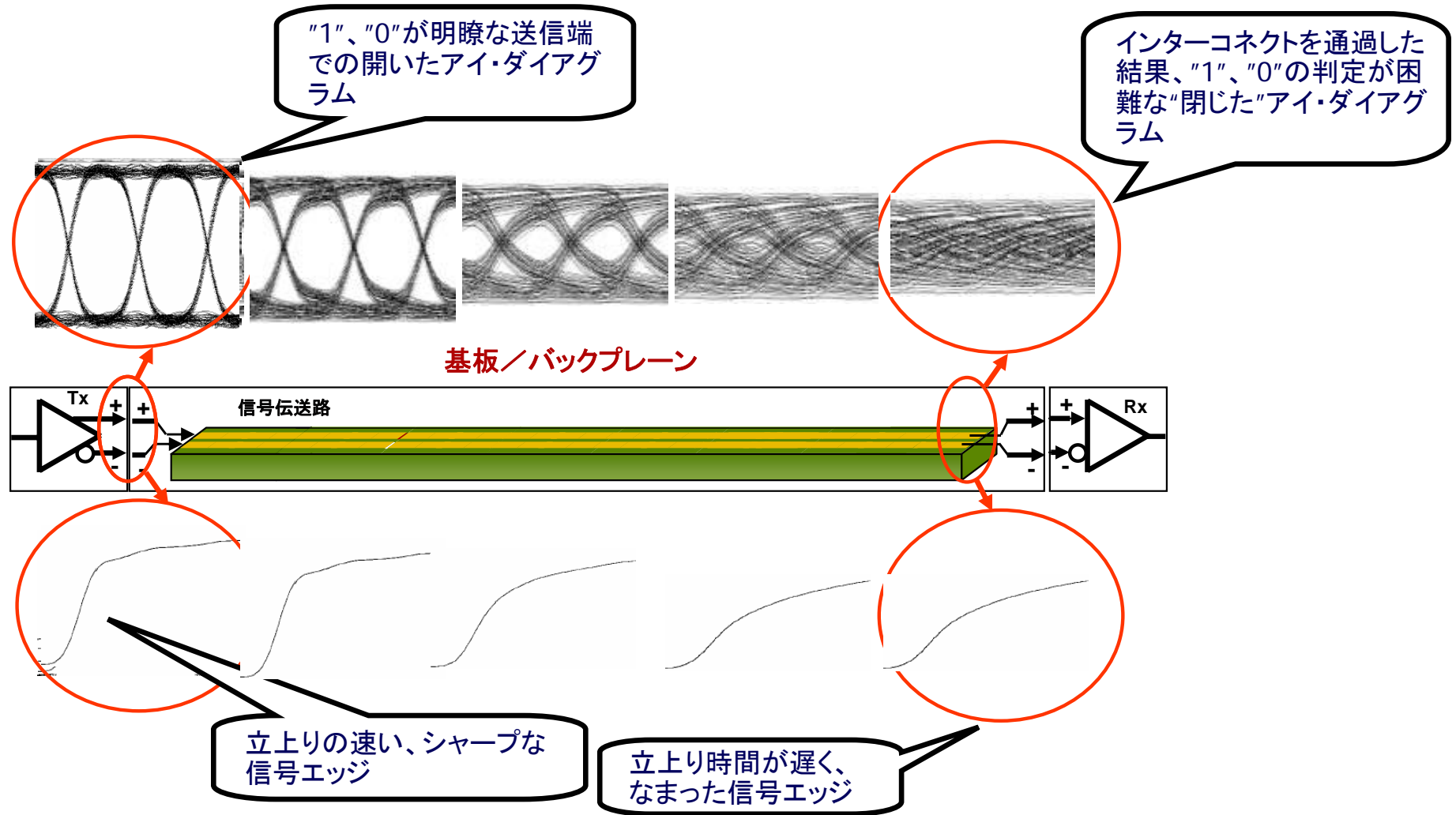
- 送信側で送信データに影響のないようなダミー・キャラクタ(連続した数キャラクタ)を一定間隔で挿入
 - USB3.0では-300PPM~+5300PPMの範囲で354シンボルごと
 - PCI Expressでは-300PPM~+300PPMの範囲で1180~1538シンボルごと
 - ダミー・キャラクタ: SKPやALIGNと呼ばれるコントロール・キャラクタを使用
- 受信側で再生されたデータに対して、送信側のデータ・レートが速い場合には、ダミー・キャラクタを抜き、逆に送信側が遅い場合には、ダミー・キャラクタを挿入することで速度差(周波数偏差)を吸収
 - SKP: K28.0 (PCI Express)、K28.1 (USB3.0)
 - SKIPオーダード・セット: COM/SKP/SKP/SKP (PCI Express)、SKP/SKP (USB3.0)
 - バッファ・オーバーフローをトランスミッタに戻すカラクリを持たない場合(カスタム仕様)では、データを落とす可能性があるため注意が必要

例: USB3.0のエラスティック・バッファ



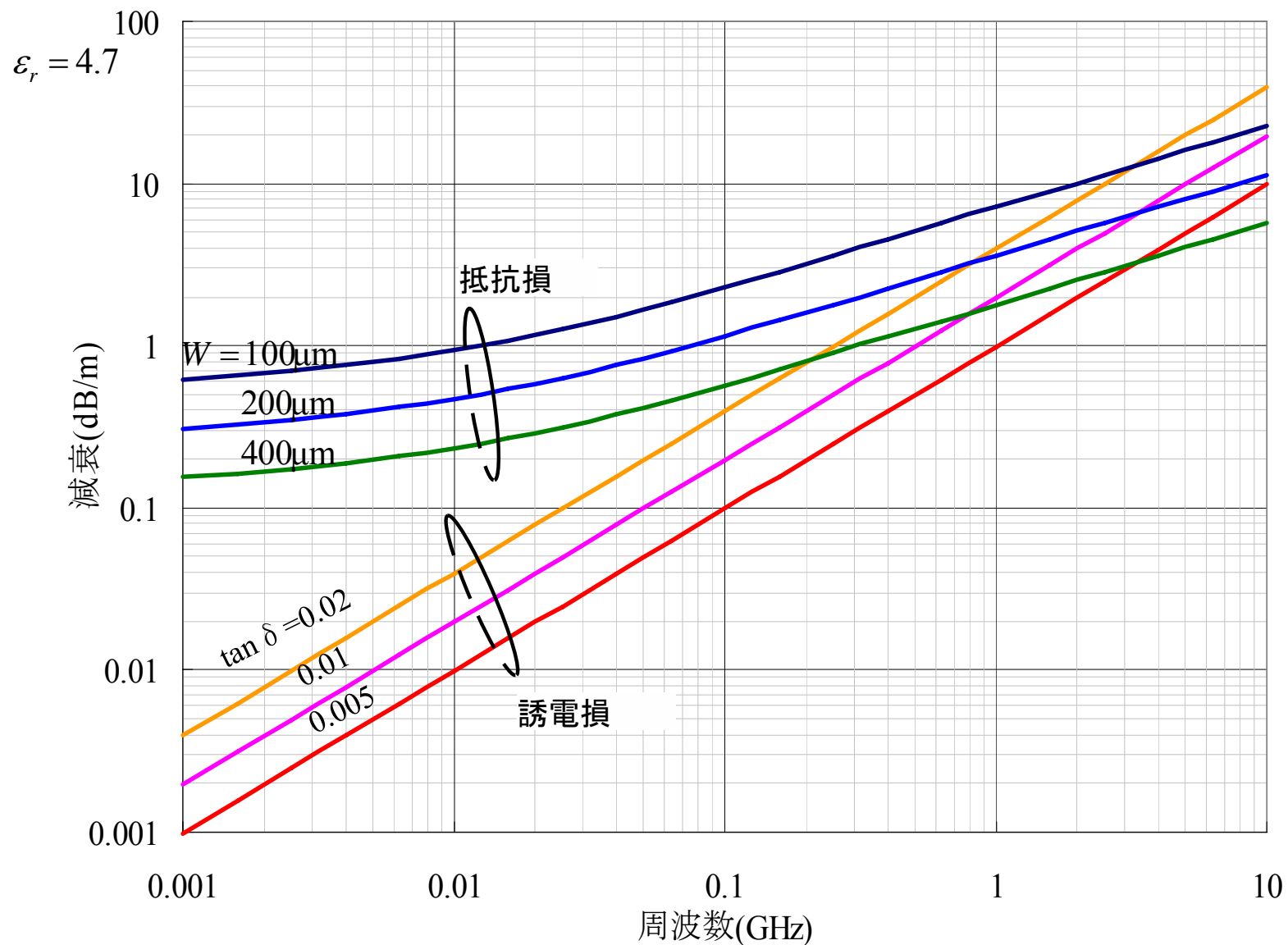
チャンネル

有損失伝送路(抵抗損+誘電損)での信号伝送



高速シリアル・インタフェースの信号は、基板、バックプレーン、ケーブルの伝送で高周波が損失する

参考: ボードの損失: 周波数に依存した減衰特性



伝送路の損失の影響を受けた波形(シンボル間干渉)

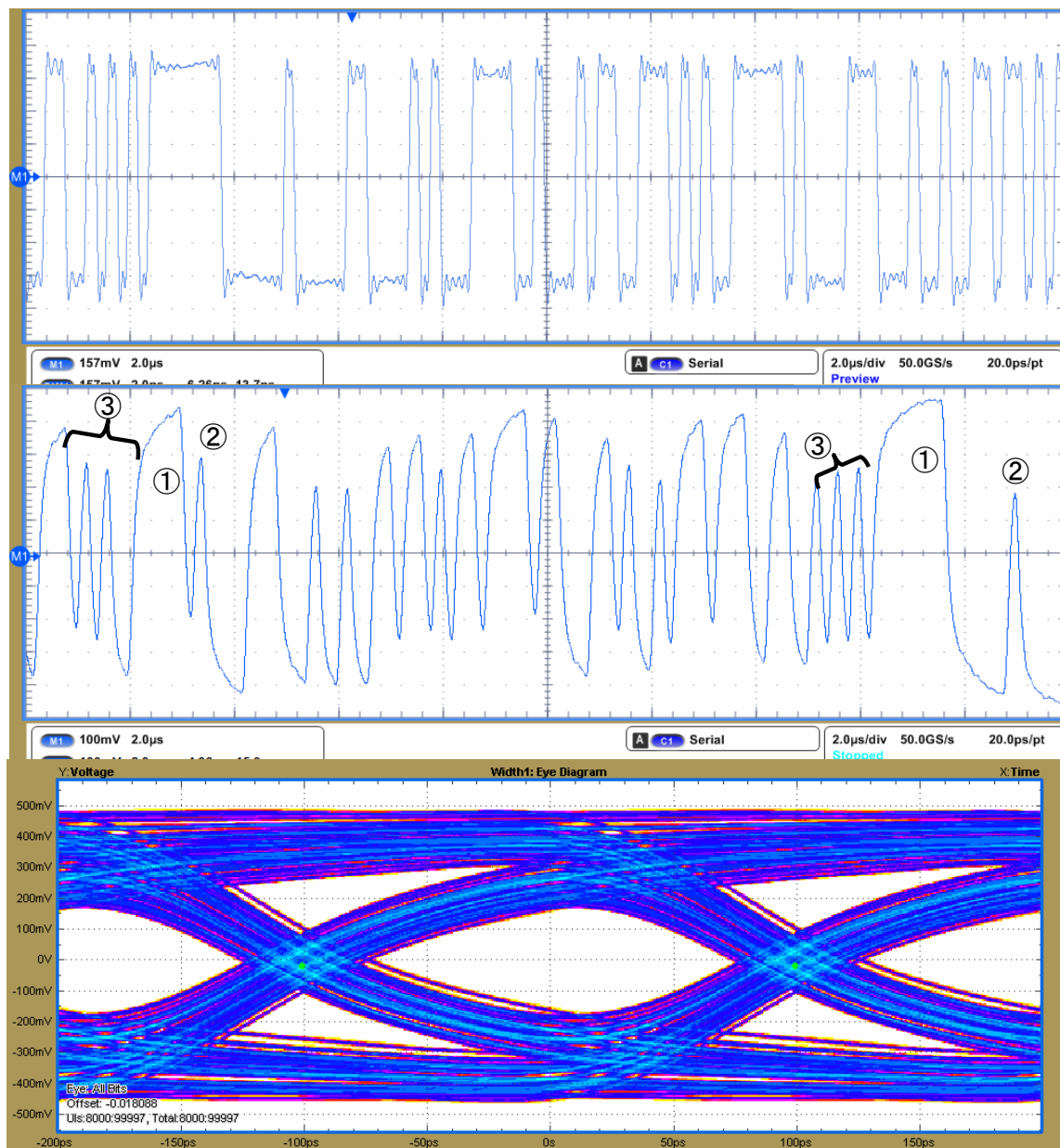
5GbpsPRBS7、テクトロニクスBSA12500ISI
型ISIテスト基板トレース長(91cm)

上: 基板への入力信号

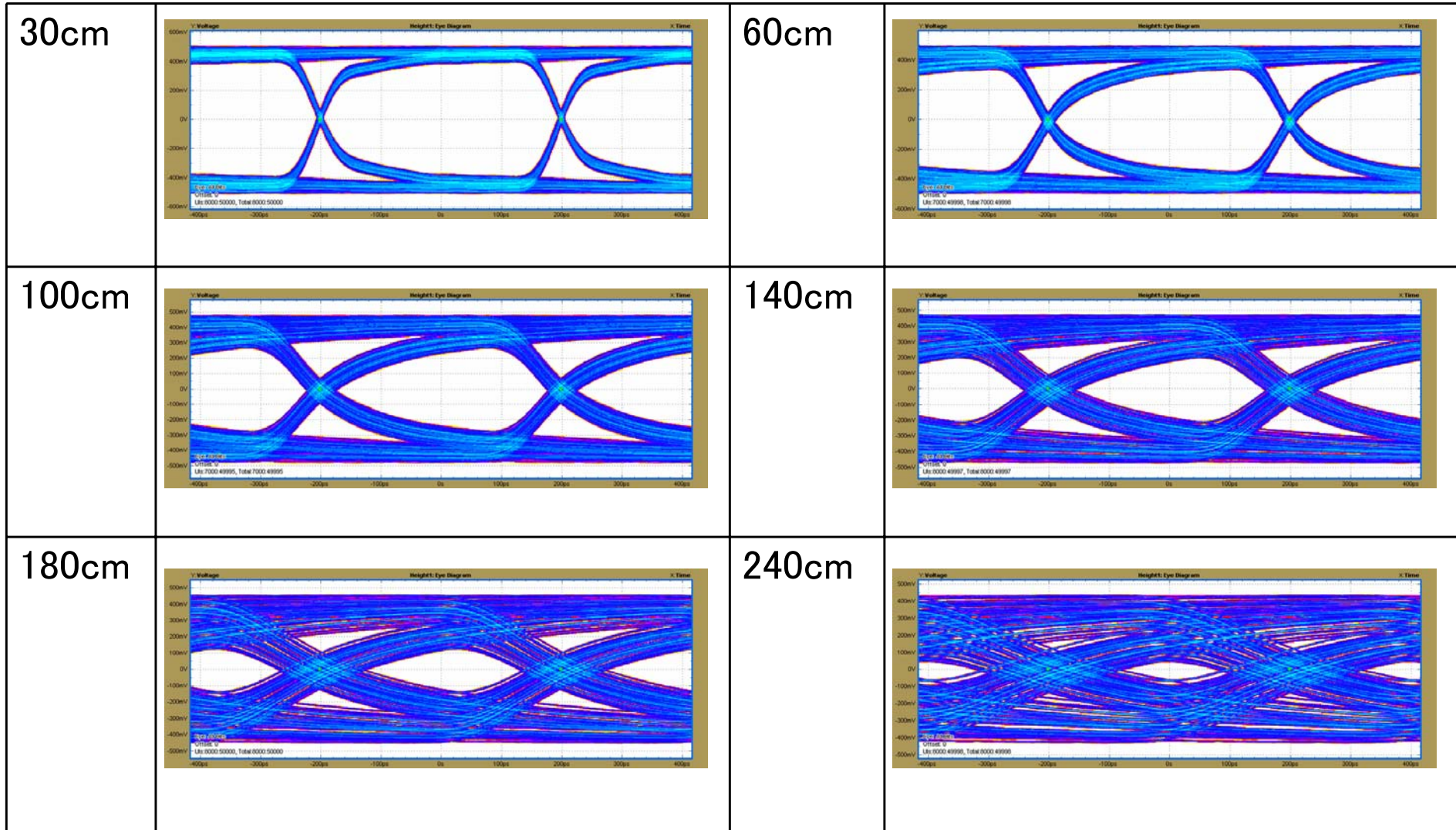
- ① 同じ論理が続くと信号レベルは最大に到達
- ② 同じ論理が続いた直後の変化は信号振幅が低下
- ③ 同じパターンでも前の論理の影響が残る

中: 基板を通過した信号

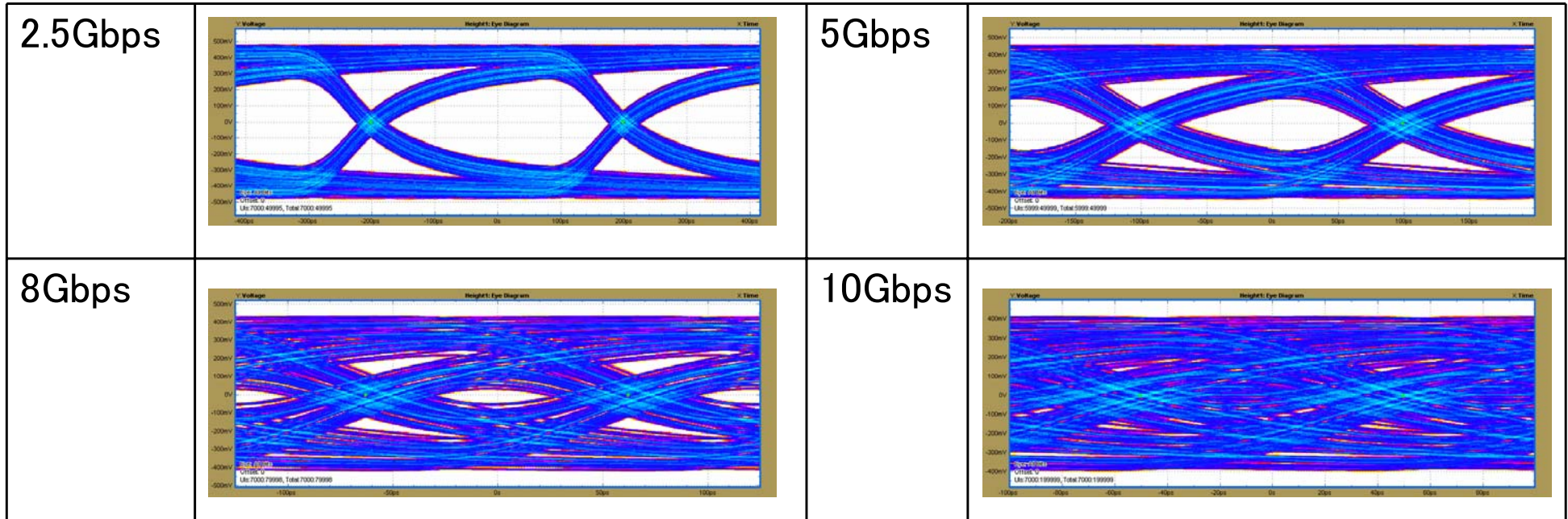
下: 基板を通過した信号の
アイ・ダイアグラム



伝送線路長による差異 (2.5GbpsPRBS7、BSA12500ISI型ISIテスト基板)

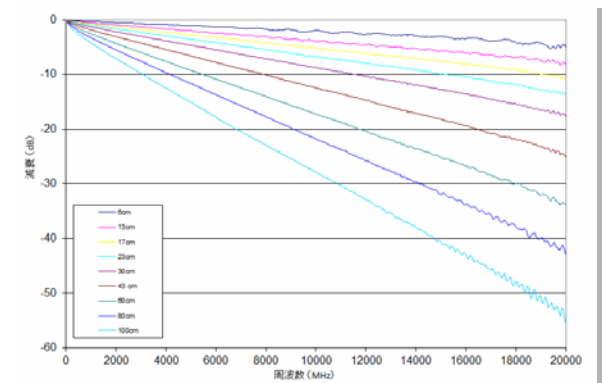
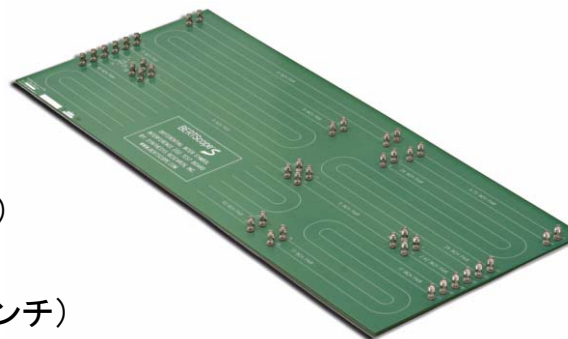


データ・レートによる差異 (トレース長1m、PRBS7)



BSA12500ISI型 汎用ISI基板

- ISI挿入のための基板
- 差動線路間で揃った特性
- 様々な規格にトレース長の組合せで対応
 - 6cm (2.42インチ)、43.2cm (17インチ)
 - 12.7cm (5インチ)、61cm (24インチ)
 - 17.145cm (6.75インチ)、78.74 (31インチ)
 - 22.86cm (9インチ)、101.6cm (40インチ)
 - 30.48cm (12インチ)

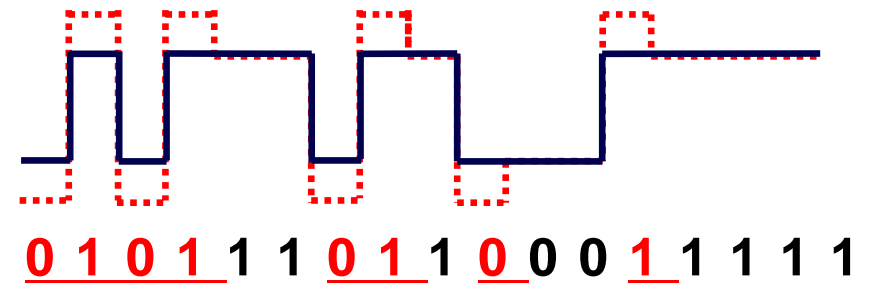


ディエンファシス(プリエンファシス)

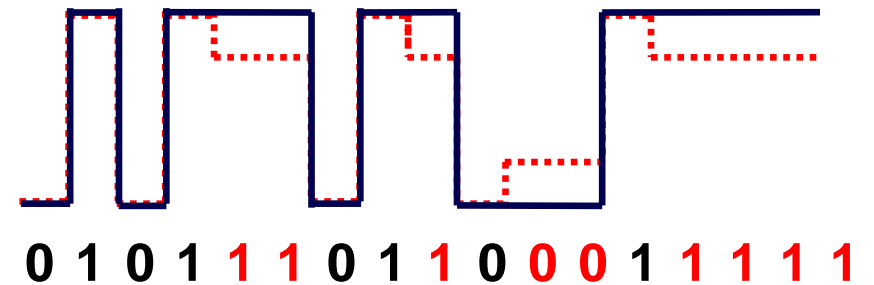
伝送路損失により劣化する信号品質の改善方法(回路面)

- 相対的に遷移ビットを強調し、受信端に到来した遷移ビットと非遷移ビットとのレベル差をなくすために送信側で施される信号改善方法
 - 遷移ビットの振幅を上げる:プリエンファシス
 - 非遷移ビットの振幅を下げる:ディエンファシス
 - 2ビットを超えたビット・パターンにより強度を細かく制御する方法も
 - PCI Express Rev.3.0では遷移ビット直前のビット振幅も制御(プリシュート)
- 規格でのディエンファシス例
 - PCI Express
 - 2.5Gbps: 3.5dB±0.5dB (2/3にレベルを下げる)
 - 5Gbps: 3.5dB±0.5dB、6dB±0.5dB (1/2にレベルを下げる)
 - USB3.0
 - 5Gbps: 3.5dB±0.5dB
- 理想的には伝送路で受ける損失分を予め補正

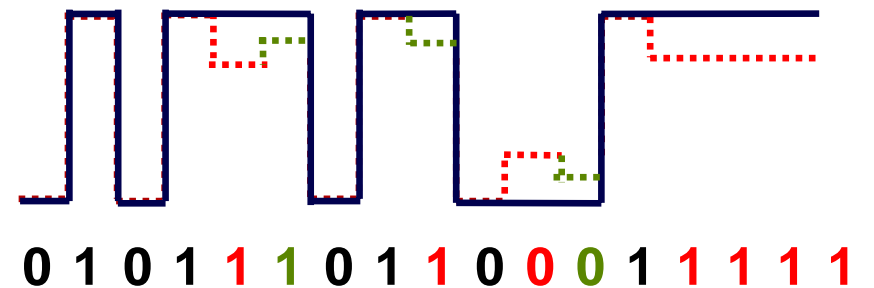
通常の信号、プリエンファシスを適用した信号



通常の信号、ディエンファシスを適用した信号



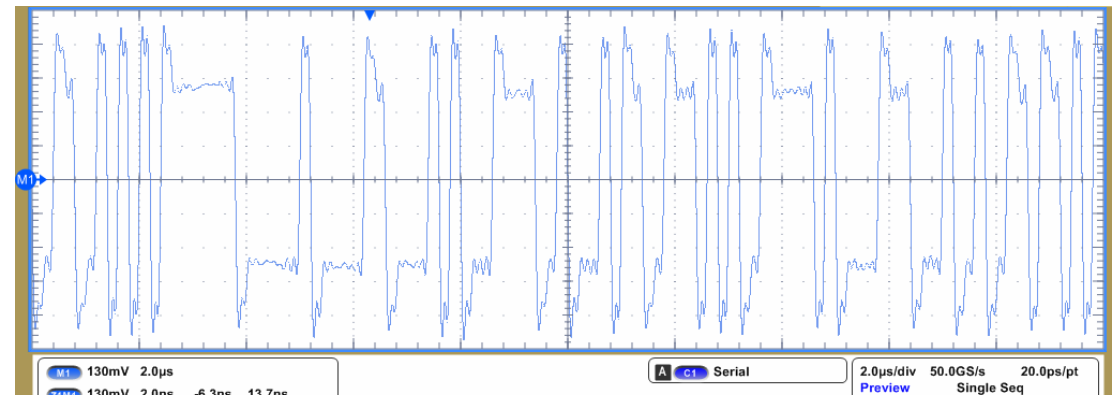
通常の信号、ディエンファシス、プリシュートを適用した信号



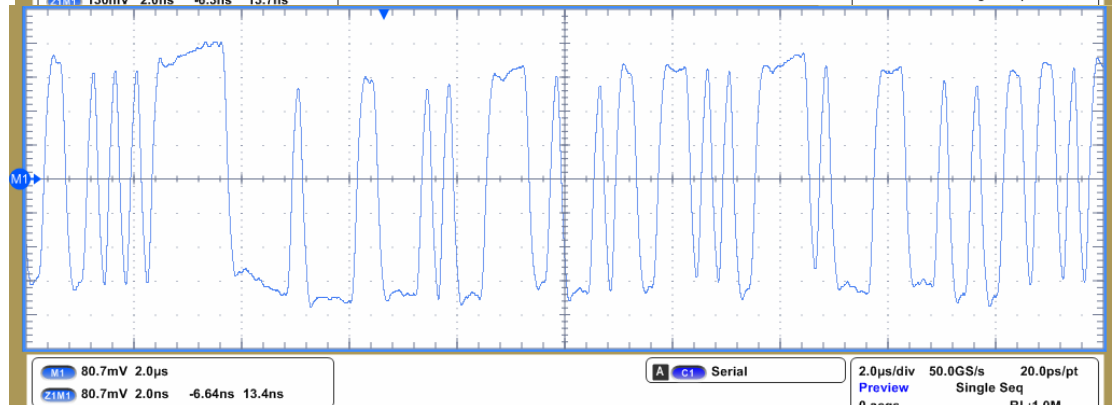
ディエンファシスを適用し改善を図った例

5GbpsPRBS7、テクトロニクス
BSA12500ISI型ISIテスト基板トレース長
(91cm)、3.5dB(-1/3)

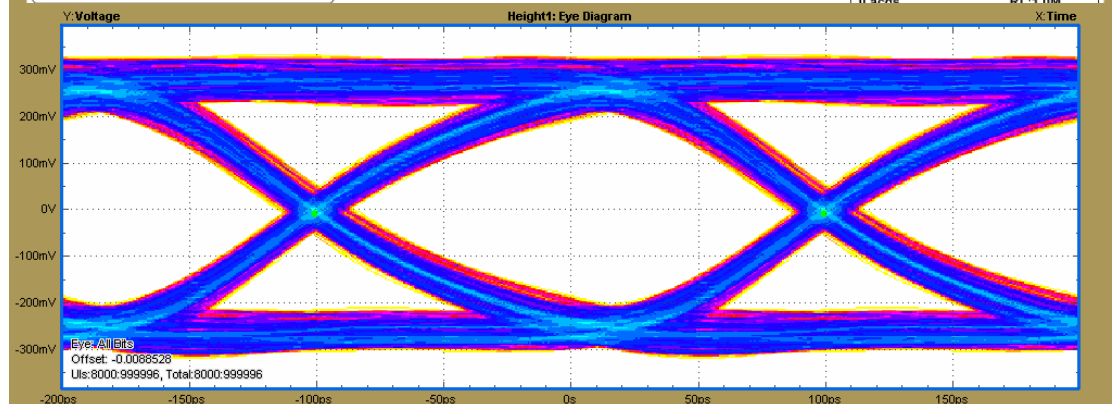
上: 基板への入力信号



中: 基板を通過した信号

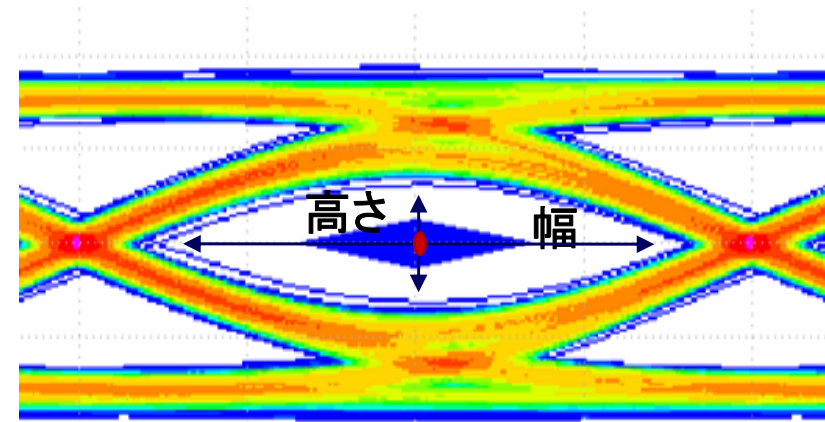
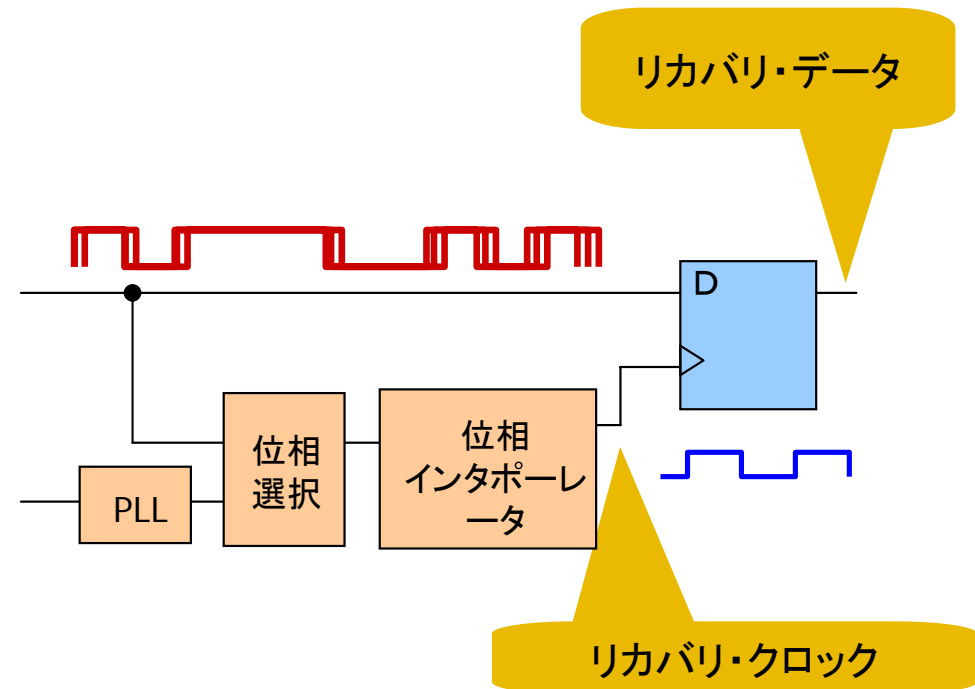


下: 基板を通過した信号の
アイ・ダイアグラム



レシーバから見たシグナル・インテグリティ

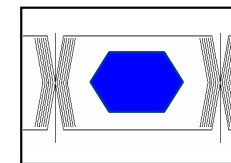
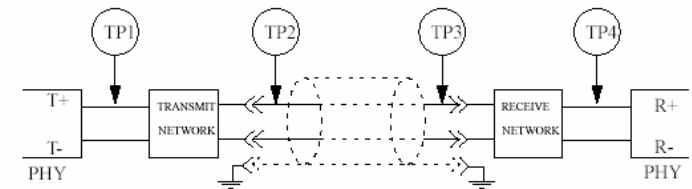
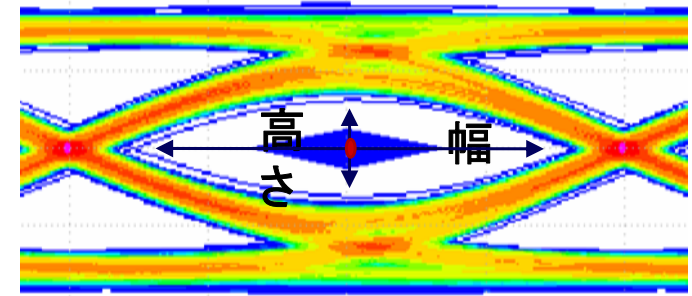
- レシーバは、受信信号からクロックを正しくリカバリし、正しく論理値を判定してデータをリカバリできることが重要
 - ラッチ点にて所望の信号レベルが確保されているかどうか？
 - ラッチ点から信号のエッジ位置までの時間が確保されているかどうか？
- 障害要因(信号劣化)
 - 振幅方向に関するもの
 - 信号レベルの低下
 - 信号のなまり
 - レベルの変動
 - ノイズ
 - 時間軸方向に関するもの
 - デューティ・サイクル、UIの変動
 - ジッタ
- その主な評価方法
 - トランスミッタ: オシロスコープを使ってのアイ・ダイアグラムとジッタの評価
 - レシーバ: ジッタを持った信号を入力し、正しく受けられることを確認



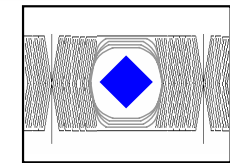
信号レベル、ジッタがポイント

トランスミッタ／ソース・テスト

- 規格に適合した信号を送信できているか？
 - アイ・ダイアグラム
 - アイ高さ、アイ幅
 - マスク・ヒット
 - ジッタ
 - ※ 規格で定められた点で測定する必要がある
例: IEEE802.3 — TP1、TP2、TP3、TP4
- オシロスコープとテスト・フィクスチャ(ケーブル)、ジッタ／アイ・ダイアグラム解析ソフトウェア、あるいは個々のコンプライアンス測定ソフトウェアを使用
 - DUTと計測器とを直接接続。プローブは、マルチギガ・ビット・レートではデバッグ、トラブルシュート以外ほとんど使用しない
- 最近ではイコライザ、チャンネル特性の加算(エンベッド: Embed)が必須に



近端



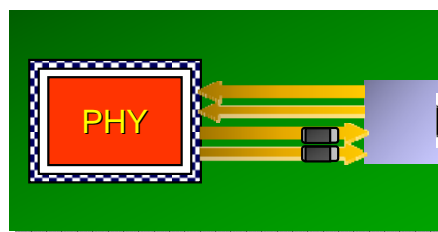
縁端

オシロスコープ

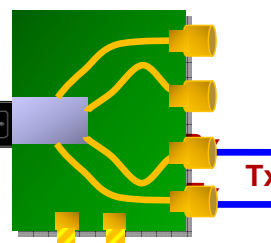


アイ・ダイアグラム、ジッタを評価

トランスミッタ内部で生成されたテスト用信号



被測定システム

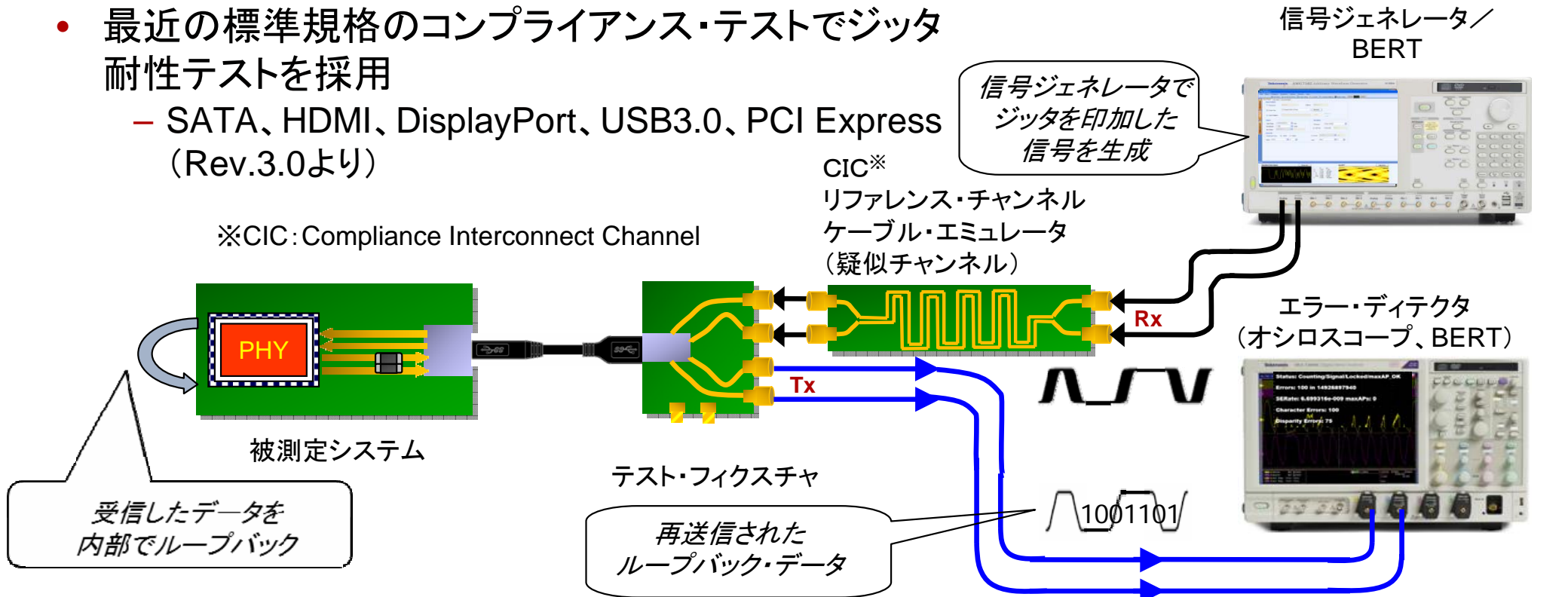
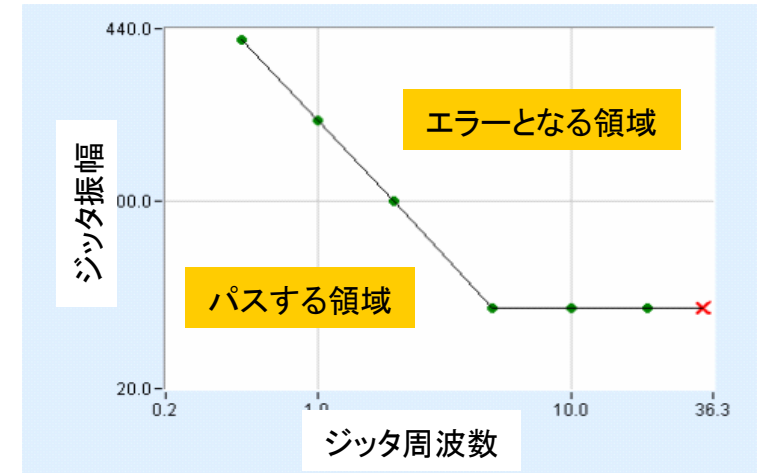


テスト・フィクスチャ



レシーバ/シンク・テスト

- 既知のストレス(例:ジッタ)を持った信号をレシーバに入力し、正しく受信できるかどうか？
 - チップ内蔵、外部のエラー・ディテクタにより、受信したデータを確認
 - リタイムド・ループバック・モードを使用(受信して再生したデータを出力)
- 最近の標準規格のコンプライアンス・テストでジッタ耐性テストを採用
 - SATA, HDMI, DisplayPort, USB3.0, PCI Express (Rev.3.0より)



トランスミッタ測定検討事項

被測定機器(設計時検討事項)

- テスト・モード: テスト・パターンの発生方法

計測器

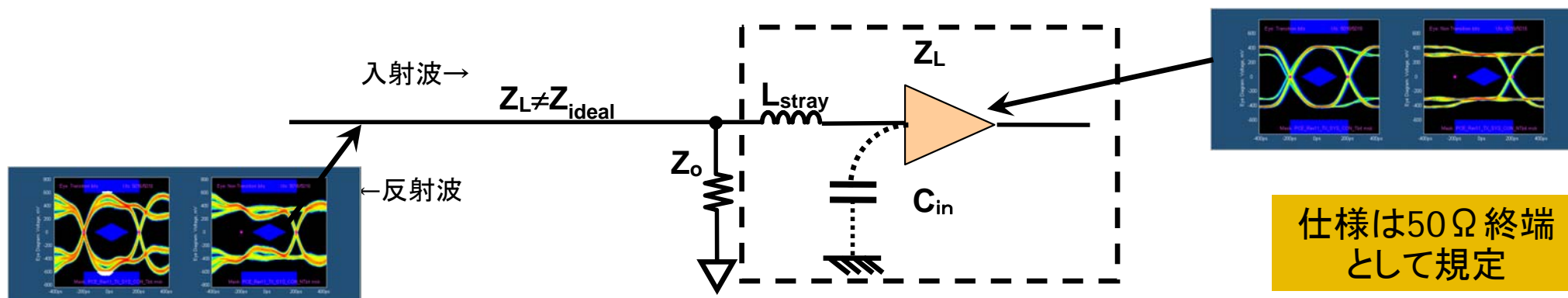
- オシロスコープ: 周波数帯域
- コンプライアンス・テスト・ソフトウェア
- テスト・フィクスチャ
- プローブ/ケーブル
 - プローブ: Ethernet(10BASE-T/100BASE-TX/1000BASE-T)、USB2.0
 - ケーブル: PCI Express、SATA、USB3.0...
- ジェネレータ(規格・必要に応じて)

規格で指定されたテスト・パターンを使用

- パターン異なるとデータの持つ周波数帯域の広がりなどが変わり、測定結果が異なることになるので注意
 - PRBS(Pseudo Random Bit Sequence) : PRBS7、PRBS23、PRBS31
 - CJTPAT(Compliant Jitter Tolerance Pattern)
 - CRPAT (Compliant Random Pattern)
- 複数のパターンを測定項目ごとに使い分ける
 - PCI Expressは1種類のパターンのみ使用
- パターンの指定がない
 - HDMIなど
- パターンの発生は規格、チップに依存
 - 計測器の接続で自動的にパターンを出力
 - レシーバ検出後、リンク・アップ中に相手のレシーバから応答がない場合、計測器が接続されたと認識し、コンプライアンス・モードに移行し自動的にパターンを出力
 - レジスタをプログラムで設定
 - 場合によってはパターンを書き込む必要も
 - 外部からレシーバにパターンを入力し、ループバック・モードでトランスミッタから出力
 - 設計時に確認、網羅しておくこと

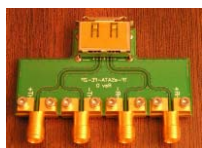
実デバイスでの規定・測定の問題点

- マルチギガ・ビット超のシリアル・インタフェースでは高周波に対するインピーダンスが低下
 - 伝送路との不整合をリターン・ロスで仕様
- その結果、
 - 規格は理想終端での仕様のため信号振幅が低下
 - 伝送路の途中でみた場合、入射波に対して反射波が重畳

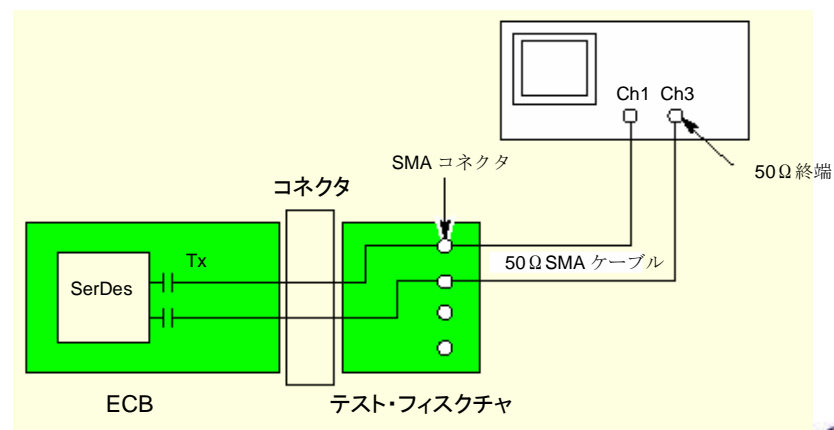


仕様は50Ω終端として規定

- ゆえにコンプライアンス・テストでは実デバイスではなく、理想終端で測定
 - オシロスコプの50Ω入力で終端
 - テスト・フィクスチャを併用
 - デバッグや参考測定ではプローブを使用

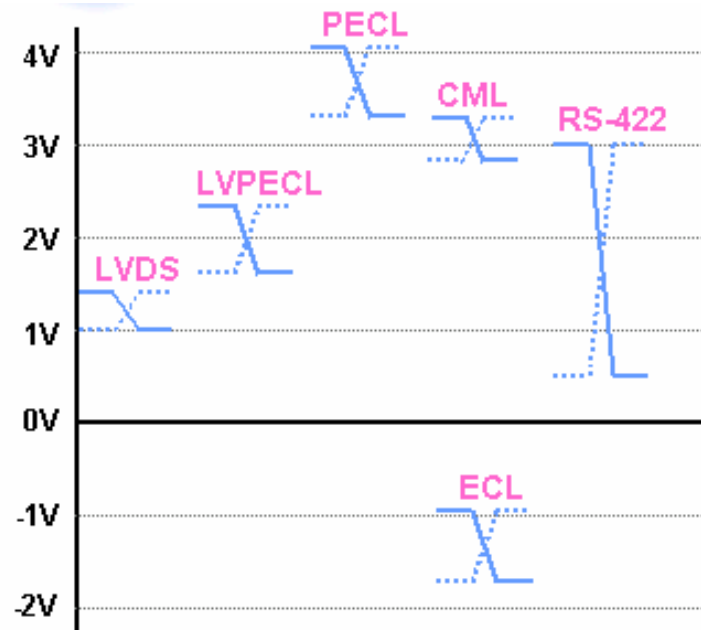


市販テスト・フィクスチャ例 (SATA、DisplayPort、PCI Express)



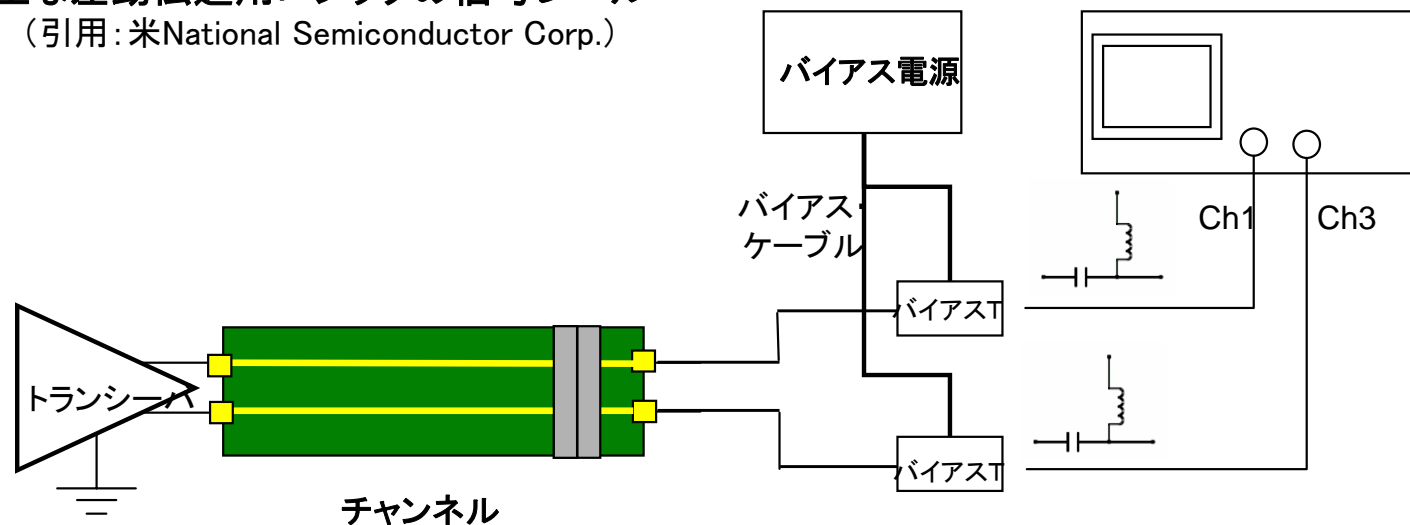
測定上の注意点

DCバイアスが印加されている場合



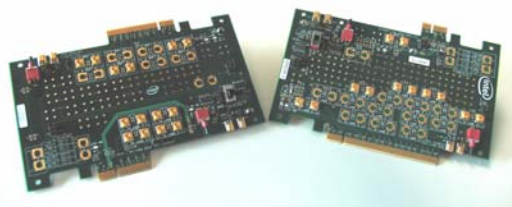
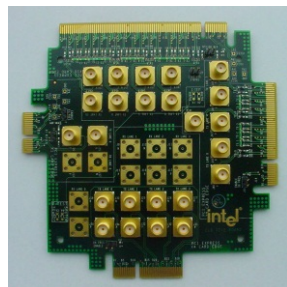
- 直接終端すると、大きなDC負荷となる
- バイアスTeeやDCブロックを併用
 - 低周波特性等が問題
 - DC電源が必要
- 理想的なソリューション
 - P7300SMAシリーズ差動プローブ
 - 特にマルチレーンに
 - DSA/DPO70000DシリーズDC終端電圧機能

主な差動伝送用ロジックの信号レベル
(引用: 米National Semiconductor Corp.)

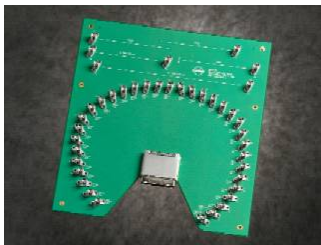


テスト・フィクスチャ例

CEM : PCI-SIG



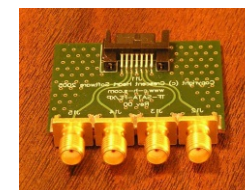
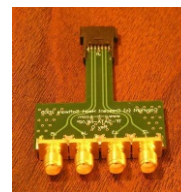
External Cable : Molex社



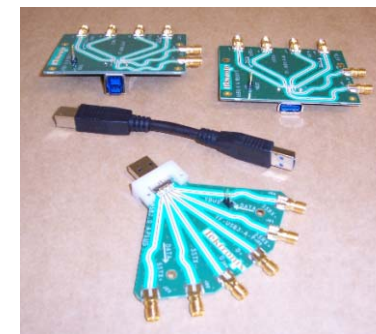
ExpressCard : PCMCIA



SATA : Crescent Heart Systems社

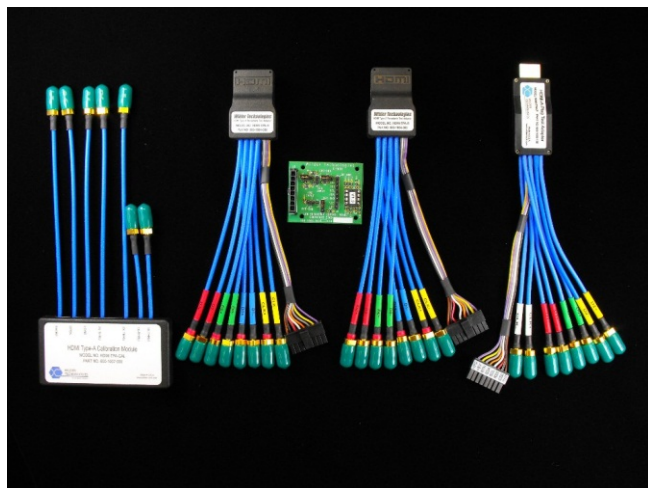


USB3.0 : Tektronix

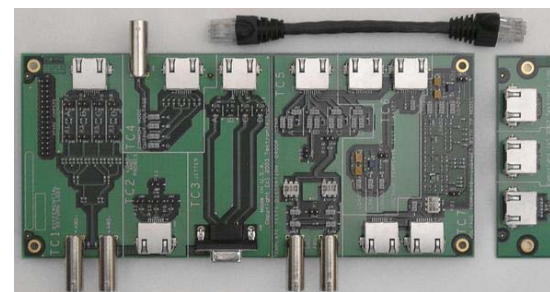


テスト・フィクスチャ例

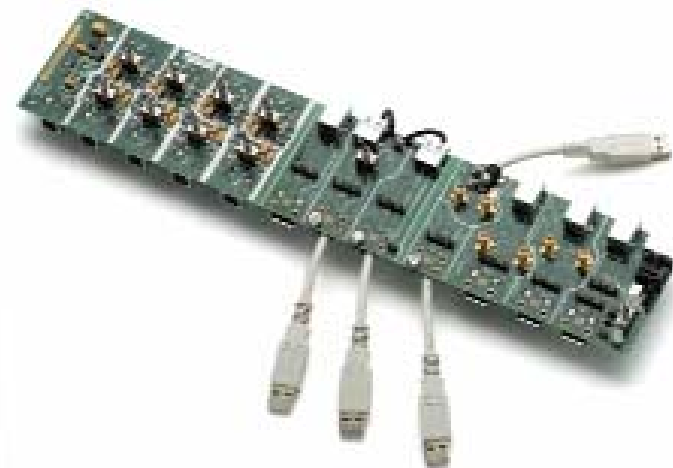
HDMI



10BASE-T/10BASE-TX/100BASE-TX



USB2.0



DisplayPort



必要なオシロスコープの周波数帯域(方形波)

1. 規格認証試験書(CTS)による推奨

2. 5次高調波までの捕捉が目安

- 方形波の基本波周波数(最高) = ビット・レート(NRZ) / 2

- 例

- PCI Express Rev.1.1 : 2.5Gbps → 1.25GHz
- HDMI1.4c : 3.4Gbps → 1.7GHz
- Serial ATA2 : 3.0Gbps → 1.5GHz
- USB3.0 : 5Gbps → 2.5GHz

- 周波数領域で見ると、方形波は基本波と奇数高調波により構成

- 5次高調波までを捕捉

- 5次以上は減衰

3. 10Gbps以上

- システム : 3~4次が目安

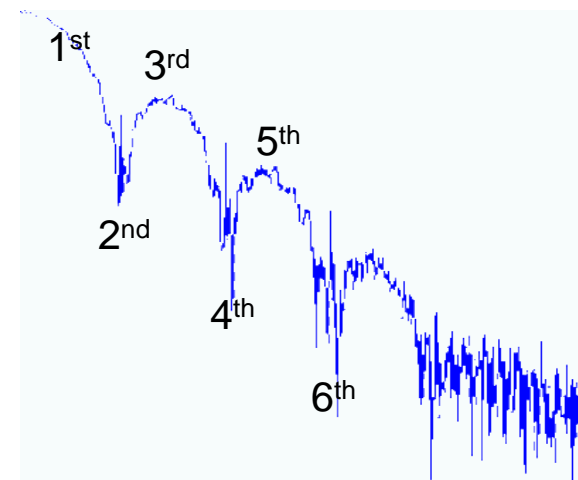
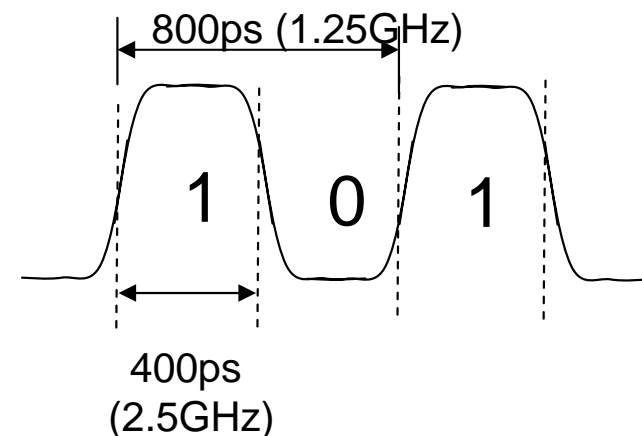
- SFP+, Thunderbolt : 10.3125Gbps → 15GHz

- SERDES評価 : より正確な測定のために5次を推奨

4. 立上り時間

- ニー周波数(fKnee)* = $0.5 / Tr$

- オシロスコープの立上り時間が2倍速いこと



*高調波成分が急速に減衰する点。引用: Howard Johnson and Martin Graham, 「High-Speed Digital Design: A Handbook of Black Magic」, p.2. Prentice Hall, 1993

規格と必要な周波数帯域

シリアル・バス データ・レート	基本波 周波数	第3高調波 周波数	第5高調波 周波数
1.5 Gbps (SATA 1)	750 MHz	2.25 GHz	3.75 GHz
2.5 Gbps (PCI Express Rev.1.x)	1.25 GHz	3.75 GHz	6.25 GHz
3 Gbps (SATA 2)	1.5 GHz	4.5 GHz	10 GHz*
3.125 Gbps (XAUI)	1.56 GHz	4.69 GHz	7.81 GHz
3.4 Gbps (HDMI1.4c)	1.7GHz	5.1 GHz	8 GHz*
4.25 Gbps (Fibre Channel)	2.125 GHz	6.375 GHz	10.625 GHz
4.8 Gbps (FB-DIMM)	2.4 GHz	7.2 GHz	12.0 GHz
5.0 Gbps (USB3.0, PCI Express Rev.2.0)	2.5 GHz	7.5 GHz	12.5 GHz
6.0 Gbps (SATA 3)	3.0 GHz	9.0 GHz	13 GHz*
6.25 Gbps (Double XAUI)	3.125 GHz	9.375 GHz	15.625 GHz
6.4 Gbps	3.2 GHz	9.6 GHz	16 GHz
8.0 Gbps (PCI Express Rev.3.0)	4 GHz	12 GHz	12 GHz*
10.3125 Gbps (SFP+)	5.0 GHz	15.0 GHz	16 GHz

※規格書等で指定

少し前の高速シリアル・インタフェース測定例

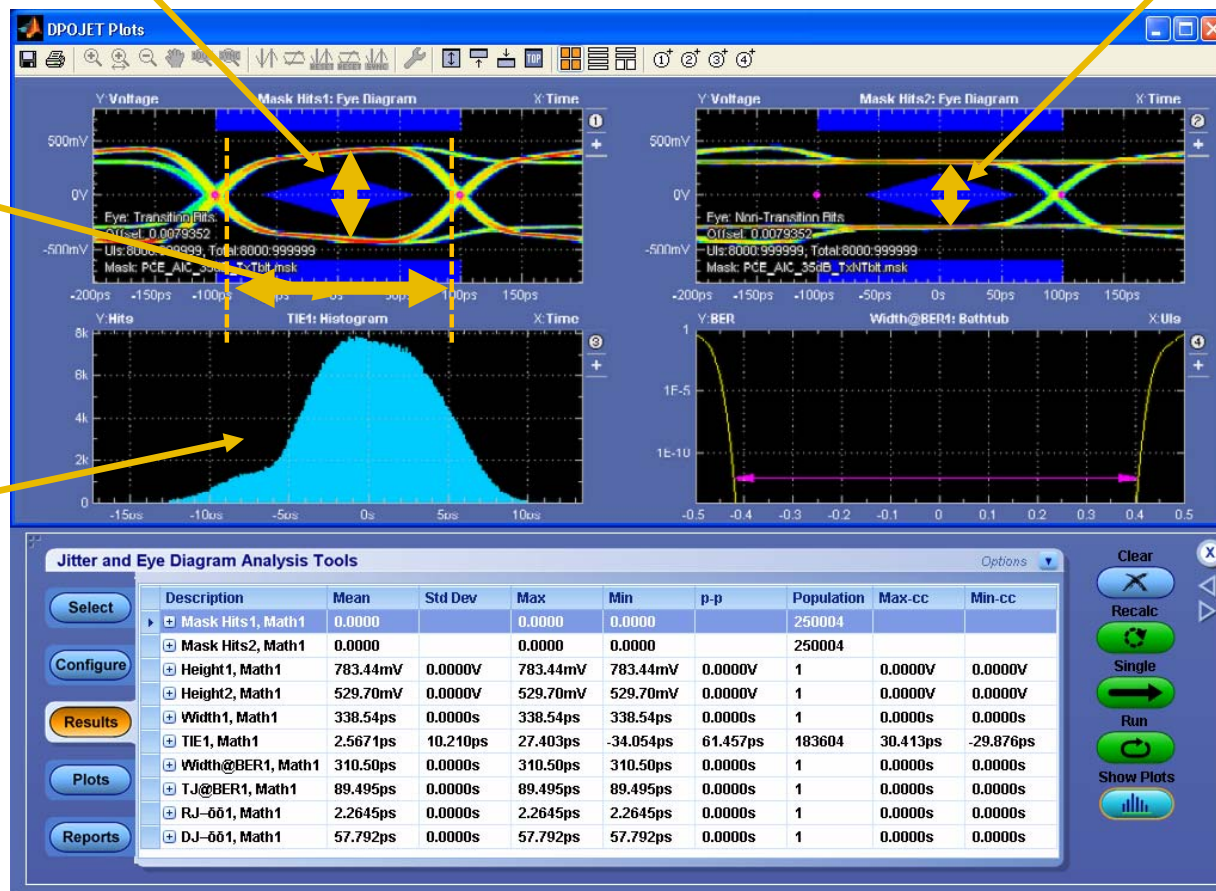
PCI Express Rev.1.1 (2.5Gbps)

アイ高さ(遷移ビットの最小信号レベル)、マスク・ヒット

アイ高さ(非遷移ビット/ディエンファシス・ビットの最小信号レベル)、マスク・ヒット

2.5Gbps:
アイ幅
@1M-UI

2.5Gbps:
Median-to-Max
ジッタ(ピーク・ジッタ)



アイ・ダイアグラム シリアル・インタフェース評価の中核

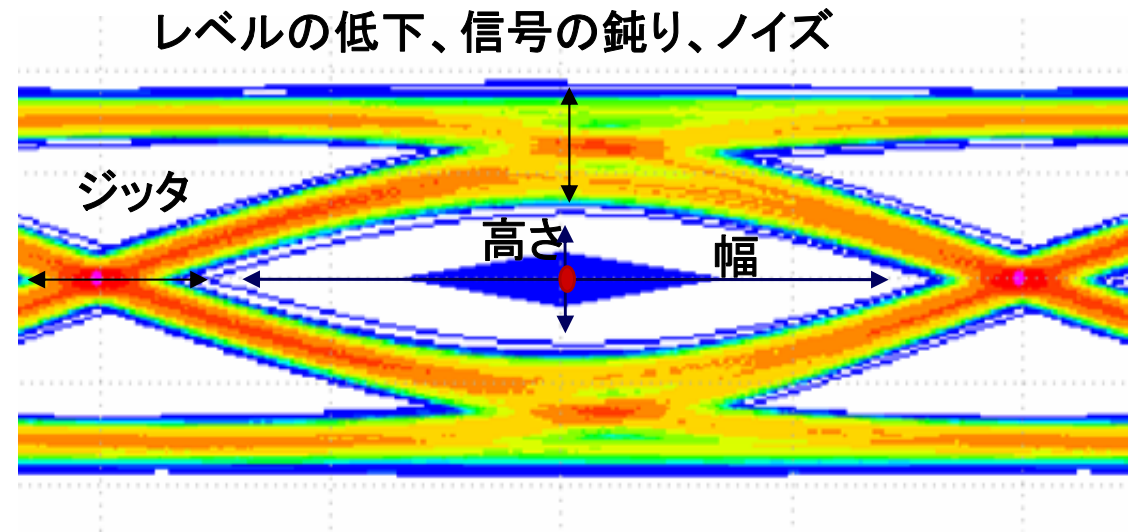
- 信号の遷移・非遷移を重ね書き
 - 分布状況を色表現する方法も
- 伝送特性を総合的に表現
 - 信号レベル
 - 立上り時間、立下り時間
 - 波形ひずみ
 - ノイズ
 - デューティ・サイクル、UI※
 - ジッタ
- アイの開き方が受信特性に反映
 - 開いていればノイズ、ジッタに対する耐性が増加
 - トップ、ベース部分が太くなったり、遷移部分が広くなると受信特性が悪化

⇒ アイの開き方はBER(Bit Error Rate)と相関がある

- その基準は？
 - データ？
 - リファレンス・クロック？

※UI:Unit Interval

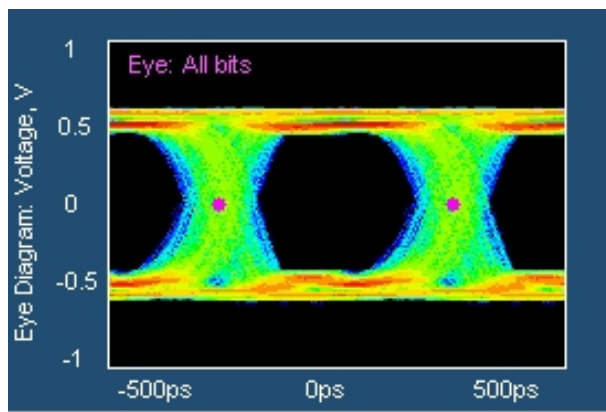
⇒ リカバリされたクロックが基準



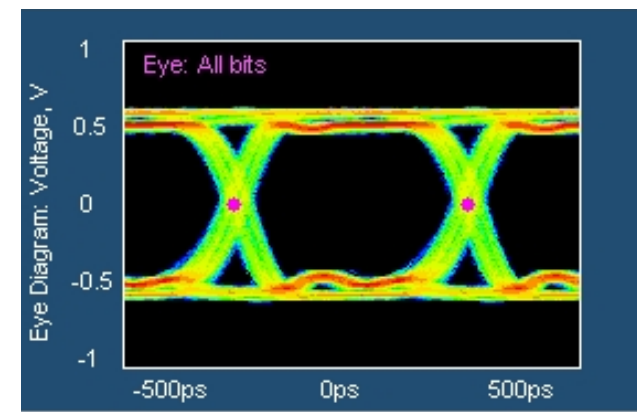
クロック・リカバリの特性

- ジッタ成分によっては、クロック・リカバリの特性によりジッタの影響具合が異なる ⇒ 測定も同様。アイ幅、ジッタ測定結果が異なる

例 1.5Gbpsの信号
ジッタ周波数成分 : 1MHz
ジッタ振幅 : 0.4UI



ループ帯域幅1.8MHz



ループ帯域幅6MHz

- そのため、標準規格では測定の際のクロック・リカバリの特性を指定

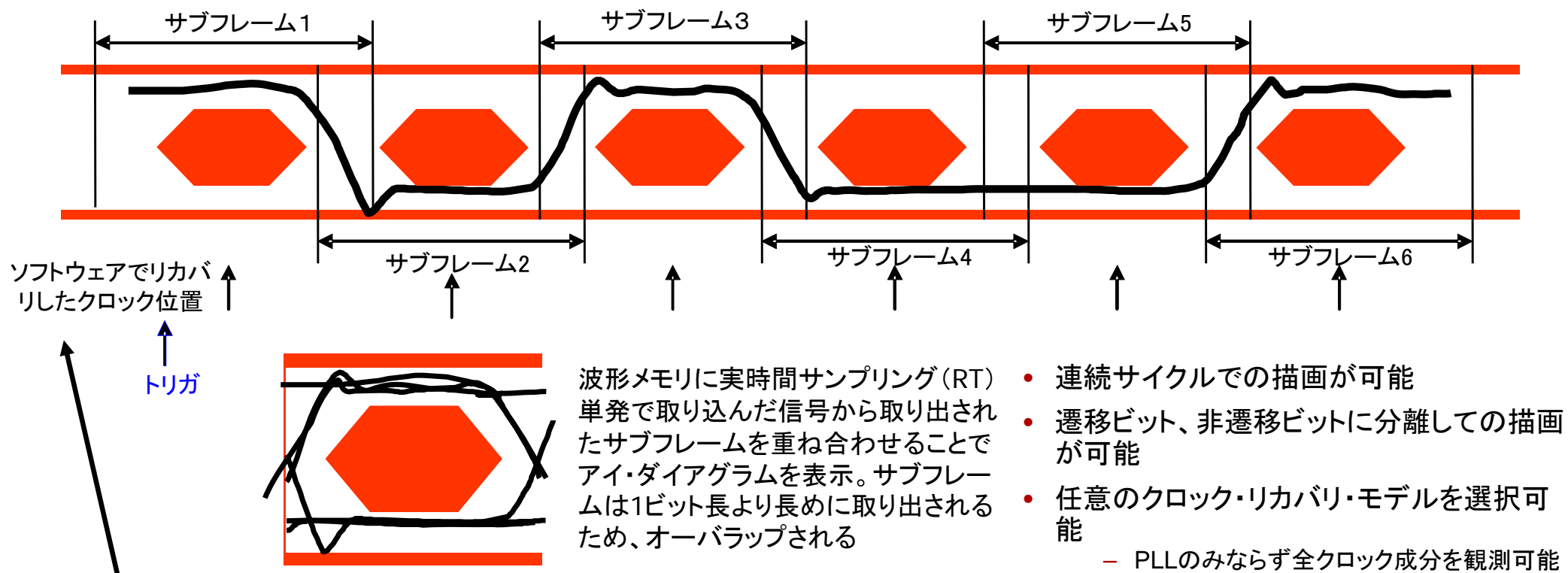
⇒ 規格に合わせて特性を変える必要がある

例

- PCI Express : 1.5MHz 1次PLL(2.5Gbps)、1.5MHz ブリックウォール(5Gbps)
- Serial ATA2 : 2次PLL(0.9MHz(1.5Gbps)、1.8MHz(3Gbps)、ダンピング・ファクタ0.707~1
- USB3.0: 2次PLL10MHz (5Gbps)、ダンピング・ファクタ0.707
- 一般的にはデータ転送レートの1/1667(Golden PLL)
- SONETはデータ転送レートの1/2500

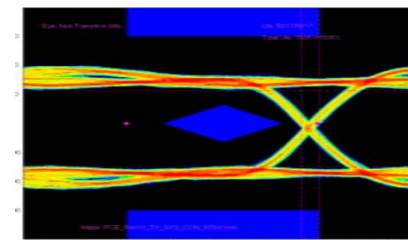
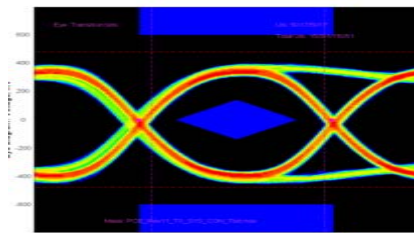
⇒ ソフトウェアにより実現されたクロック・リカバリ

アイ・ダイアグラム測定の今日の主流は ポスト・プロセス・ソフトウェア (ソフトウェア・クロック・リカバリ)

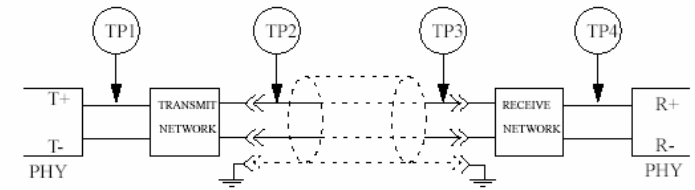


規格ごとのPLL要求仕様例

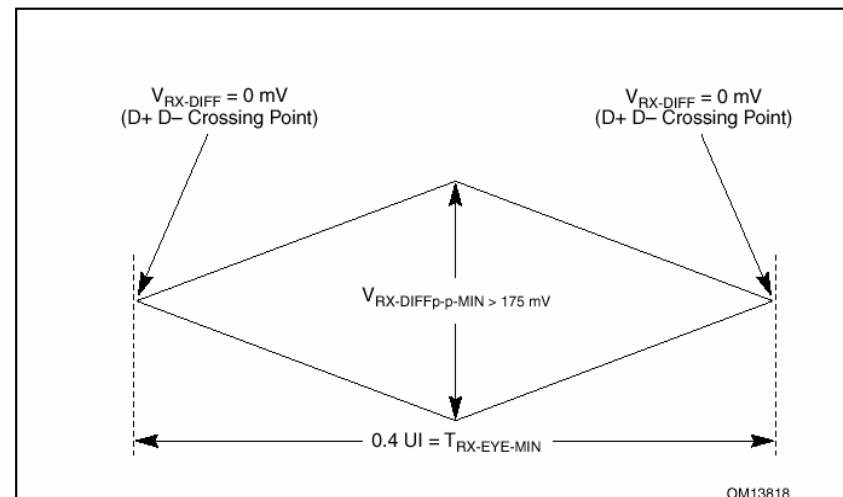
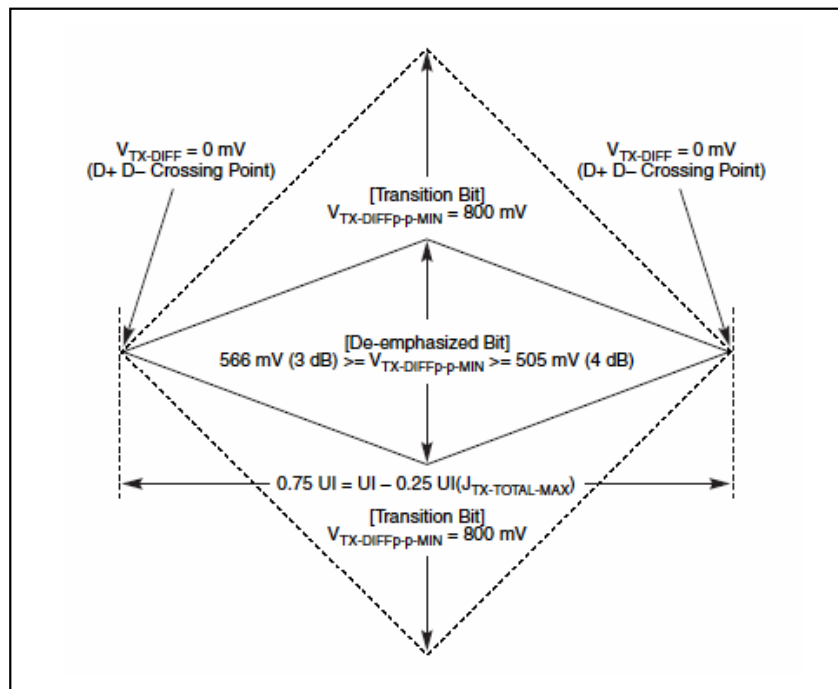
PCI Express (Rev.1.0a)	3次PLL (1.5MHz) 相当
PCI Express (Rev.1.1)	1次PLL (1.5MHz)
PCI Express (Rev.2.0)	ブリックウォール (1.5MHz)
Serial ATA2	2次PLL (0.9MHz/1.8MHz 0.707~1.0)
USB3.0	2次PLL (10MHz、0.707)



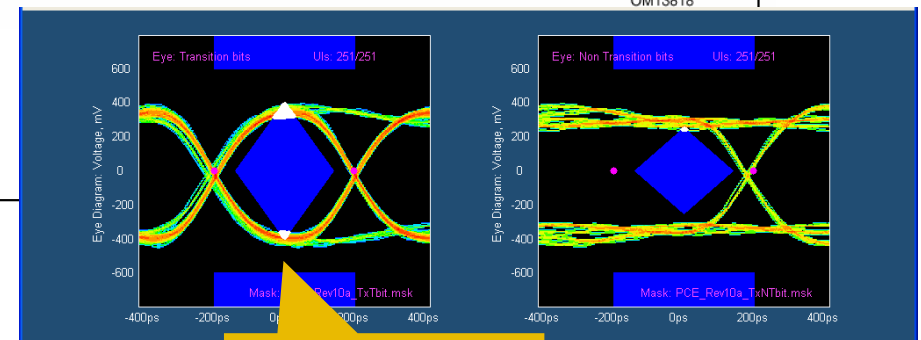
マスク・テスト



- アイ・ダイアグラムが規定範囲内にあるかの確認のために、ノイズおよびジッタ、パルス特性の許容範囲を規定したマスクを併用
- 各規格ごと、指定測定箇所ごとに規定されているマスクを使う
 - 測定箇所により、信号振幅、ジッタ特性が変わる



送信端(左)と受信端(右)のアイ・マスク(PCI Express Base Specification Rev.1.1)



マスク違反例

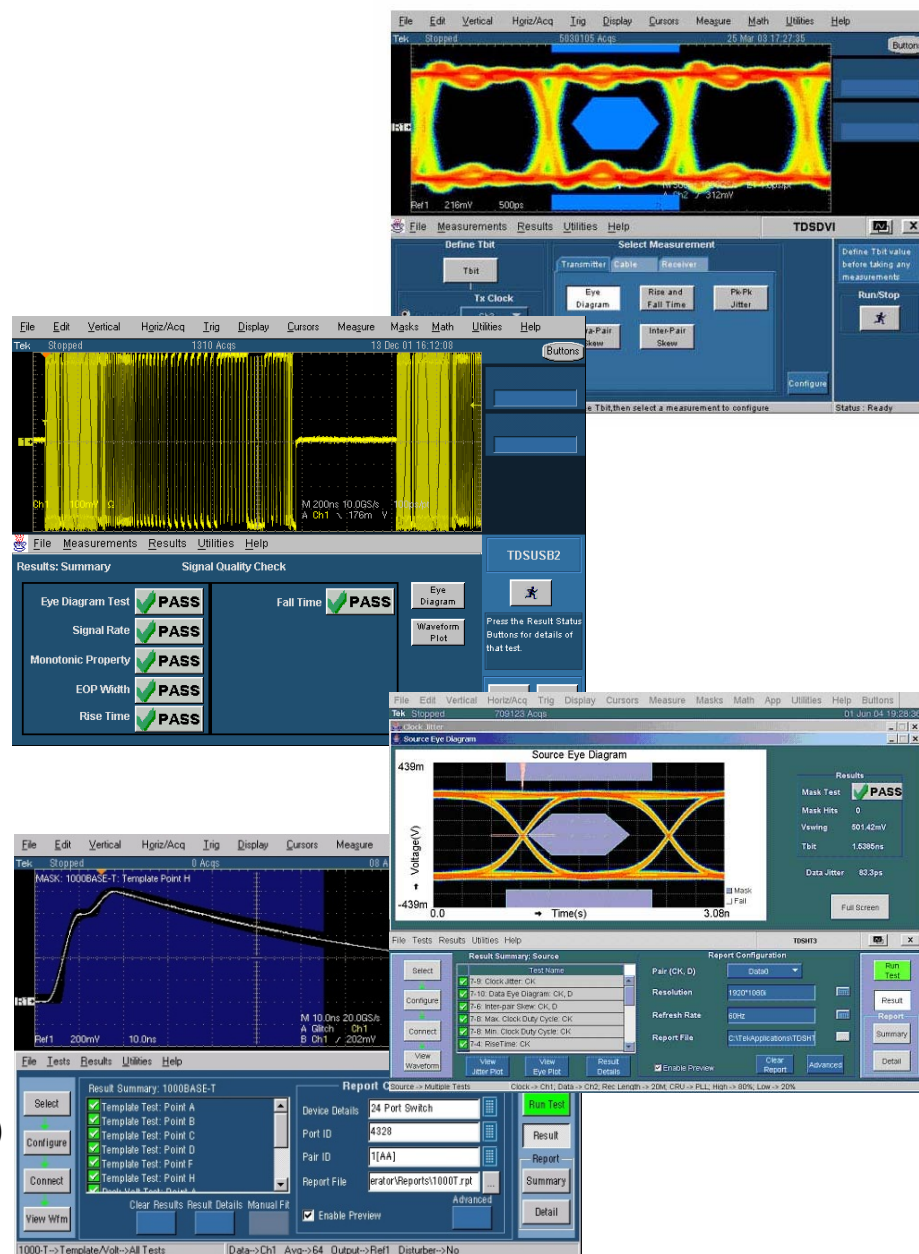
コンプライアンス・テスト／ ジッタ&アイ・ダイアグラム解析ソフトウェア

専用コンプライアンス・ソフトウェア

- DVI : TDSDVI
- HDMI : TDSHT3
- USB2.0 : TDSUSB2
- Ethernet (10/100/1000BaseT) : TDSET3
- IEEE1394.a : 3rd Party (QP社)
- USB3.0、PCI Express : SIGTEST (USB-IF、PCI-SIG)

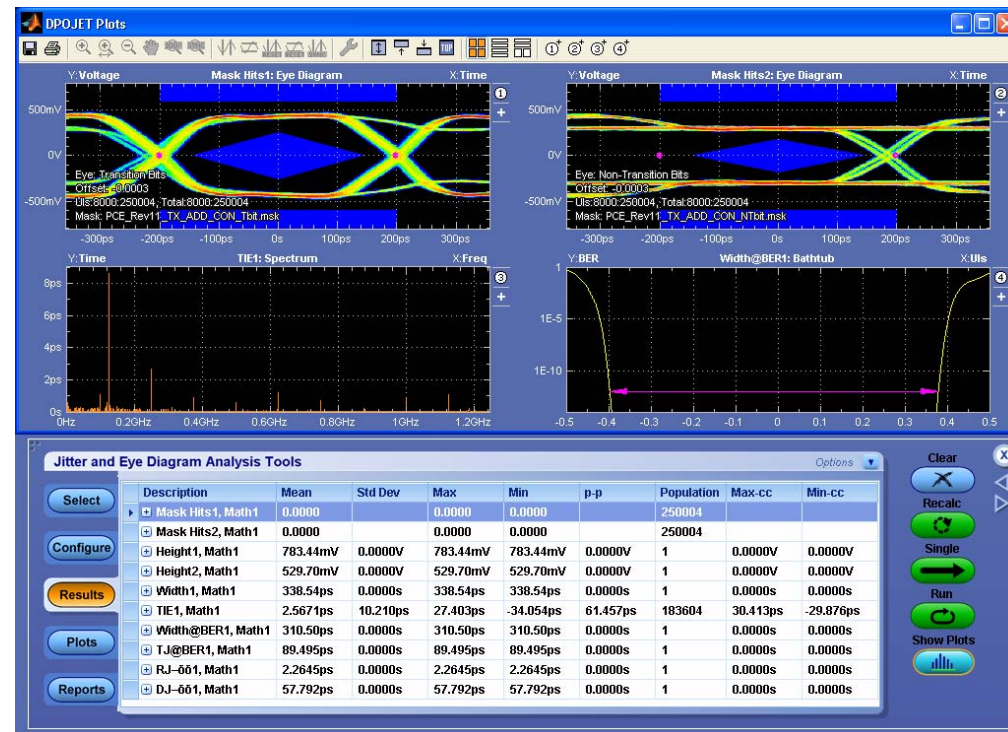
DPOJET (汎用 + 特定用途)

- PCI Express (Opt.PCE/PCE3)
- USB3.0 (Opt.USB3)
- InfiniBand、SATA/SAS、FC、FB-DIMM、XAUI、10GBASE-CX4、SRIO、OBSAI
- DisplayPort (Opt.DPO-DSPT)
- LVDS/miniLVDS、V-by-one HS、Advanced-PPmL
- DDR/2/3、LPDDR/2、GDDR3/5 (Opt.DDRA)
- MIPI D-PHY (Opt. D-PHY)
- SFP+



DPOJETジッタ & アイ・ダイアグラム解析ソフトウェア

- 周波数／周期、振幅、タイミングおよびジッタとアイ・ダイアグラム測定
 - － シリアルのみならずパラレル・インタフェースも
- 同時に99測定まで: 効率的！
 - － 別々の信号に対する測定も可能
 - 異なったクロック・リカバリでの評価
 - 異なったイコライザでの評価
 - マルチレーンでは個々のレーンに対し、独立したクロック・リカバリを使用可能
- Rj/Dj測定、特定BERでのアイ開口幅とトータル・ジッタ予測
- **SSC汎用測定***
- 様々なデータ解析を可能にする複数のプロットを表示可能
 - － アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンド
- 外部クロック逡倍を含む様々なクロック・リカバリ・モデル
 - － PCI Express Gen2(システム)、LVDSパネル・インタフェース、DDR2/3に不可欠
- 汎用+特定用途(DDR、PCI Express/3、USB3.0、SFP+、MIPIなど)



※バージョン3.5より

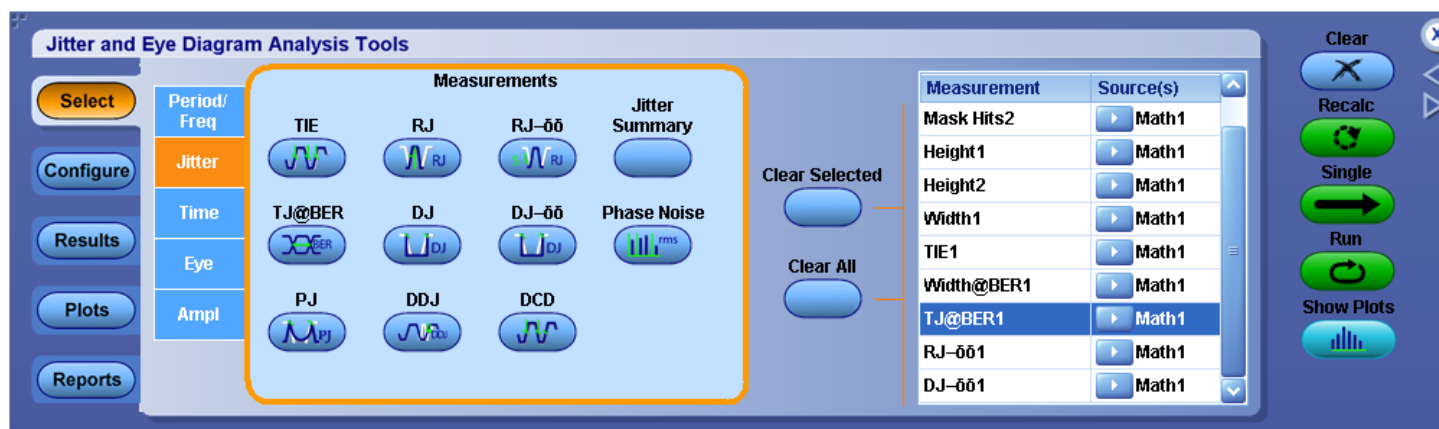
- レポート生成機能
 - － MHTML形式 (MIME Encapsulation of aggregate HTML)*
- DSA70000C/Dシリーズ標準

*HTML ファイルや画像データを単一のアーカイブにまとめて保存できる形式

DPOJET: 測定項目

- 標準測定項目 (オプションで規格測定を追加可能)

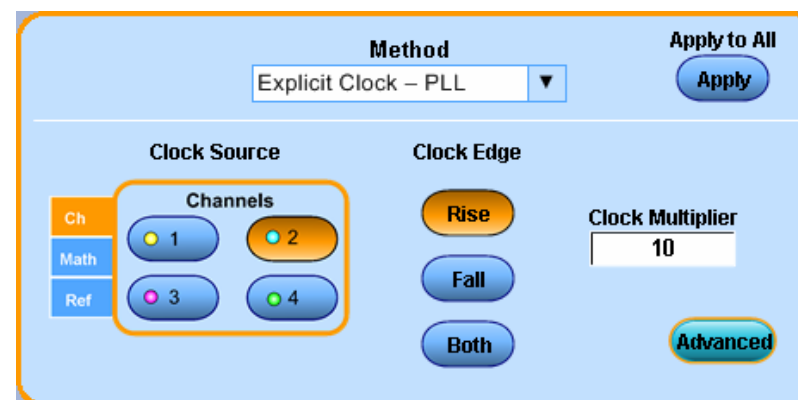
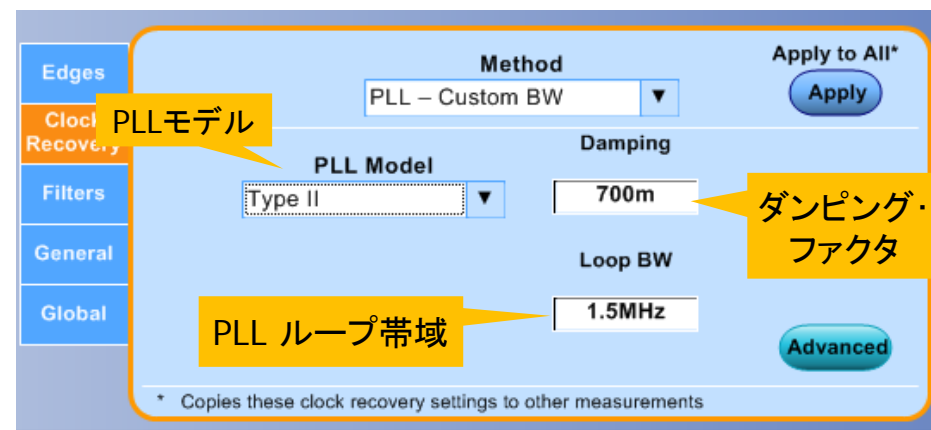
項目グループ	項目
周期／周波数	周波数、周期、N周期、サイクル・ツー・サイクル周期、正のパルス幅、負のパルス幅、正のデューティ・サイクル、負のデューティ・サイクル、正のサイクル・ツー・サイクル・デューティ比、負のサイクル・ツー・サイクル・デューティ比
タイミング	立上り時間、立下り時間、ハイ時間、ロー時間、セットアップ、ホールド、スキュー、 <u>SSCプロファイル、SSC変調レート、SSC偏差、SSC最小周波数偏差、SSC最大周波数偏差</u> ※
振幅	ハイ、ロー、ハイ・トゥ・ロー、コモン・モード、ディエンファシス量、差動、 <u>Qファクタ</u> ※
アイ	アイ高さ、アイ幅、幅@BER、 <u>高さ@BER</u> ※、マスク・ヒット
ジッタ	TIE (タイム・インターバル・エラー)、RJ、DJ、TJ@BER、PJ、DCD、DDJ、RJ(σ - σ)、DJ(σ - σ)、位相ノイズ



※バージョン3.5より

DPOJET: 様々なクロック・リカバリ・モデルを選択可能

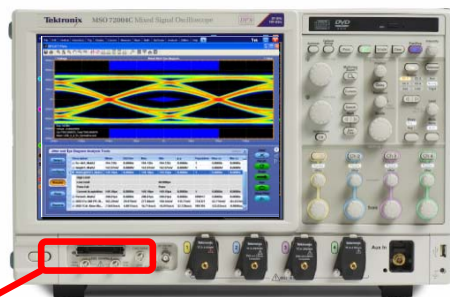
- PLL
 - 規格、レシーバCDRと同等な特性での評価
 - ループBW: 規格(ビット・レートの $f_c/1667$)、またはユーザBW
 - 1次PLL
 - 2次PLL+ダンピング・ファクタ
- 平均値 (Mean)
 - 全ジッタ周波数成分を捕捉
- 中央値 (Median)
- 固定値
- 外部クロック
 - クロック並走のインタフェース: LVDS、PCI Express、DDR
 - 単純逡倍
 - PLL逡倍
- その他、フィルタ併用によりさらに高次の特性も実現可能



ハードウェア・ベースのクロック・リカバリ デバッグ、トラブルシュートに効果的、BERTでは必須

DSA70000C/Dシリーズ標準装備

- MSO70000Cシリーズ・オプション
- 1.5MHz~6.25Gbps
 - シリアル・パターン・トリガ(40ビット長)やエラー・ディテクタをサポート
- リカバリ・データ、リカバリ・クロック出力を前面に装備(SMA)
 - 外部機器での利用が可能
- 毎秒30万波形のFastAcqと組合わせて間欠的な障害の捕捉に威力を発揮



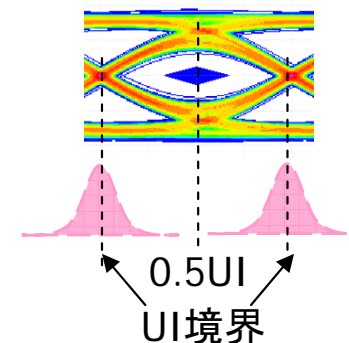
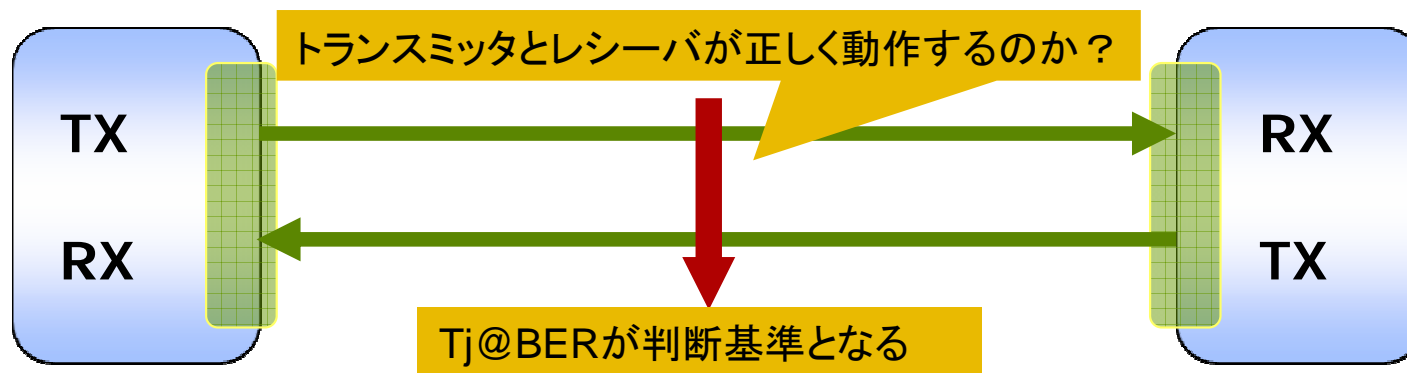
CRシリーズ 汎用クロック・リカバリ・ユニット

- スタンドアローン
- オシロスコープ、サンプリング・オシロスコープ、BERTと組合せ可能
- 28.6Gbps、17.5Gbps、12.5Gbpsの3機種
- PLL帯域100kHz~12MHzに可変
 - オプションで24MHzまで拡張
- 1次、2次PLL
 - ピーキングも可変
- SSCにも対応
- PLLループ帯域幅、ジッタ伝達関数を自己測定可能
 - コンプライアンス要求条件に合致しているかの確認可能
- PCI Express Tx PLLループ帯域幅テスト可能(オプション)
- 11.2Gbpsまでのジッタ・スペクトラム解析が単体で可能(オプション)



高速シリアル・インタフェースで ジッタ解析が重要な理由: その1 – コンプライアンス

- 相互接続性(インターオペラビリティ)の確立を推定する方法が必要
- 相互接続性とは、正確には特定のビット誤り率(BER:Bit Error Rate/Ratio)における通信を保証すること
- そこで特定のBER におけるトータル・ジッタを定義し、判断基準とする⇒ $T_j@BER$



高速シリアル・インタフェースで ジッタ解析が必要な理由: その2 – トラブルシューティング

- ジッタ問題を解決するための診断・分析情報
 - ジッタの発生原因は? どう対処すればよいのか?

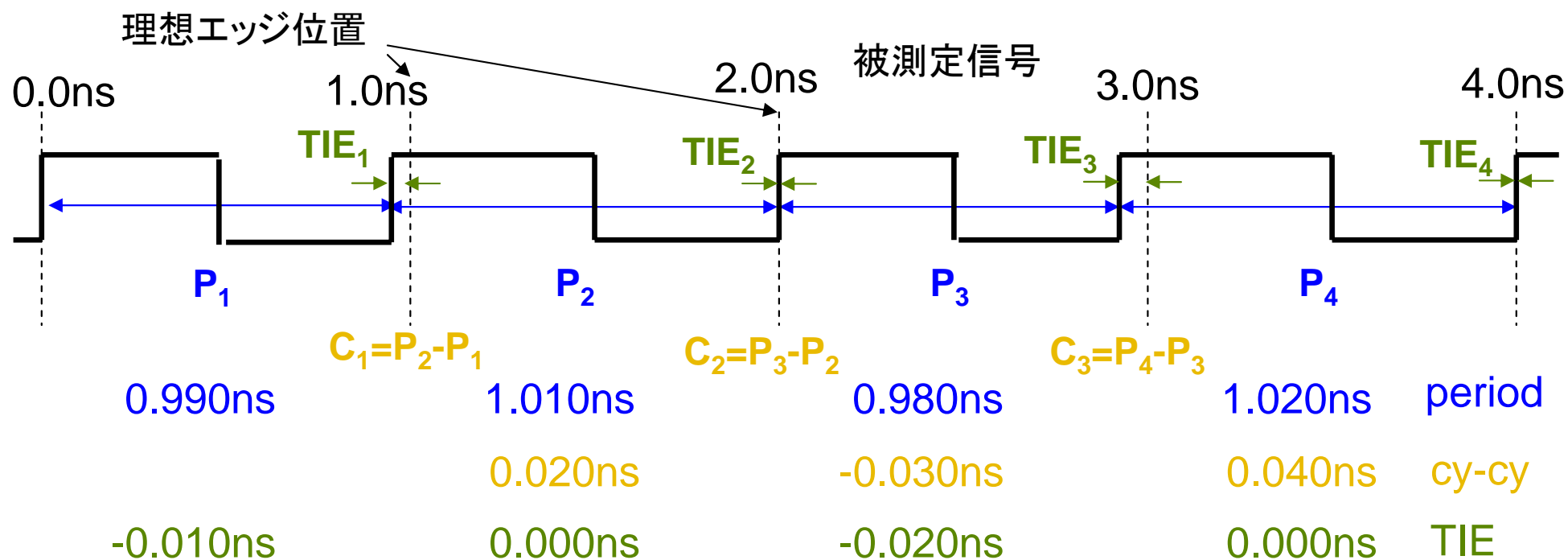


シリアル・インタフェースのジッタ計測はTIE

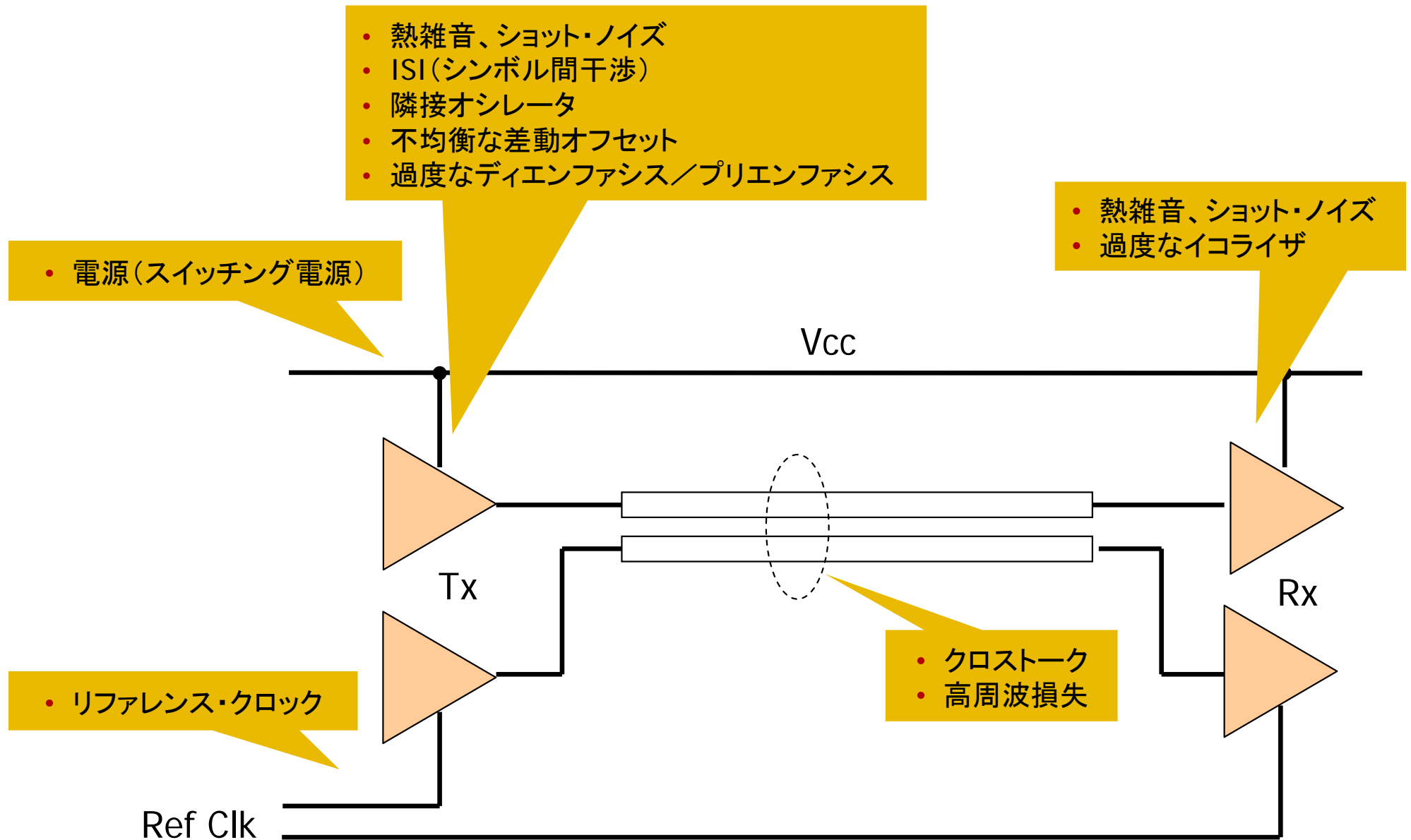
- 周期ジッタ: 周期の推移 (0.990/1.010/0.980/1.020)
- サイクル・トゥ・サイクル・ジッタ: 隣接周期の変動 (0.020/-0.030/0.040)
- タイム・インターバル・エラー (TIE)

: 期待エッジ位置 (リカバリされたクロック) とのずれ

(-0.010/0.000/-0.020/0.000)

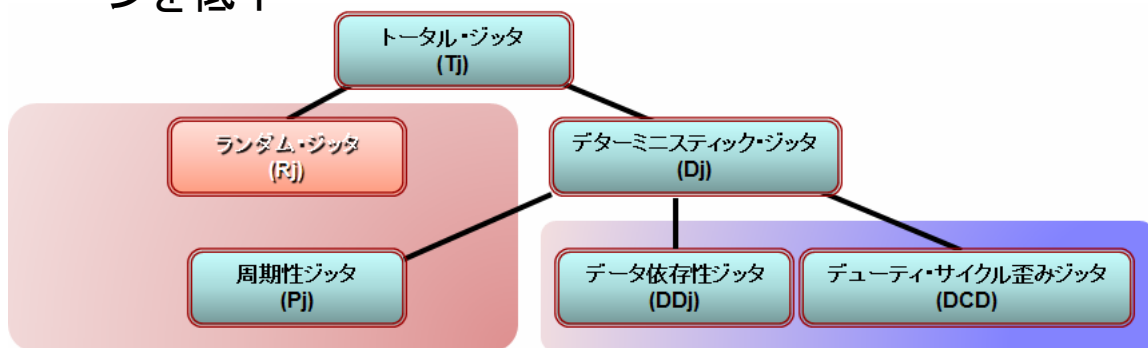
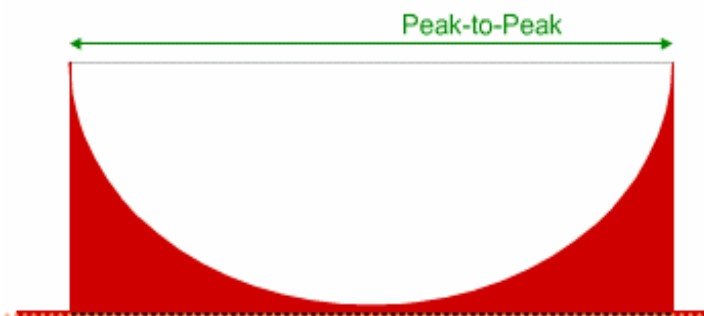
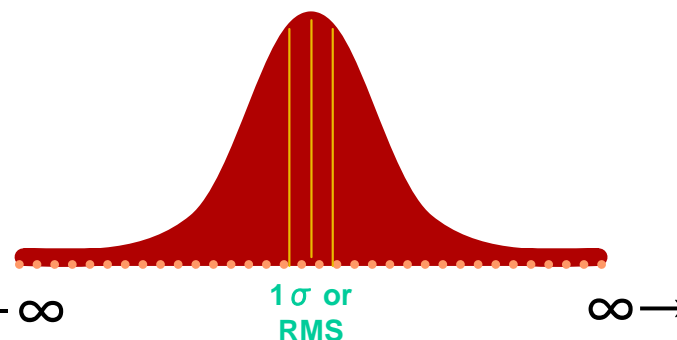


様々なジッタ・ソースが存在：ジッタの性質が異なる



2つの性質の異なるジッタの測定の必要性

- ランダム・ジッタ: R_j
 - ジッタの発生確率分布はガウス曲線 (σ の関数)
 - 極めて低い頻度ながら大きなゆらぎが発生
 - $\pm 4.75\sigma$ を超えるジッタは1万回 (10^6 回)、 $\pm 7\sigma$ を超えるジッタは1兆回 (10^{12} 回) に1度発生
 - 長期間での通信品質に影響
 - ビット・エラー・レート (BER) を低下させる
- デターミニスティック・ジッタ: D_j
 - 隣接オシレータや伝送系の高周波損失などに起因。発生確率の広がりには有限。ランダム・ジッタのマージンを低下



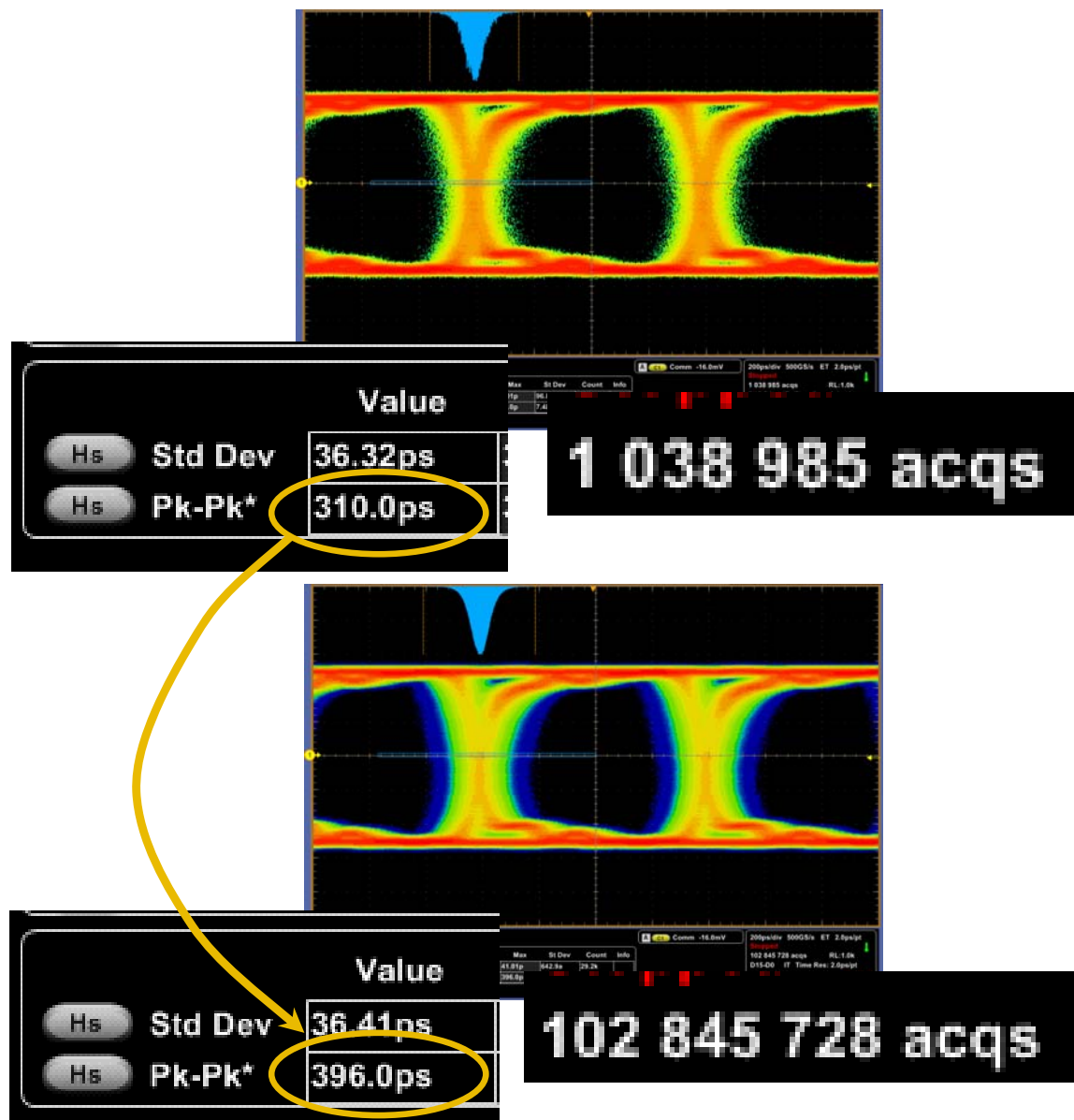
非相関

相関

- ジッタ成分にピークを持たない。非有界
- ジッタ成分にピークを持つ。有界

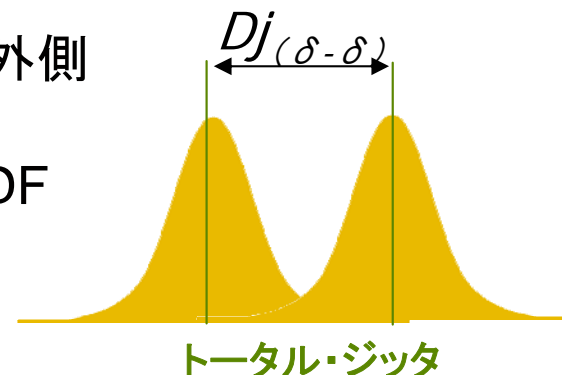
アイ幅、ジッタ量測定には時間的規定が必要

- ピーク・トゥ・ピーク・ジッタは、Rjにより測定時間(母数集団数、UI数)の影響を受ける
 - Rjのために時間経過に従い増加する
- そのため測定時間(UI数)が規定される必要がある
- 測定時間→理想的には規定のビット・エラー・レートで定義
 - シリアル・インタフェースは一般的にBER 10^{-12}
 - インターオペラビリティを確保するという意味は正確には特定BERでの通信を保証すること
- そこで特定BERにおけるトータル・ジッタTjを規定するのが最近の傾向
 - アイ幅@BER = 1UI - Tj@BER
 - 換言すればピーク・トゥ・ピーク・ジッタはそのUI数でのTj



アイ幅、トータル・ジッタの推定: バスタブ曲線

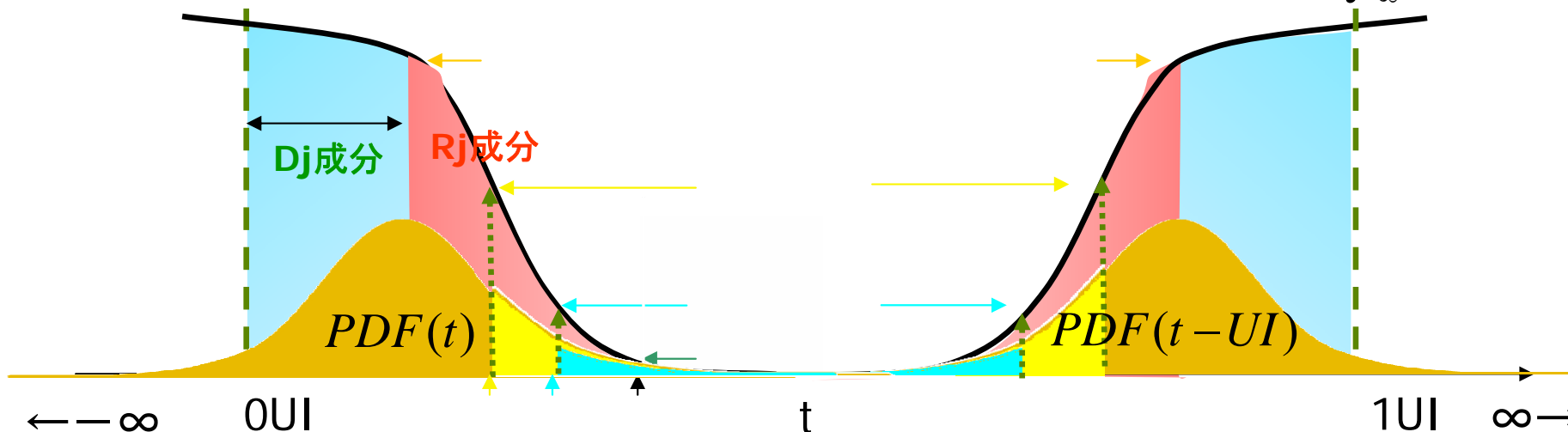
- BERプロットは、UI (Unit Interval) に沿って中央 (0.5UI) から外側 (0 ← 0.5UI, 0.5 → 1UI) に向かって各ポイントのジッタのPDF (Probability Density Function: 確率密度関数) を累積したCDF (Cumulative Distribution Function: 累積分布関数) となる
- この曲線が浴槽に似ていることからバスタブ曲線と呼ばれる
- D_j は全体を狭め、 R_j は傾斜に影響
 - ただし、ここでの D_j は下記関係が成立 ($Q_{BER} = 7 @ BER^{-12}$, $4.5 @ BER^{-12}$) するデュアル・ディラック・モデル $D_j(\delta-\delta)$



$$LBER(x) = \int_x^{\infty} PDF(t)$$

$$T_j = 2Q_{BER} * R_j^n + D_j(\delta-\delta)^n$$

$$RBER(x) = \int_{-\infty}^x PDF(t - UI)$$



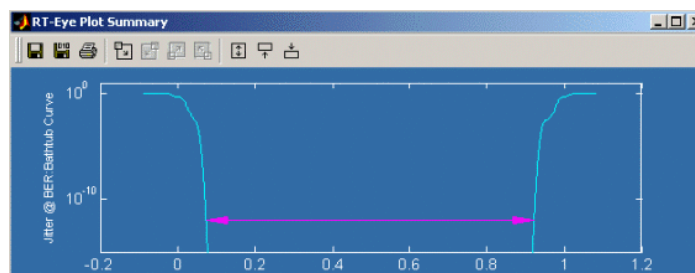
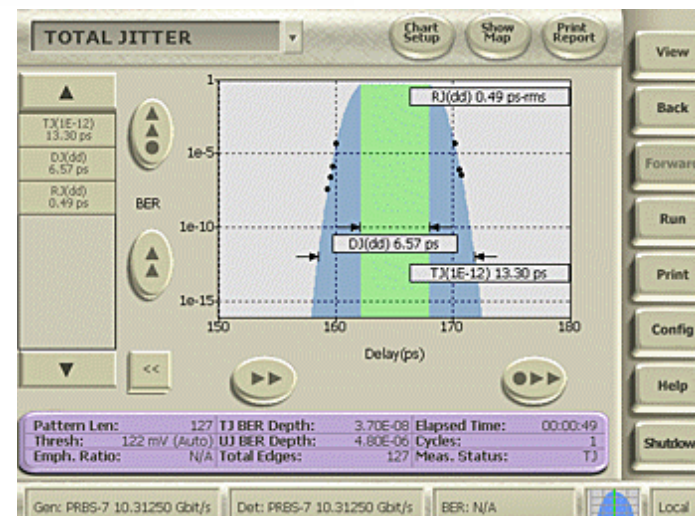
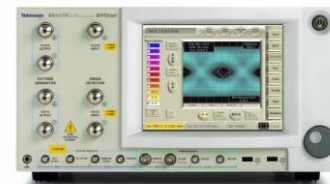
トータル・ジッタの測定

BERT

- トータル・ジッタ (Tj) を直接測定
 - UI内をスキャンし各点でBERを測定し、BERプロットを求める
- バスタブ曲線での外挿で測定時間の短縮
 - 膨大な時間が必要
 - 5Gbps (5×10^9) では5時間必要とも
 - UI両端の高BERの数点だけ測定し、バスタブ曲線で外挿 (Extrapolation)

オシロスコープ

- 短期間 (PCI ExpressやUSB3.0では1M-UI) でのジッタ (Rj、Dj) を測定し、PDFを求めることでバスタブ曲線 (CDF) を算出
 - Rj、DjごとのPDFの総計



今日の一般的な高速シリアル・インタフェース測定例

PCI Express Rev.2.1 (5Gbps)

アイ高さ(遷移ビットの最小信号レベル)、マスク・ヒット

アイ高さ(非遷移ビット/ディエンファシス・ビットの最小信号レベル)、マスク・ヒット

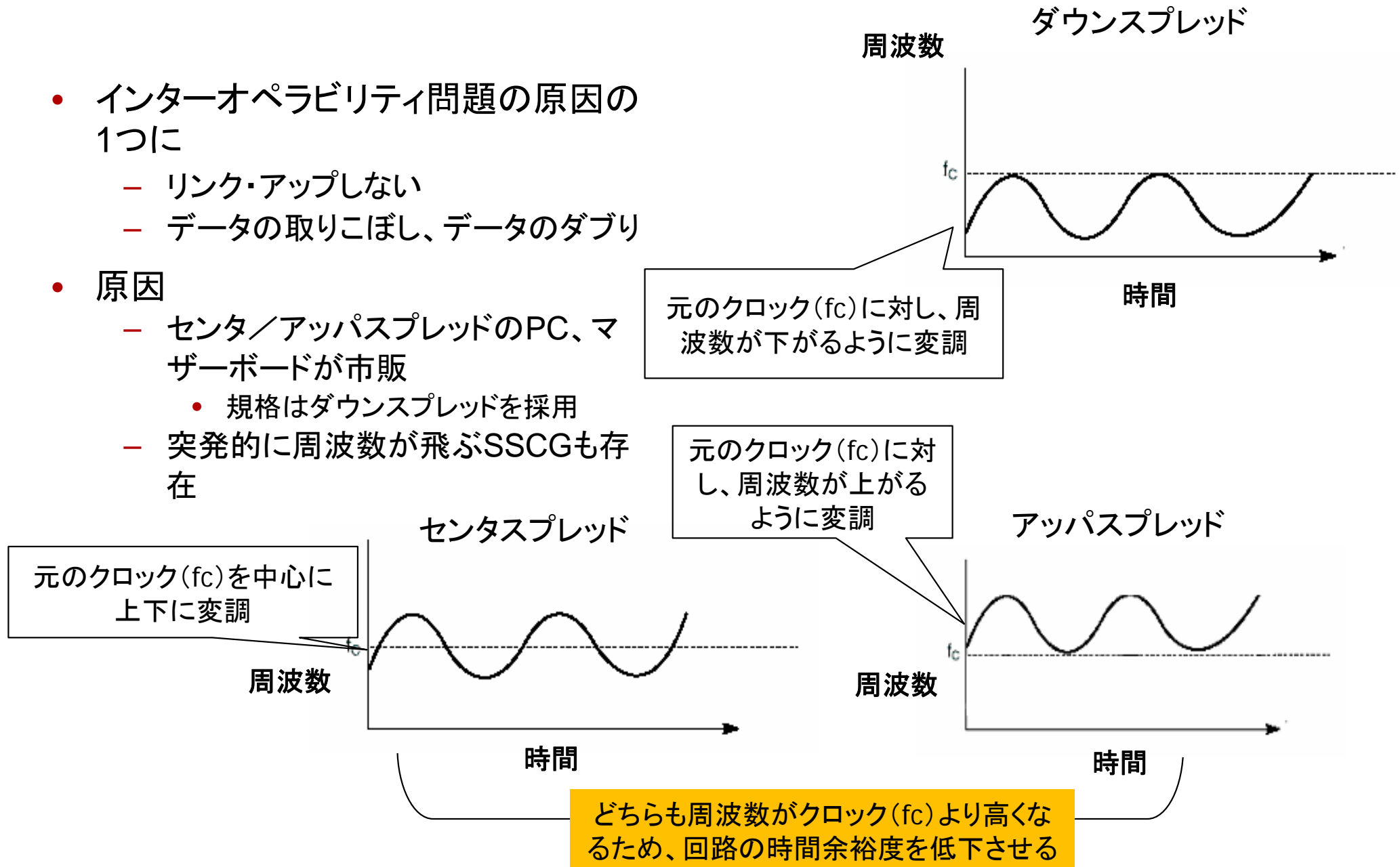


5Gbps: アイ幅@BER10⁻¹²。現在のジッタ量からバスタブ曲線で長期のジッタ量トータル・ジッタ(Tj)@BER10⁻¹²を予測し、アイ幅を算出(1 - Tj@BER10⁻¹²)

5 Gbps: ランダム・ジッタ(Rj_(δ-δ))、デターミニステック・ジッタ(Dj_(δ-δ))、トータル・ジッタ@BER⁻¹²測定

SSCはトラブルの元

- インターオペラビリティ問題の原因の1つに
 - リンク・アップしない
 - データの取りこぼし、データのダブリ
- 原因
 - センタ／アッパスペッドのPC、マザーボードが市販
 - 規格はダウンスプレッドを採用
 - 突発的に周波数が飛ぶSSCGも存在



DPOJETによるSSC測定

- 汎用、PCI Express、USB3.0
- プロファイル
- 変調レート
- 偏移(最大、最小)

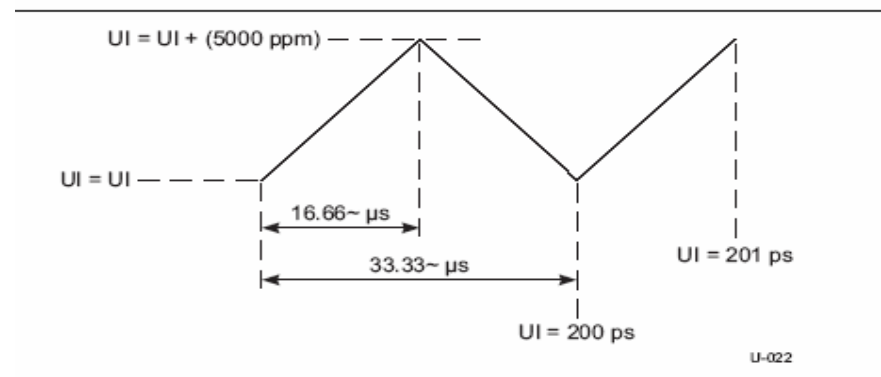
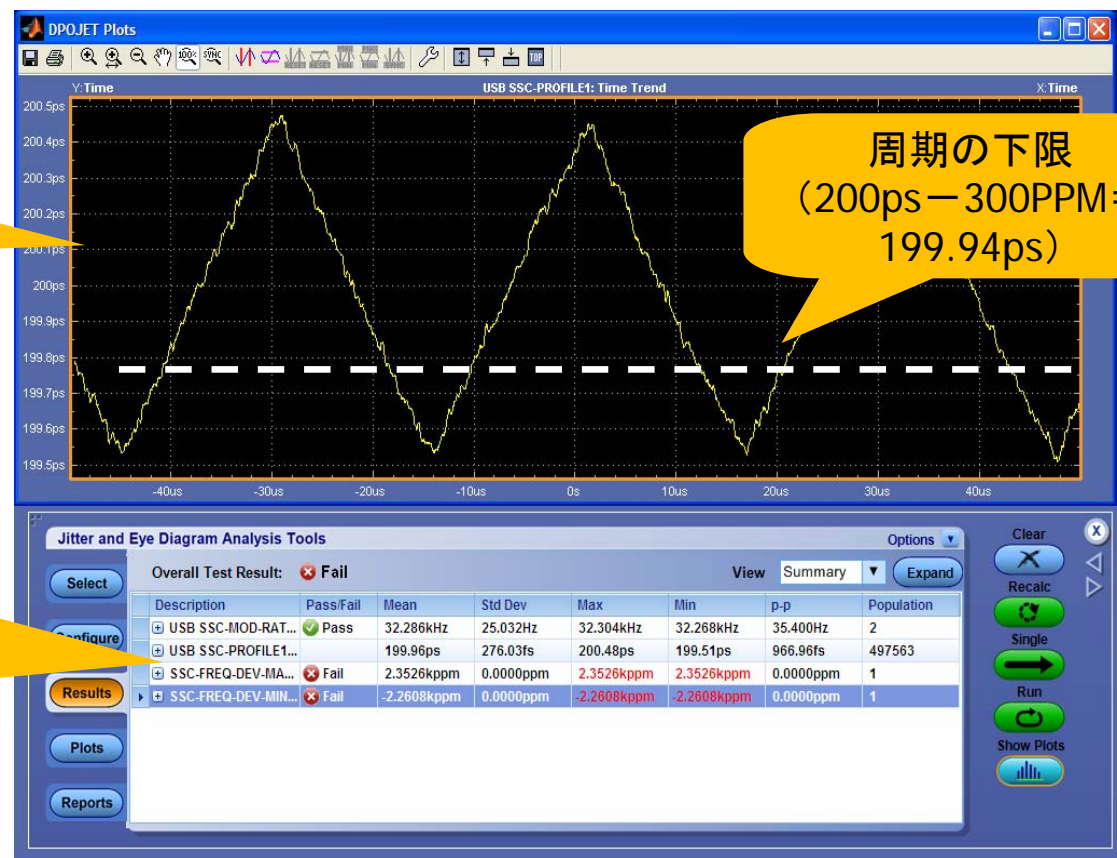


Figure 6-10. Period Modulation from Triangular SSC

周期変動のタイム
トレンド表示(プロ
ファイル)

周期の下限
(200ps - 300PPM =
199.94ps)

変調周波数、周期
偏差の測定・規格値
との判定結果



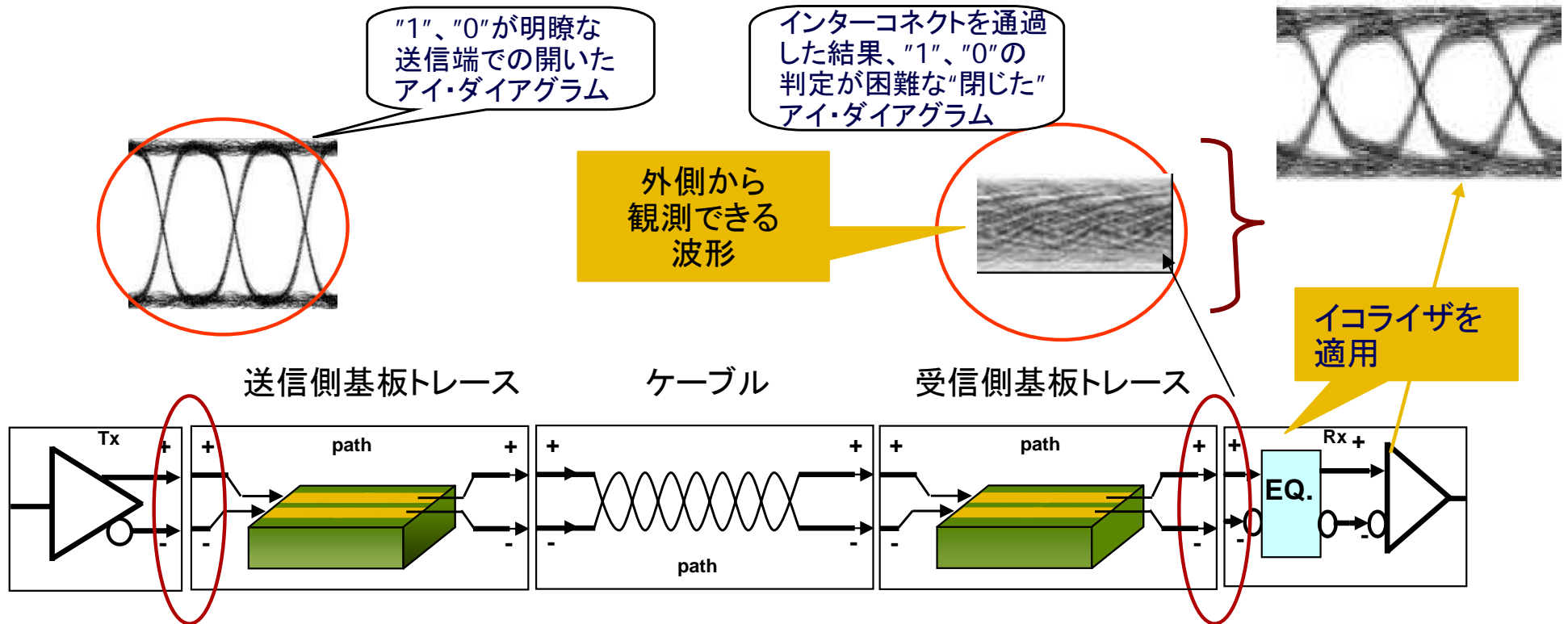
SSCの違反例

ディエンファシス(プリエンファシス)の制約

- かってジッタの増加を招くことがあるため最適化が必要(非標準規格)
 - 短距離伝送用にディエンファシスを使わないハーフ・スイング・モード(低電力モード)も用意している規格もある
 - 例: PCI Express、USB3.0
- 高速化に伴い
 - 遷移ビットの振幅を持ち上げるプリエンファシスは、マルチレーンでのクロストーク、EMIの増加を招く
 - 非遷移ビットの振幅を下げるディエンファシスは、受信端での信号振幅が下がるためレシーバ感度、ノイズ・マージンの的に不利になる

⇒ レシーバ・イコライザの併用

信号品質改善方法 — レシーバ・イコライザ

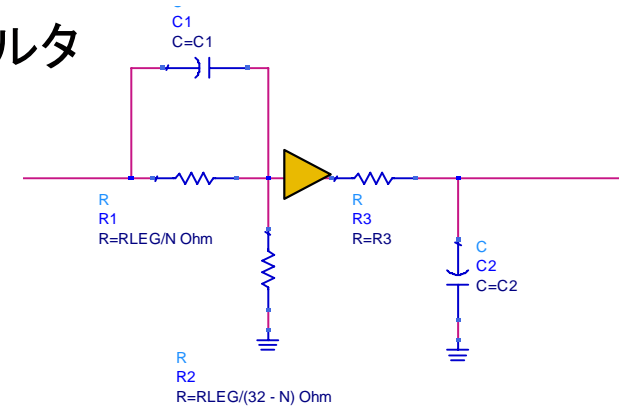


- データ・レートの高速化に伴い、プリ／ディエンファシスに加え、イコライザを積極活用
 - イコライザ技術自体は従来からも利用されている技術
 - 最近の傾向は高速シリアル規格での標準化や規格適合試験(コンプライアンス・テスト)への導入
- 外部で観測している信号波形とデバイス内部のイコライザ適用の波形と異なる
 - 計測機器によりイコライザのエミュレーションが必須

参考: イコライザの種類

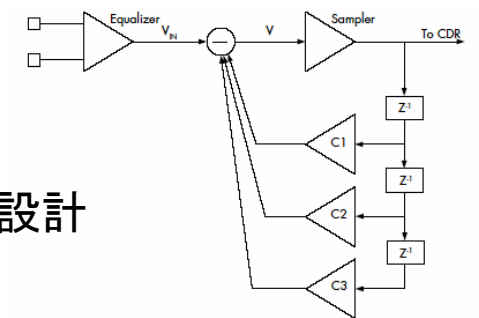
- CTLE (Continuous-Time Linear Equalizer): ハイパス・フィルタ

- 周波数ドメインで設計
- アナログ・ベース
- アクティブ、あるいはパッシブなイコライゼーション
- 回路規模小
 - 低消費電力



- FFE (Feed Forward Equalizer)/DTLE (Discrete-Time Linear Equalizer): FIRフィルタ

- タイム・ドメインで設計 (UIベース、あるいは位相をずらした詳細なタイミングにて)
- チャンネルの周波数応答改善をFIR フィルタ (リニア・フィルタ) で実現
- 代表例はTx でのプリエンファシス、ディエンファシス

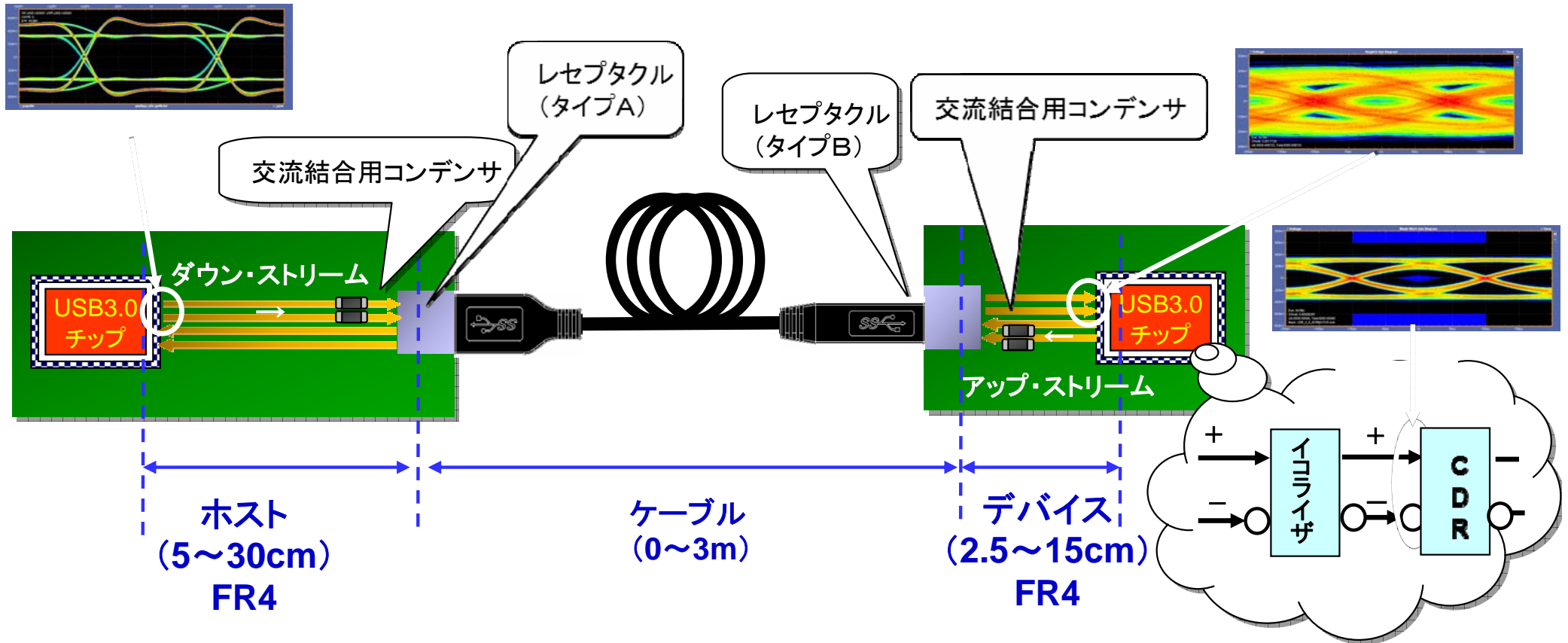


- DFE (Decision Feedback Equalizer)

- タイム・ドメインでフォワード・フィルタとデシジョン・フィードバック回路で設計
- フォワード・フィルタはFFEと等価
- アクティブ・レシーバ・イコライゼーション
- 他のイコライザ方式の問題点であるノイズを増幅することなくシンボル間干渉をキャンセル
- 回路規模大、消費電力が大きい、半導体微細加工技術の進歩で広がりつつある
 - 最近のFPGAなどの高速ランシーバ、規格にも取り入れられ始めている
 - CTLEとDFEを組合せて使用される

レシーバ・イコライザ採用例

USB3.0と想定最長チャンネル



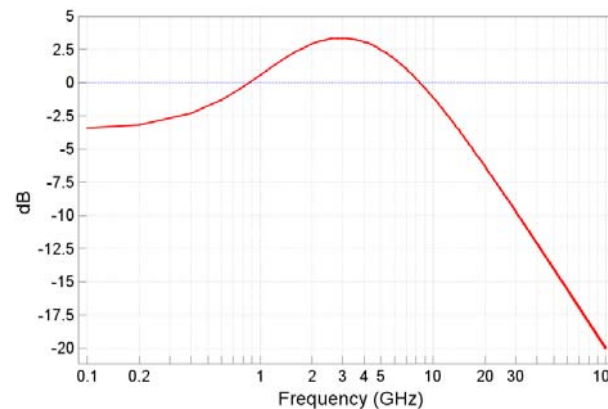
$$H(s) = \frac{A_{dc} \omega_{p1} \omega_{p2}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

$$A_{dc} = 0.667$$

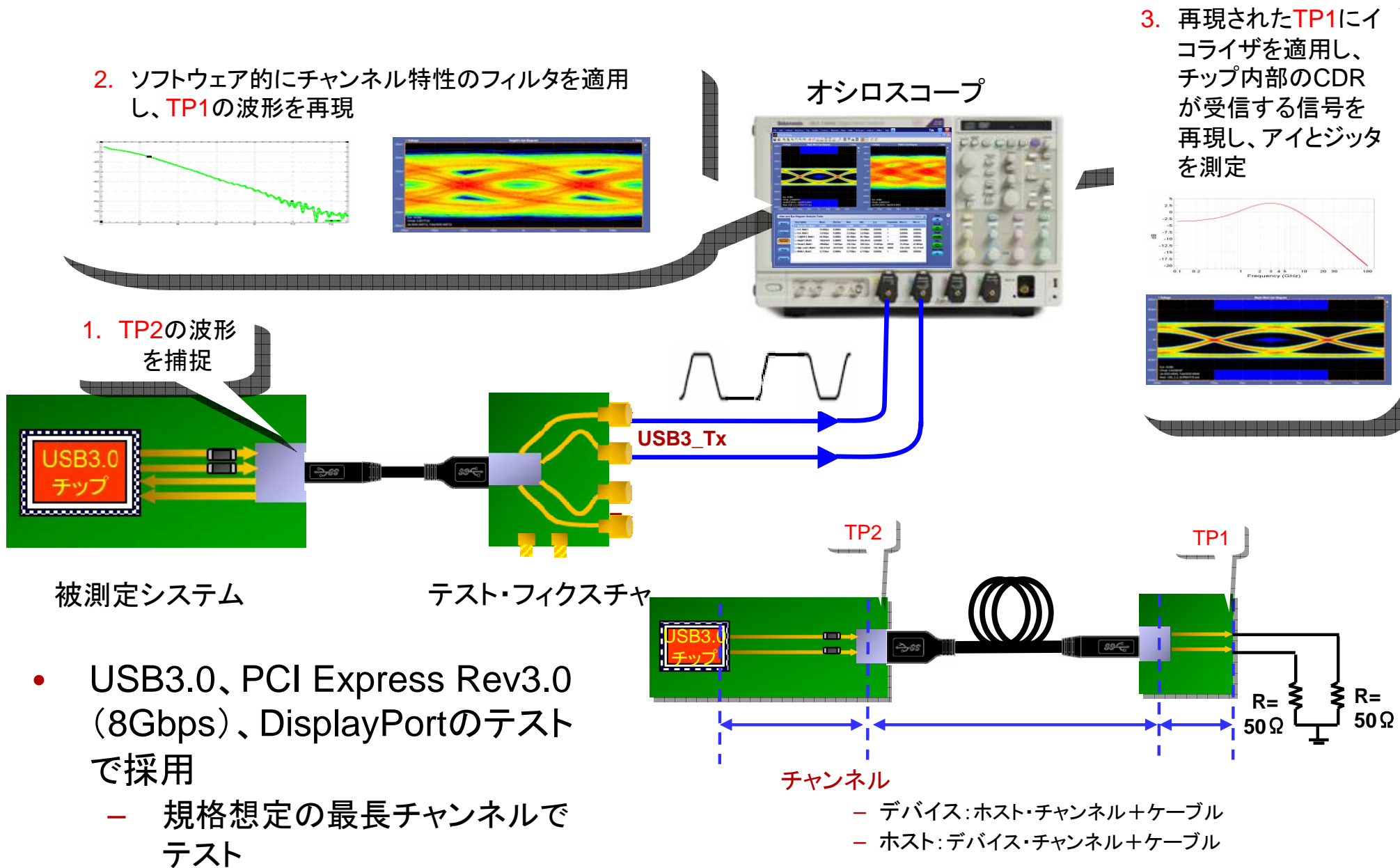
$$\omega_z = 2\pi(650 \times 10^6)$$

$$\omega_{p1} = 2\pi(1.95 \times 10^9)$$

$$\omega_{p2} = 2\pi(5 \times 10^9)$$

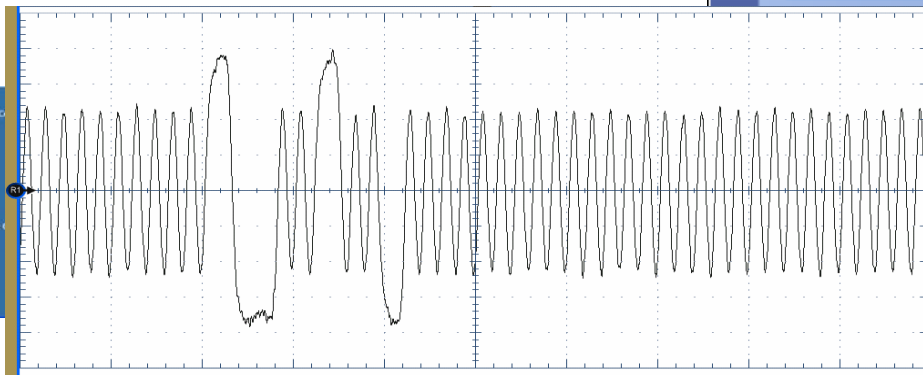
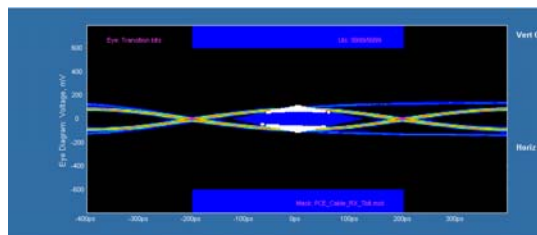


レシーバ・イコライザ、チャンネル/シミュレートしての測定が必須に

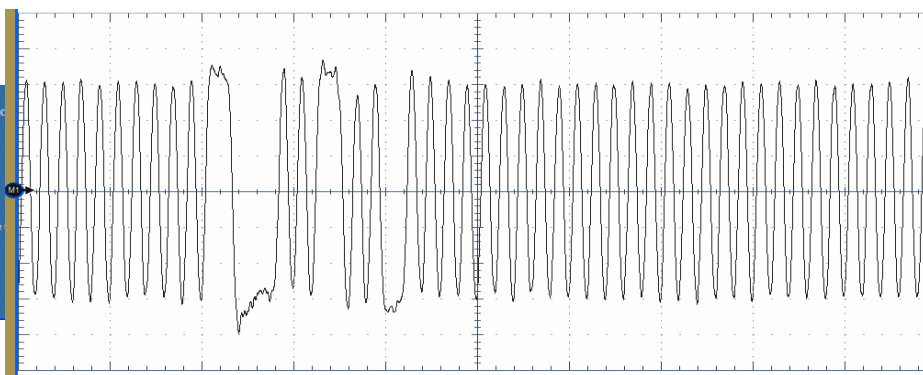
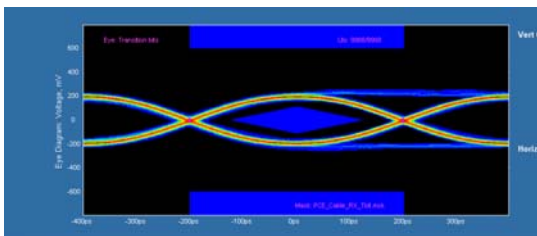


ソリューション: ArbFilter

損失補正前



損失補正後



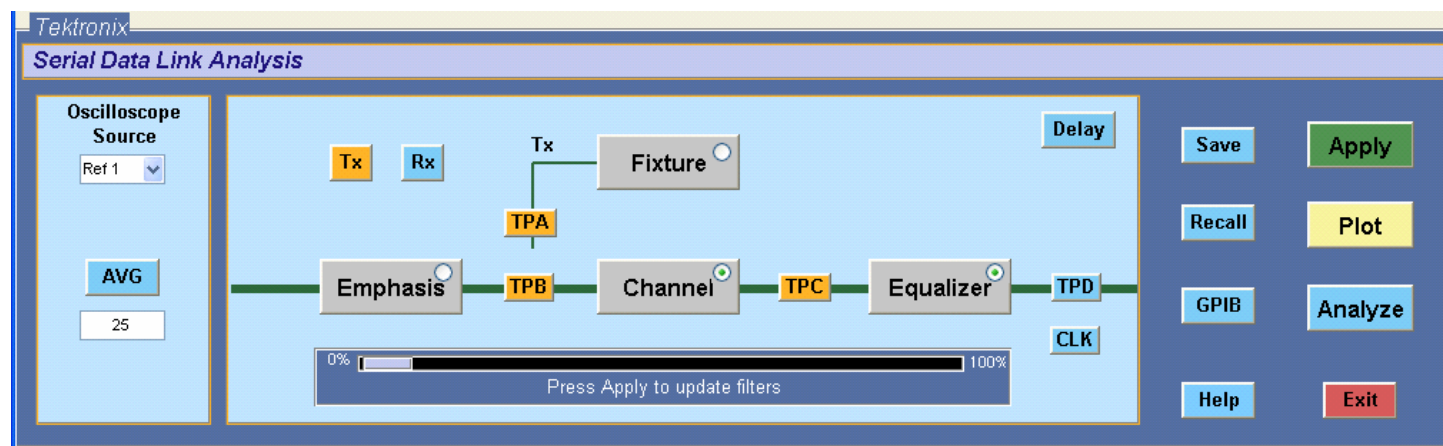
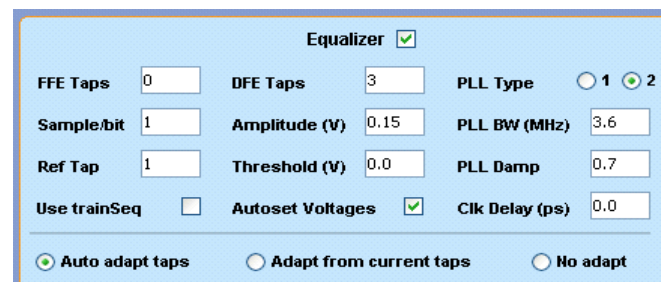
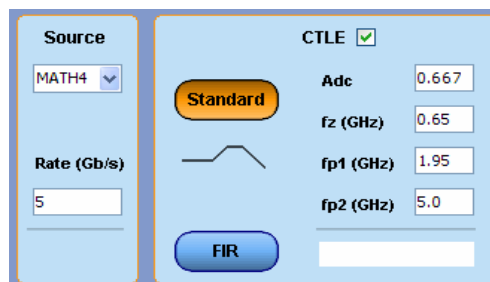
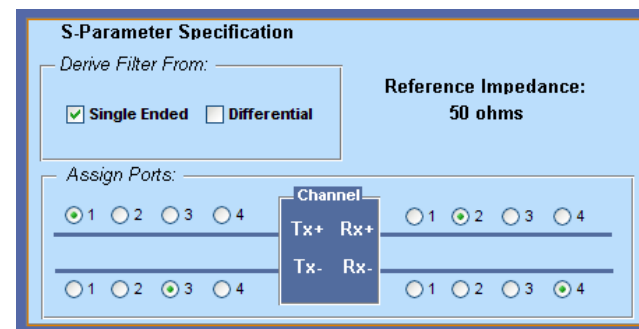
- アクイジション系へのDSPの組み込み
 - フィルタのインパルス応答を定義
 - Sパラメータから変換可能(要SDLA)
 - リアルタイムで適用
 - デバッグ、トラブルシュートに最適

- アプリケーション
 - レシーバ・イコライザ・エミュレーション
 - ディエンベッド
 - ケーブル、フィスチャ影響除去(伝送路損失補正)
 - プローブ・アクセサリ特性補正
 - エンベッド
 - チャンネル特性加算

ソリューション: SDLA

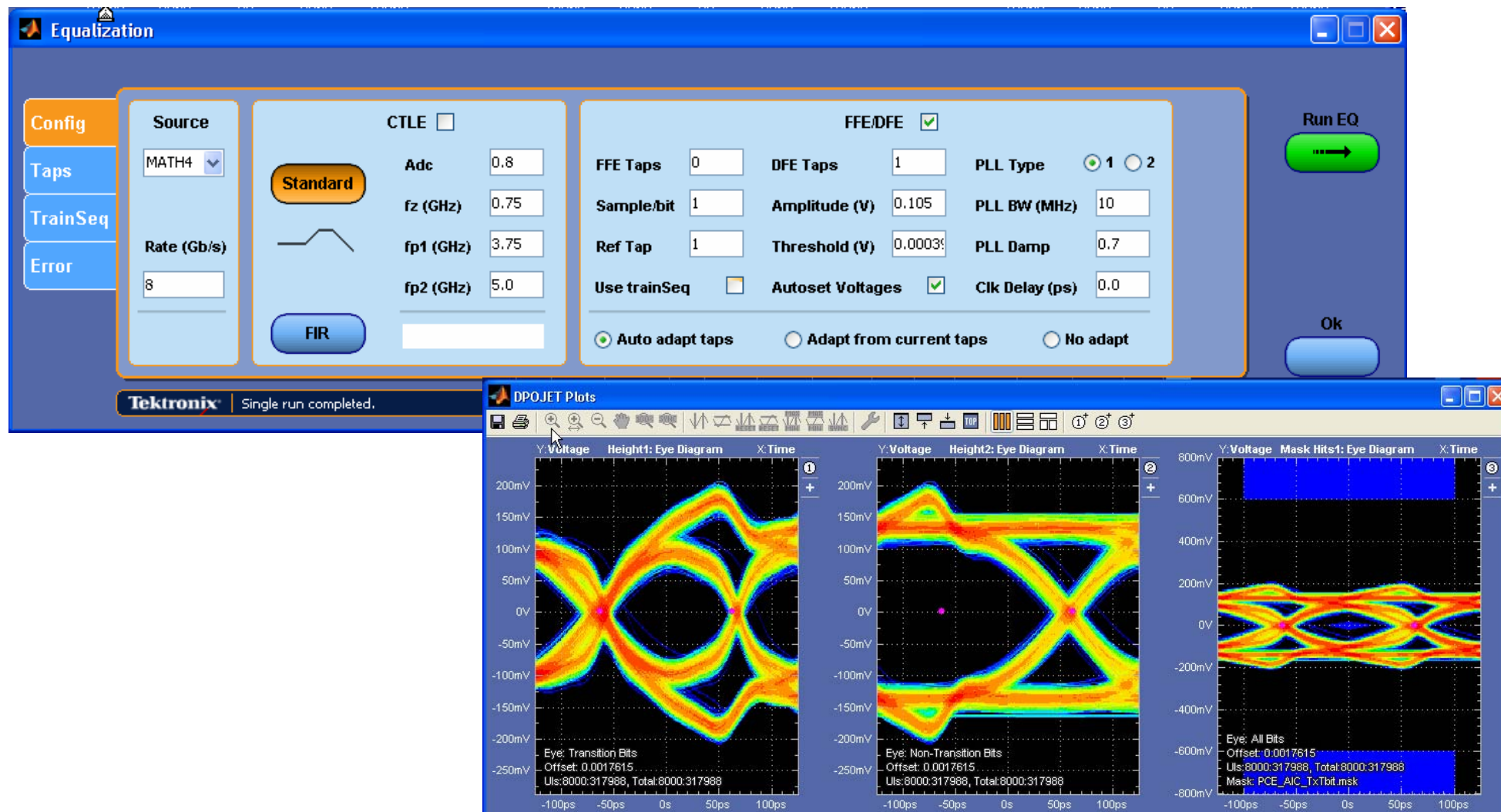
シリアル・データ・リンク解析ソフトウェア

- 高速シリアル信号テストのための波形処理ツール
 - フィクスチャ・ディエンベディット
 - チャンネル・エンベディット
 - レシーバ・イコライゼーション (CTLE、FFE、DFE)
- Sパラメータ (TouchStone) を ArbFilter に変換可能
 - *.S1p、*.S2p、*.S4p (差動、シングルエンド)
- 処理結果をプロットで確認可能
- DPOJET と連動して、アイ、ジッタなど自動テスト、判定可能



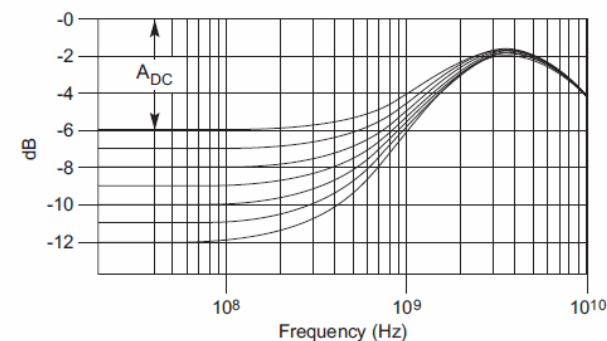
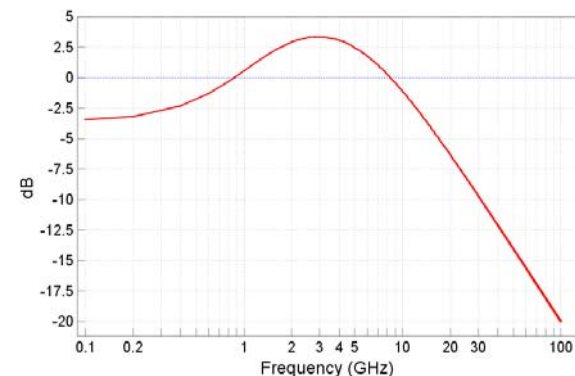
DFE

- DFEはリニア・フィルタ(ArbFilter)では実現できない
- ソリューション:SDLA

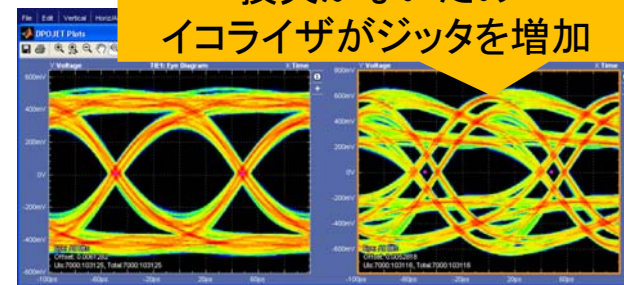


FPGAなどでのイコライザ使用上の 注意点 (CTLE)

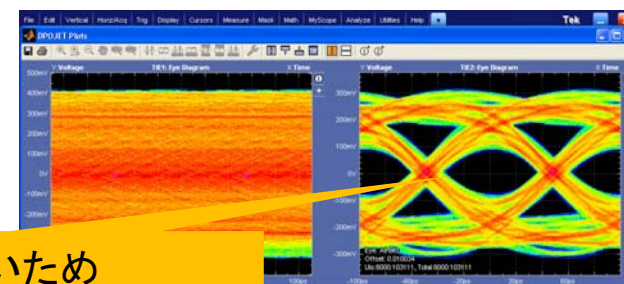
- イコライザの周波数特性が固定の場合、実際に自分が必要とするデータ・レートで効くとは限らない
 - 一般的に周波数特性は固定
 - 例えば3GHz付近にピークがある場合、効果を発揮するのは6Gbps。3Gbpsで使用すると、1.5GHz付近の効果は低減
例
 - 3GHz: 6.7dB \leftrightarrow 1.5GHz: 4.8dB
 - そのため規格に最適化したイコライザを用意しているメーカーもある
- DCゲインを調整しても、高域のゲインが変わらない可能性がある
 - 高域の減衰の補正には効果がない
 - ディエンファシス、プリシュートで改善できない伝送路の周波数特性を、高周波に対して低周波をより減衰させることで補正し、ISI(シンボル間干渉)を改善することが目的
- イコライザ内蔵のリクロッカでイコライザをオフできないタイプでは、減衰の少ないトランスミッタ直近に配置するとかえってジッタが増加
- 上記はデータ・シートに記載がない場合が多い
 - ベンダに確認
 - シミュレーション、ツールで確認



損失がないため
イコライザがジッタを増加

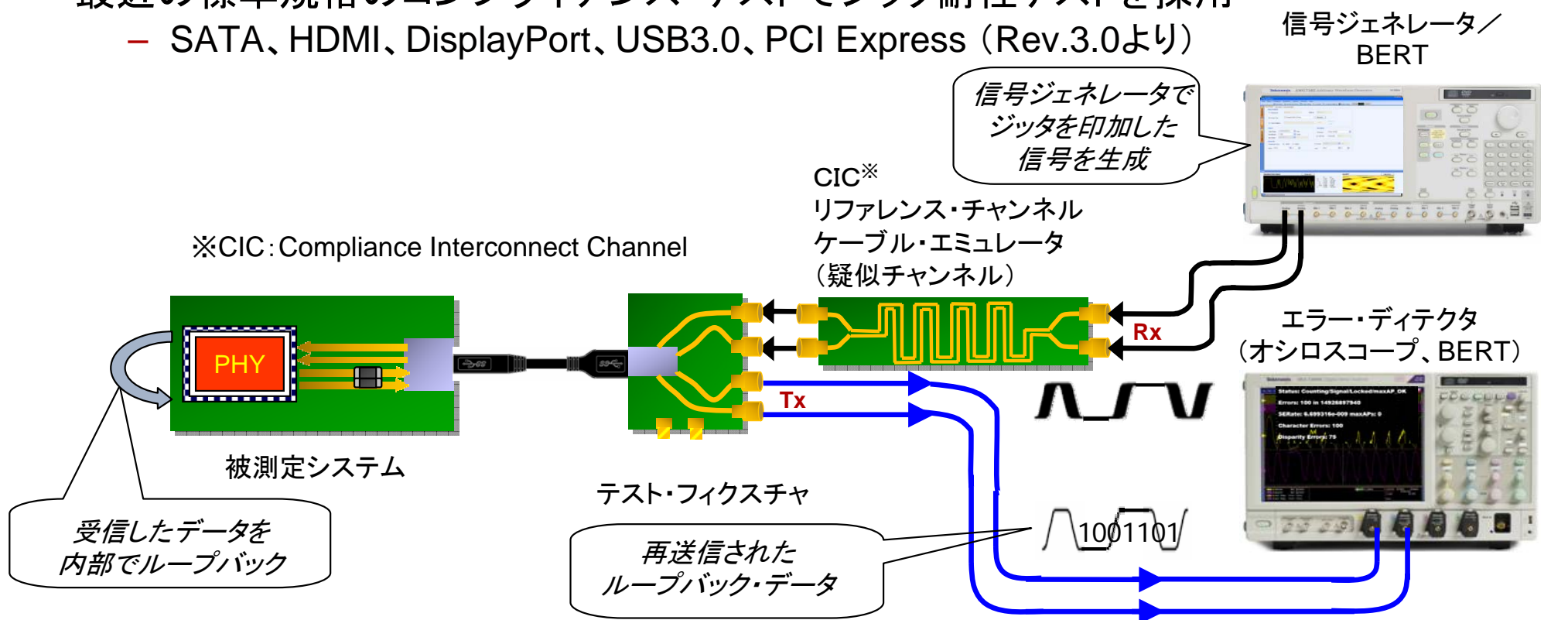


損失が多いため
イコライザが期待したように動作



レシーバ/シンク・テスト

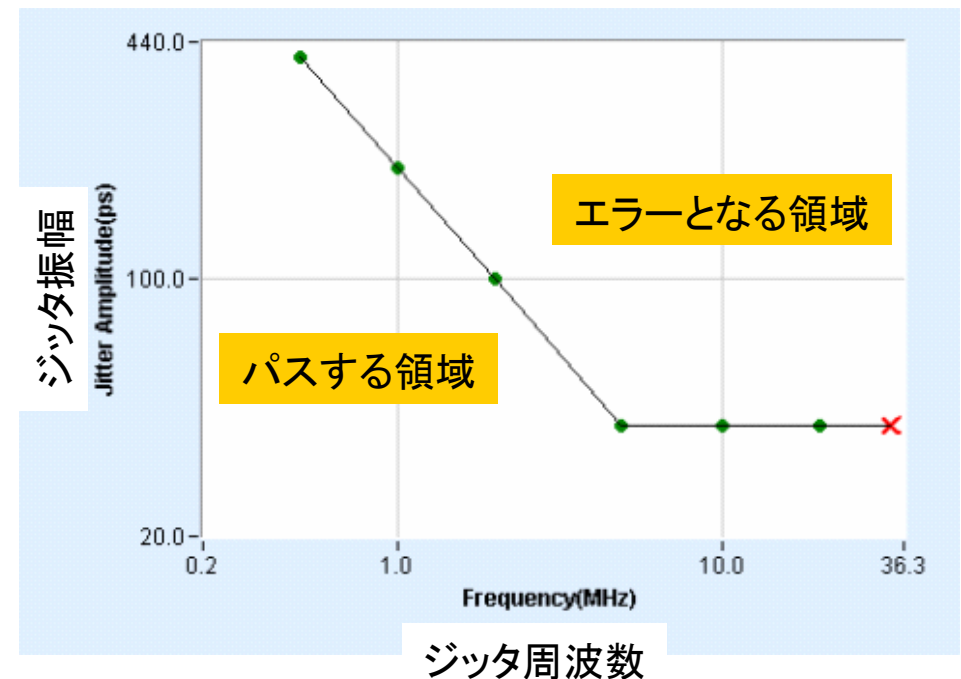
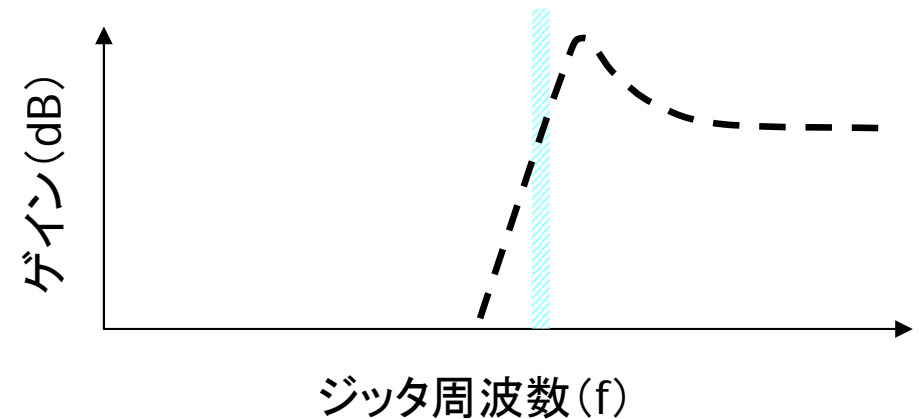
- 相互接続性、特定のBERでの通信を保証するためには、トランスミッタ評価だけでは不十分でレシーバ評価も重要に
 - 特に高速化に伴い、レシーバ側で受ける影響に対してセンシティブ
 - 受信端での信号振幅が減少
 - イコライザの併用で、クロストーク、ノイズ等が増強される
- 最近の標準規格のコンプライアンス・テストでジッタ耐性テストを採用
 - SATA、HDMI、DisplayPort、USB3.0、PCI Express (Rev.3.0より)



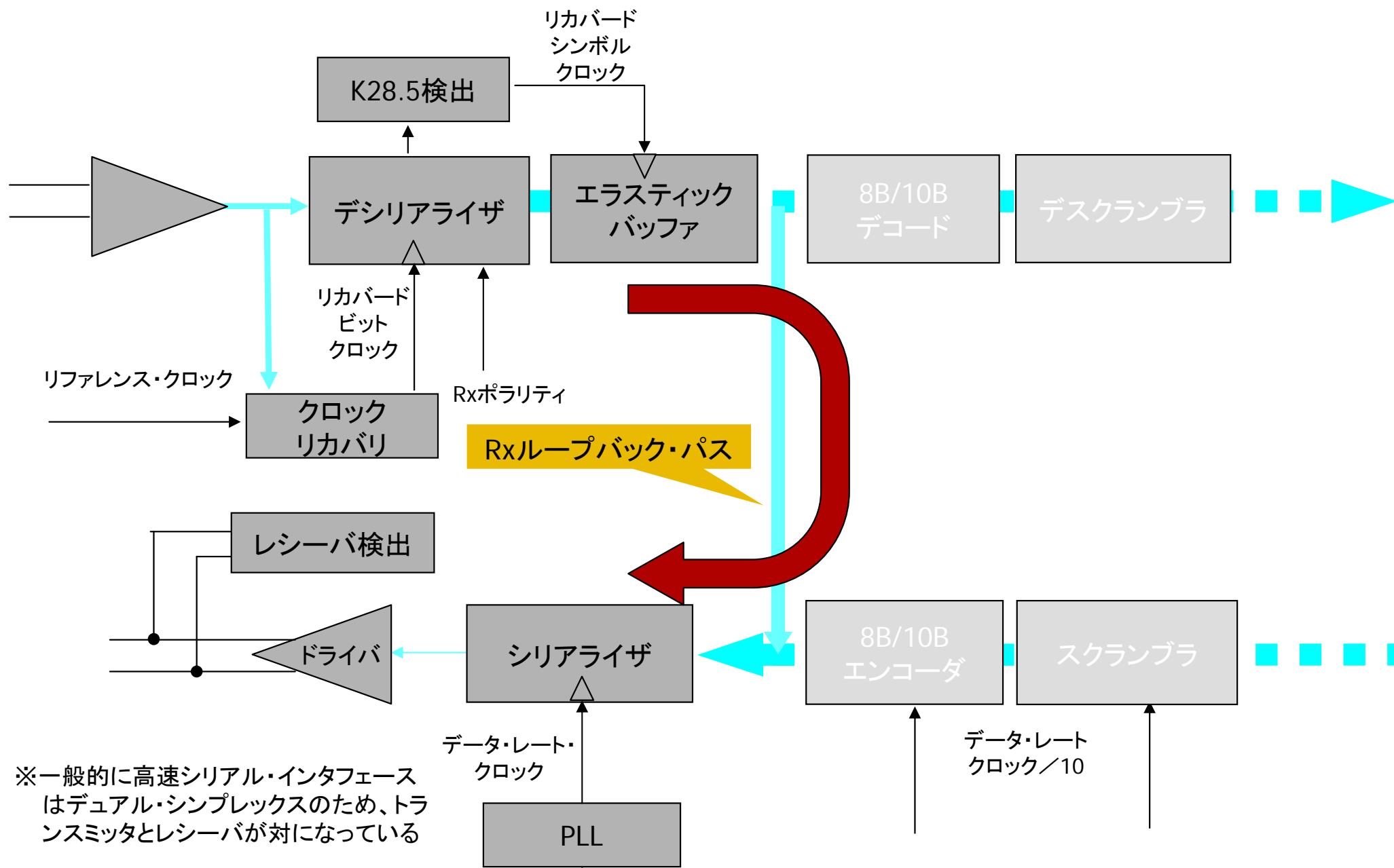
レシーバ・テスト: ジッタ耐性

- レシーバのジッタ耐性をテスト
 - 既知のジッタ特性(周波数、振幅)を持った信号をレシーバに入力し、CDRの特性をテスト
 - ロールオフ周波数より低周波: クロック・リカバリ回路のジッタ吸収度合い、ピーキングの確認
 - ロールオフ周波数より高周波: データ・リカバリ回路のセンス・アンプの時間方向余裕度の確認
 - 内蔵・外部のエラー・チェッカにより、受信したデータを確認
 - 外部の場合にはリタイムド・ループバック・モードを使用(受信したデータを出力)
- エラー検出方法
 - SATA、USB3.0: 外部エラー・ディテクタ
 - HDMI: 視覚で確認(モニタ)
 - DisplayPort: 内蔵BERT

CDRジッタ伝達関数: どこまでジッタを通すか



トランスミッタ／レシーバ間ループバック・パス



ループバック・モード

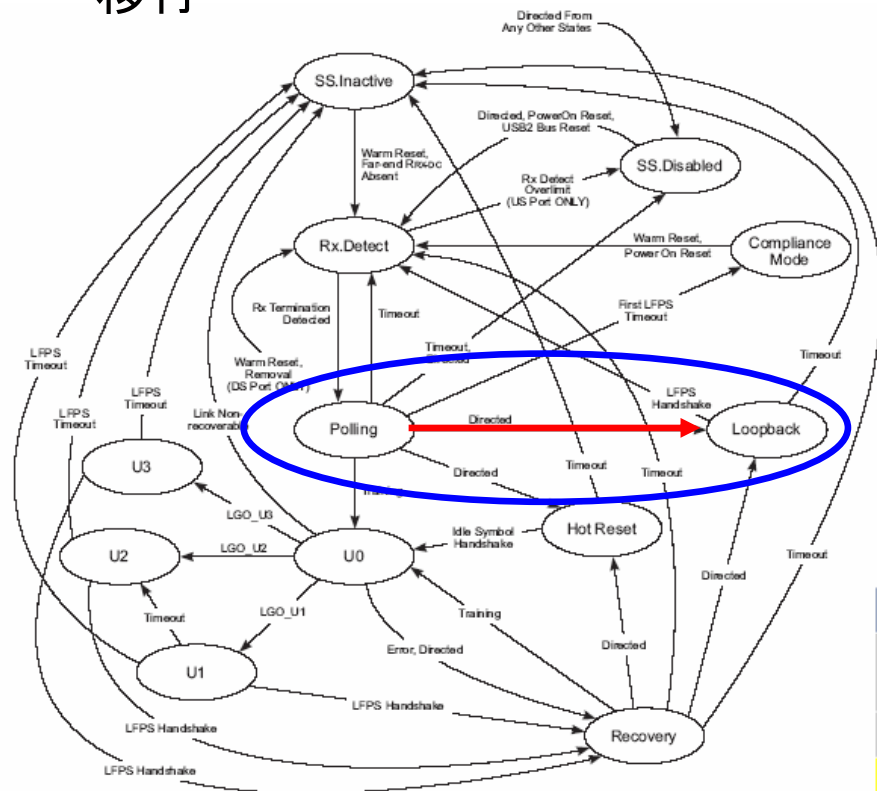
- リンク・アップ時にリンク・コンフィギュレーション・フィールドのループバック・ビットをセットしたTS1/2オーダード・セットをレシーバへ入力することでループバック・モードへ移行

TS1オーダード・セット

シンボル番号	シンボル名	値
0-3	K28.5	COM (Comma)
4	D0.0	将来のために予約
5	下記参照	リンク機能
6-15	D10.2	TS1識別子

TS2オーダード・セット

シンボル番号	シンボル名	値
0-3	K28.5	COM (Comma)
4	D0.0	将来のために予約
5	下記参照	リンク機能
6-15	D5.2	TS2識別子



Note: Transition conditions are illustrative only. Not all of the transition conditions are listed.

U-04

Figure 7-13. State Diagram of the Link Training and Status State Machine

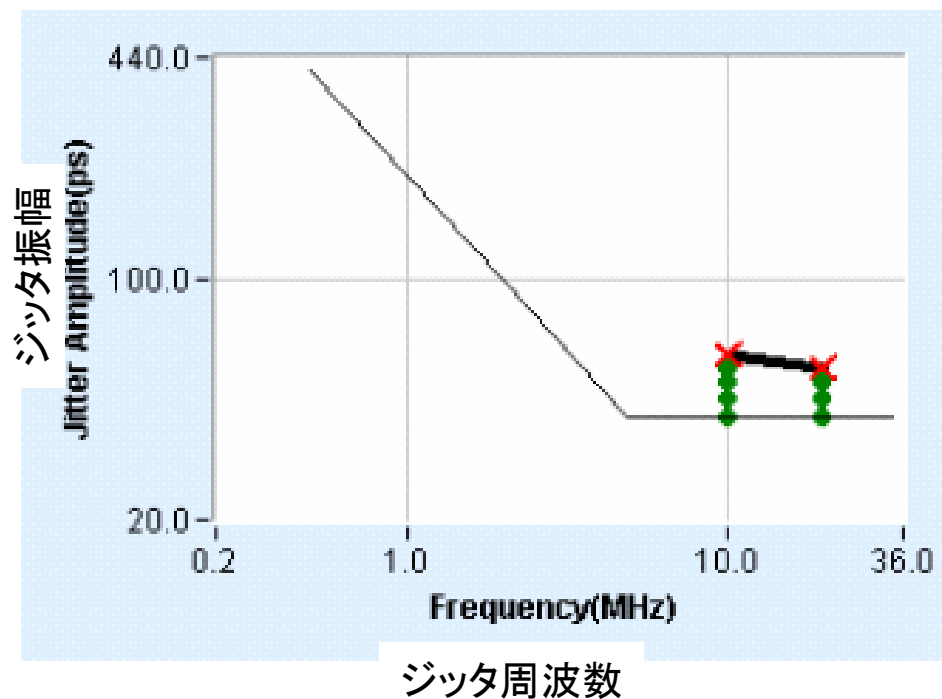
引用: Universal Serial Bus Specification 3.0, Rev. 1.0, Nov. 12, 2008

リンク・コンフィギュレーション・フィールド

ビット	TS1/TS2シンボル5	内容
0	0=ノーマル・トレーニング 1=リセット	COM (Comma)
1	0にセット	将来のために予約
2	0=ループバック・アサート解除 1=ループバック・アサート・セット	セットされると、レシーバはデジタル(リタイムド)・ループバック・モードに入ります。
3	0=スクランブル無効アサート解除 1=スクランブル無効アサート・セット	セットされると、レシーバはスクランブラを無効にします。
4-7	0にセット	将来のために予約

レシーバ・テスト: ジッタ・マージン

- ・ ジッタ周波数、振幅を細かく変えて、どの程度までならば正しくデータを受けられるかテスト
 - コンプライアンスではないが製品品質保証の観点で、社内で評価しておく必要がある



トランスミッタ測定:まとめ

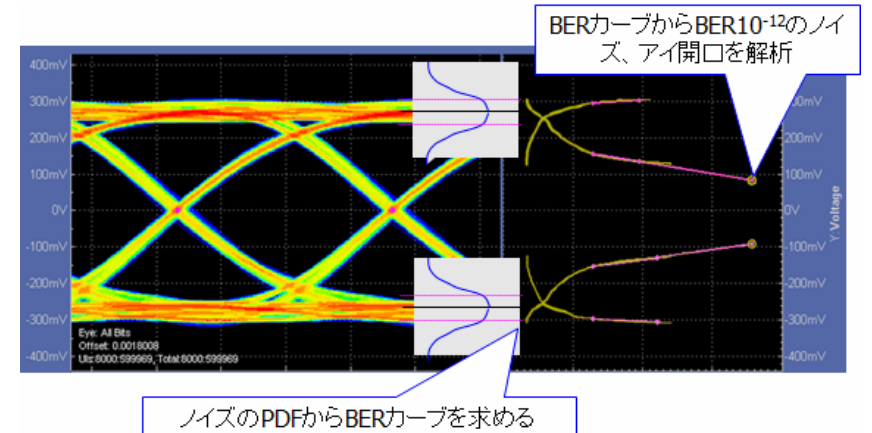
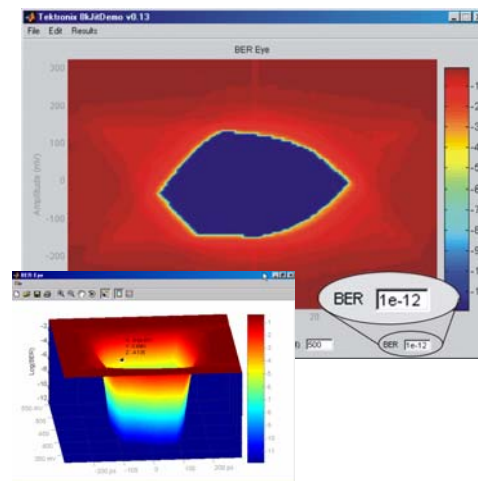
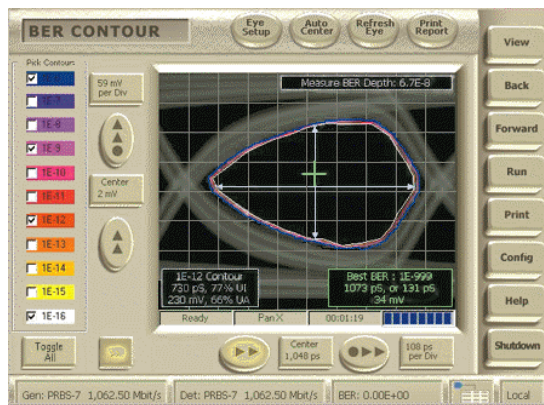
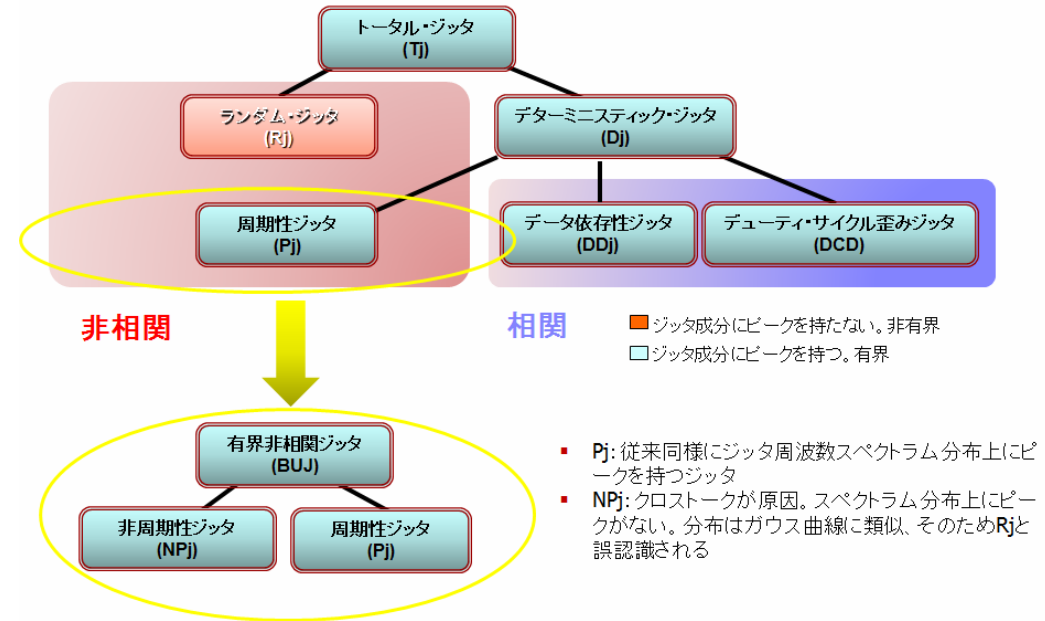
- アイ・ダイアグラムとジッタの評価が基本
- アイ・ダイアグラムでは定量的な測定のみならず、許容度の限界を規定した多角形のマスクを同時に表示した方が評価が簡単
 - 規格で測定点ごとに用意
- 測定点の規格に基づいて測定
- 規定の信号(パターン)で測定
- 使用するオシロスコープの周波数帯域は一般的には5次高調波までの捕捉が目安
 - 規格で規定している場合もある
 - 高速化に伴い、必要とする高調波次数は下がる傾向に
 - 実際は立上り時間を考慮する必要がある
- アイ・ダイアグラムは、リカバリされたクロックを基準に評価する
 - 仕様に基づくクロック・リカバリ・モデルを使用する
 - ソフトウェア・クロック・リカバリの平均クロックでは全ジッタ成分を把握可能
- SSCを使用しているシステムではSSCも評価する
- 今日ではレシーバ・イコライザやチャンネル・エンベッドを適用した測定も必要に

高速シリアル・インタフェースのジッタ測定：まとめ

- 高速シリアル・インタフェースのジッタとは実際の信号エッジと期待されるエッジ位置(リカバリされたクロック)とのずれであるTIE (Time Interval Error)
- ジッタには大きく分けて2種類の性質の異なるジッタあり、それらが合わさっている(畳み込み)
 - Rj(Random Jitter) : 時間経過に従い、広がる
 - Dj(Deterministic Jitter) : 広がりは一一定で時間経過に依存しない
- 今日の高速度シリアル・インタフェースではRj/Djも規定
 - 簡素化されたモデル(Dual-Dirac)による規定で現実のジッタとは異なる
- 今日の高速度シリアル・インタフェースではRjの性質ゆえ、測定時間を既定
 - UI数、BER
- 相互接続性、特定のBERでの通信を保証するためには、トランスミッタだけの測定では不十分で、レシーバ・ジッタ耐性テストも必要

参考：より高速で求められる測定

- クロストークの影響によるジッタの測定
 - BUJ: Bounded Uncorrelated Jitter (有界非相関ジッタ)
 - 周期性ジッタ (Pj)
 - 非周期性ジッタ (NPj)
- ノイズによるBERへの影響を考慮
 - BER等高線 (BER Contour)
 - 垂直BER測定
 - 2D BER



ジッタが過剰な場合の測定方法・対策のヒント

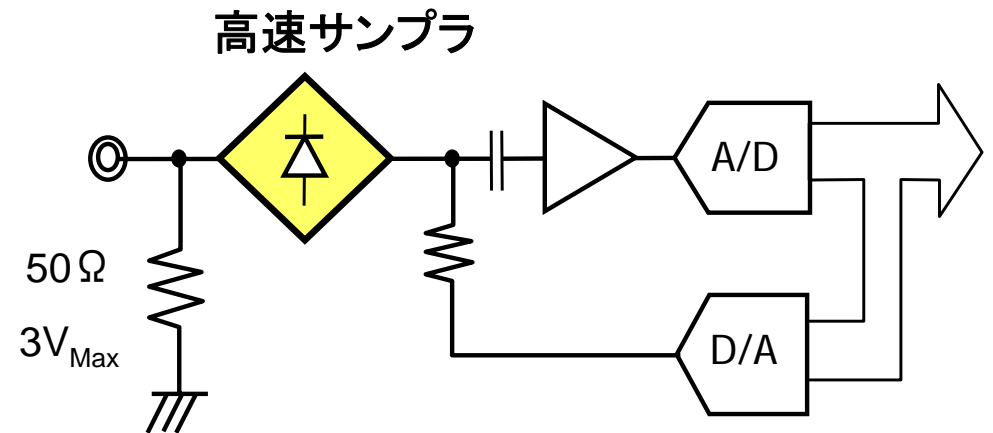
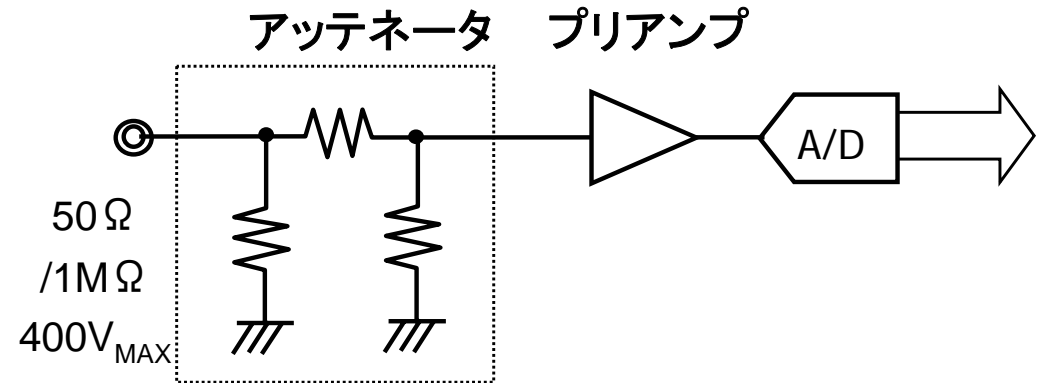
- Rj、DjおよびDjの各成分を分析し、対応法を検討
 - 近似モデル(Dual-Dirac)のRj、Djではない点に注意
- 対策例
 - DDj(ISI)が過剰な場合、カスタム仕様ではプリエンファシス、イコライザを調整する。またイコライザ、リピータを入れる
 - アイ・ダイアグラムにも影響が現れるのでアイ・ダイアグラムからでも予測可能
 - イコライザが過剰に効く場合、かえってジッタが大きくなることもあるので注意
 - 減衰が過剰な場合、アイ・ダイアグラムが開いてもBERが悪化していることがあるので注意
 - Pjが過剰な場合、スペクトラム・プロットでジッタ周波数を確認し、ジッタ・ソースを突きとめる
 - 基板トレース、レイアウトの見直し、フィルタ等で対策
 - 電源の場合、スイッチング・レギュレータの見直し、シリーズ・レギュレータへの変更など
 - Vccを最短距離でレイアウトしたところ、逆にリップルが増大した例も
 - Rjの場合、ヒート・シンカなど冷却を対策
 - ステッピング、ロットによる問題の例も
 - トランスマッタのPLLが正しくプログラムされずにチップが出荷されたケースも。Rjはループ帯域幅に依存して増加

ジッタが過剰な場合の測定方法・対策のヒント(続き)

- 突発的なジッタはタイム・トレンド・プロットで確認
 - Vcc波形を一緒に取込み、タイム・トレンドを表示し、電源変動とジッタとの相関関係を確認可能
 - DPOJET(Ver.3.0以降)では、最大値・最小値に対するサーチをサポート
- リファレンス・クロックのジッタを確認
 - リファレンス・クロックがデバイスの要求仕様以外のジッタ特性のオシレータを使用していないか確認
 - FPGAでは世代交代の際にオシレータ仕様が変わる場合があります
 - 基板トレース、レイアウトの見直し、フィルタ等で対策
- PCの場合、SSCの周波数変動(Max、Min)のみならず、タイム・トレンド・プロットも確認
 - 突発的な周波数変動が生じていないか？(df/dt)

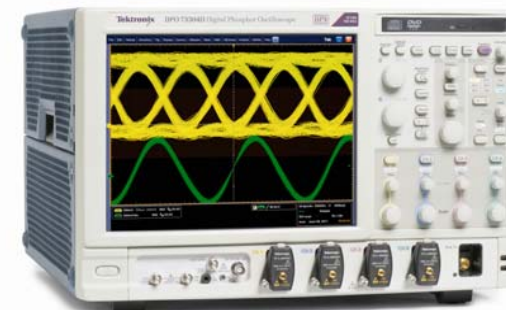
33GHz・20Gbpsを超える帯域、ビット・レート： サンプリング・オシロスコープの利用

- 一般のデジタル・オシロスコープ
 - A-Dコンバータ前にアッテネータ、プリアンプを配置
 - 広い入力電圧レンジ
 - 帯域の制約
 - 広帯域に従ってノイズが増加
- サンプリング・オシロスコープ
 - 入力信号を高速・低アパーチャ・ジッタ・サンプラで直接サンプル
 - 低ノイズ
 - 低速高分解能のA-Dコンバータを使用可能
 - 高確度
 - 等価時間サンプリング
 - 入力回路に帯域制限要因になるアッテネータ、プリアンプ、保護回路なし
 - 耐圧の制約



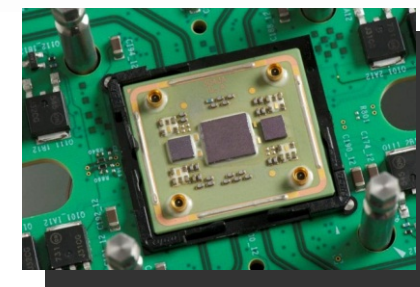
(デジタル・エラー・サンプル・フィードバック方式)

DSA70000Dシリーズ *New!* デジタル・シリアル・アナライザ

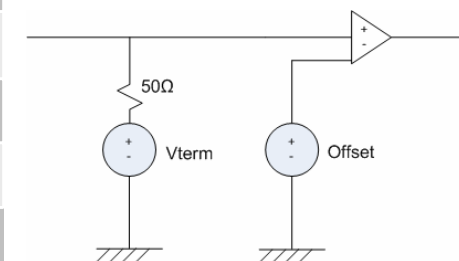


- 「最高の波形特性」と「強力な解析能力」

型名	DSA7334D型	DSA72504D型
最高周波数帯域	33GHz	25GHz
2ch(RT)、4ch(ET、アンダー・サンプリング)		
4ch(RT)	23GHz	
立上り時間(20%-80%)	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大レコード長	250Mポイント@4チャンネル	
垂直軸ノイズ (フルスケールに対するp-p)	0.58%	0.58%
フラットネス	±0.5dB(最高周波数帯域の半分まで)	
ジッタ・ノイズ・フロア(rms)	250fs	
デルタ時間測定確度(rms)	347fs	330fs
垂直軸感度	6.25mV/div~120mV/div (62.5mV~1.2Vフルスケール)	
オフセット・レンジ 終端電圧レンジ	+3.4~-3.4V	



IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現



終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

DSA70000Cシリーズ *New!* デジタル・シリアル・アナライザ



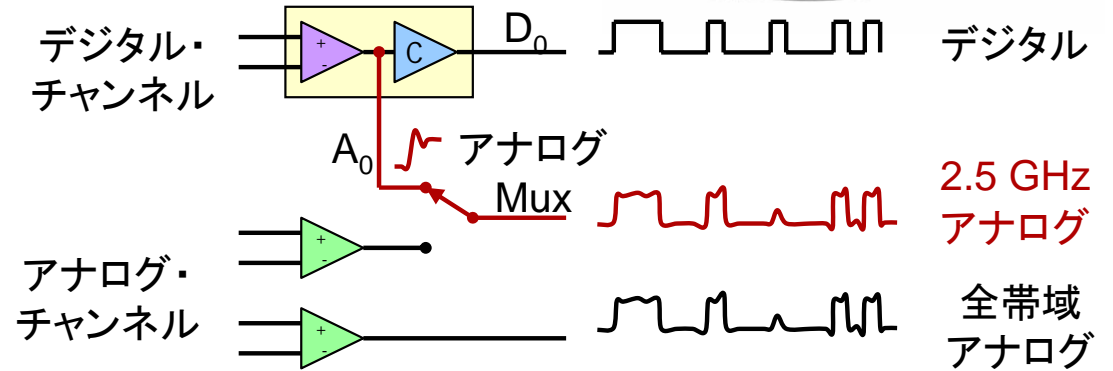
- 「最高の波形特性」と「強力な解析能力」

型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ(フルスケールに対するp-p)	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB(最高周波数帯域の半分まで)					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能(標準)	<ul style="list-style-type: none"> サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ/アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード&サーチ 					
主な機能(オプション)	<ul style="list-style-type: none"> フレーム&ビット・エラー・ディテクタ ビジュアル・トリガ I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 周波数帯域のアップグレード 					
その他	<ul style="list-style-type: none"> 毎秒30万波形取込みレート DSP特性補正、DSP帯域拡張(DSA72004C型) 周波数帯域選択機能、ArbFilter機能 					

MSO70000Cシリーズ – 業界唯一 高性能ミックスド・シグナル・オシロスコープ



- 業界唯一 : MSO唯一のiCapture
 - 1回のプローブ接続でアナログとデジタルの信号の取込み
- 任意のデジタル・チャンネルとアナログ・チャンネルをすばやく切り替え
 - 同時に観測可能
- 汎用1GHzパッシブ・プローブと2.5GHzアクティブ差動プローブを用意

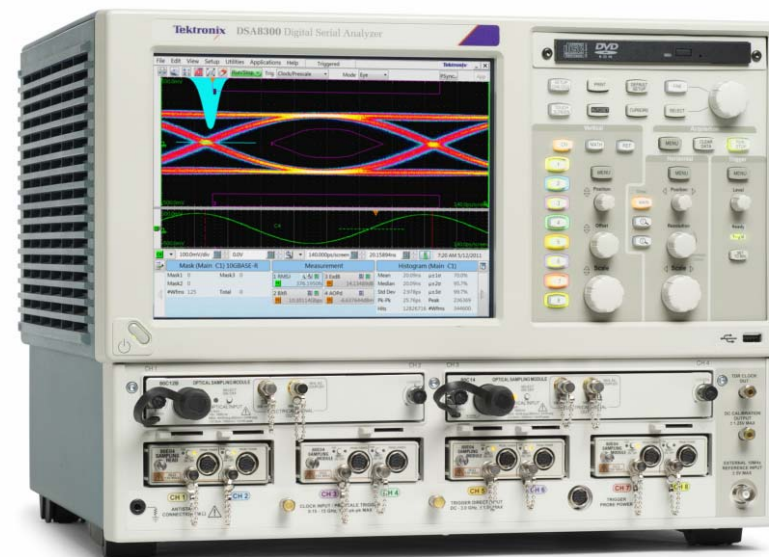


iCapture概念図

型名	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
アナログ・チャンネル				4		
デジタル・チャンネル				16		
サンプル・レート(アナログ)	50GS/s@4チャンネル、100GS/s@2チャンネル			25 GS/s@4チャンネル		
サンプル・レート(デジタル)	12.5 GS/s					
レコード長 (全チャンネル)	250 M ポイント			125 M ポイント		
バス・トリガ/デコード(オプション)	パラレル、8B/10B、I ² C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ					
iCapture®				○		
ロジック・クオリファイ・トリガ				○		
DSAパッケージ・オプション	DSAU			DSAH		

DSA8300型 *New!* デジタル・シリアル・アナライザ

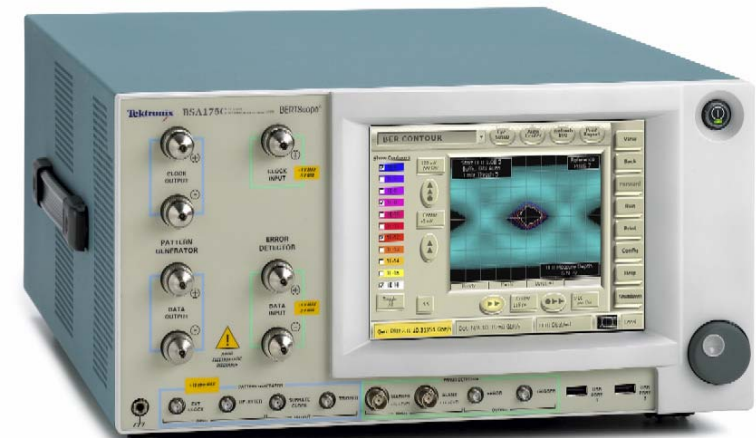
- 最高70GHz+ 周波数帯域
- 最高65GHz 光周波数帯域
- モジュール構造
 - 電気: 5種類、TDR3種類
 - 光 : 9種類
- 16ビット垂直分解能: 20 μ V / LSB (1V フルレンジ)
- 最大8ch 同時アキュジション
- ショート・ターム・トリガ・ジッタ
 - 標準: 425fs、80A04型: 200fs (RMS、代表値)
- トリガ帯域
 - クロック入力150MHz~15GHz(保証値)
 - プリスケール入力: 150MHz~20GHz(代表値)
- コミュニケーション・マスク・テスト
- データ依存性障害解析に適したフレーム・スキャン機能
- 内蔵パターン・シンク機能(オプションADVTR)
- オプション
 - ジッタ、ノイズ、BER評価
 - Sパラメータ、モデリング、アイ・ダイアグラム、シミュレーション



BSA Cシリーズ ビット・エラー・レート・アナライザ

BSA CPGシリーズ パターン・ジェネレータ

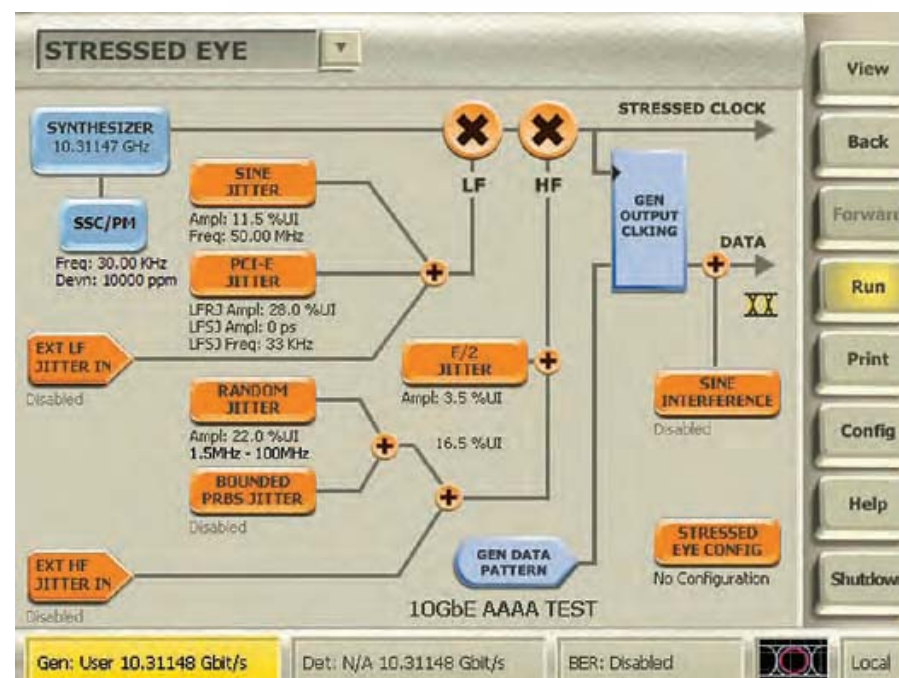
- 最高26Gbpsのパターン生成、高速BER／ジッタ測定、エラー解析が可能
 - 8.5Gbps、12.5Gbps、17.5Gbps、26Gbpsにパターン・ジェネレータ4機種、ビット・エラー・レート・アナライザ4機種
- ストレス生成機能※
- BERTScopeツールキット
 - 標準テスト・スイート
 - アイ・ダイアグラム、マスク・テスト:オシロスコープ・ライクなアイ・ダイアグラム解析
 - ジッタ・トレランス・コンプライアンス・テンプレート・テストとマージン・テスト※
 - 物理レイヤ・テスト・ソフトウェア・スイート※
 - ジッタ・ピーク、BER輪郭、Qファクタ解析
 - ジッタ分離(ジッタ・マップ) ※
- 当社特許のError Location Analysis機能
 - エラー／データ相関など
- その他※
 - ストレス・ライブ・データ
 - エラー訂正符号化エミュレーション
 - シンボル・フィルタリング



ハードウェア・ベースのジッタ信号生成

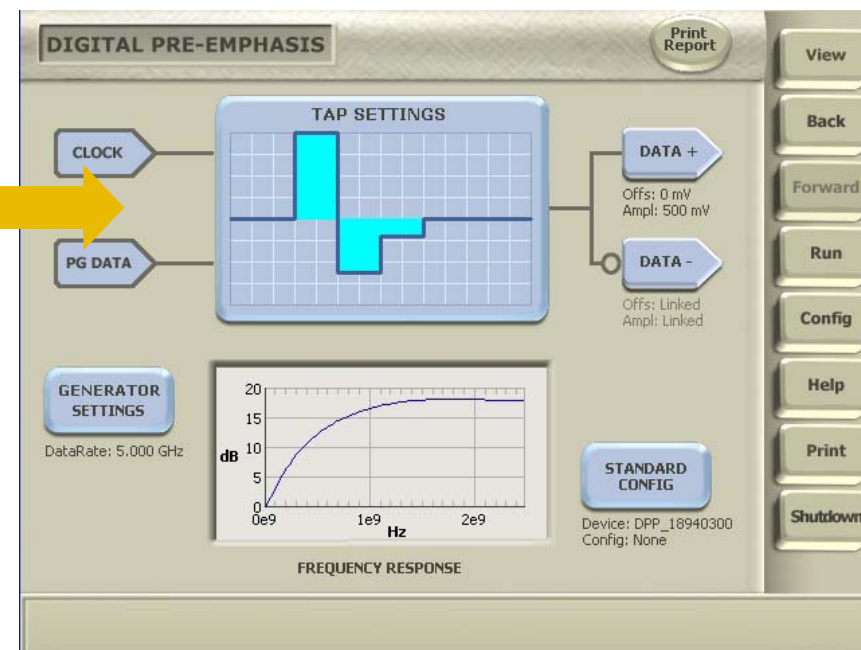
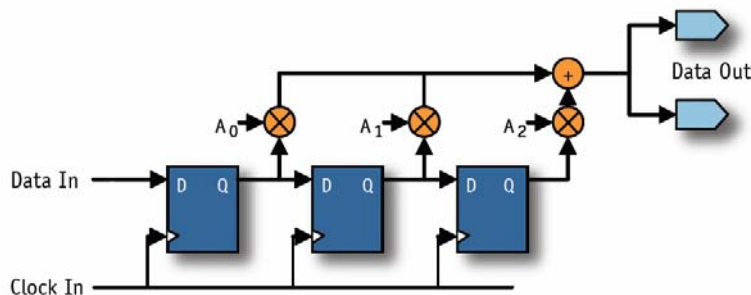
BSA C/CPGシリーズ (opt.STR)

- リアルタイムでのジッタ生成と可変
- ジッタ要素
 - 周期性ジッタ
 - F/2ジッタ (opt.F2)
 - 有界非相関ジッタ (BUJ)
 - ランダム・ジッタ
 - PCI Express Rev.2.0 Rx測定 (オプション)
 - 低周波ランダム・ジッタ
 - 低周波周期性ジッタ
- スペクトラム拡散クロック (SSC)
- 単体でBER、レシーバ・ジッタ耐性／マージン・テストが可能 (BSA Cシリーズ)
- ライブ・データへのジッタ印加機能 (opt.SLD)



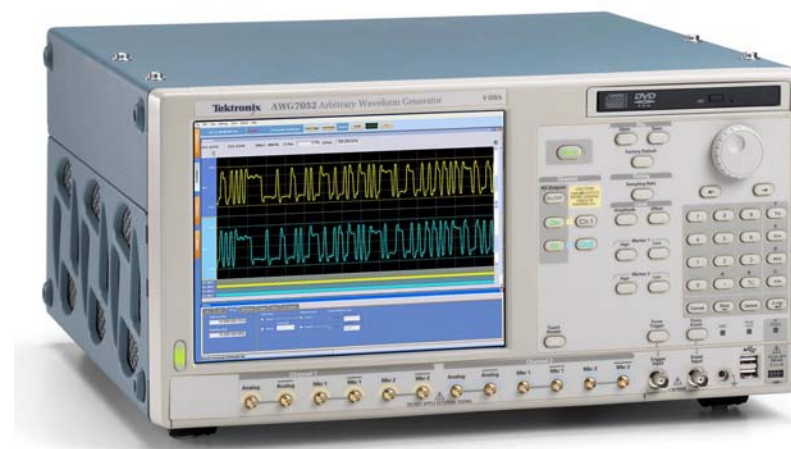
DPP125B型 デジタル・プリエンファシス・ユニット

- 標準:3タップ、オプション:4タップ
 - 任意の3ビット、4ビットに対し、ディエンファシス、プリシュートを設定可能
 - 周波数領域での特性確認可能
- 12.5Gbpsまで
- BERTScope、あるいはスタンドアロンで他のパターン・ジェネレータと併用可能



AWG7122C型 任意波形ジェネレータ

- 任意のジッタ、プリアンファシス、ノイズを印加してのシリアル・データが発生可能
- 直接にジッタを生成し合成(ダイレクト・シンセシス)
 - 損失のためのハードウェア・リファレンス・チャンネルが不要
 - 高い再現性
- 最高サンプリング・レート(従来機種1.2倍)
 - 12GS/s@2チャンネル
 - 24GS/s@1チャンネル
- 10ビット垂直分解能
- マーカ出力
 - 2チャンネル／アナログ出力
- メモリ長
 - 標準: 32M @2チャンネル、64M @1チャンネル
 - オプション: 64M @2チャンネル、128M @1チャンネル

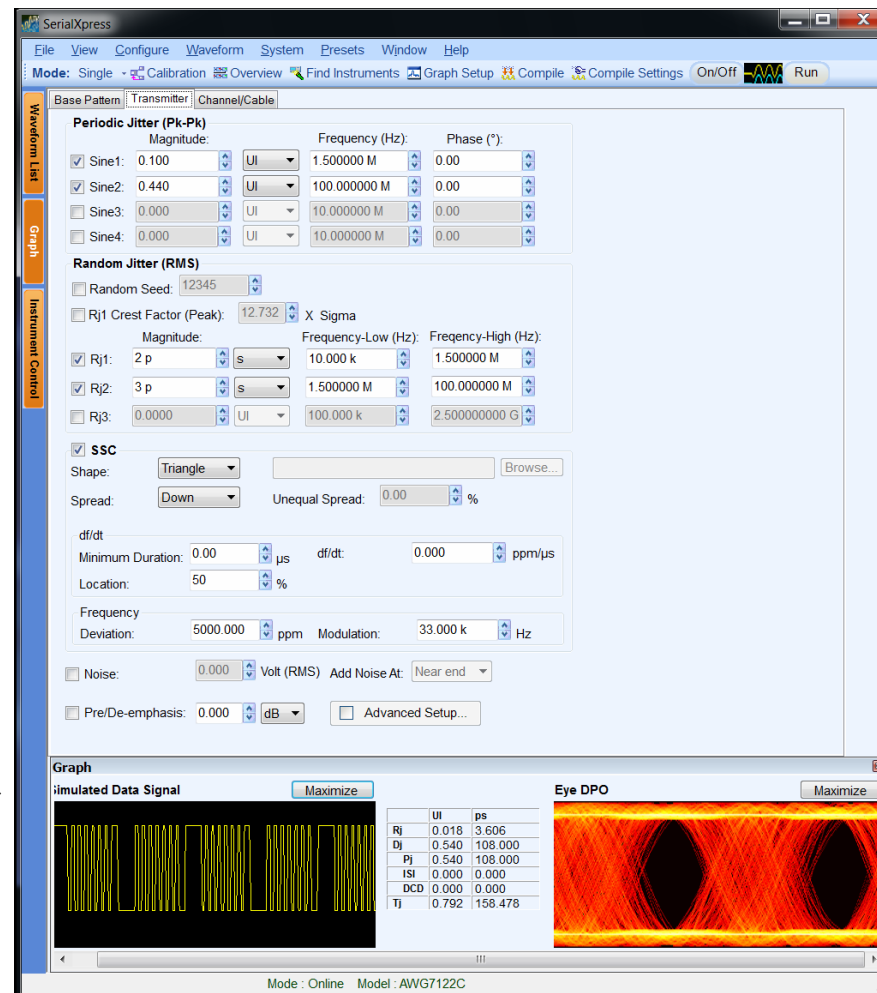


- 応用例
 - レシーバ・ジッタ・トレランス・テスト
 - SSC df/dtストレス・テストを実現
 - PLLループ帯域幅
 - チャンネル・エミュレーション

SDX100

SerialXpress™ジッタ生成ソフトウェア

- AWGシリーズ任意波形ジェネレータで任意のジッタ、プリアンファシス、ノイズを印加してのシリアル・データが直接に発生可能に(ダイレクト・シンセシス)
- レシーバ・ジッタ耐性／マージン・テスト、SSC df/dtストレス・テストを実現
- ジッタ要素
 - 周期性ジッタ(正弦波4ソース)
 - ランダム・ジッタ(3ソース)
 - シンボル間干渉 (ISI)
 - デューティ・サイクル・ディストーション (DCD)
- スペクトラム拡散クロック (SSC) 要素 (オプション)
 - プロファイル、拡散方式、周波数偏移、拡散周波数、df/dt、ノイズ
- S-パラメータ・フィルタによるチャンネル・エミュレーション (オプション)
 - TouchStone形式ファイルをインポートして、基板、ケーブル、クロストークをシミュレーション可能
 - シンボル間干渉 (ISI)などを生成のための外付けハードウェアが不要



ジッタ・ストレス信号生成: 2つのソリューション

AWGシリーズ任意波形ジェネレータ

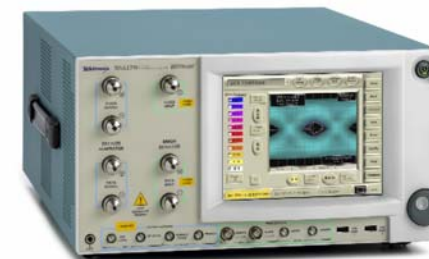
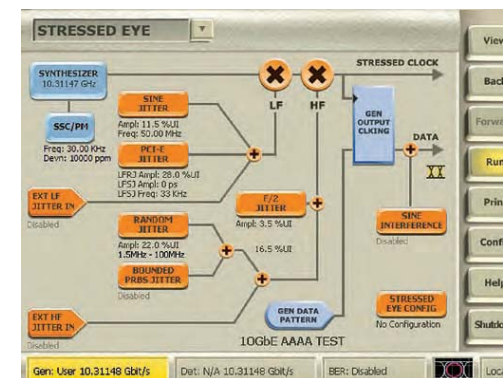
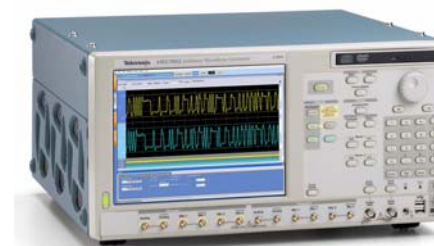
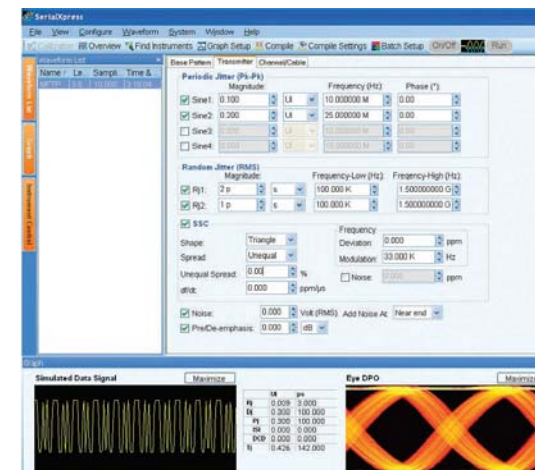
SDX100 SerialXpress™ SerialXpressジッタ生成ソフトウェア

- ソフトウェア・ベースのジッタ信号生成
- 6Gbpsまで

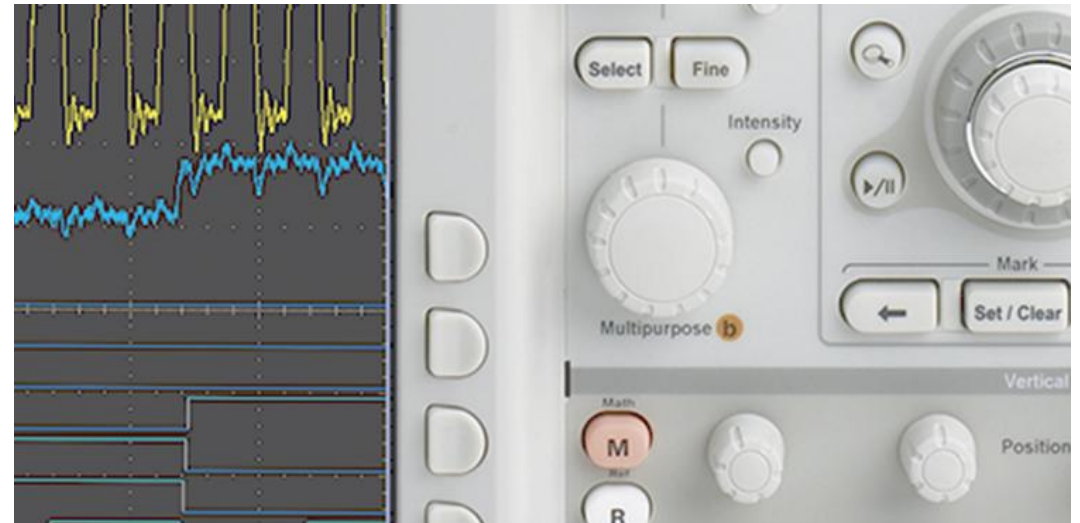
BERTScope Cシリーズ

BERTScope CPGシリーズ

- ハードウェア・ベースのジッタ信号生成 (opt.STR)
- チャンネル・エミュレーション、プリエンファシス: 外付けハードウェア、ケーブル・エミュレータが必要
- エラー・ディテクタ内蔵タイプでは単体でBER、レーンバ・ジッタ耐性/マージン・テストが可能 (BERTScope Cシリーズ)
- 26Gbpsまで



ありがとうございました。



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>