

## 今日の設計者の必須スキル。 高速シリアル・インタフェースの基礎知識と測定 その1



テクトロニクス・イノベーション・フォーラム2012

営業技術統括部 畑山 仁

[www.tektronix.com/ja](http://www.tektronix.com/ja)

# 講師紹介

畑山 仁: テクトロニクス社 営業技術統括部 シニア・テクニカル・エキスパート

- 担当分野: 高速デジタル、高速シリアル・インタフェース(特にPCI Express、USB3.0)
- セミナ講師: 当社の高速シリアル・インタフェース、PCI Express、USB3.0セミナをはじめ、FPGA代理店との協調セミナなど
- 主な執筆・編著(書籍は共著)
  - CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計, 機能実装まで」、2010年4月
    - <http://shop.cqpub.co.jp/hanbai/books/46/46411.html>
  - 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」、2011年11月: **USB3.0のみならず高速シリアル・インタフェースの知識、特にジッタ測定**の補足にぜひご利用ください。
    - <http://shop.cqpub.co.jp/hanbai/books/46/46421.html>
  - マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」連載中: 本セミナ、特にトランシーバ基盤技術についての補足にぜひご利用ください。
    - <http://journal.mycom.co.jp/series/serialif/001/index.html>



 facebook <http://facebook.com/hitoshih330>

# 内容

## 第1部

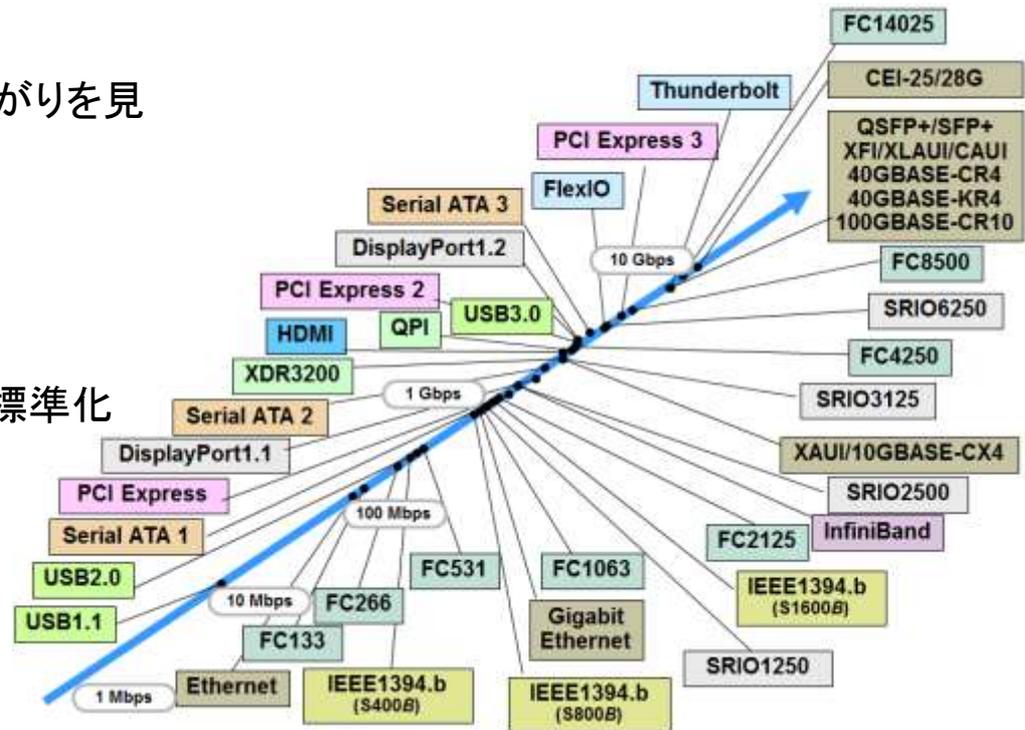
- 高速シリアル・インタフェースの動向
- 高速シリアル・インタフェース回路の基盤技術
- 高速シリアル・インタフェースの物理層測定の基礎知識(第1世代)
- テクトロニクスソリューション

## 第2部

- 高速シリアル・インタフェース物理層の技術と測定
  - 第2世代
  - 第3、4世代
- テクトロニクスソリューション

# 高速シリアル・インタフェースの台頭(電気)

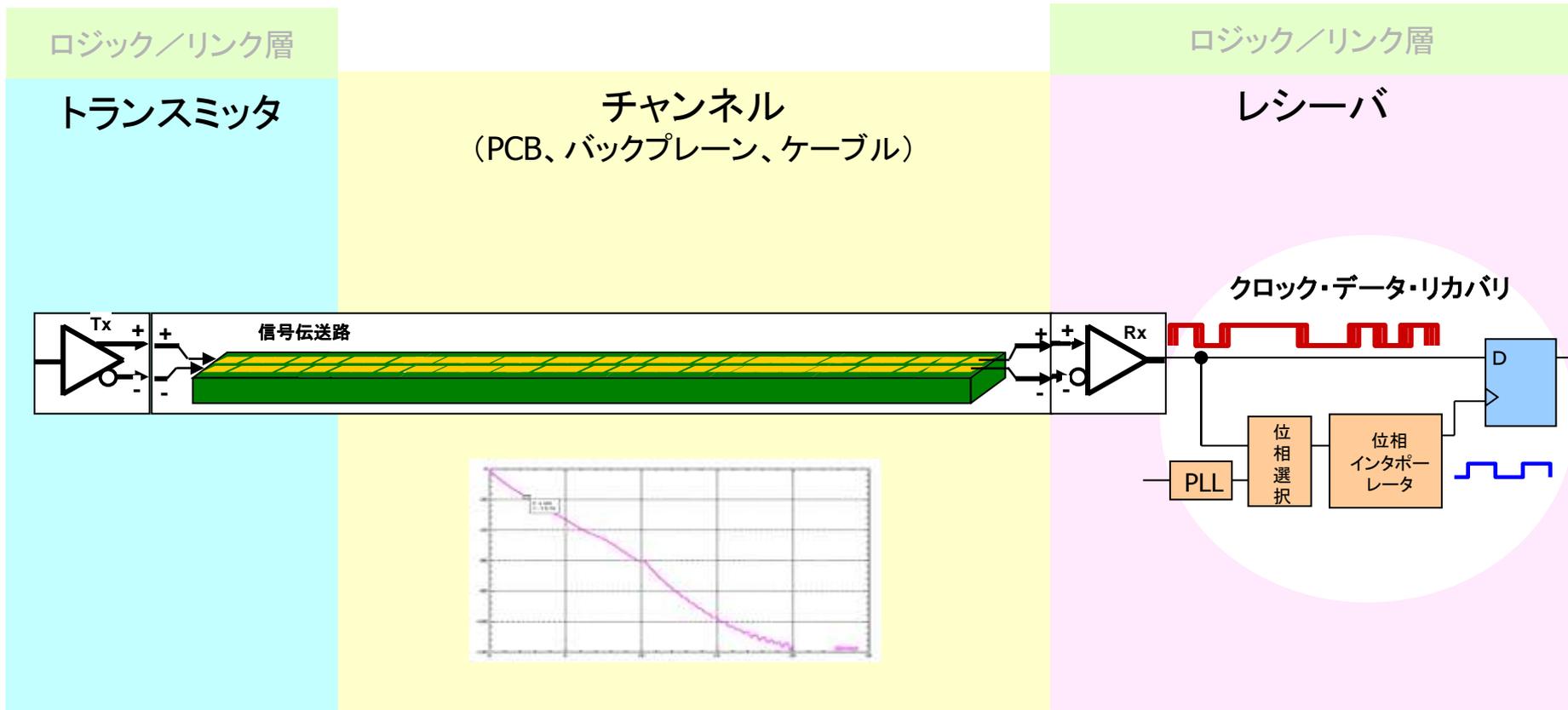
- 既存のシリアル・バスの高速化
  - USB、FibreChannel、Ethernet...
- 従来パラレル伝送方式だった装置内部のバスのシリアル化
  - PCI Express、SATA、SRIO...
- 世代を重ねるごとに高速化
  - 第1世代: 1.5Gbps~2.5Gbps
  - 第2世代: 3Gbps~5Gbps
  - 第3世代: 6Gbps~8Gbps
- 10Gbpsを超える規格が急速に立ち上がりを見せている
  - Thunderbolt、SFP+...
  - 第4世代: 12Gbps~16Gbps
- さらに25G/28Gbpsへ
  - CEI-25/28
- 規格団体によるテスト方法も含めての標準化
- モバイル機器、フラッシュ・ストレージも
  - SD、UFS、MIPI
- 物理層の統合が進む？
  - Thunderbolt
  - SATA Express
  - MHL



# 高速シリアル・インタフェースの主な話題

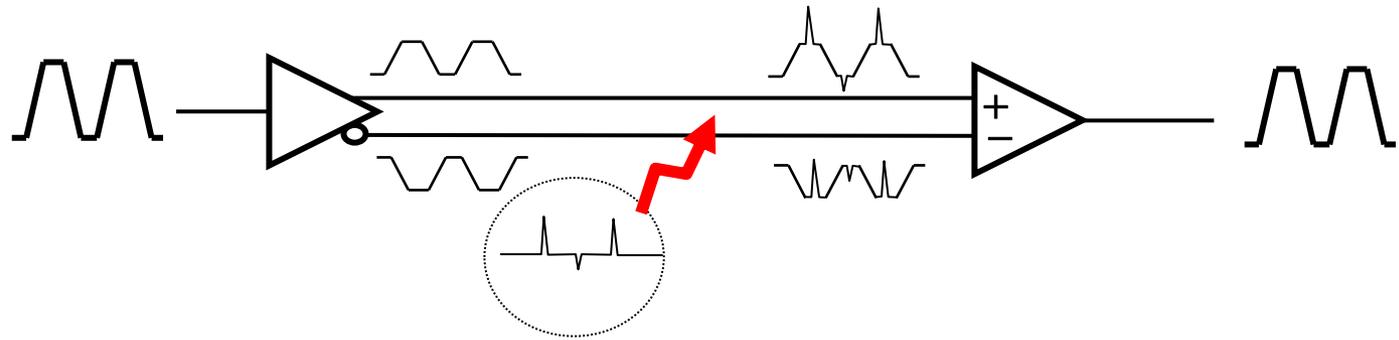
- PCI Express
  - Rev.4.0のデータ・レートが現状8Gbpsの2倍の16Gbpsに決定
  - 最新第3世代インテルCoreプロセッサ (Ivy Bridge)によりRev.3.0時代到来
  - PCI Expressの各種特徴を活かし、高速化するSSDのインタフェースとしてPCI Expressを利用する例が急増
    - SOP-PQI (SCSI over PCIe)、NVMe、SATA Express
- USB3.0
  - インテル社7シリーズ・チップセット (Panther Point)によりPCにUSB3.0標準搭載へ
- Thunderbolt
  - Apple社PCからWindows PCへの搭載も開始
  - AOC (Active Optical Cable)のサンプル出荷開始
- MIPI
  - スマホ、タブレットでHDMI、USB、SDともども標準インタフェースとして普及
- フラット・パネル系
  - LVDSからV-by-One HS、eDPへ移行しつつある

# 高速シリアル・インタフェース物理層の構成要素



- 実際はデュアル・シンプлекс通信(双対単方向伝送)のため、アップストリームとダウンストリームのペアで構成
  - 最高データ・レートで双方向同時通信が可能

# 差動伝送



- 外来ノイズ(コモン・モード・ノイズ)に強い

- 合成成分は2倍に
- 同相成分はキャンセル

- 消費電力の抑制

- 小信号振幅

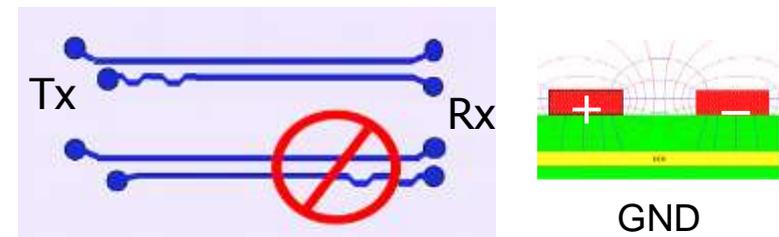
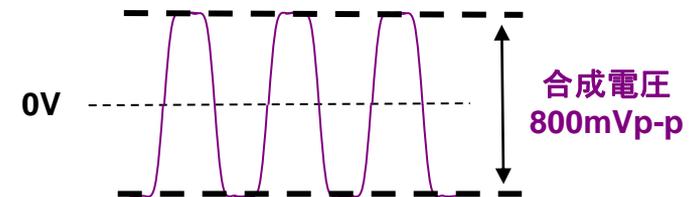
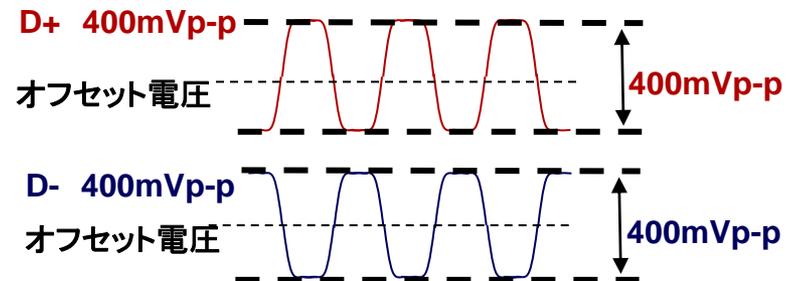
- 同時スイッチング・ノイズが小さい

- EMIを抑制

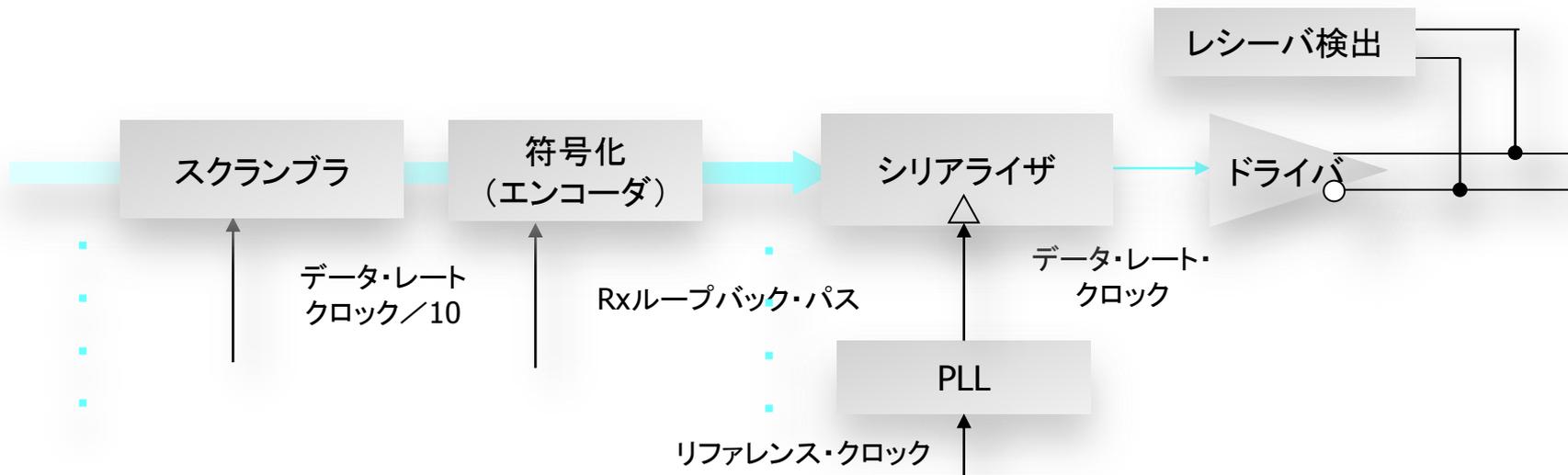
- 注意:送信側にスキューがあると逆に抑制できない

- 主に利用されている差動回路形式

- LVDS (Low Voltage Differential Signaling)
- TMS (Transition Minimized Differential Signaling)
- CML (Current Mode Logic)

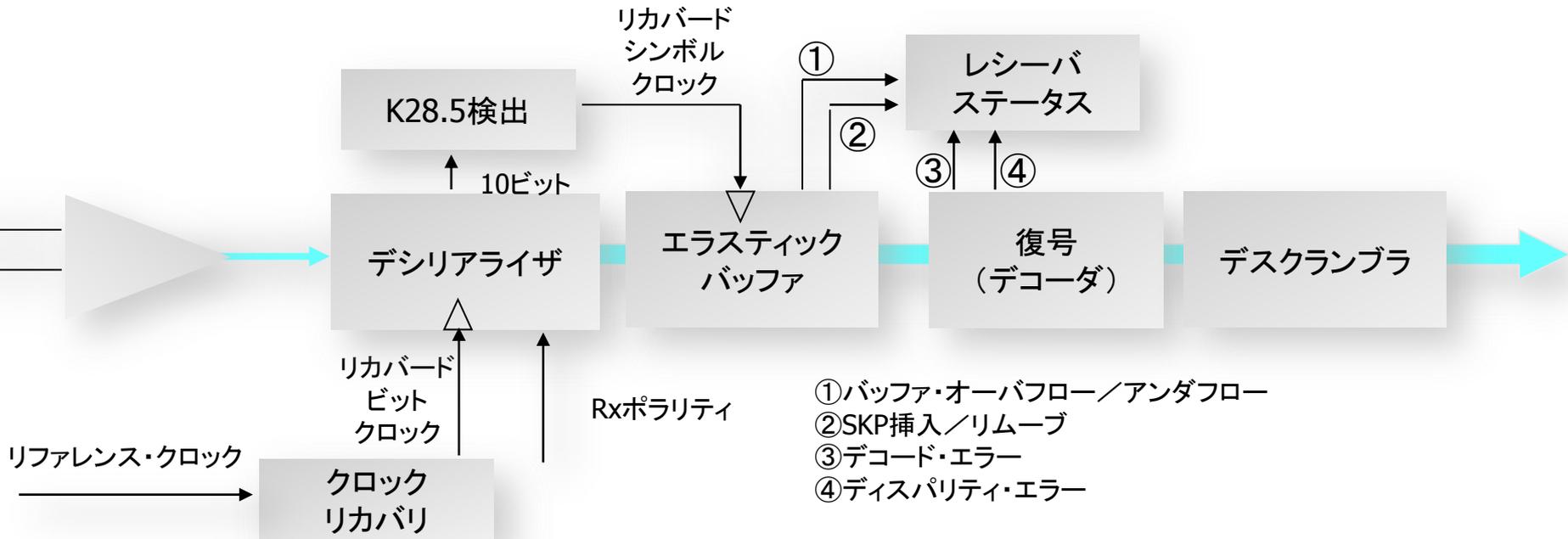


# 一般的なトランスミッタ回路ブロック例



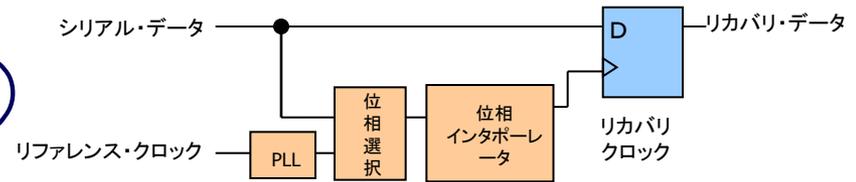
- スクランブラ: 線形フィードバック・シフト・レジスタで生成された乱数を使ってデータを攪拌
  - データ・パターン分散により周波数スペクトラムを拡散し、EMIを低減
  - データ遷移密度の向上 (64B/66B、64B/67B、128B/130B)
- 符号化
  - 8B/10B、64B/66B、64B/67B、128B/130B: データ遷移密度向上 (クロック・リカバリを容易化) + 周波数広がり抑制 (シンボル間干渉低減)、リンク・コントロール、フレーミング、DCバランスの保持
  - TMDs (Transition Minimized Differential Signaling) : EMIを低減すべくデータ遷移密度の抑制、DCバランスの保持
- シリアライザ
  - シリアル転送方式による信号線数の削減
  - パラレル転送でのスキュー問題を解消
    - 送信側ではクロック・タイミングでデータをシリアル化 (クロック埋め込み)
  - ディスプレイ系では周波数分割したクロックを並走するインターフェースも多く見られる  
例: FP-Link、DVI、HDMI

# 一般的なレシーバ回路ブロック例



- **クロック・リカバリ (Clock Recovery)**
  - PLL等でシリアル・データに対して周波数と位相を同期したクロックを生成(リカバリ、復元、再生、回復)
  - リカバリされたクロックでデータをリカバリ
  - 両者を合わせてクロック・データ・リカバリ(CDR)とも呼ぶ
- **エラスティック・バッファ: 送信側と受信側の周波数のずれ(偏差)を特定コードの挿抜により吸収**
  - 送信側で送信データに影響のないようなダミー・キャラクタ(連続した数キャラクタ)を一定間隔で挿入
- **デスクランブラ: 攪拌されたデータを元のデータに変換**

# クロック・データ・リカバリ(CDR)



- シリアル・インタフェースでは、クロック・タイミングでデータを送信し、受信側でPLL等でクロックをリカバリし、リカバリされたクロックでデータをリカバリする。そのためジッタの影響を大きく受ける
- ジッタの影響はクロック・データ・リカバリ回路のPLL特性に依存

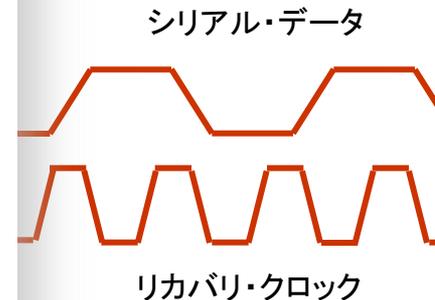
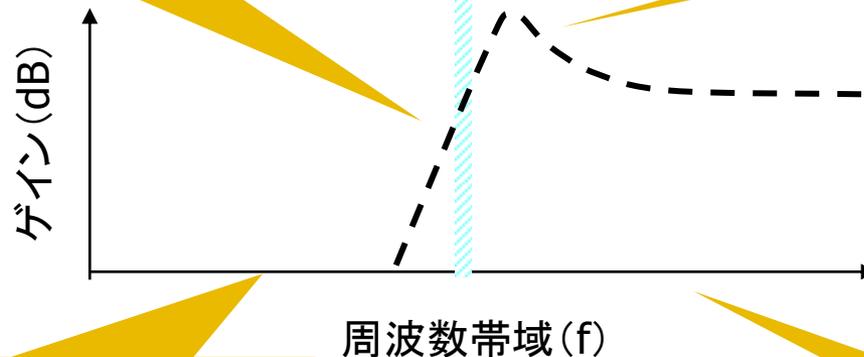
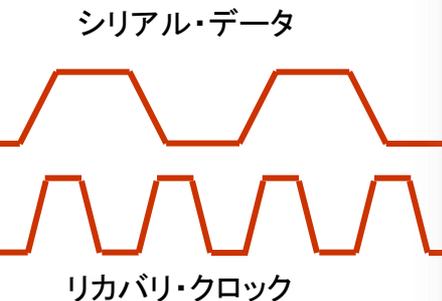
## ジッタ伝達関数: どこまでジッタを通すか

過渡領域でのジッタの吸収度合いは  
ジッタ周波数と振幅に依存

過渡特性

- 1次PLL 20dB/dec
- 2次PLL 40dB/dec

ピーキングがあると  
逆にジッタが増加



カットオフ周波数以下のジッタ成分は吸収:  
ジッタに追従

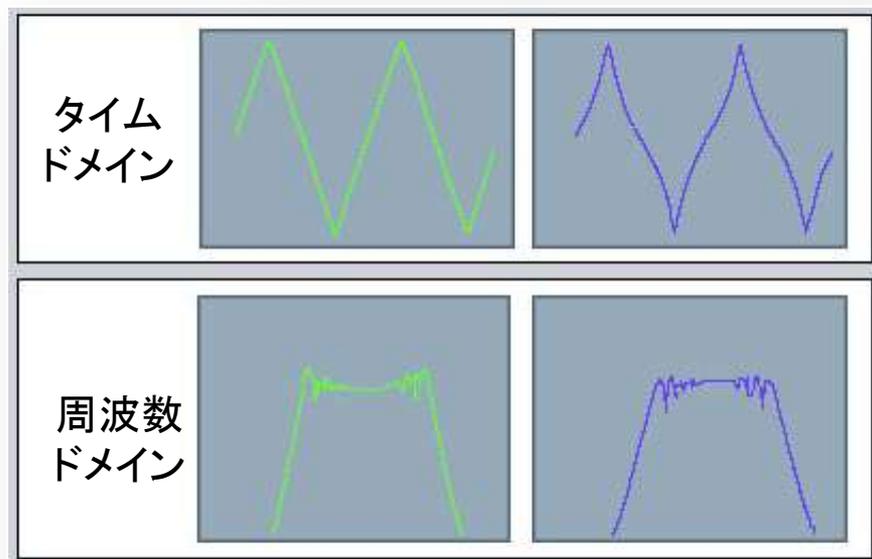
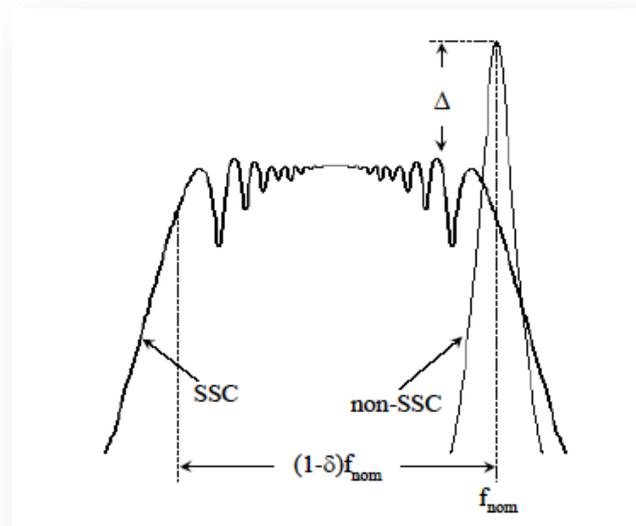
- リファレンス・クロック、送信のPLLも同様

カットオフ周波数以上のジッタ成分は吸収されない:ジッタに追従できない

# SSC (Spread Spectrum Clocking)

## スペクトラム拡散クロック

- EMI低減のために、クロック信号を変調、すなわちジッタを与えることで、周波数分布を拡散し (Spread)、EMIの特定周波数へのエネルギーの集中を下げる
- PCやディスプレイ、薄型テレビ、プリンタなどで使用
- 三角波、あるいはLexmark (“Hershey Kiss”) プロファイル
  - 三角波はサイド・ローブが持ち上がる
  - Lexmarkは平坦で理想的。ただしLexmark社特許のため、ライセンスが必要
- USB3.0、PCI Expressの場合
  - リファレンス・クロック：  
100MHz±300ppm
  - 周期30~33kHzで、0~-0.5%までのダウンスプレッド

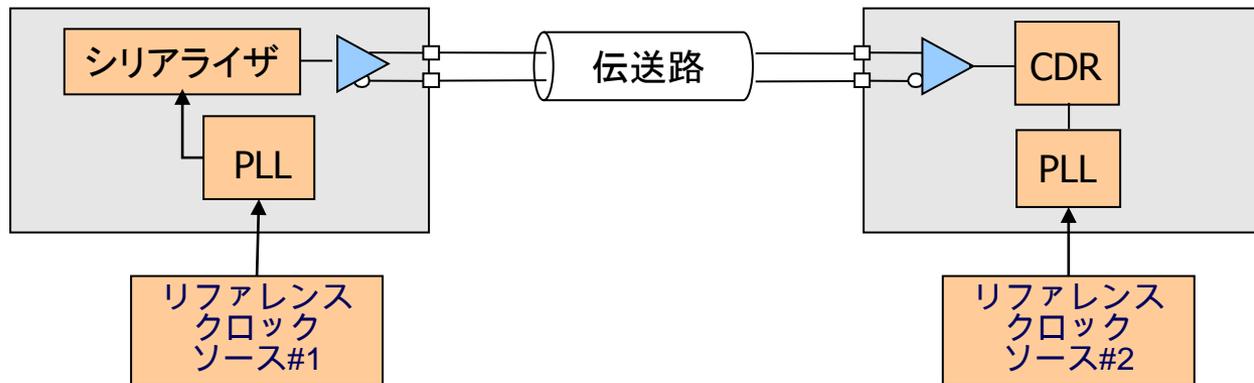


三角波  
プロファイル

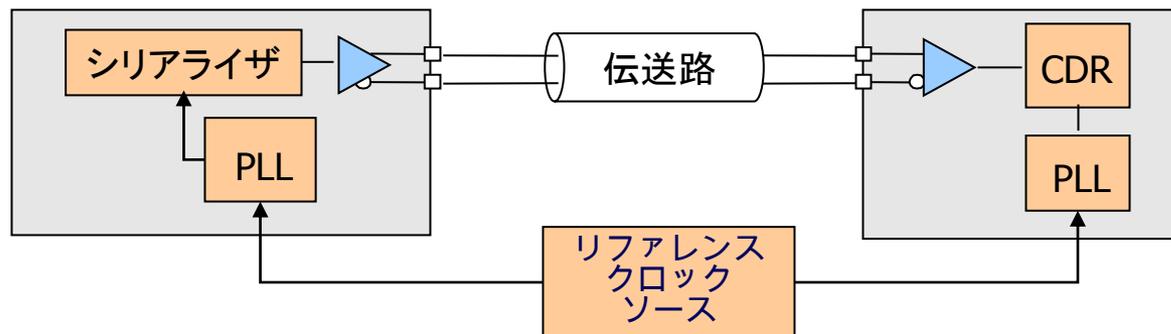
Hershey Kiss  
プロファイル

# リファレンス・クロック・スキーム

- 送信側と受信側に別々のリファレンス・クロック・ソース: USB3.0、SATA
  - 多少の周波数差は許容 (Plesiochronous)
    - 例: USB3.0では+300PPM~ -5,300PPM



- 送信側と受信側で共通のリファレンス・クロック・ソースを使用: PCI Express
  - 周波数は同期、位相関係は不定 (Mesochronous)
    - 例: PCI Expressでは+300PPM~ -300PPM

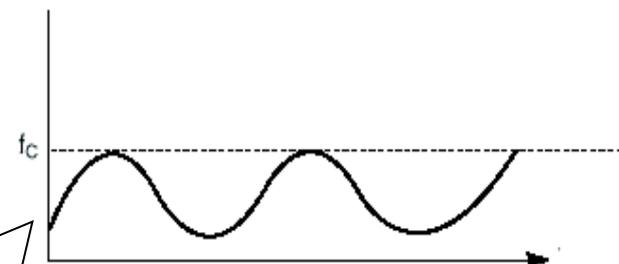


# SSCによるトラブル

- インターオペラビリティ問題の原因の1つに
  - エラスティック・バッファでデータの取りこぼし、データのダブリが発生
  - リンク・アップしない
- 原因
  - インテル社6シリーズ・チップセット (Cougar Point) 登場以前にはセンタ／アッパスペッドのPC、マザーボードが流通
    - 規格はダウンスペッド
    - Cougar PointはSSCGを内蔵
  - 突発的に周波数が飛ぶSSCGも存在

ダウンスペッド

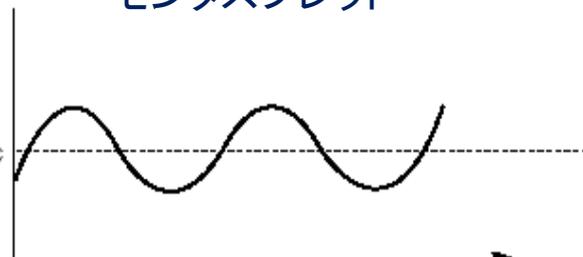
周波数



元のクロック ( $f_c$ ) に対し、周波数が下がるように変調

センタスペッド

周波数

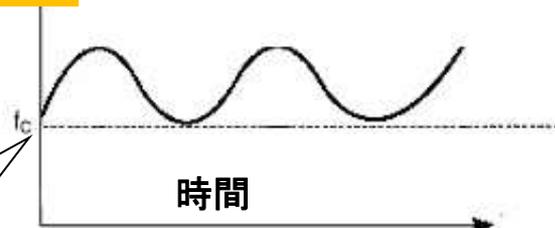


元のクロック ( $f_c$ ) を中心に上下に変調

どちらも周波数がクロック ( $f_c$ ) より高くなるため、回路の時間余裕度を低下させる

アッパスペッド

周波数

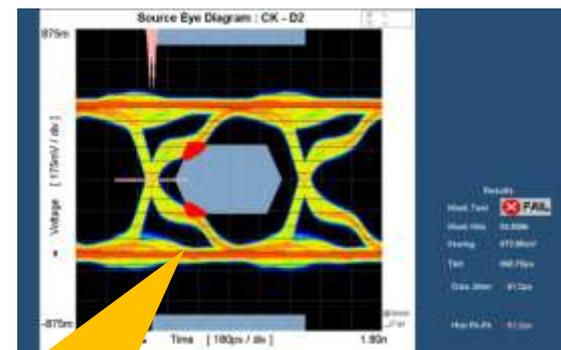
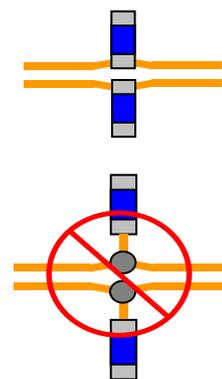
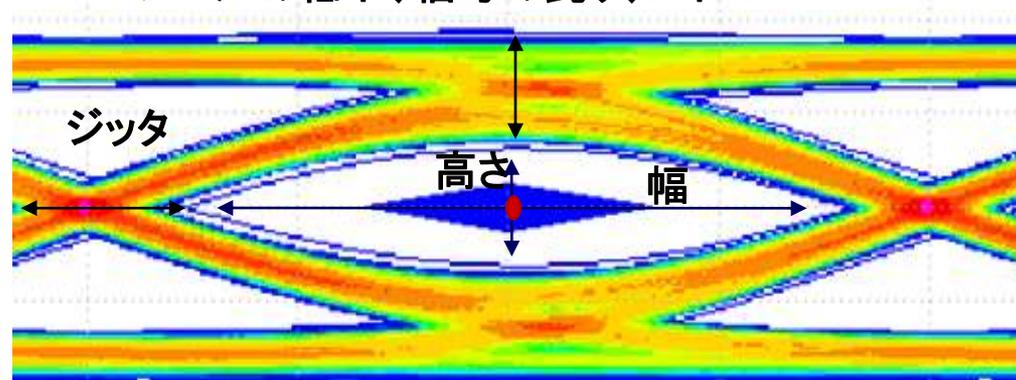


元のクロック ( $f_c$ ) に対し、周波数が上がるように変調

# アイ・ダイアグラム シリアル・インタフェース物理層評価の中核

- 信号の遷移・非遷移を重ね書き
  - 分布状況を色表現する方法も
- 伝送特性を総合的に表現
  - 信号レベル
  - 立上り時間、立下り時間
  - 波形ひずみ
  - ノイズ
  - デューティ・サイクル、UI※
  - ジッタ
- アイの開き方が受信特性に反映
  - 開いていればノイズ、ジッタに対する耐性が増加
  - トップ、ベース部分が太くなったり、遷移部分が広くなると受信特性が悪化

レベルの低下、信号の鈍り、ノイズ



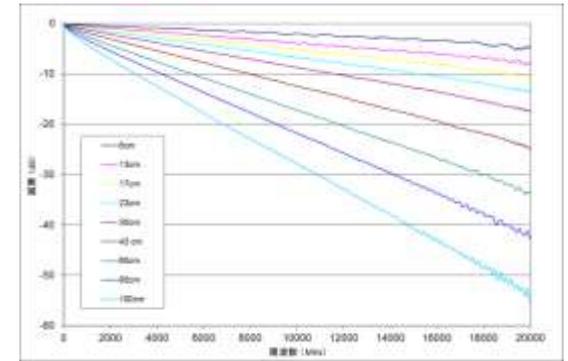
※UI: Unit Interval

⇒ アイの開き方はBER (Bit Error Rate) と相関がある

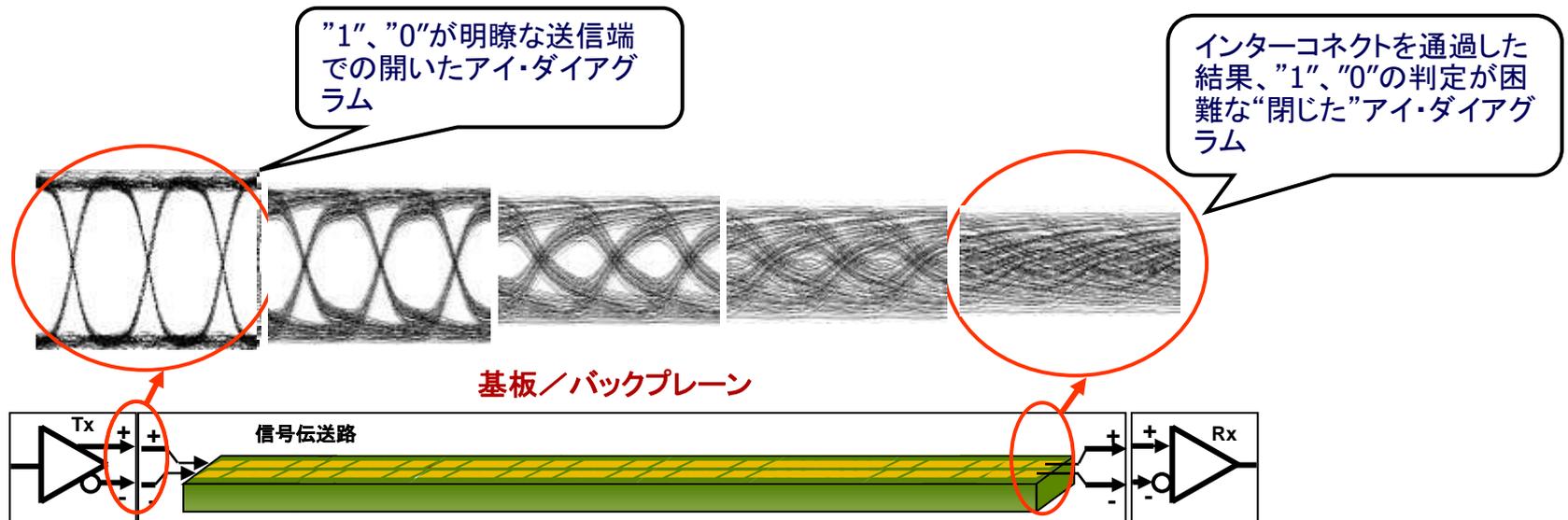
HDMIでESD保護素子を分岐配線した例(疑似的に再現)

# チャンネル: 有損失伝送路の信号伝送

- 高周波損失: 抵抗損(表皮効果) + 誘電損
- 周波数、伝送距離に応じた損失を受ける
- パターンによっても影響の受け方が異なる
  - 振幅、エッジ位置が変わる(ジッタが発生) ⇒ シンボル間干渉 (ISI : Inter-Symbol Interference)

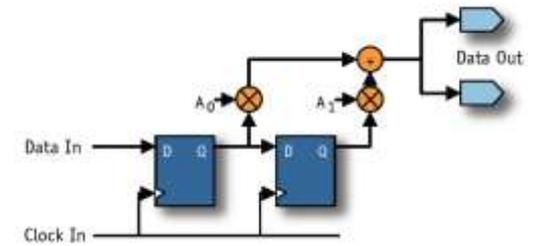


損失例: テクトロニクス BSA12500 ISI 型 ISI テスト基板



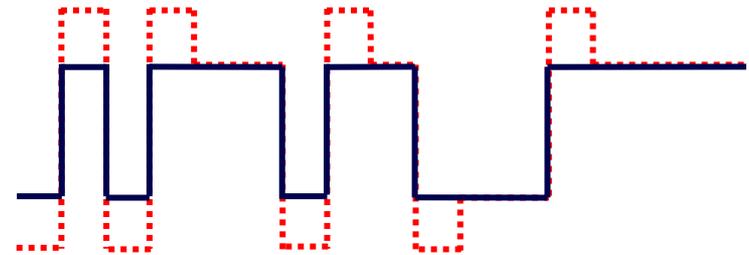
高速シリアル・インタフェースの信号は、基板、バックプレーン、ケーブルの伝送で高周波が損失する

# 高周波損失に対する改善方法 ディエンファシス(プリエンファシス)※



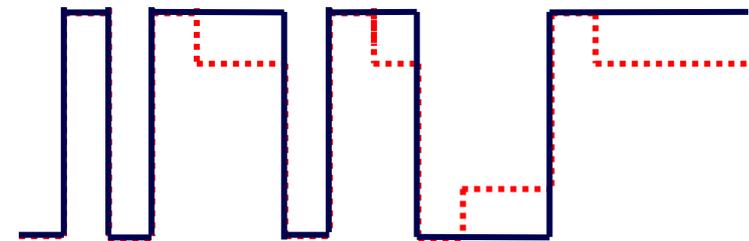
- 相対的に損失の影響を大きく受ける周波数が高い遷移ビットを強調し、受信端に到来した遷移ビットと周波数が低い非遷移ビットとのレベル差をなくすために送信側で施される信号改善方法
  - 遷移ビットの振幅を上げる: プリエンファシス
  - 非遷移ビットの振幅を下げる: ディエンファシス
- 規格でのディエンファシス例
  - PCI Express
    - 2.5Gbps:  $3.5\text{dB} \pm 0.5\text{dB}$  (2/3に振幅を下げる)
    - 5Gbps:  $3.5\text{dB} \pm 0.5\text{dB}$ 、 $6\text{dB} \pm 0.5\text{dB}$  (1/2に振幅を下げる)
  - USB3.0
    - 5Gbps:  $3.5\text{dB} \pm 0.5\text{dB}$
- 理想的には伝送路で受ける損失分を予め補正

通常の信号、プリエンファシスを適用した信号



0 1 0 1 1 1 0 1 1 0 0 0 1 1 1 1 1

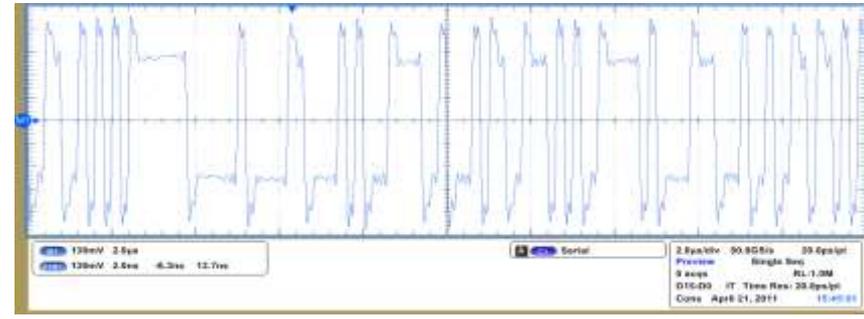
通常の信号、ディエンファシスを適用した信号



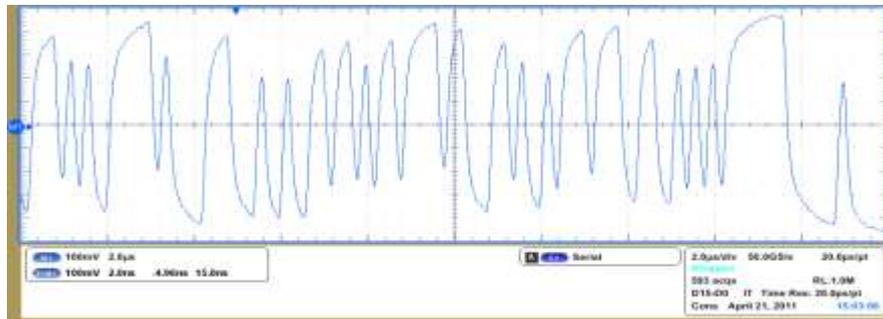
0 1 0 1 1 1 0 1 1 0 0 0 1 1 1 1 1

※通信の世界で送信時に変調前に周波数成分を強調することをプリエンファシス、受信側で復調後に元に戻すことをディエンファシスと言い、実際にFM放送で利用。それとは異なる点に注意

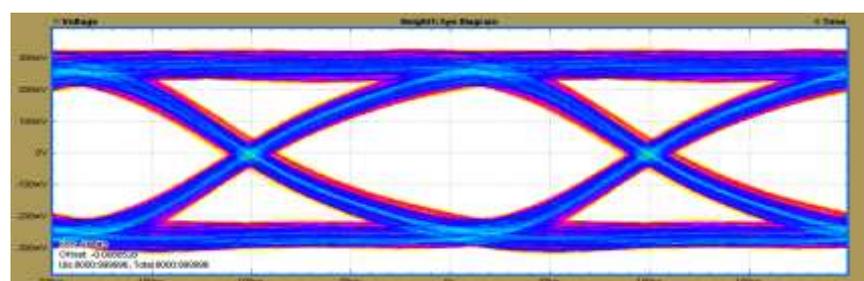
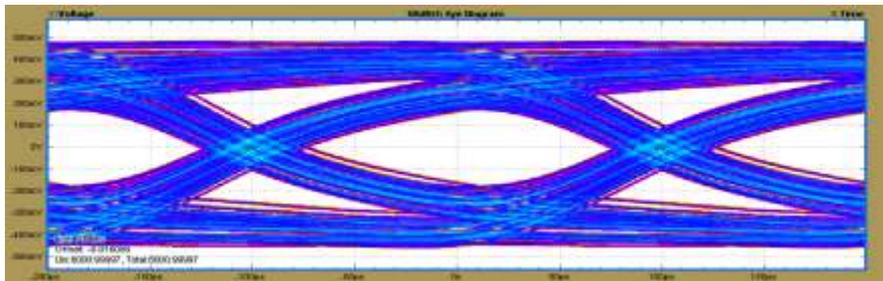
# 伝送路の損失の影響を受けた波形(シンボル間干渉)と ディエンファシスによる改善



上: 基板への入力信号



中: 基板を通過した信号



下: 基板を通過した信号の  
アイ・ダイアグラム

5GbpsPRBS7、テクトロニクスBSA12500ISI型ISIテスト基板トレース長(91cm)

# 様々なジッタ・ソースが存在

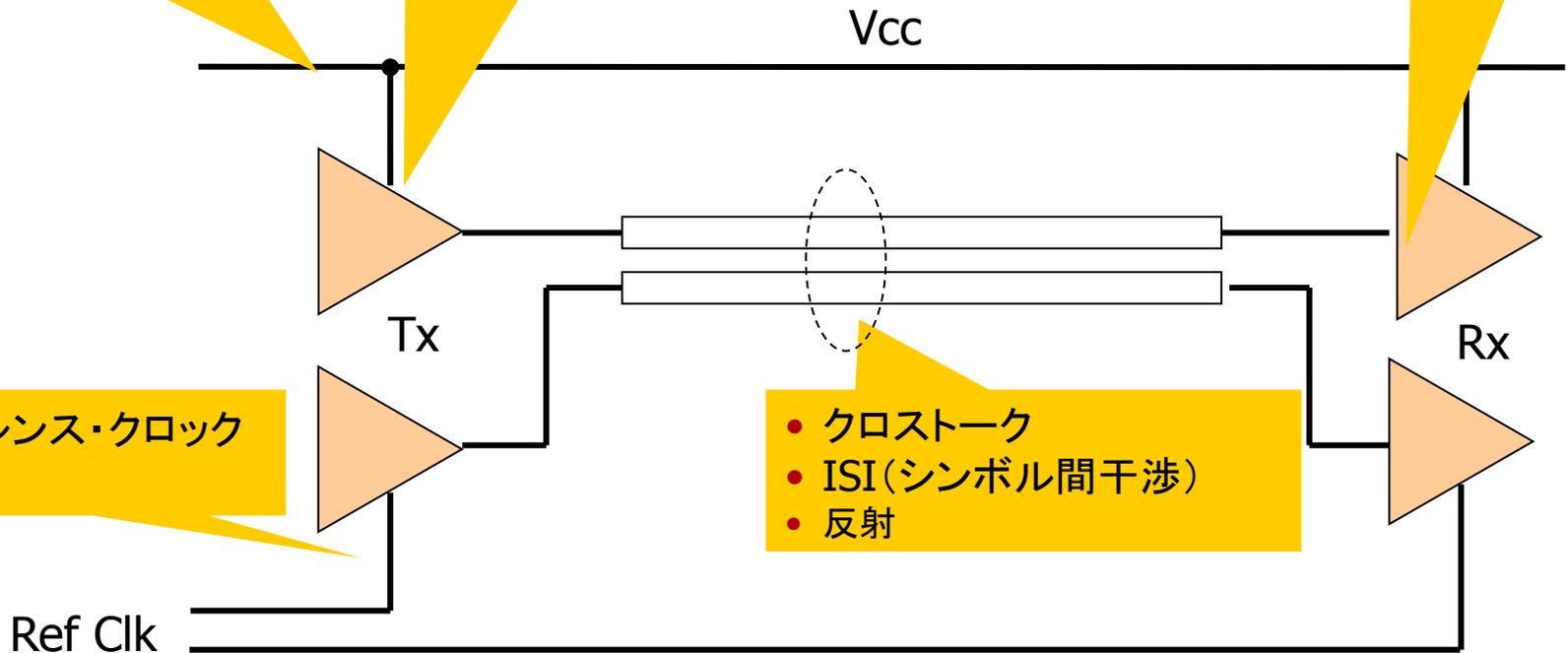
- 熱雑音、ショット・ノイズ
- 隣接オシレータ
- パッケージによるISI(シンボル間干渉)
- 不均衡な差動オフセット
- 不適切なPLL設定
- 過度なディエンファシス／プリエンファシス

- 熱雑音、ショット・ノイズ
- 過度なイコライザ
- 不適切なPLL設定
- SSC

- 電源(スイッチング電源)

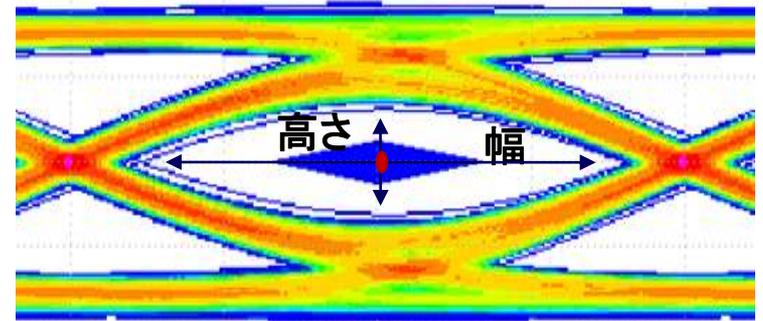
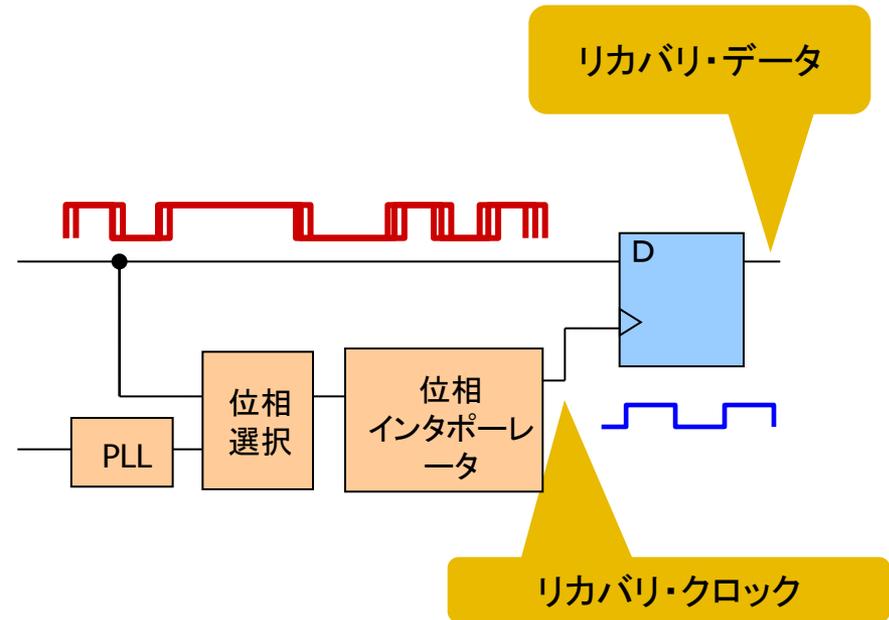
- リファレンス・クロック
- SSC

- クロストーク
- ISI(シンボル間干渉)
- 反射



# レシーバから見たシグナル・インテグリティ

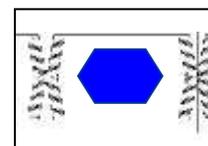
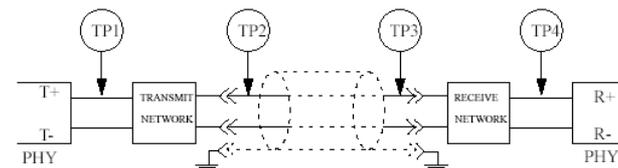
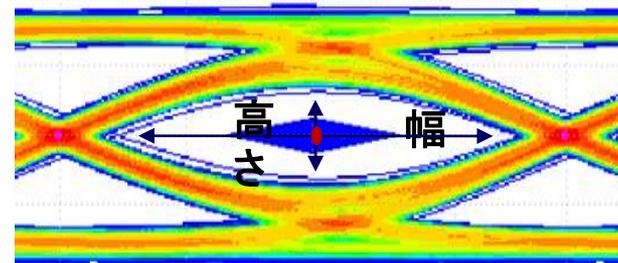
- レシーバは、受信信号からクロックを正しくリカバリし、正しく論理値を判定してデータをリカバリできることが重要
  - ラッチ点にて所望の信号レベルが確保されているかどうか？
  - ラッチ点から信号のエッジ位置までの時間が確保されているかどうか？
- 障害要因(信号劣化)
  - 振幅方向に関するもの
    - 信号レベルの低下
    - 信号のなまり
    - レベルの変動
    - ノイズ
  - 時間軸方向に関するもの
    - デューティ・サイクル、UIの変動
    - ジッタ
- その主な評価方法
  - トランスミッタ: オシロスコープを使ってのアイ・ダイアグラムとジッタの評価
  - レシーバ: ジッタを持った信号を入力し、正しく受けられることを確認



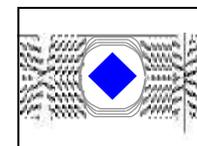
信号レベル、ジッタがポイント

# トランスミッタ／ソース・テスト

- 規格に適合した信号を送信できているか？
  - アイ・ダイアグラム
    - アイ高さ、アイ幅
    - マスク・ヒット
  - ジッタ、データ・レート
    - ※ 規格で定められた点で測定する必要がある  
例：IEEE802.3 – TP1、TP2、TP3、TP4



近端



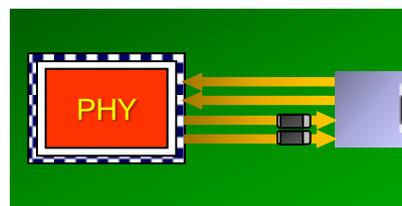
縁端

- オシロスコープとテスト・フィクスチャ（ケーブル）、ジッタ／アイ・ダイアグラム解析ソフトウェア、あるいは個々のコンプライアンス測定ソフトウェアを使用

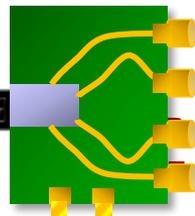
- DUTと計測器とを直接接続。疑似差動測定
  - プローブは、マルチギガ・ビット・レートのデバッグ、トラブルシューティング以外ほとんど使用しない

アイ・ダイアグラム、ジッタを評価

- 最近ではイコライザ、チャンネル特性の加算（エンベッド：Embed）が必須に



被測定システム



テスト・フィクスチャ

トランスミッタ内部で生成されたテスト用信号

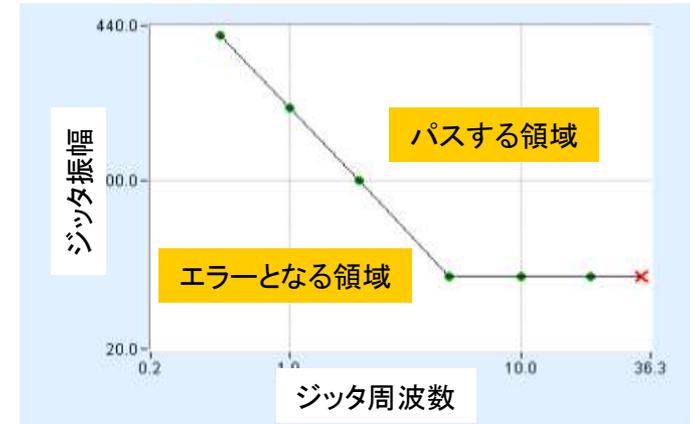


オシロスコープ



# レシーバ/シンク・テスト

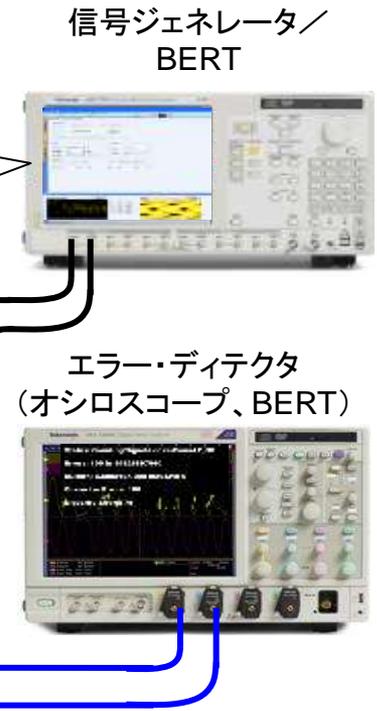
- 既知のストレス(例:ジッタ)を持った信号をレシーバに入力し、正しく受信できるかどうか?
  - チップ内蔵、外部のエラー・ディテクタにより、受信したデータを確認
    - リタイムド・ループバック・モードを使用(受信して再生したデータを出力)
- 最近の標準規格のコンプライアンス・テストでジッタ耐性テストを採用
  - SATA, HDMI, DisplayPort, USB3.0, PCI Express (Rev.3.0より)



※CIC: Compliance Interconnect Channel

CIC※  
リファレンス・チャンネル  
ケーブル・エミュレータ  
(疑似チャンネル)

信号ジェネレータで  
ジッタを印加した  
信号を生成



被測定システム

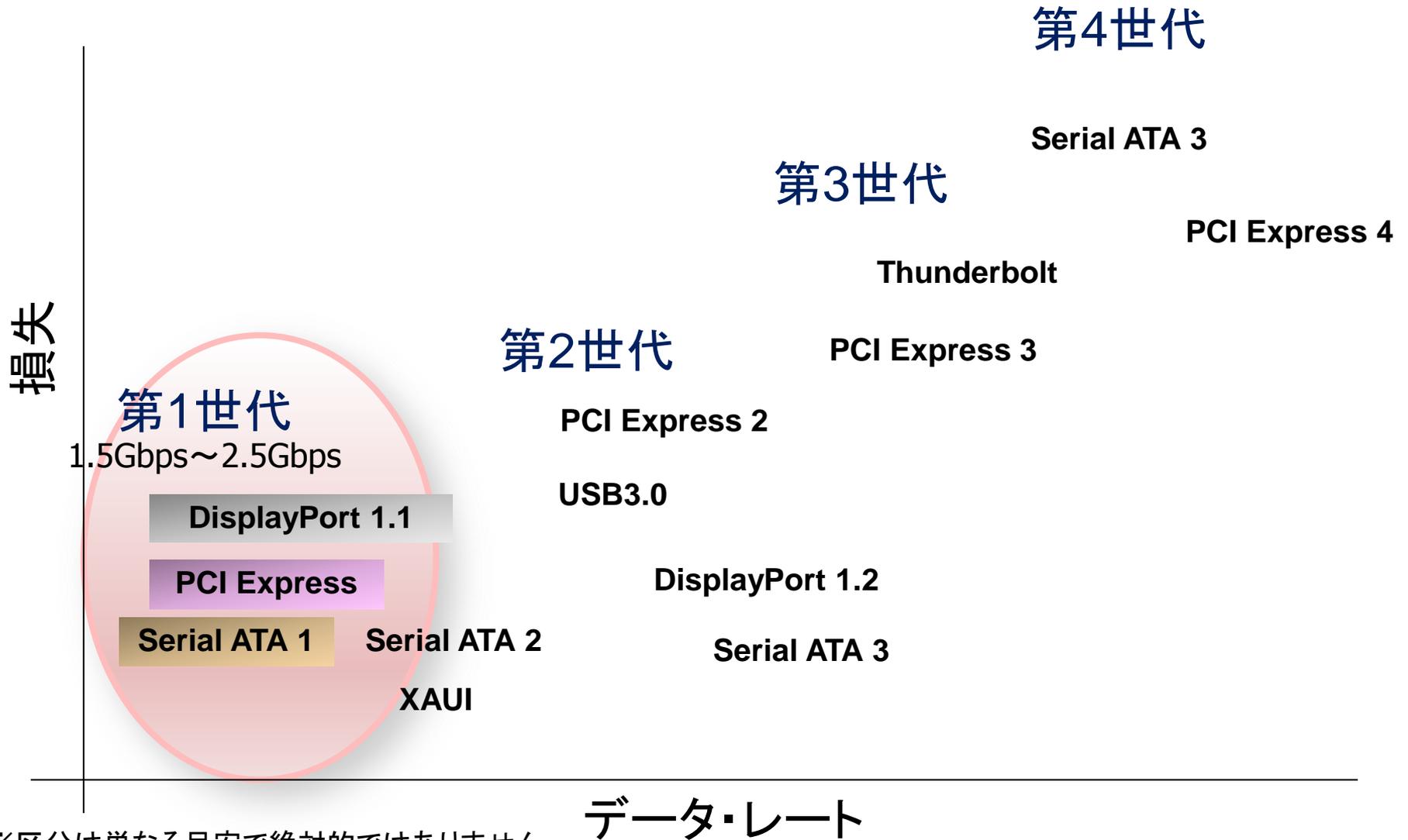
テスト・フィクスチャ

再送信された  
ループバック・データ

受信したデータを  
内部でループバック

1001101

# 高速シリアル・インタフェース第1世代



※区分は単なる目安で絶対的ではありません

# トランスミッタ測定は高速シリアル・インタフェース測定の基本: 検討事項

## 被測定機器(設計時検討事項)

- テスト・モード: テスト・パターンの発生方法

## 計測器

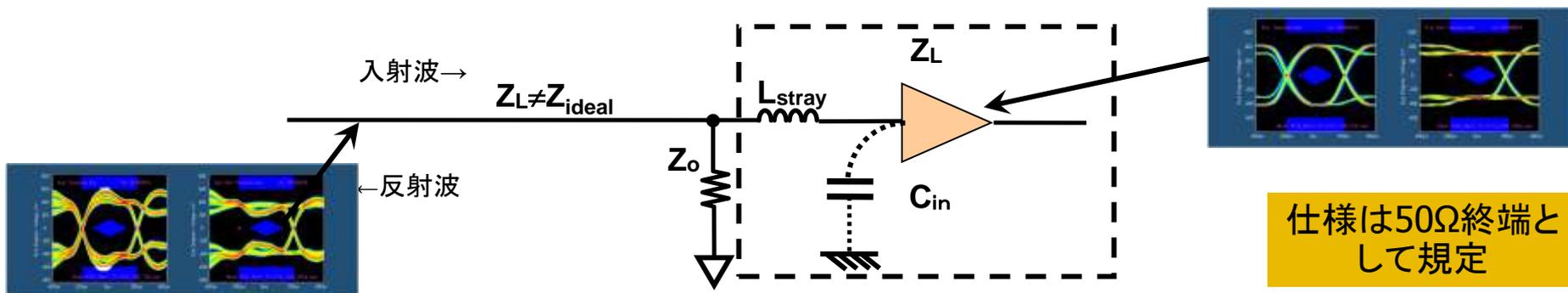
- オシロスコープ: 周波数帯域
- コンプライアンス・テスト・ソフトウェア
- テスト・フィクスチャ
- プローブ/ケーブル
  - プローブ: Ethernet(10BASE-T/100BASE-TX/1000BASE-T)、USB2.0
  - ケーブル: PCI Express、SATA、USB3.0、USB2.0(アイ・ダイアグラム) ...
- ジェネレータ(規格・必要に応じて)

# 規格で指定されたテスト・パターンを使用

- パターンが異なるとデータの持つ周波数帯域の広がりなどが変わり、測定結果が異なることになるので注意
  - PRBS (Pseudo Random Bit Sequence) : PRBS7、PRBS23、PRBS31
  - CJTPAT (Compliant Jitter Tolerance Pattern)
  - CRPAT (Compliant Random Pattern)
- 複数のパターンを測定項目ごとに使い分けるのが一般的
  - PCI Expressは1種類のパターンのみ使用
- パターンの指定がない規格もある
  - HDMIなど
- パターンの発生は規格、チップに依存
  - 計測器の接続で自動的にパターンを出力: PCI Express、USB3.0
  - レジスタを設定
    - 場合によってはパターンを書き込む必要も
  - 外部からレシーバにパターンを入力し、ループバック・モードでトランスミッタから出力
  - 設計時に確認・検討しておくこと

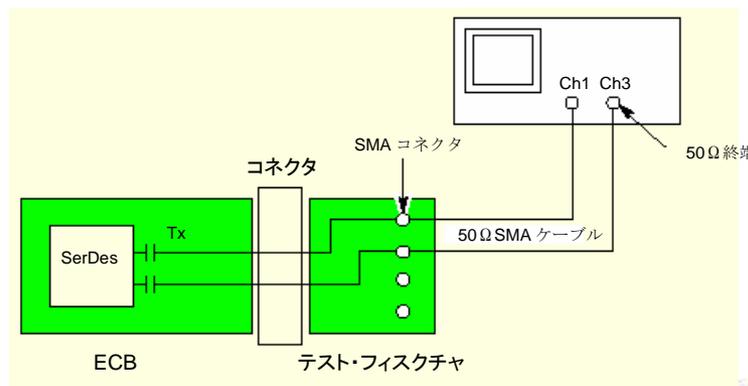
# 実デバイスでの規定・測定の問題点

- 実デバイス環境ではデバイス入力の容量により、高周波領域でのインピーダンスが低下
  - 伝送路との不整合をリターン・ロスで仕様
- その結果、
  - 規格は理想終端での仕様のため信号振幅が低下
  - 伝送路の途中でみた場合、入射波に対して反射波が重畳



仕様は50Ω終端として規定

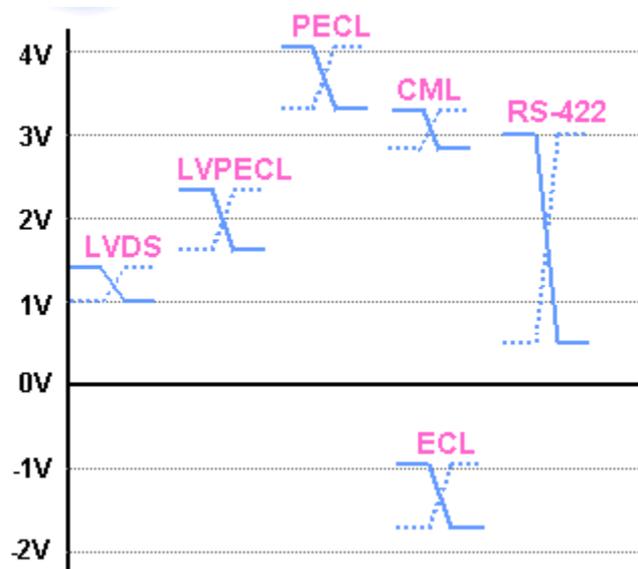
- ゆえにコンプライアンス・テストでは実デバイスではなく、理想終端で測定
  - オシロスコープの50Ω入力で終端
  - テスト・フィクスチャを併用
  - デバッグや参考測定ではプローブを使用



市販テスト・フィクスチャ例 (SATA、DisplayPort、PCI Express)

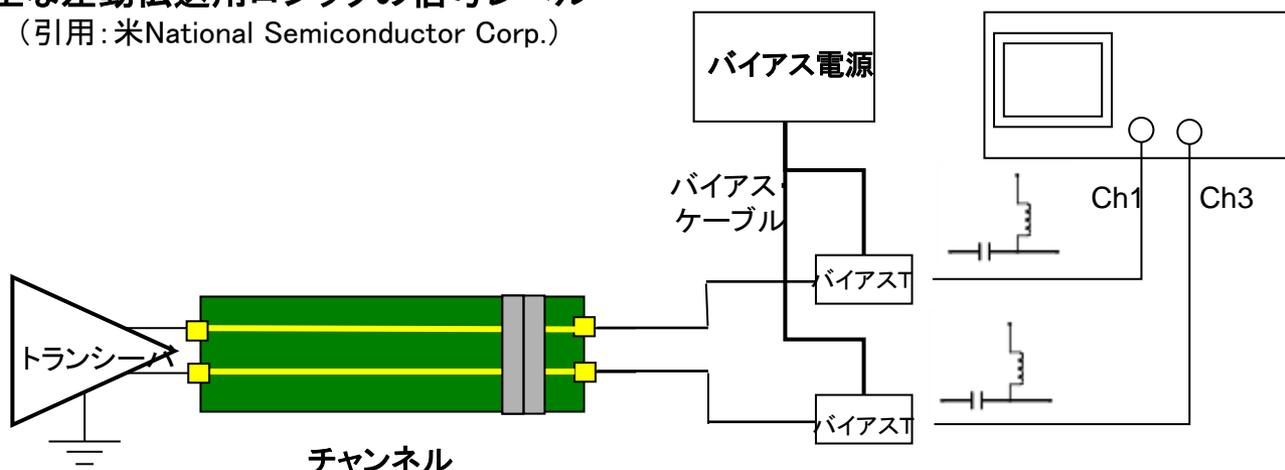
# 測定上の注意点

## DCバイアスが印加されている場合

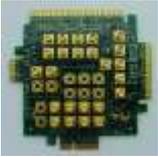


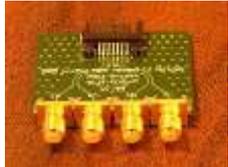
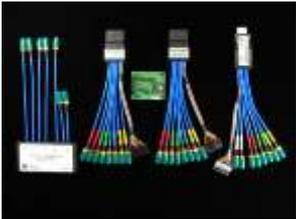
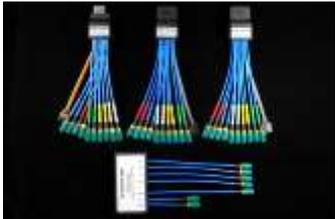
- 直接終端すると、大きなDC負荷となる
- バイアスTeeやDCブロックを併用
  - 低周波特性等が問題
  - DC電源が必要
- 理想的なソリューション: DC終端電圧印加機能
  - P7300SMAシリーズ差動プローブ
    - 特にマルチレーンに
  - DSA/DPO70000Dシリーズ

主な差動伝送用ロジックの信号レベル  
(引用: 米National Semiconductor Corp.)



# テスト・フィクスチャ例

CEM : PCI-SIG	
	
	
External Cable : Molex社	
	
ExpressCard : USB-IF	
	

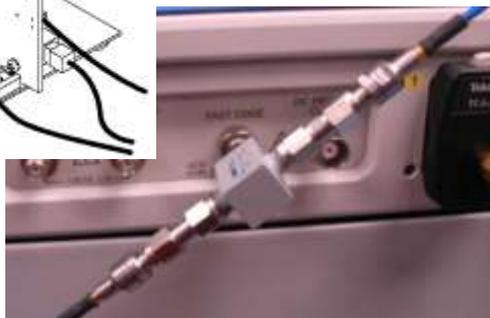
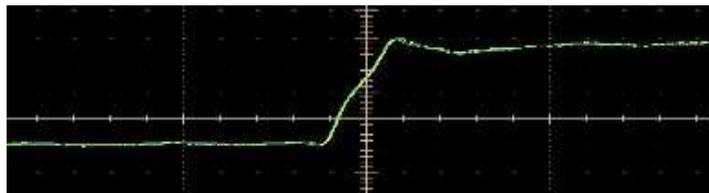
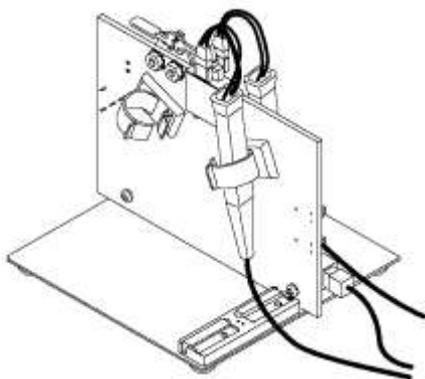
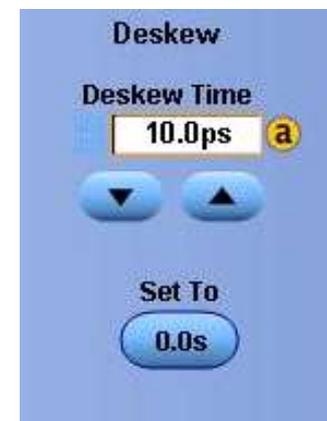
SATA : Crescent Heart Systems社	
	
	
USB3.0 : USB-IF	
	
HDMI	DisplayPort
	
10BASE-T/10BASE-TX/100BASE-TX	USB2.0
	 <p>USB-TF-HS-EP: アリオン株式会社 (アイ・ダイアグラム測定のみ)</p>

# 測定上の注意点

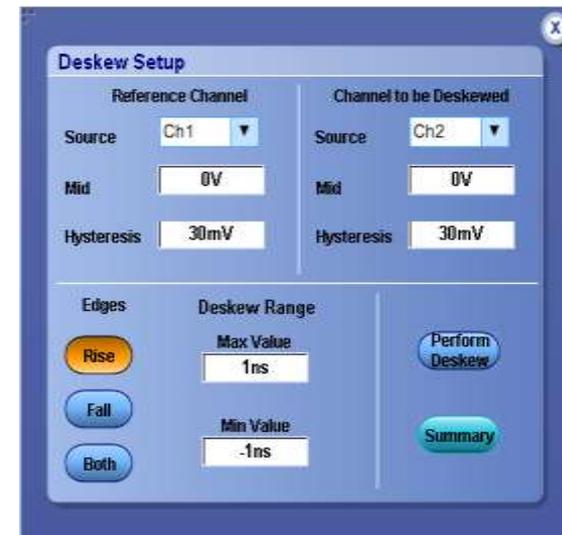
## ペア・ケーブルを使用



- 疑似差動測定、複数チャンネルによるタイミング測定ではデスクューが重要
  - スキューが測定誤差に直結
- 2本の特性と遅延時間が揃ったペア・ケーブルを使用
- 前面パネルのFAST EDGE等(ケーブル)、デスクュー・フィクスチャ(プローブ)を使って確認・調整
  - 手動(Probe Deskew)、あるいは自動(DPOJET)
  - 前者ではパワー・デバイダ※その他のアクセサリを必要に応じて併用



※16.7Ω抵抗のT型対称回路を備え、どこの入り口から見ても50Ωとして整合がとれるようにしたアダプタ。ただし信号は6dB(1/2)減衰

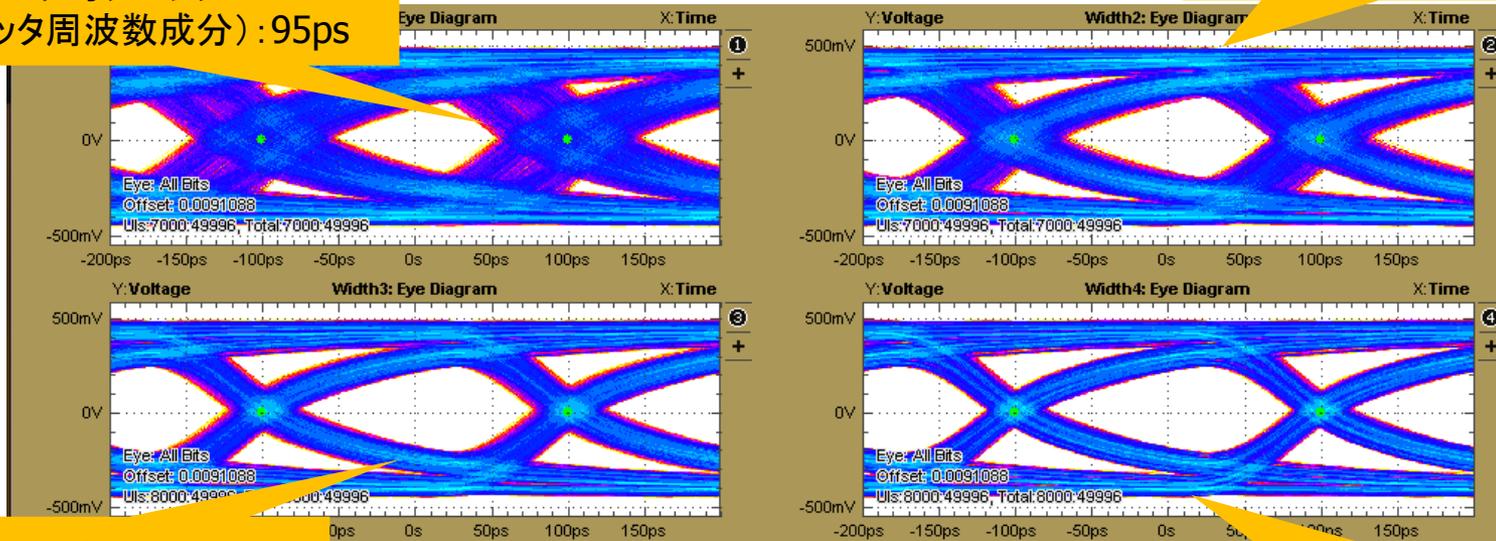


# 測定の勘所: クロック・リカバリの特性を理解すること

- ジッタ成分によっては、クロック・リカバリの特性によりジッタの影響具合が異なる ⇒ 測定も同様。アイ幅、ジッタ測定結果が異なる
- 下記はすべて5Gbpsの同じ信号の測定例
  - ジッタ周波数成分 : 1.5MHz、ジッタ振幅 : 0.25UI (50ps)、アイ幅 : 0.75UI (150ps)
  - 25cmトレース

平均クロック  
(全ジッタ周波数成分) : 95ps

1.5MHzループ帯域 : 121ps



3MHzループ帯域 : 142ps

6MHzループ帯域 : 150ps

# 測定の勘所: クロック・リカバリの特性を指定

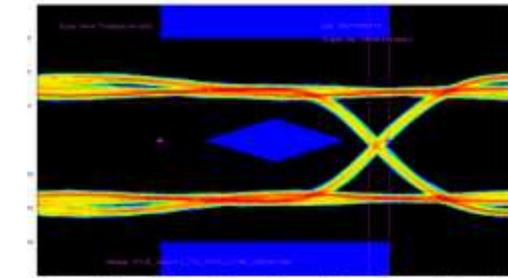
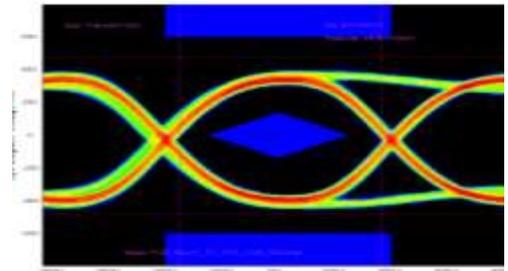
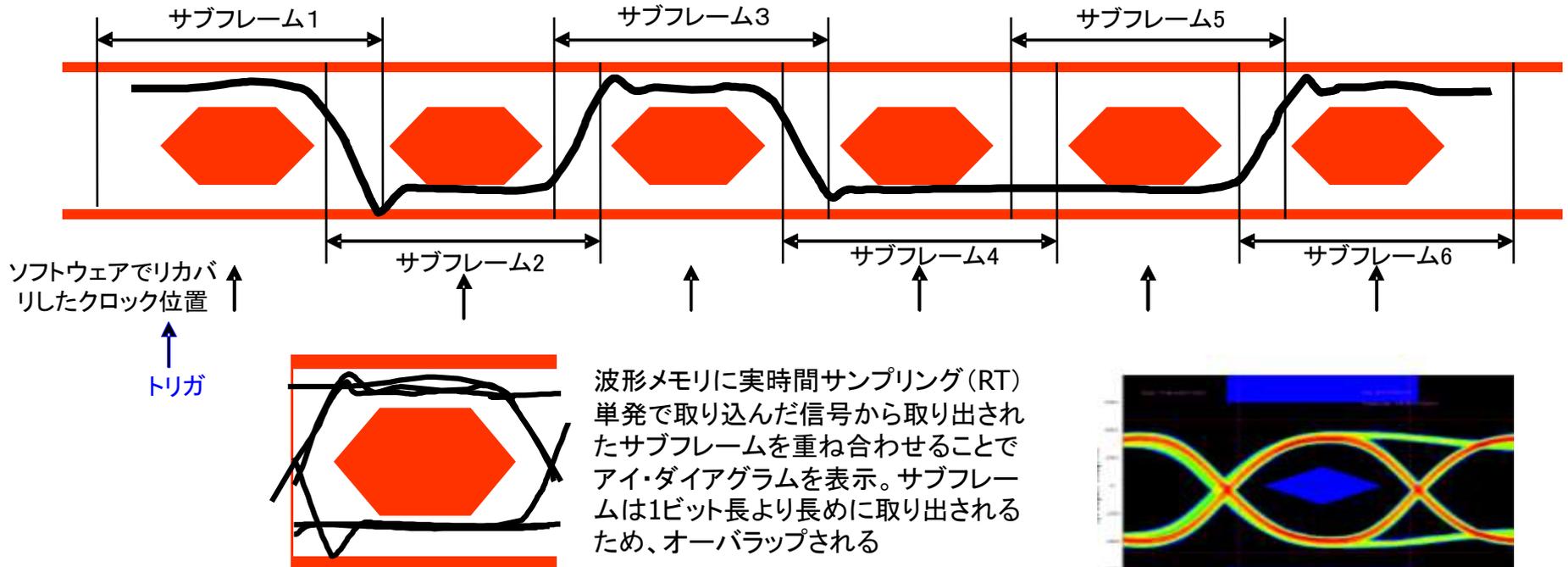
- 同一条件で測定するため、標準規格では測定の際のクロック・リカバリの特性を指定  
⇒ 規格に合わせて特性を変える必要がある

例:

- PCI Express 2.5Gbps
  - クリーン・クロック: 1.5MHz 1次PLL
  - ダーティ・クロック(SSC): 1.5MHz 3次PLL
- PCI Express 5Gbps: 1.5MHzブリックウォール
- Serial ATA2 : 2次PLL 0.9MHz(1.5Gbps)、1.8MHz(3Gbps)、ダンピング・ファクタ0.707 ~1)
- USB3.0: 2次PLL10MHz (5Gbps) 、ダンピング・ファクタ0.707
- 一般的にはデータ転送レートの1/1667(Golden PLL、2次PLL)
- SONET: データ転送レートの1/2500

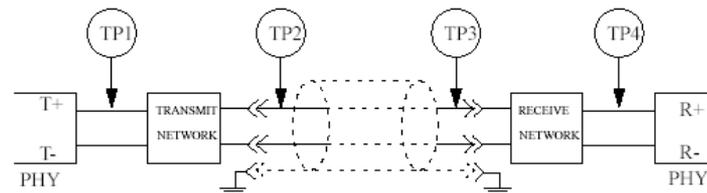
⇒ ソフトウェアにより実現されたクロック・リカバリを使用

# アイ・ダイアグラム測定のための今日の主流は ポスト・プロセス・ソフトウェア (ソフトウェア・クロック・リカバリ)

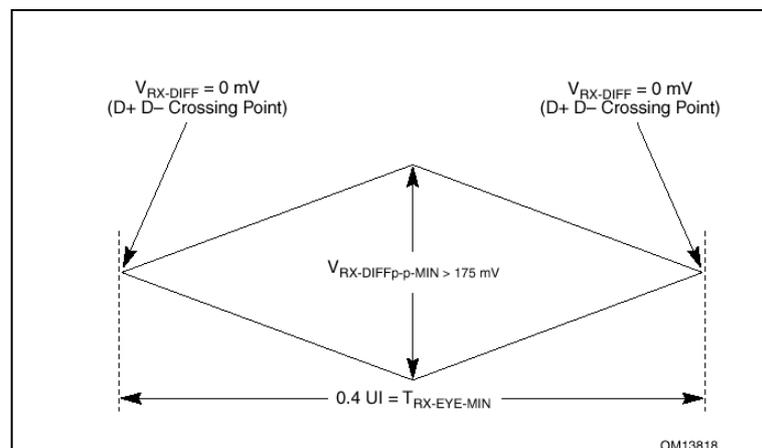
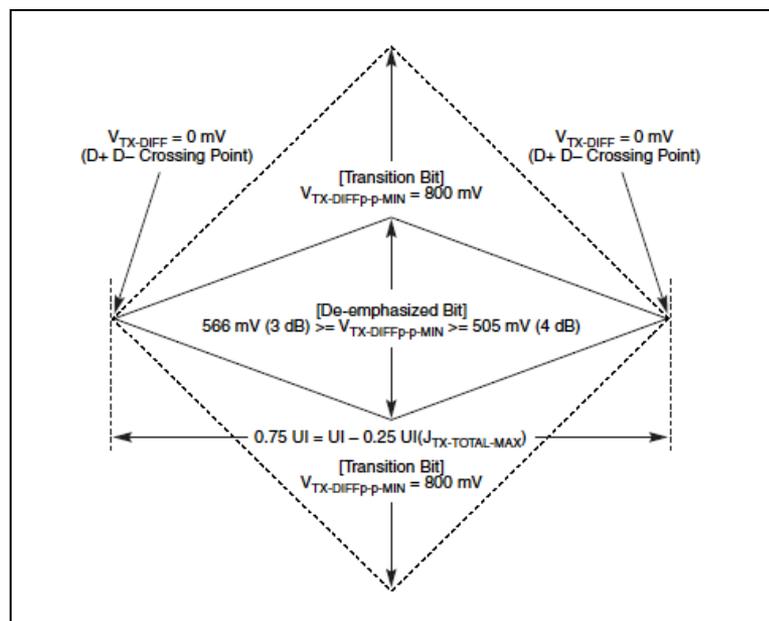


- 連続サイクルでの描画が可能
- 遷移ビット、非遷移ビットに分離しての描画が可能
- 任意のクロック・リカバリ・モデルを選択可能
  - PLLのみならず全クロック成分を観測可能
  - 同じクロック・リカバリ・モデルで同時にジッタ測定可能

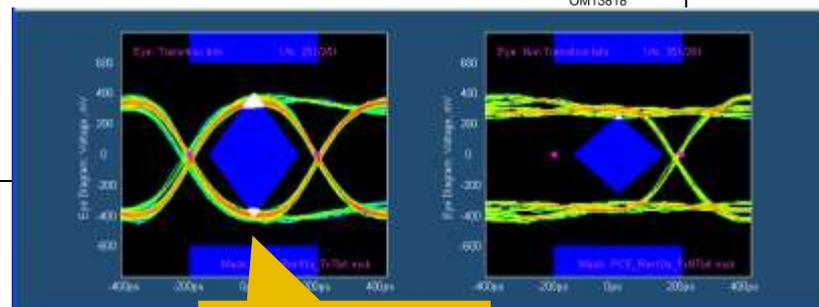
# マスク・テスト



- アイ・ダイアグラムが規定範囲内にあるかの確認のために、ノイズおよびジッタ、パルス特性の許容範囲を規定したマスクを併用
- 各規格ごと、指定測定箇所ごとに規定されているマスクを使う**
  - 測定箇所により、信号振幅、ジッタ特性が変わる



送信端(左)と受信端(右)のアイ・マスク(PCI Express Base Specification Rev.1.1)

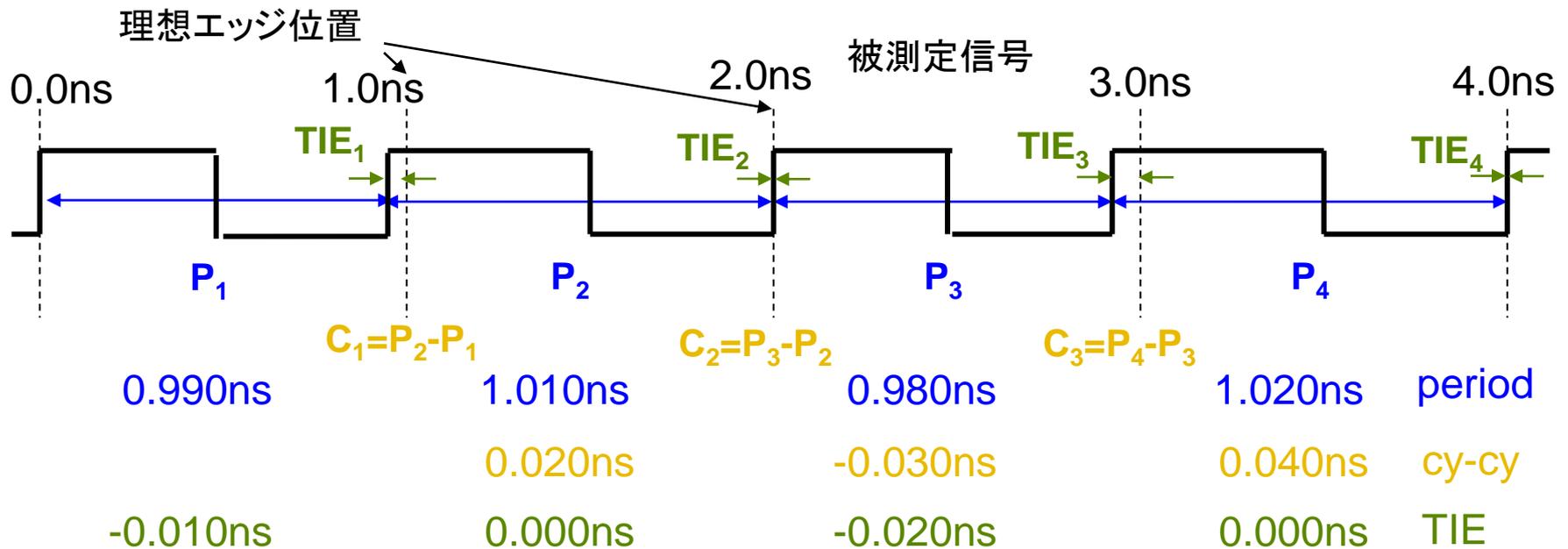


マスク違反例

# シリアル・インタフェースのジッタ計測はTIE

- 周期ジッタ: 周期の推移 (0.990/1.010/0.980/1.020)
- サイクル・トゥ・サイクル・ジッタ: 隣接周期の変動 (0.020/-0.030/0.040)
- タイム・インターバル・エラー (TIE)

: 期待エッジ位置 (リカバリされたクロック) とのずれ  
 (-0.010/0.000/-0.020/0.000)



# 第1世代の高速シリアル・インタフェース測定例 PCI Express Rev.2.1 (5Gbps)

アイ高さ(遷移ビットの最小信号レベル)、マスク・ヒット

アイ高さ(非遷移ビット/ディエンファシス・ビットの  
最小信号レベル)、マスク・ヒット

アイ幅@1M-VUI

TIE  
(Median-to-Max)  
ジッタ



# 弊社の高速シリアル・インタフェース測定ソリューション

## 波形観測+信号品質テスト

- オシロスコープ+コンプライアンス・テスト/解析ソフトウェア+プローブ
- サンプリング・オシロスコープ

## ジッタ、ビット・エラー・レート(BER)計測

- オシロスコープ+ジッタ解析ソフトウェア
- BERT

## 伝送路解析(差動インピーダンス、差動Sパラメータ、インサージョン・ロス、リターン・ロス)

- 差動TDR/サンプリング・オシロスコープ

## レーザー・ストレス・テスト

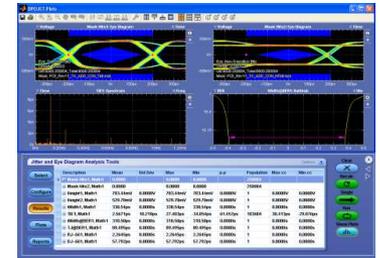
- 任意波形ジェネレータ
- BERTストレス・ジェネレータ

## システム・レベル・デバッグ

- ロジック・アナライザ

## プロトコル解析

- プロトコル・アナライザ



# テクトロニクスソリューション: リアルタイム・オシロスコープ

- DSA70000Dシリーズ デジタル・シリアル・アナライザ
  - 33GHz、25GHzの2機種
- DSA70000Cシリーズ デジタル・シリアル・アナライザ
  - 20GHzから4GHzに6機種
- 共通
  - 100GS/s@2チャンネル、50GS/s@4チャンネル(12.5GHz以上)
  - 標準:ジッタ/アイ・ダイアグラム解析、6.25Gbps8B10Bプロトコル・デコード、サーチ & トリガ
  - オプション:フレーム & ビット・エラー・ディテクタ、ビジュアル・トリガ、I2C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード & トリガ、DDR解析、シリアル・データ・リンク解析
- MSO70000Cシリーズ ミックスド・シグナル・オシロスコープ
  - DSA70000Cシリーズ + 16チャンネル・ロジック入力付:アナログ信号と周辺デジタル信号の同時測定
  - パラレルのみならず低速シリアル・バスも同時取り込み可能
  - 業界唯一 :MSOでのiCapture(アナログMUX)。1回のプローブ接続で任意のデジタル・チャンネルのアナログ信号を切り替えて観測可能
  - オプションでデジタル・シリアル・アナライザ相当の機能を装着



# 必要なオシロスコープの周波数帯域

## 1. 規格認証試験書(CTS)による推奨

## 2. 5次高調波までの捕捉が目安

- 方形波の基本波周波数(最高) = ビット・レート(NRZ) / 2
- 周波数領域で見ると、方形波は基本波と奇数高調波により構成
  - 5次高調波までを捕捉
    - 5次以上は急速に減衰

## 3. 10Gbps以上

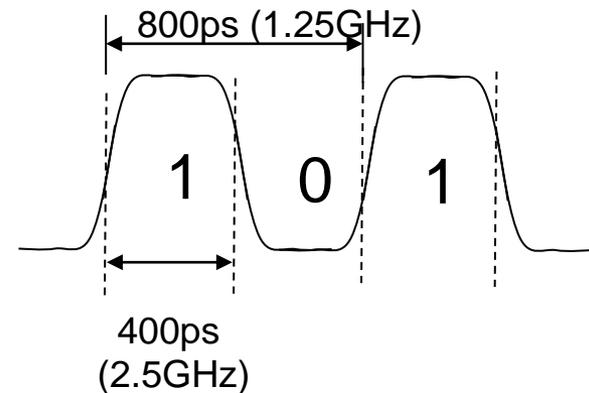
- システム: 3~4次が目安
  - SFP+, Thunderbolt: 10.3125Gbps → 15GHz
- 半導体: より正確な測定のために5次を推奨

## 4. 立上り時間からの考察

- ニー周波数( $f_{\text{Knee}}$ )<sup>\*</sup> =  $0.5 / T_r$
- オシロスコープの立上り時間が2倍速いこと

## 5. 光

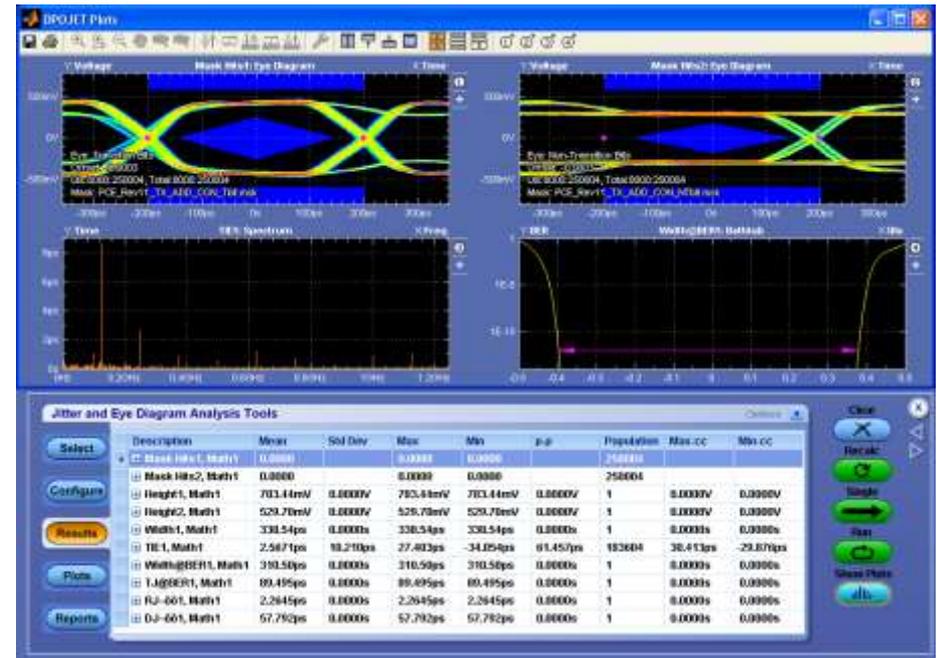
- ビット・レート × 0.75: 4次ベッセル-トムソン・フィルタによる帯域制限



*\*高調波成分が急速に減衰する点。引用: Howard Johnson and Martin Graham, 「High-Speed Digital Design: A Handbook of Black Magic」, p.2. Prentice Hall, 1993*

# DPOJETジッタ & アイ・ダイアグラム解析ソフトウェア

- 周波数／周期、振幅、タイミング、ジッタとアイ・ダイアグラム測定
- 同時に99測定まで可能
  - 別々の信号に対する測定も同時に可能
    - 異なったクロック・リカバリでの評価
    - マルチレーンでは個々のレーンに対し、独立したクロック・リカバリを使用可能
- コンプライアンスからデバッグまで対応
- 様々な側面からデータ解析を可能にするプロット
  - 最大4プロット表示可能
  - アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンドなど
- 外部クロック逡倍を含む様々なクロック・リカバリ・モデルを選択可能
- 汎用＋特定用途(DDR、PCI Express/3、USB3.0、SFP+、MIPI、MOST、SD/UHS-IIなど)

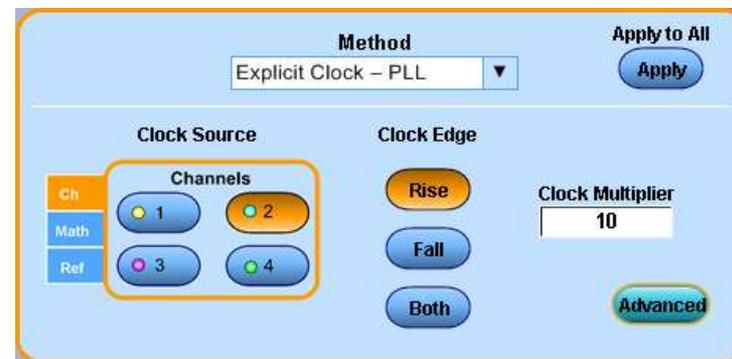
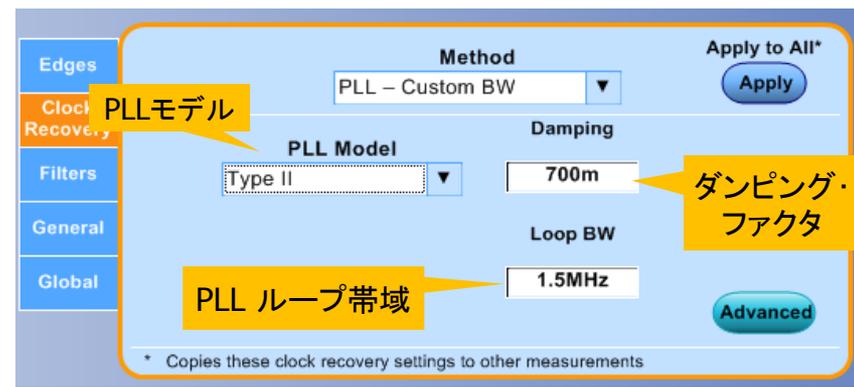


- レポート生成機能
  - MHTML形式(MIME Encapsulation of aggregate HTML)\*
- DSA70000C/Dシリーズ標準
- MSO70000Cシリーズ:オプション

\*HTML ファイルとリンクされた画像データを単一のアーカイブにまとめて保存できる形式

# DPOJET: 様々なクロック・リカバリ・モデルを選択可能

- PLL
  - 規格、レシーバCDRと同等な特性での評価
    - ループBW: 規格(ビット・レートの  $f_c/1667$ )、またはユーザBW
    - 1次PLL
    - 2次PLL+ダンピング・ファクタ
- 平均値 (Mean)
  - 全ジッタ周波数成分を捕捉
- 中央値 (Median)
- 固定値
- 外部クロック
  - クロック並走のインターフェース: LVDS、PCI Express、DDR
    - 単純逡倍
    - PLL逡倍
- その他、フィルタ併用によりさらに高次の特性も実現可能



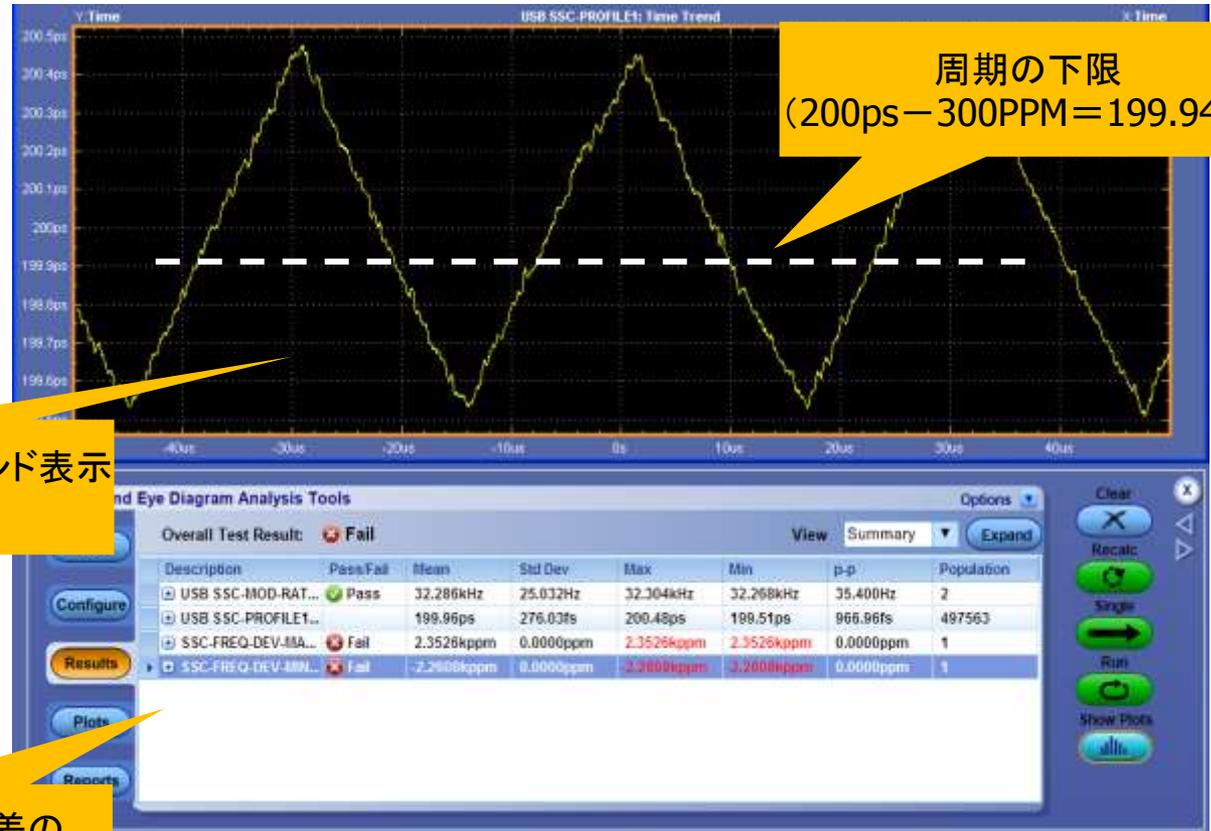
# DPOJET: SSC測定

- 汎用、PCI Express、USB3.0

SSCの違反例(USB3.0)

- 測定項目

- プロファイル
- 変調レート
- 最小周波数偏差
- 最大周波数偏差



変調周波数、周期偏差の測定・規格値との判定結果

# ハードウェア・ベースのクロック・リカバリ デバッグ、トラブルシュートに効果的、BERTでは必須

## DSA70000C/Dシリーズ標準装備

- MSO70000Cシリーズ・オプション
- 1.5MHz～6.25Gbps
  - シリアル・パターン・トリガ(40ビット長)
  - 8B10Bプロトコル・トリガ、エラー・ディテクタをサポート
  - SSCにも対応
- 毎秒30万波形のFastAcqと組合わせて間欠的な障害の捕捉に威力を発揮
- リカバリ・データ、リカバリ・クロック出力を前面に装備(SMA)
  - 外部機器での利用が可能



## CRシリーズ 汎用クロック・リカバリ・ユニット

- スタンドアローン
  - オシロスコープ、サンプリング・オシロスコープ、BERTと組合せ可能
- 28.6Gbps、17.5Gbps、12.5Gbpsの3機種
- PLL帯域100kHz～12MHzに可変
  - オプションで24MHzまで拡張
- 1次、2次PLL
  - ピーキングも可変
- SSCにも対応
- PLLループ帯域幅、ジッタ伝達関数を自己測定可能
  - コンプライアンス要求条件に合致しているかの確認可能
- Tx PLLループ帯域幅テスト可能(オプション)
- SSC、11.2Gbpsまでのジッタ・スペクトラム解析が単体で可能(オプション)



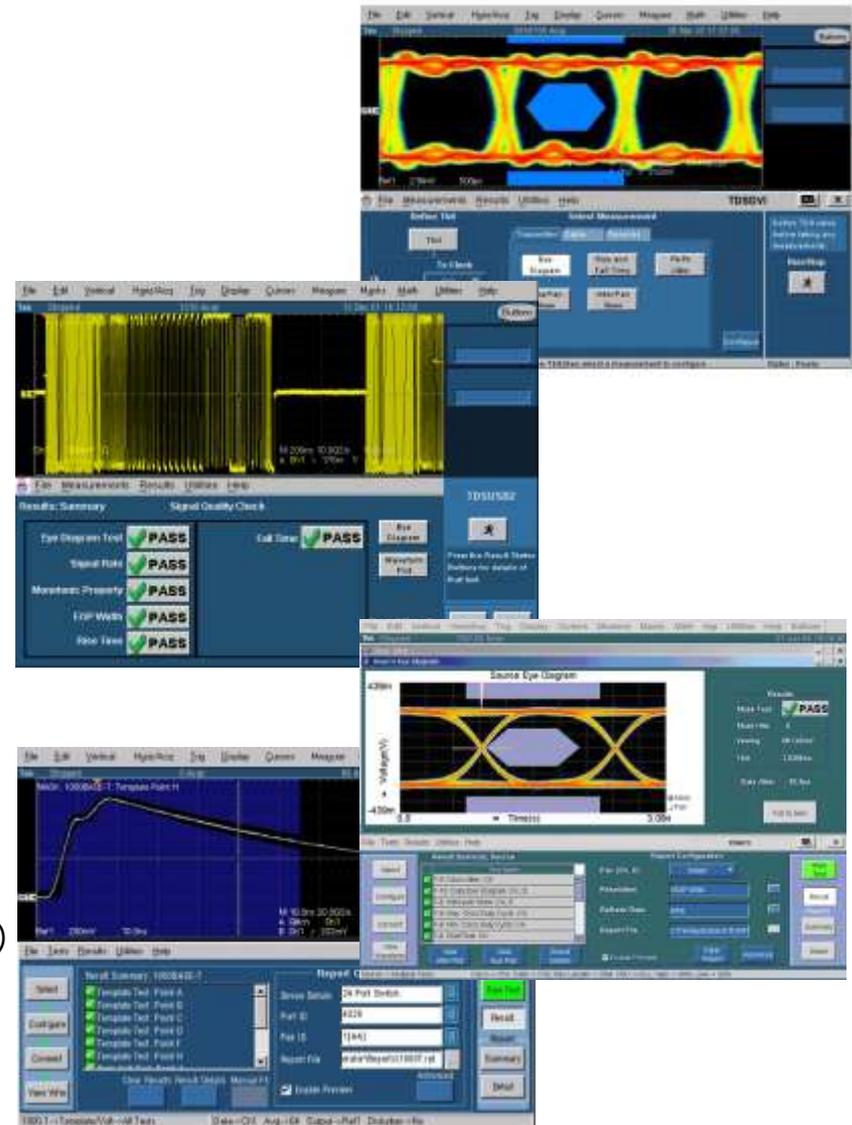
# コンプライアンス・テスト／ ジッタ&アイ・ダイアグラム解析ソフトウェア

## 専用コンプライアンス・ソフトウェア

- DVI : TDSDVI
- HDMI : TDSHT3
- USB2.0 : TDSUSB2
- Ethernet (10/100/1000BaseT) : TDSET3
- IEEE1394.a : 3<sup>rd</sup> Party (QP社)
- USB3.0、PCI Express : SIGTEST (USB-IF、PCI-SIG)

## DPOJET (汎用+特定用途)

- PCI Express (Opt.PCE/PCE3)
- USB3.0 (Opt.USB3)、SATA/SAS
- InfiniBand、SATA/SAS、FC、FB-DIMM、XAUI、10GBASE-CX4、SRIO、OBSAI
- DisplayPort
- LVDS/miniLVDS、V-by-one HS
- DDR/2/3、LPDDR/2、GDDR3/5 (Opt.DDRA)
- MIPI D-PHY (Opt. D-PHY)
- SFP+、Thunderbolt
- SD (UHS-II)、MOST



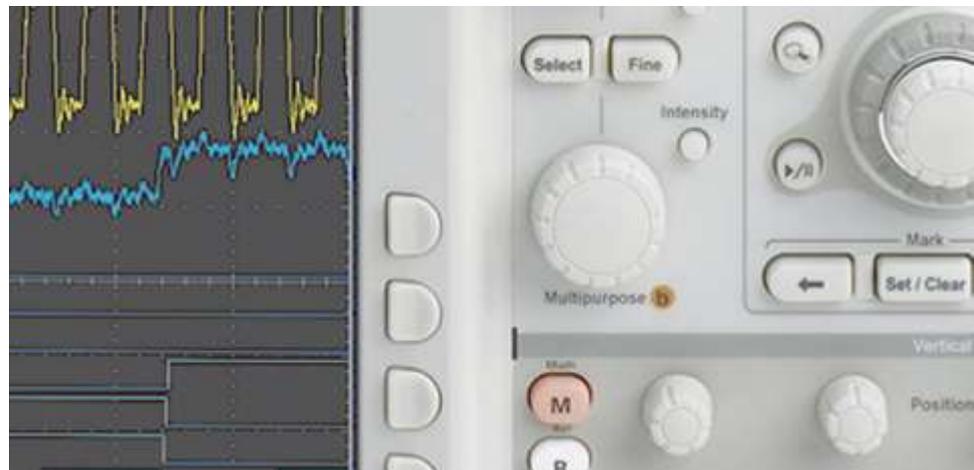
# トランスミッタ測定:まとめ

- アイ・ダイアグラムとジッタの評価が基本
- アイ・ダイアグラムでは定量的な測定のみならず、許容度の限界を規定した多角形のマスクを同時に表示した方が評価が簡単
  - 規格で測定点ごとに用意
- 測定点の規格に基づいて測定
- 規定の信号(パターン)で測定
- アイ・ダイアグラムは、リカバリされたクロックを基準に評価する
  - 仕様に基づくクロック・リカバリ・モデルを使用する
  - ソフトウェア・クロック・リカバリの平均クロックでは全ジッタ成分を把握可能
- 高速シリアル・インタフェースのジッタはタイム・インターバル・エラー(TIE)
- SSCを使用しているシステムではSSCも評価する
- 被測定システムと計測器はケーブルで直接接続し疑似差動で測定
  - 実デバイス環境ではデバイス入力の容量により、高周波領域でのインピーダンスが低下
- 使用するオシロスコープの周波数帯域は一般的には5次高調波までの捕捉が目安
  - 規格で規定している場合もある
  - 実際は立上り時間を考慮する必要がある

# 参考:略語

- XAUI – 10Gbps Attachment Universal Interface
- SRIO – Serial Rapid IO
- CPRI – Common Public Radio Interface
- USB – Universal Serial Bus
- SATA – Serial Advanced Technology Attachment
- SAS – Serial Attached SCSI
- SD-SDI – Standard Definition Serial Digital Interface
- HD-SDI – High Definition Serial Digital Interface
- DVI – Digital Visual Interface
- HDMI – High-Definition Multimedia Interface
- UDI – Unified Display Interface
- MIPI – Mobile Industry Processor Interface
- MDDI – Mobile Display Digital Interface
- MHL – Mobile High-Definition Link
- HDCP – High-bandwidth Digital Content Protection
- JEDEC – 過去はJoint Electron Device Engineering Councils、現在はJEDEC Solid State Technology Association
- UFS – Universal Flash Storage

# ご清聴いただきありがとうございました



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter**    [@tektronix\\_jp](https://twitter.com/tektronix_jp)  
 **Facebook**    <http://www.facebook.com/tektronix.jp>