

今日の設計者の必須スキル。 高速シリアル・インタフェースの基礎知識と測定 その2



テクトロニクス・イノベーション・フォーラム2012

営業技術統括部 畑山 仁

www.tektronix.com/ja

講師紹介

畑山 仁: テクトロニクス社 営業技術統括部 シニア・テクニカル・エキスパート

- 担当分野: 高速デジタル、高速シリアル・インタフェース(特にPCI Express、USB3.0)
- セミナ講師: 当社の高速度シリアル・インタフェース、PCI Express、USB3.0セミナをはじめ、FPGA代理店との協調セミナなど
- 主な執筆・編著(書籍は共著)
 - CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計, 機能実装まで」、2010年4月
 - <http://shop.cqpub.co.jp/hanbai/books/46/46411.html>
 - 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」、2011年11月: **USB3.0のみならず高速シリアル・インタフェースの知識、特にジッタ測定**の補足にぜひご利用ください。
 - <http://shop.cqpub.co.jp/hanbai/books/46/46421.html>
 - マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」連載中: 本セミナ、特にトランシーバ基盤技術についての補足にぜひご利用ください。
 - <http://journal.mycom.co.jp/series/serialif/001/index.html>



 facebook <http://facebook.com/hitoshih330>

第1部のおさらい

- アイ・ダイアグラムとジッタの評価が基本
- アイ・ダイアグラムでは定量的な測定のみならず、許容度の限界を規定した多角形のマスクを同時に表示した方が評価が簡単
 - 規格で測定点ごとに用意
- 測定点の規格に基づいて測定
- 規定の信号(パターン)で測定
- アイ・ダイアグラムは、リカバリされたクロックを基準に評価する
 - 仕様に基づくクロック・リカバリ・モデルを使用する
 - ソフトウェア・クロック・リカバリの平均クロックでは全ジッタ成分を把握可能
- 高速シリアル・インタフェースのジッタはタイム・インターバル・エラー(TIE)
- SSCを使用しているシステムではSSCも評価する
- 被測定システムと計測器はケーブルで直接接続し疑似差動で測定
 - 実デバイス環境ではデバイス入力の容量により、高周波領域でのインピーダンスが低下
- 使用するオシロスコープの周波数帯域は一般的には5次高調波までの捕捉が目安
 - 規格で規定している場合もある
 - 実際は立上り時間を考慮する必要がある

内容

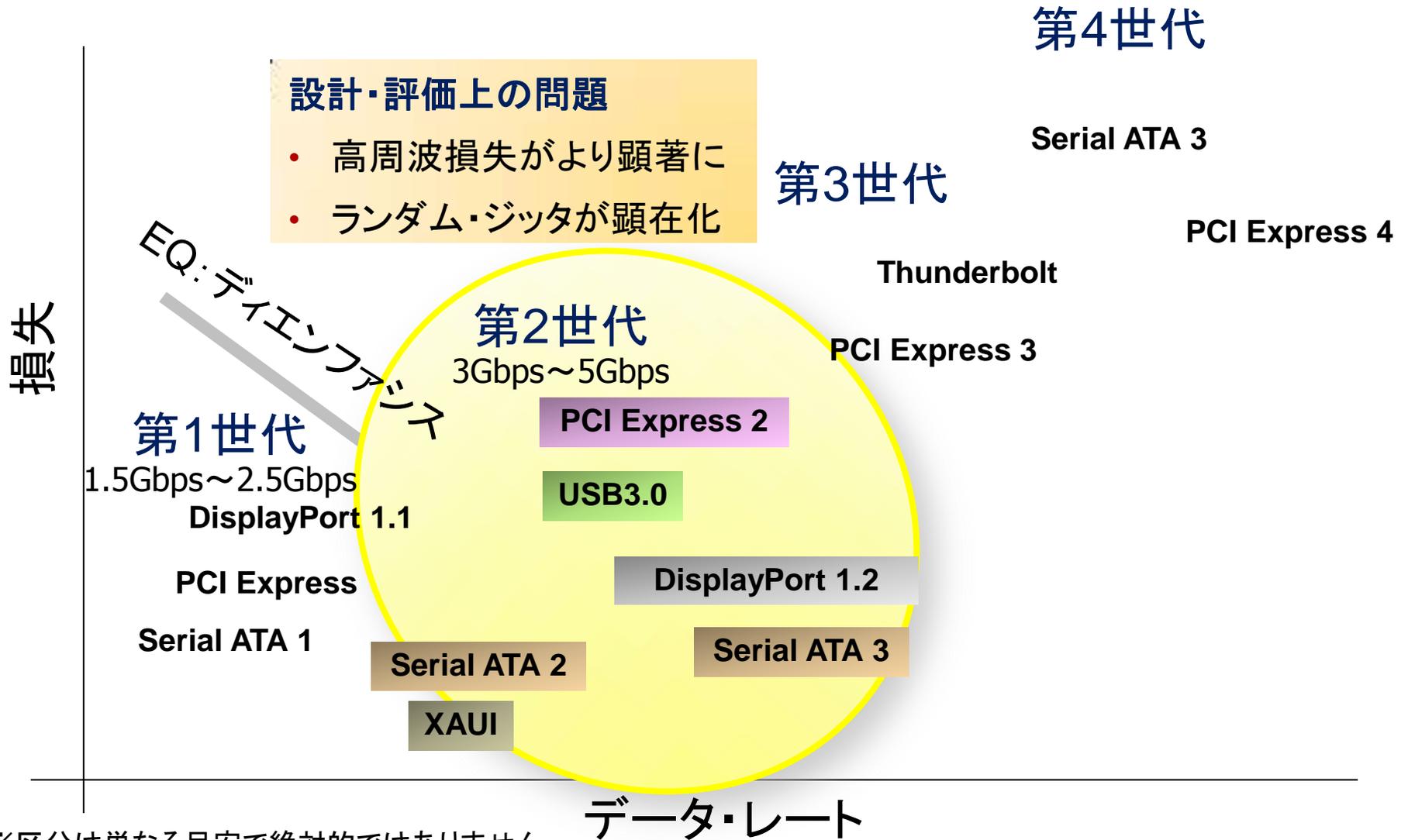
第1部

- 高速シリアル・インタフェースの動向
- 高速シリアル・インタフェース回路の基盤技術
- 高速シリアル・インタフェースの測定の基礎知識(第1世代)
- テクトロニクスソリューション

第2部

- 高速シリアル・インタフェースの技術と測定
 - 第2世代
 - 第3、4世代
- テクトロニクスソリューション

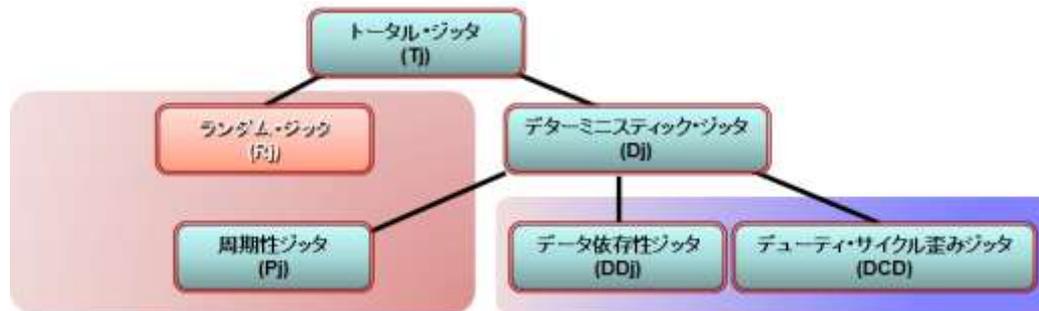
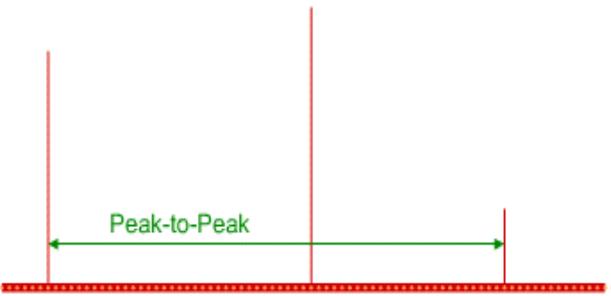
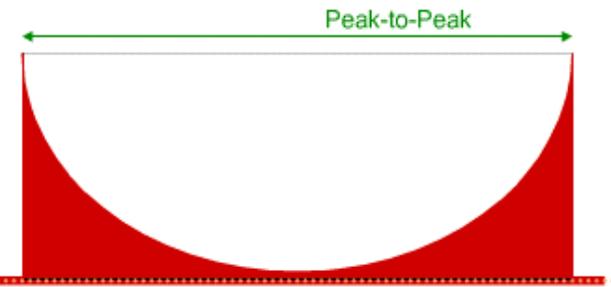
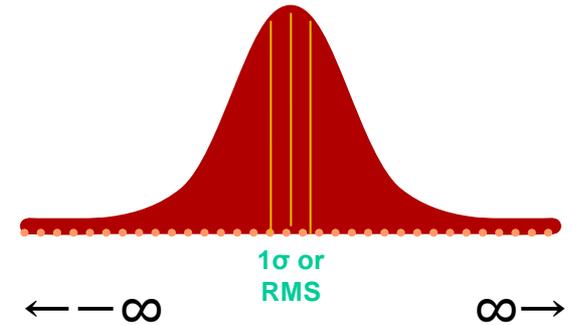
高速シリアル・インタフェース第2世代



※区分は単なる目安で絶対的ではありません

性質の異なる2種類のジッタ

- ランダム・ジッタ: R_j
 - 熱雑音などに起因
 - ジッタの発生確率分布はガウス曲線(σ の関数)
 - 極めて低い頻度ながらも大きなゆらぎが発生
 - $\pm 4.75\sigma$ を超えるジッタは100万回(10^6 回)に1度、 $\pm 7\sigma$ を超えるジッタは1兆回(10^{12} 回)に1度発生
 - 長期間での通信品質(ビット・エラー・レート)に影響
 - 、ピーク・トゥ・ピークを持たないため、上記頻度をビット・エラー・レート(BER)と考え、仮想的なピーク・トゥ・ピークを想定(Q_{BER})
- デターミニスティック・ジッタ: D_j
 - 隣接オシレータや伝送系の高周波損失などに起因
 - 発生確率の広がりにはランダム・ジッタと異なり有限(ピーク・トゥ・ピークを持つ)。ジッタ・マージンを低下



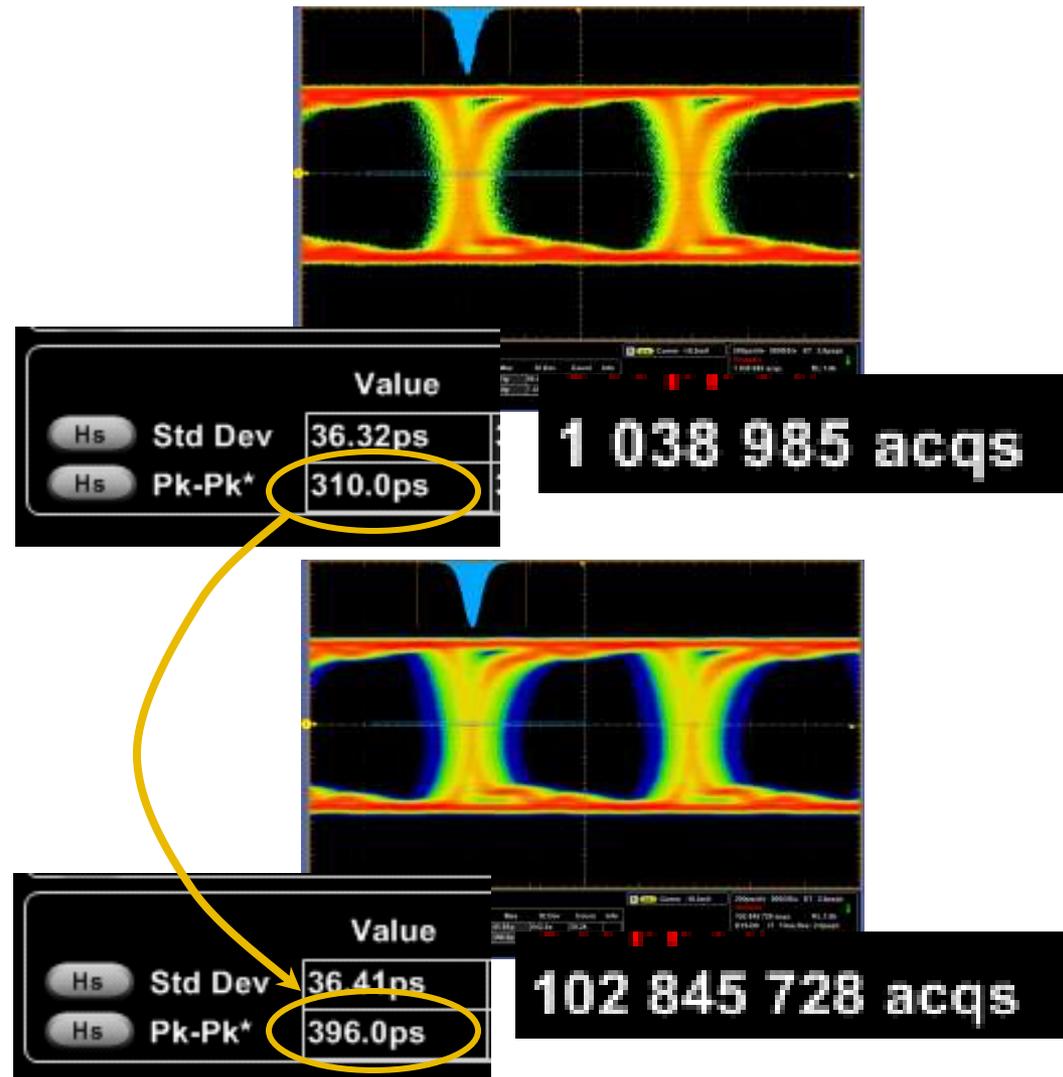
非相関

相関

- ジッタ成分にピークを持たない。非有界
- ジッタ成分にピークを持つ。有界

ランダム・ジッタの影響

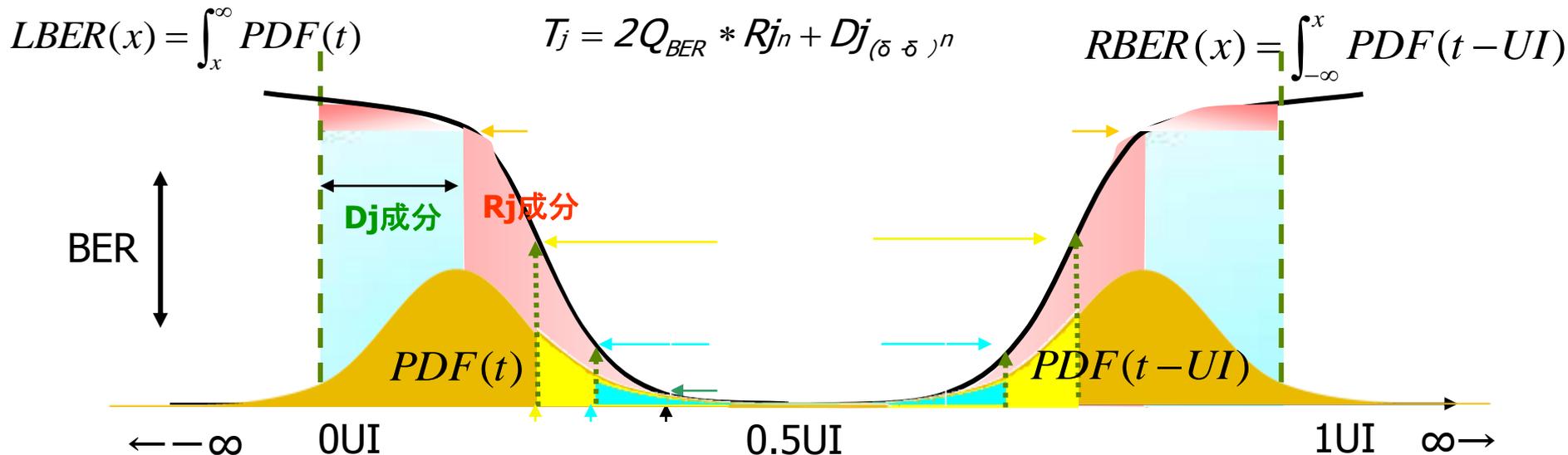
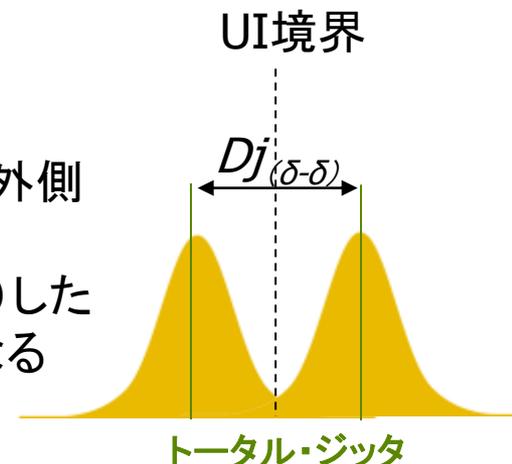
- ピーク・トゥ・ピーク・ジッタ (TIE_{P-P}) の測定値は、 R_j により時間経過(測定母数集団数、測定UI数)に従い増加
- そのためピーク・トゥ・ピーク・ジッタの測定では時間(UI数)が規定される必要がある
 - 例: 1M-UI
- 測定時間→理想的には規定のビット・エラー・レートで定義
 - インターオペラビリティを確保するという意味は正確には特定BERでの通信を保証すること
 - 一般的には $BER10^{-12}$
- そこで特定BERにおけるトータル・ジッタ T_j を規定
 - アイ幅@BER = $1UI - T_j@BER$
 - 換言すればピーク・トゥ・ピーク・ジッタはそのUI数での T_j



アイ幅、ジッタ量測定には時間的規定が必要

特定BERでのアイ幅、トータル・ジッタの推定： バスタブ曲線

- BERプロットは、UI (Unit Interval) に沿って中央 (0.5UI) から外側 (0 ← 0.5UI、0.5 → 1UI) に向かって各ポイントのジッタのPDF (Probability Density Function: 確率密度関数) を累積 (積分) した CDF (Cumulative Distribution Function: 累積分布関数) となる
- この曲線が浴槽に似ていることからバスタブ曲線と呼ばれる
- D_j は全体を狭め、 R_j は傾斜に影響
 - ただし、ここでの D_j は下記関係 ($Q_{BER} = 7 @ BER^{-12}$ 、 $4.5 @ BER^{-12}$) が成立する近似解であるデュアル・ディラック・モデル $D_j(\delta-\delta)$



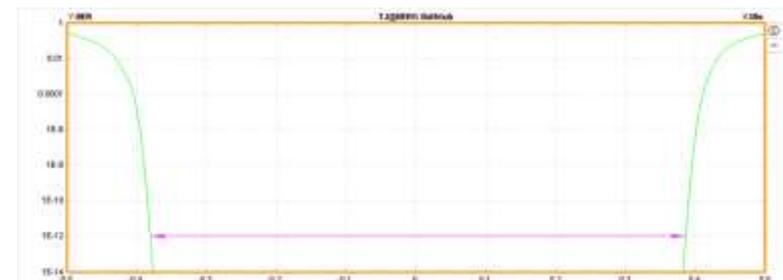
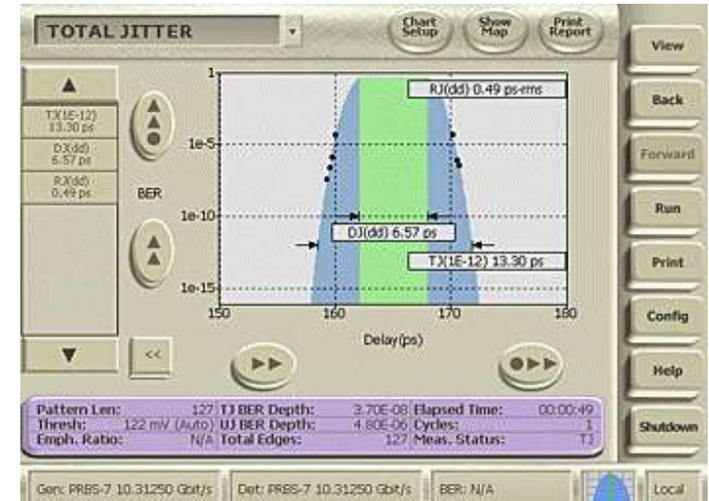
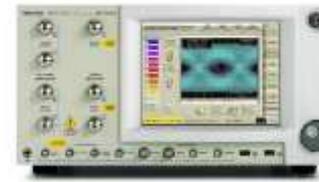
トータル・ジッタの測定

BERT (Bit Error Rate Tester)

- トータル・ジッタ (Tj) を直接測定
 - 各点でBERを測定しながらUI内をスキャンし、BERプロットを求める
- ただし膨大な時間が必要
 - 5Gbps (5×10^9) では5時間必要とも
- そこでUI両端の高BERの数点だけ測定し、バスタブ曲線の外挿 (Extrapolation) により測定時間を短縮

オシロスコープ

- 短期間でのジッタ (Rj、Dj) を測定し、PDFを求めることでバスタブ曲線 (CDF) を算出
 - PCI ExpressやUSB3.0では1M-UI



第2世代の高速シリアル・インタフェース測定例

PCI Express Rev.2.1 (5Gbps)

アイ高さ(遷移ビットの最小信号レベル)

アイ高さ(非遷移ビット/ディエンファシス・ビットの最小信号レベル)

バスタブ・プロット:
アイ幅@BER10⁻¹²

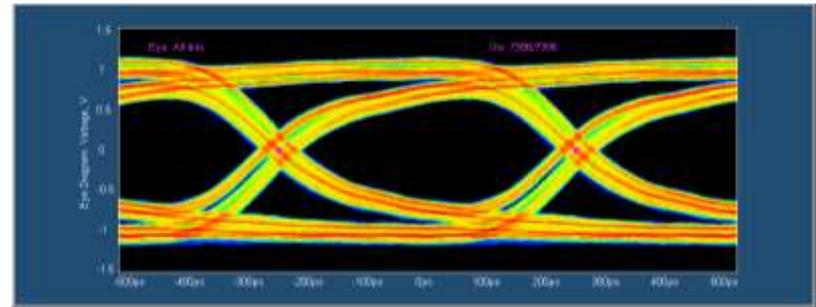
ジッタ・スペクトラム:
ジッタの周波数成分を表示
(規格とは無関係)



5 Gbps: ランダム・ジッタ ($Rj_{(\delta-\delta)}$)、デターミニステック・ジッタ ($Dj_{(\delta-\delta)}$)、トータル・ジッタ@BER⁻¹²測定

測定の勘所： ジッタが過剰な場合は デターミニスティック・ジッタの 各成分を分離測定する

- 実際のジッタはランダム・ジッタとデターミニスティック・ジッタの各成分が合わさっている(畳み込まれている)
- デターミニスティック・ジッタの合計 D_j
 \geq デュアル・ディラック・モデル $D_j(\delta-\delta)$

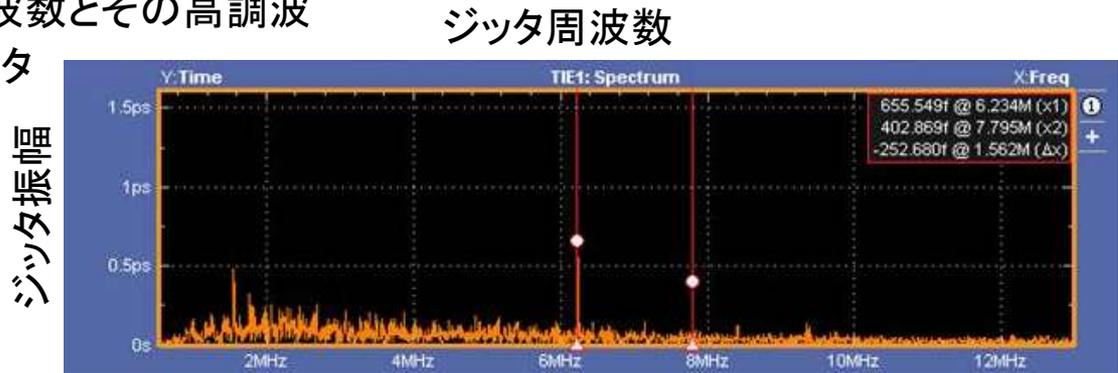


Result, Statistic	This Acq
Random **	0.0054UI
Deterministic *	0.1379UI
Data Dependent *	0.1107UI
Periodic *	0.0172UI
Duty Cycle *	0.0100UI

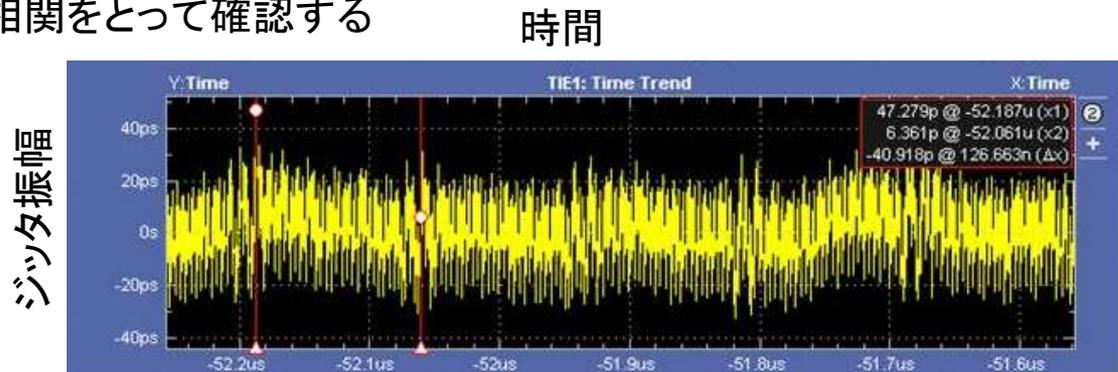
名称	要因
ランダム・ジッタ (Random Jitter)	熱雑音など
デターミニスティック・ジッタ (Deterministic Jitter)	
周期性ジッタ: Pj (Periodic Jitter)	スイッチング電源、CPUクロック、オシレータなどが原因
デューティ・サイクル歪みジッタ: DCDj (Duty Cycle Distortion)	オフセット・エラー、ターンオン時間の歪が原因
データ依存性ジッタ: DDj (Data Dependent)	隣接するデータ・ビットの変化が原因で発生、伝送帯域特性など伝送路の影響。シンボル間干渉: ISI (Inter Symbol Interference)

測定の勘所: ジッタ・ソースの識別

- 周期性ジッタが大きい場合にはSpectrumプロットによりジッタ周波数成分からジッタ・ソースを突き止める
 - 電源のスイッチング周波数とその高調波
 - CPUクロック、オシレータ



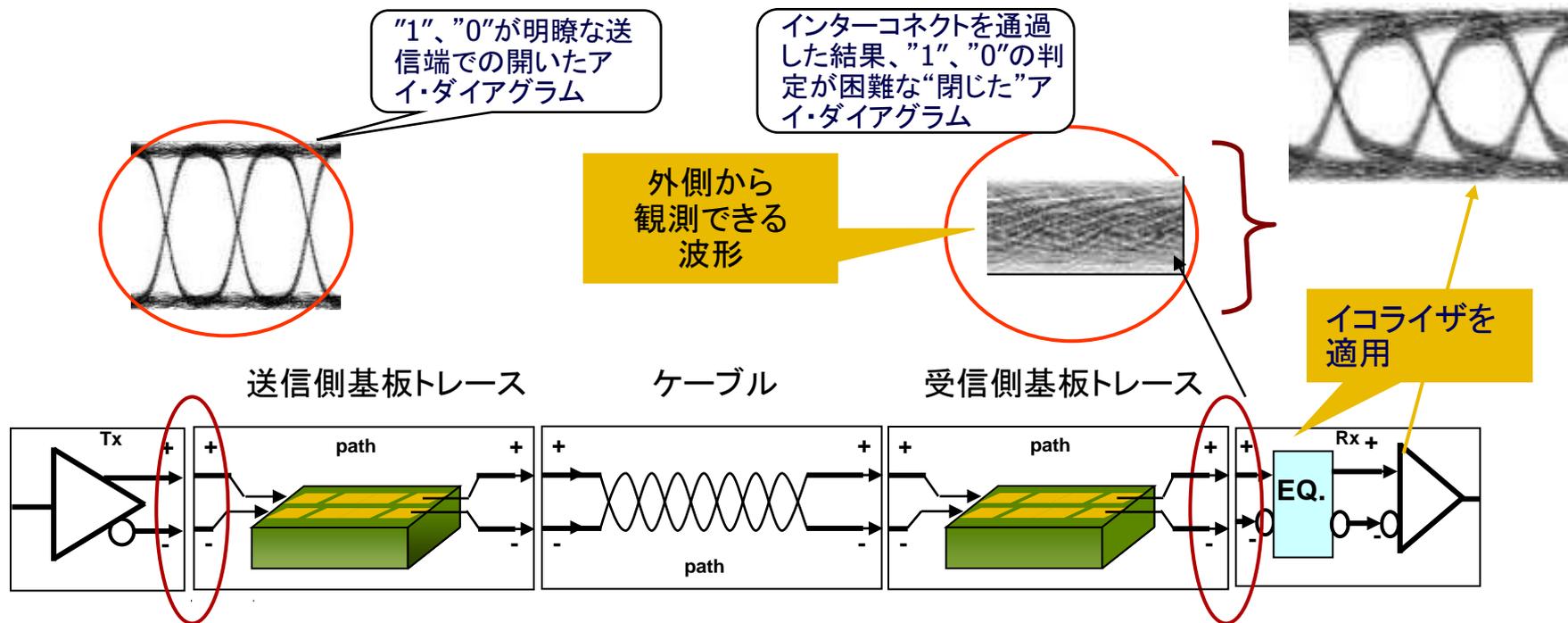
- ジッタが過剰な場合、Time Trendプロットによりジッタの時間的変動を確認
 - 単発的な過度なジッタの確認
 - 同時にVcc波形などと相関をとって確認する



伝送路の損失がより顕著に： ディエンファシス(プリエンファシス)の制約

- 高速化に伴い強く効かせると
 - 遷移ビットの振幅を持ち上げるプリエンファシスは、クロストーク、EMIの増加を招く
 - 非遷移ビットの振幅を下げるディエンファシスは、受信端での信号振幅が下がるためレシーバ感度、ノイズ・マージンの的に不利になる
- 参考：伝送路損失に対して強く効かせるとかえってジッタ(EJ: Emphasis Jitter)の増加を招くことがあるため最適化が必要(非標準規格)
 - 短距離伝送用にディエンファシスを使わないハーフ・スイング・モード(低電力モード)も用意している規格もある
 - 例：PCI Express、USB3.0

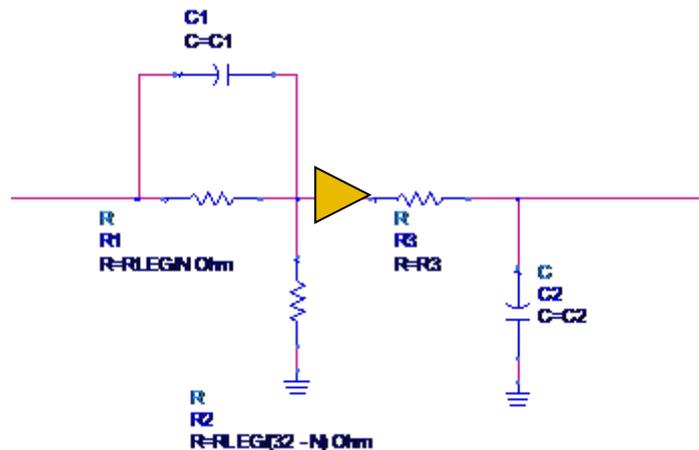
信号品質改善方法 – レシーバ・イコライザ



- データ・レート的高速化に伴い、プリ/ディエンファシスに加え、イコライザを積極活用
 - イコライザ技術自体は従来からも利用されている技術
 - 最近の傾向は高速シリアル規格での標準化され、コンプライアンス・テスト(規格適合試験)に導入
- 外部で観測している信号波形とデバイス内部のイコライザ適用後の波形が異なる
 - 計測機器によりイコライザのエミュレーションが必須

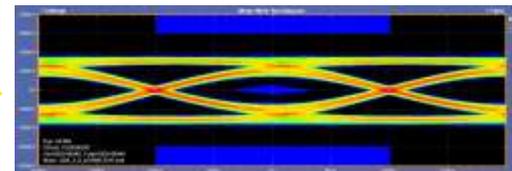
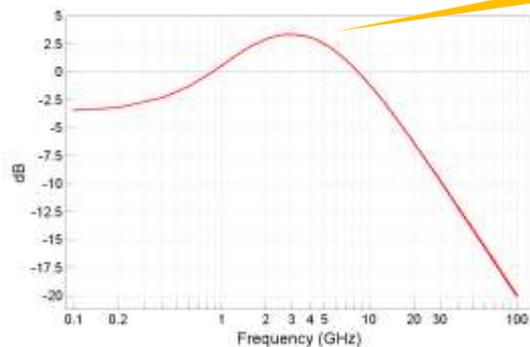
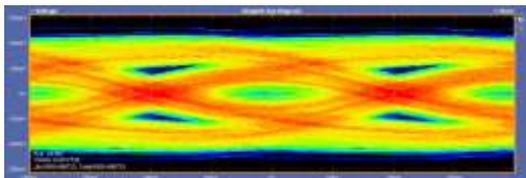
レシーバ・イコライザの種類その1: CTLE (Continuous-Time Linear Equalizer)

- ローパス+ハイパス・フィルタ
 - 周波数ドメインで設計
 - アナログ・ベース
 - 回路規模小
 - 低消費電力
- 規格例: USB3.0コンプライアンス・テスト用
リファレンス・イコライザ(ロング・チャンネル)
 - DCゲイン(A_{dc}): -3.5dB (0.667)
 - 極周波数: 1.95GHz (ω_{p1})、5GHz (ω_{p2})
 - 零周波数(ω_z): 650MHz



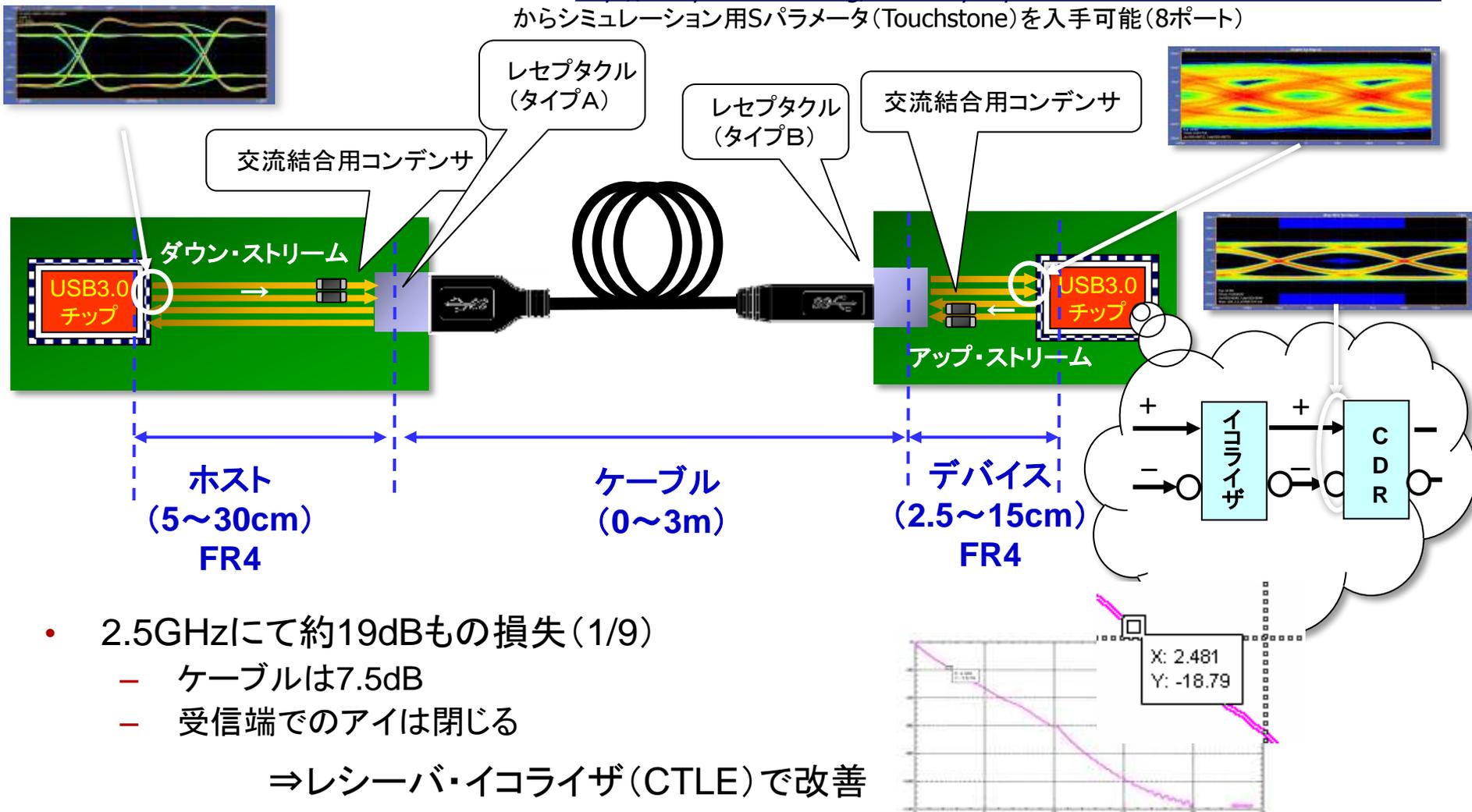
$$H(s) = \frac{A_{dc} \omega_{p1} \omega_{p2}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

2.5GHzで+3.3dB以下



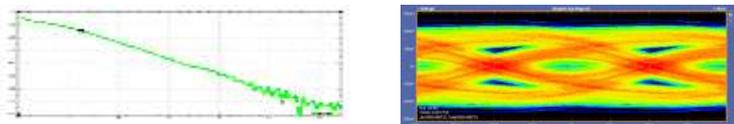
イコライザ使用例: USB3.0ホスト⇒デバイス想定最長チャンネル

参考: <http://compliance.usb.org/index.asp?UpdateFile=USB3&Format=Standard#58>
からシミュレーション用Sパラメータ(Touchstone)を入手可能(8ポート)

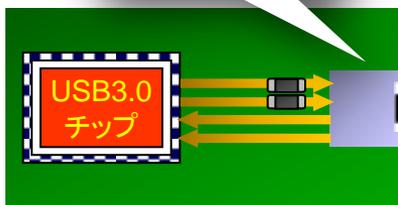


レシーバ・イコライザ、チャンネル/シミュレートする シリアル・リンク解析が必須に

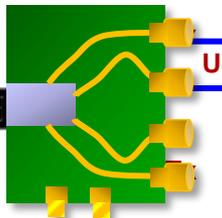
2. ソフトウェア的にチャンネル特性の損失を加え、
TP4の波形を再現



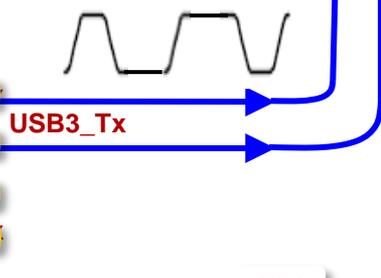
1. TP2の波形
を捕捉



被測定システム



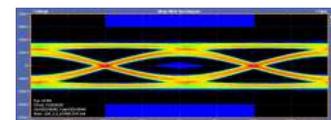
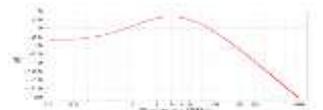
テスト・フィクスチャ



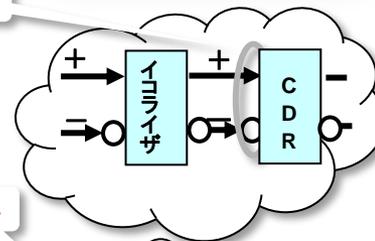
オシロスコープ



3. 再現されたTP4にイ
コライザを適用し、
チップ内部のTP5
(CDRが受信する信
号)を再現し、アイと
ジッタを測定

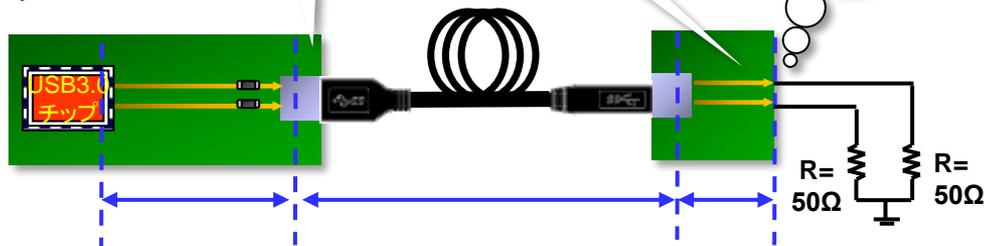


TP5



TP2

TP4



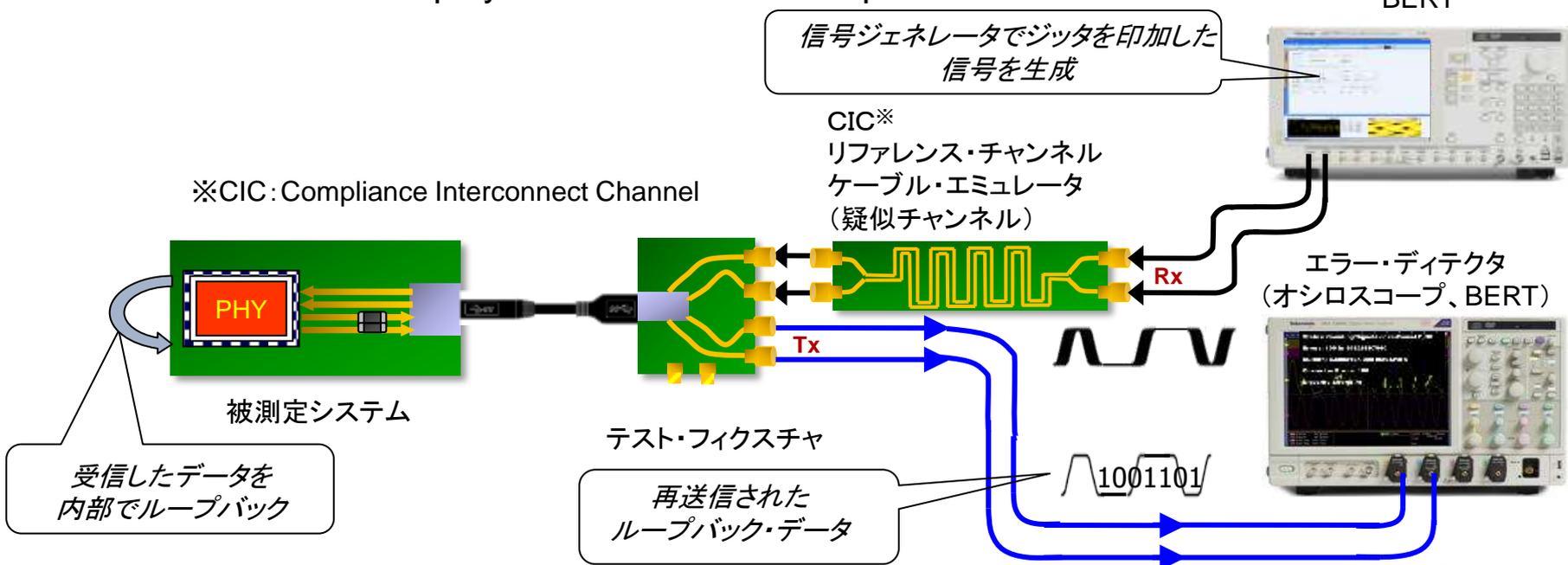
チャンネル

- USB3.0、PCI Express Rev3.0 (8Gbps)、DisplayPortのテストで採用
 - 規格想定 の 最長チャンネルでテスト

- デバイス: ホスト・チャンネル+ケーブル
- ホスト: デバイス・チャンネル+ケーブル

レシーバ評価が重要に

- 相互接続性、特定のBERでの通信を保証するためには、トランスミッタ評価だけでは不十分でレシーバ評価も重要に
 - 特に高速化に伴い、レシーバ側で受ける影響に対してセンシティブ
 - 受信端での信号振幅が減少
 - イコライザの併用で、受信端でのクロストーク、ノイズ等が増強される
- 最近の標準規格のコンプライアンス・テストでジッタ耐性テストを採用
 - SATA, HDMI, DisplayPort, USB3.0, PCI Express (Rev.3.0より)



レシーバ・テスト

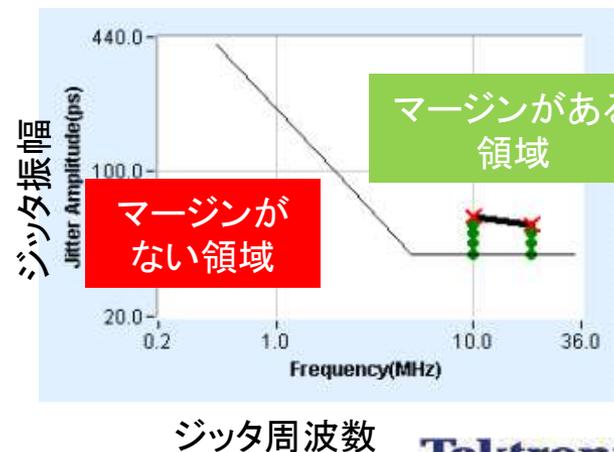
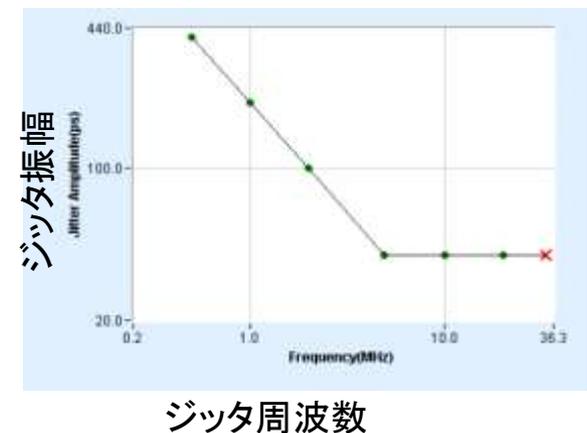
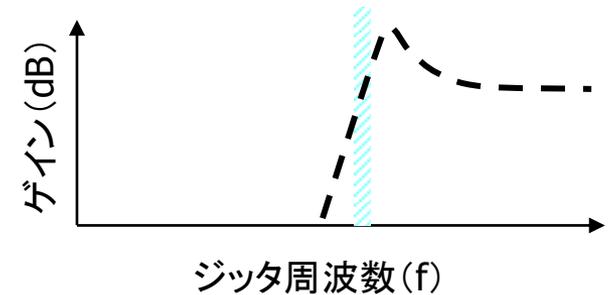
ジッタ耐性テスト(Jitter Tolerance Test)

- 規定のジッタ特性(周波数と振幅)を持った信号をレシーバに入力し、CDRの特性をテスト
 - クロック・リカバリ回路のジッタ吸収度合い、ピーキング、データ・リカバリ回路のセンス・アンプの時間方向余裕度の確認
- 内蔵・外部で受信したデータを確認
 - 外部の場合にはリタイムド・ループバック・モードを使用
 - 受信したデータをトランスミッタから出力
- エラー検出方法
 - SATA、USB3.0、PCI Express: 外部エラー・ディテクタ
 - HDMI: 視覚で確認(モニタ)
 - DisplayPort: 内蔵BERT

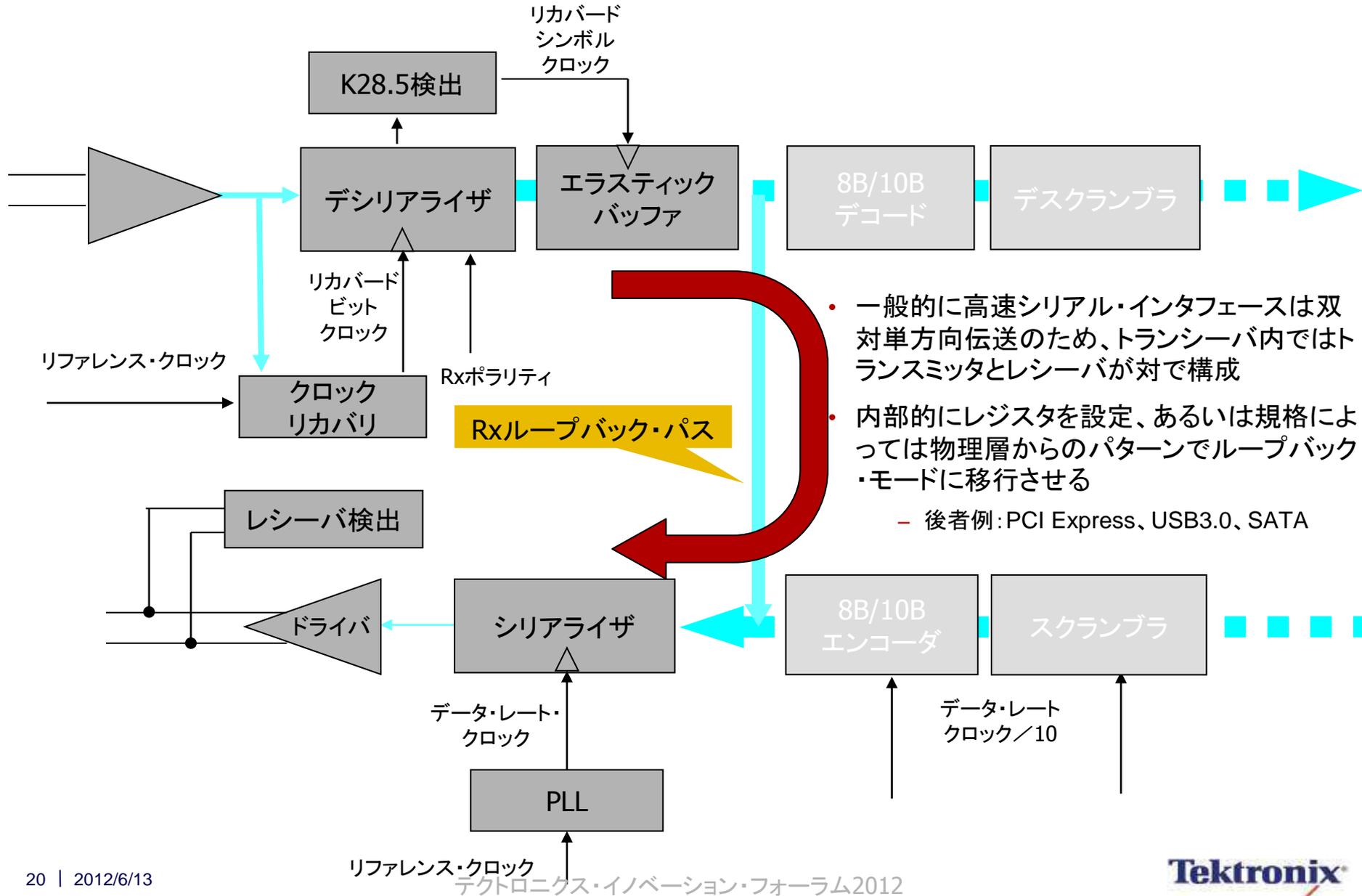
ジッタ・マージン・テスト(Jitter Margin Test)

- パス、フェイルではなく、ジッタ周波数、振幅を細かく変えて、どの程度のジッタまでならばCDRが正しくデータを受けられるかテスト
 - コンプライアンスではないが製品品質保証の意味で、社内で評価しておくことを推奨

CDRジッタ伝達関数:どこまでジッタを通すか



トランスミッタ／レシーバ間ループバック・パス

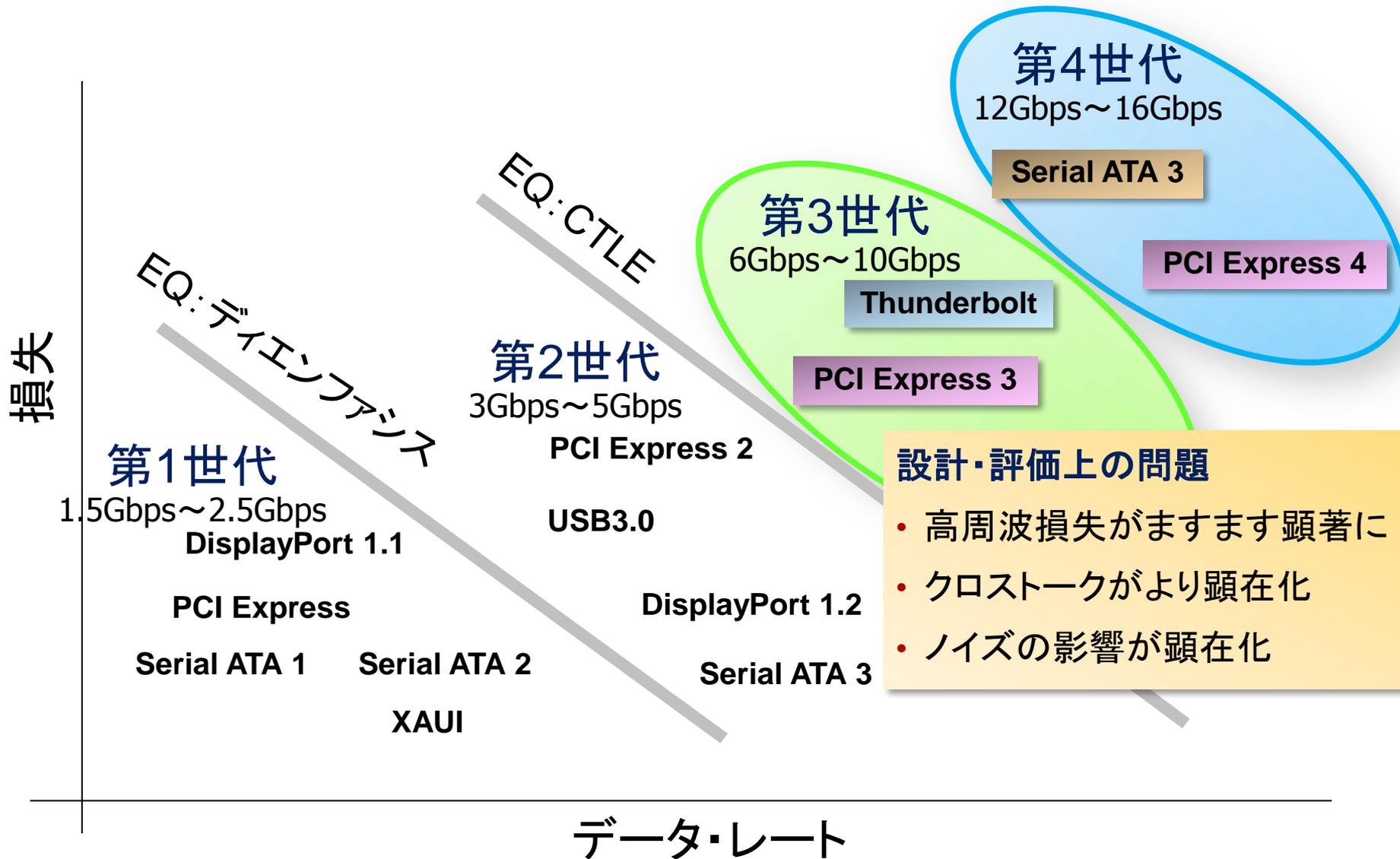


まとめ:

第2世代の高速シリアル・インタフェースの技術と測定

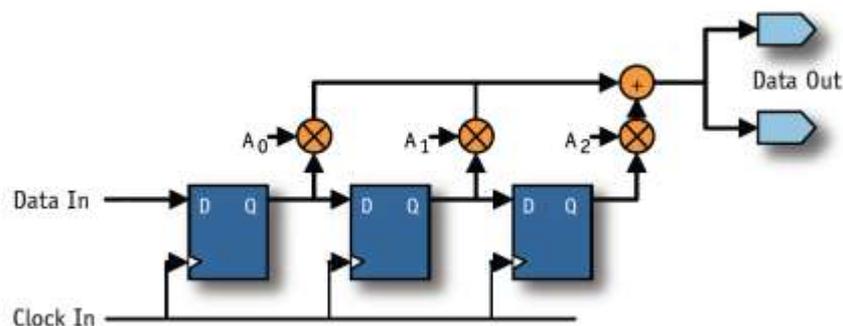
- 顕在化したRJのために、RJ、DJを分離したジッタ解析が必須に
 - RJ(Random Jitter): 時間経過に従い、広がる
 - DJ(Deterministic Jitter): 広がり是一定で時間経過に依存しない
- Rjの性質ゆえ、BERベースでのジッタ予測、アイ幅の予測が必要に(アイ幅/TJ@BER)
 - 非有界なため、BERによりピーク・トゥ・ピーク(Q_{BER})を仮定
- 近似モデル(Dual-Dirac)による規定で現実のジッタとは異なる
- より顕著な高周波損失のためにトランスミッタ側のディエンファシスに加え、レシーバ側にイコライザ(CTLE: Continuous-Time Linear Equalizer)を併用
- チャンネル+レシーバ・イコライザ・シミュレーションにより遠端レシーバ内(TP5)波形を再現するシリアル・リンク解析を行う
- 相互接続性、特定のBERでの通信を保証するためには、トランスミッタだけの測定では不十分で、レシーバ・ジッタ耐性テストも必要

高速シリアル・インタフェース第3、4世代

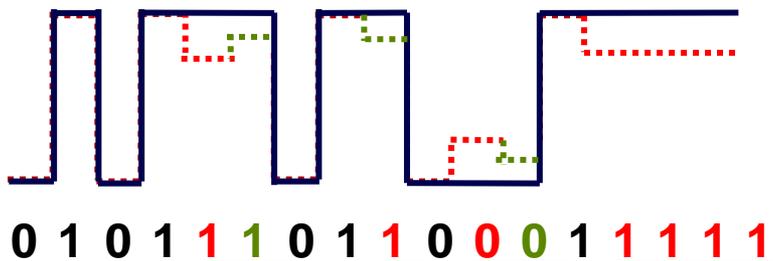


高周波損失に対する改善策： 2タップを超えてのディエンファシス(プリエンファシス)

- PCI Express Rev.3.0 8Gbpsでは遷移ビット直前(プリカーソル)のビット振幅も制御(プリシュート)



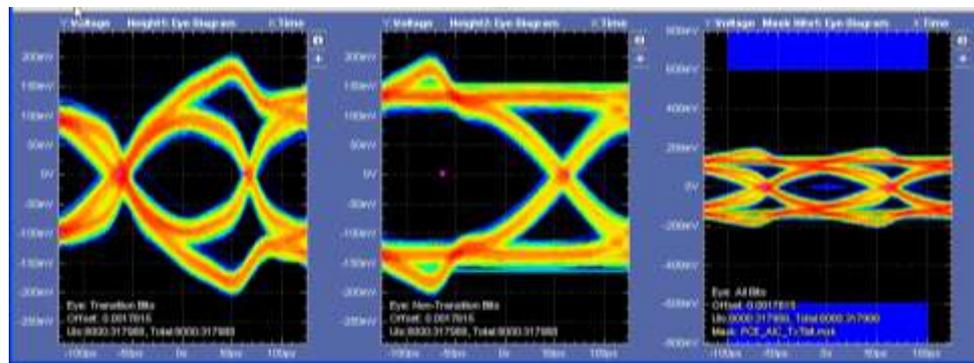
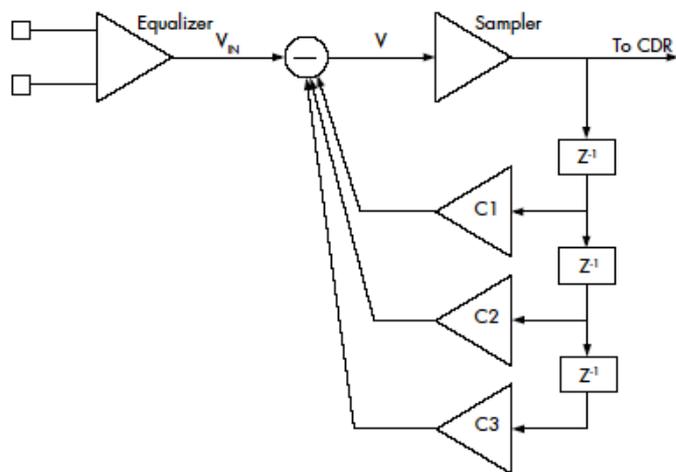
通常の信号、ディエンファシス、プリシュートを適用した信号



Preset Number	Preshoot (dB)	De-emphasis (dB)
P4	0.0	0.0
P1	0.0	-3.5 ± 1 dB
P0	0.0	-6.0 ± 1.5 dB
P9	3.5 ± 1 dB	0.0
P8	3.5 ± 1 dB	-3.5 ± 1 dB
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB
P5	1.9 ± 1 dB	0.0
P6	2.5 ± 1 dB	0.0
P3	0.0	-2.5 ± 1 dB
P2	0.0	-4.4 ± 1.5 dB
P10	0.0	See Note 2.

レシーバ・イコライザの種類その2: DFE (Decision Feedback Equalizer)

- タイム・ドメインでフォワード・フィルタとデジジョン・フィードバック回路で設計
- パターンによりイコライザ量を可変
- 他のイコライザ方式の問題点であるノイズを増幅することなくシンボル間干渉をキャンセル
- 回路規模、消費電力が大きいのが、半導体微細加工技術の進歩で広がりつつある
 - FPGAなどの高速トランシーバ、規格にも取り入れられ始めている
 - CTLEとDFEを組合せて使用される

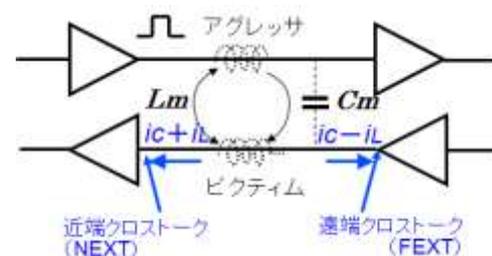


クロストークの影響がより顕著に

- クロストークは誘電性結合、容量性結合により発生し、信号の電圧変化・電流変化に応じて増加
- 差動信号でも電流分布は、トレース間隔の2倍程度まで広がりを持つ
- マルチポート、マルチレーンのインタフェースが存在

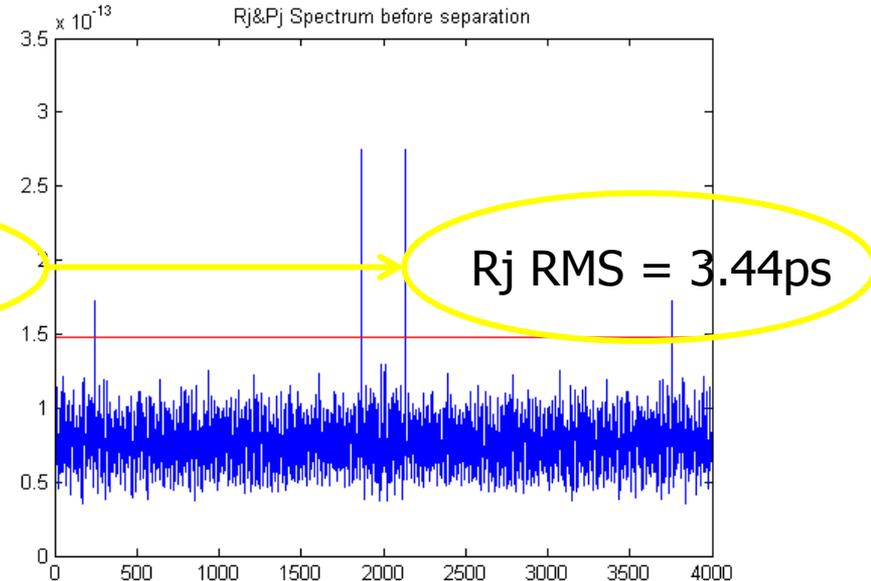
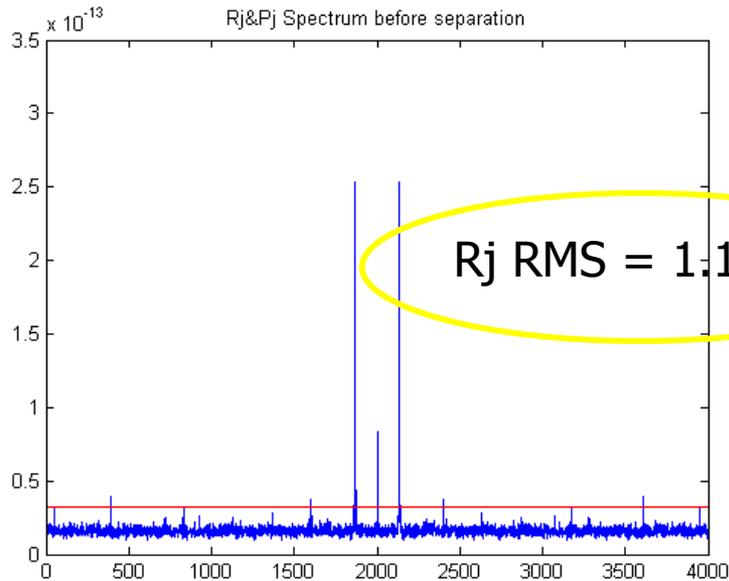
マルチレーンの例:

- PCI Express: X1、X4、X8、X16、DisplayPort: X1、X2、X4
- XLAUI(10GbpsX4)、CAUI(10GbpsX10)
- ほとんどの規格は双対単方向伝送
 - クロストークは近端で最大化(NEXT) → レシーバが影響を受ける
 - 送信と受信を別レイヤに配線・分離することで基板内のクロストークは抑制可能だが、コネクタおよび直下の配線では注意が必要
- クロストークの影響
 - ノイズ・マージンの低下
 - ジッタの増加: 非周期性有界非相関ジッタ(NPBUJ: Non-Periodic Bounded Uncorrelated Jitter)が増加

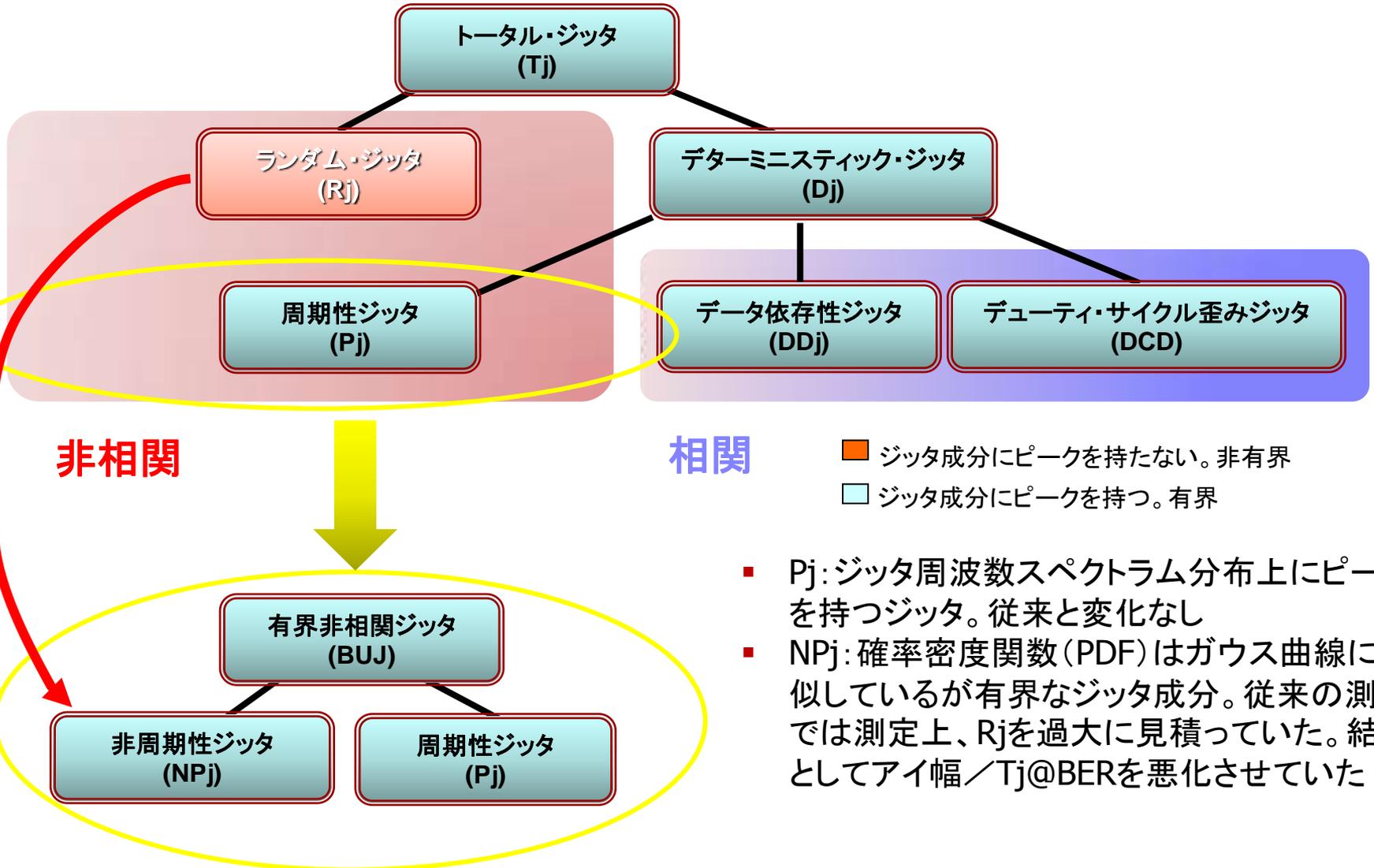


ジッタ周波数スペクトラムへのクロストークの影響

- クロストークがない信号のジッタ周波数スペクトラム
 - スペクトラムにはピークを持つ周期性のジッタを含む
- 左記の信号にクロストークが載ったジッタ周波数スペクトラム
 - Rjが増加したように見えてしまい、Rj、結果としてTj@BERを過大に見積ってしまう

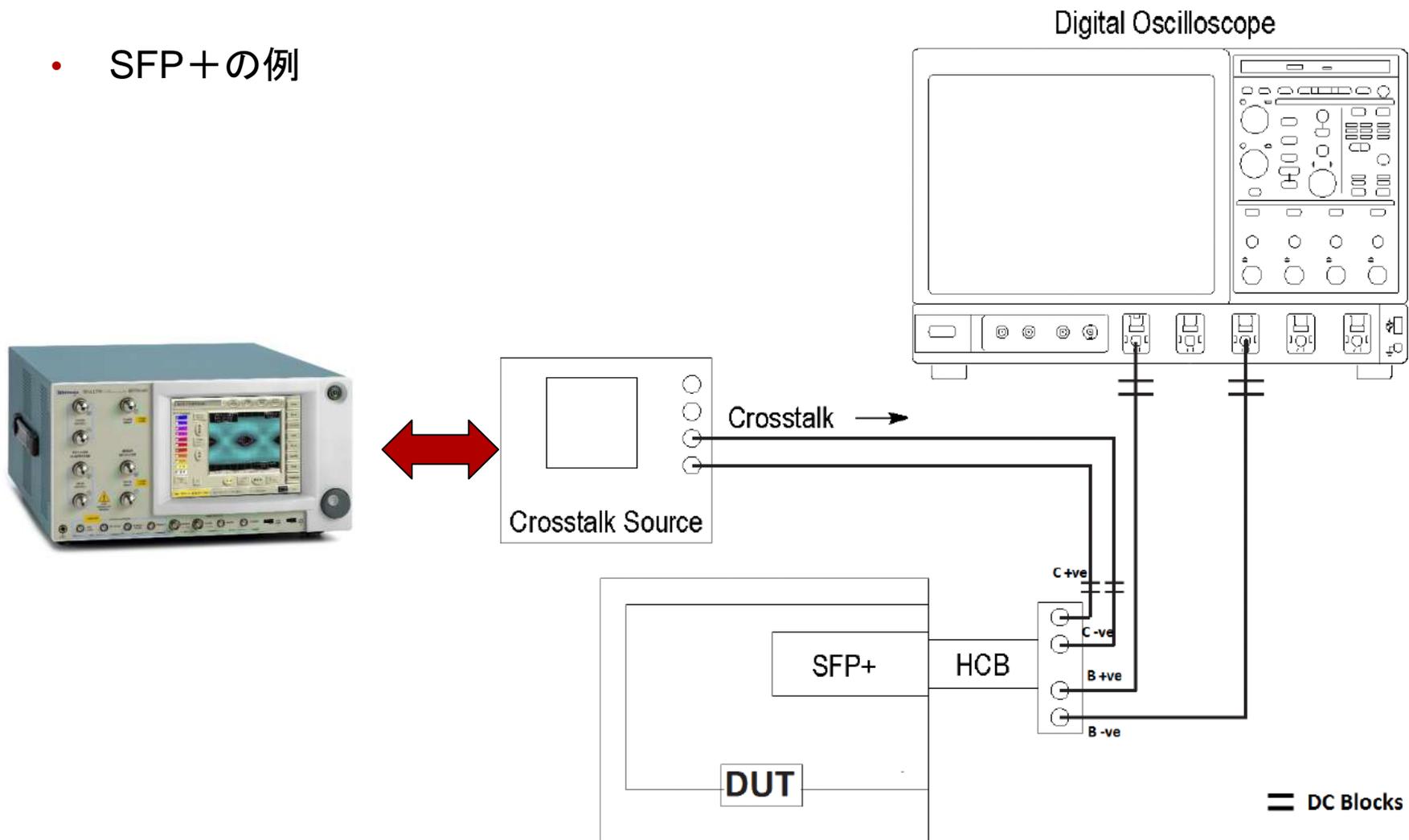


ジッタ: クロストークの影響を分離した測定が必要



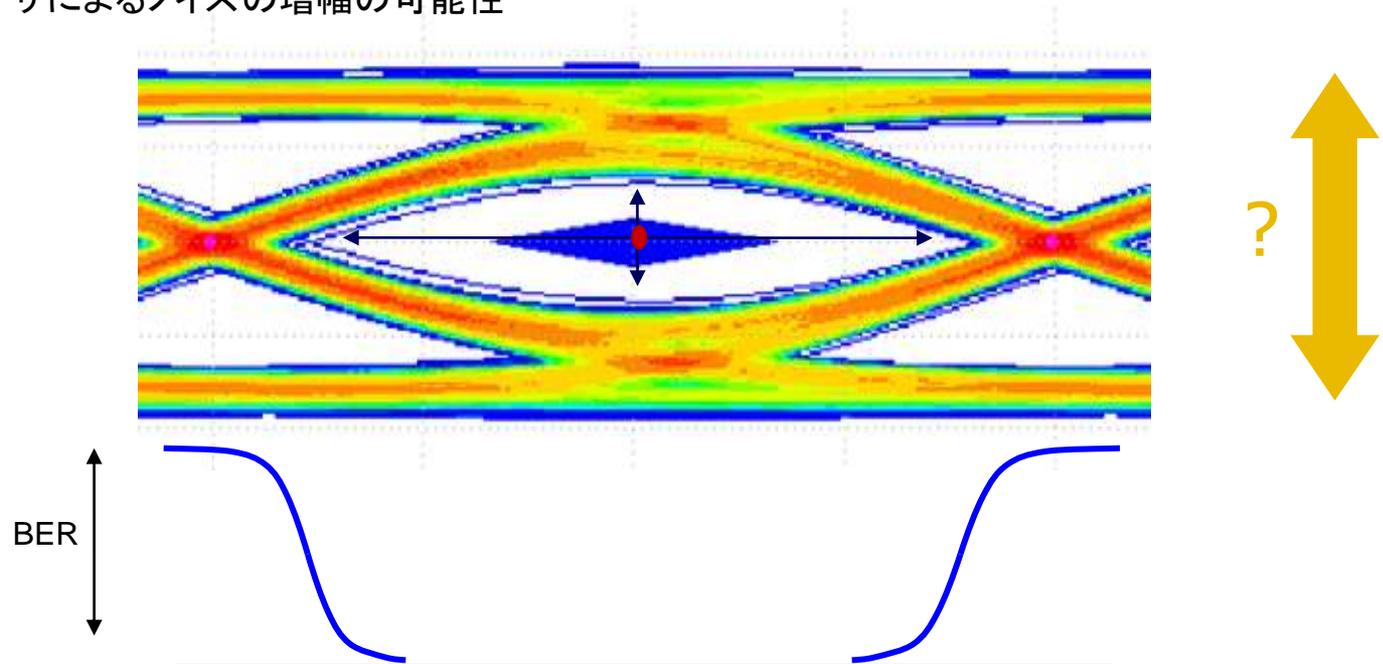
システム測定、コンプライアンスでは クロストークの印加が必要に

- SFP+の例



アイ・ダイアグラムとより正確なBERの関係？

- 第2世代まで
 - アイの開き方は、BERと相関がある(時間軸方向)
 - ジッタとBERの関係は R_j 、 D_j とバスタブ曲線で予測可能
- 第4世代以降に必要な考え方
 - 高速化に伴い、顕在化するノイズの影響
 - より受信端の信号レベルが低下
 - イコライザによるノイズの増幅の可能性



まとめ:

第3、4世代の高速シリアル・インタフェースの技術と測定

- チャンネル+レシーバ・イコライザ・シミュレーションにより遠端レシーバ内(TP5)波形を再現するシリアル・リンク解析がより重要に
 - 損失の少ない近端(TP2)で信号を捕捉
 - CTLEのみならずDFEシミュレーションも必須に
- テスト時にはクロストークを印加
- ジッタ解析では、クロストークにより発生するBUJ(NPJ)を分離して、アイ幅/TJ@BERをより正確に予測
- 特定のBERにおけるアイ幅に加え、特定のBERにおけるアイ高さの測定が必要に
 - 3D-BER、BER等高線
- レシーバ・テストがより重要に

テクトロニクス的高速シリアル・インタフェース測定ソリューション

波形観測+信号品質テスト

- オシロスコープ+コンプライアンス・テスト/解析ソフトウェア+プローブ
- サンプリング・オシロスコープ

ジッタ、ビット・エラー・レート(BER)計測

- オシロスコープ+ジッタ解析ソフトウェア
- BERT

伝送路解析(差動インピーダンス、差動Sパラメータ、インサージョン・ロス、リターン・ロス)

- 差動TDR/サンプリング・オシロスコープ

レシーバ・ストレス・テスト

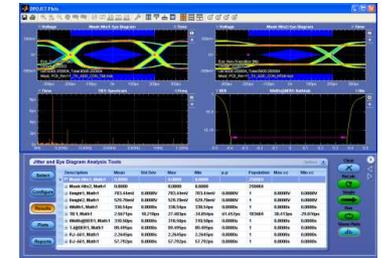
- 任意波形ジェネレータ
- BERTストレス・ジェネレータ

システム・レベル・デバッグ

- ロジック・アナライザ

プロトコル解析

- プロトコル・アナライザ



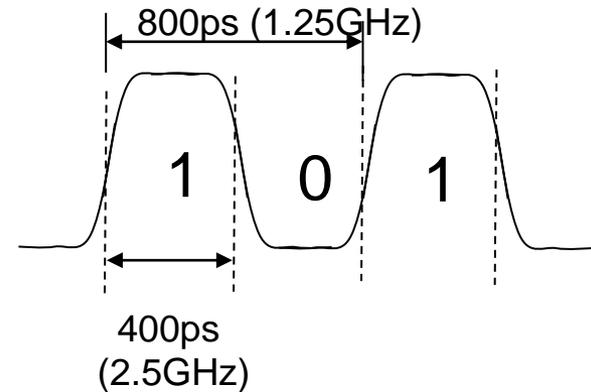
テクトロニクスソリューション: オシロスコープ

- DSA70000Dシリーズ デジタル・シリアル・アナライザ
 - 33GHz、25GHzの2機種
- DSA70000Cシリーズ デジタル・シリアル・アナライザ
 - 20GHzから4GHzに6機種
- 共通
 - 100GS/s@2チャンネル、50GS/s@4チャンネル(12.5GHz以上)
 - 標準: ジッタ/アイ・ダイアグラム解析、6.25Gbps8B10Bプロトコル・デコード、サーチ & トリガ
 - オプション: フレーム & ビット・エラー・ディテクタ、ビジュアル・トリガ、I2C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード & トリガ、DDR解析、シリアル・データ・リンク解析
- MSO70000Cシリーズ ミックスド・シグナル・オシロスコープ
 - DSA70000Cシリーズ + 16チャンネル・ロジック入力付: アナログ信号と周辺デジタル信号の同時測定
 - パラレルのみならず低速シリアル・バスも同時取り込み可能
 - 業界唯一: MSOでのiCapture(アナログMUX)。1回のプローブ接続で任意のデジタル・チャンネルのアナログ信号を切り替えて観測可能
 - オプションでデジタル・シリアル・アナライザ相当の機能を装着



必要なオシロスコープの周波数帯域

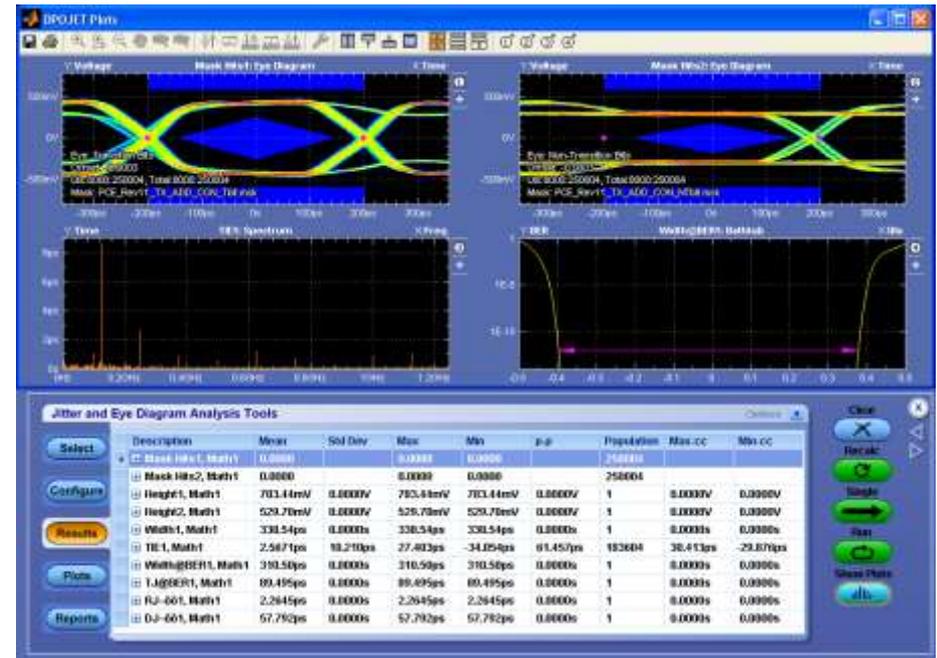
1. 規格認証試験書(CTS)による推奨
2. 5次高調波までの捕捉が目安
 - 方形波の基本波周波数(最高) = ビット・レート(NRZ) / 2
 - 周波数領域で見ると、方形波は基本波と奇数高調波により構成
 - 5次高調波までを捕捉
 - 5次以上は急速に減衰
3. 10Gbps以上
 - システム: 3~4次が目安
 - SFP+, Thunderbolt: 10.3125Gbps → 15GHz
 - 半導体: より正確な測定のために5次を推奨
4. 立上り時間からの考察
 - ニー周波数 (f_{Knee})^{*} = $0.5 / T_r$
 - オシロスコープの立上り時間が2倍速いこと
5. 光
 - ビット・レート × 0.75: 4次ベッセル-トムソン・フィルタによる帯域制限



**高調波成分が急速に減衰する点。引用: Howard Johnson and Martin Graham, 「High-Speed Digital Design: A Handbook of Black Magic」, p.2. Prentice Hall, 1993*

DPOJETジッタ & アイ・ダイアグラム解析ソフトウェア

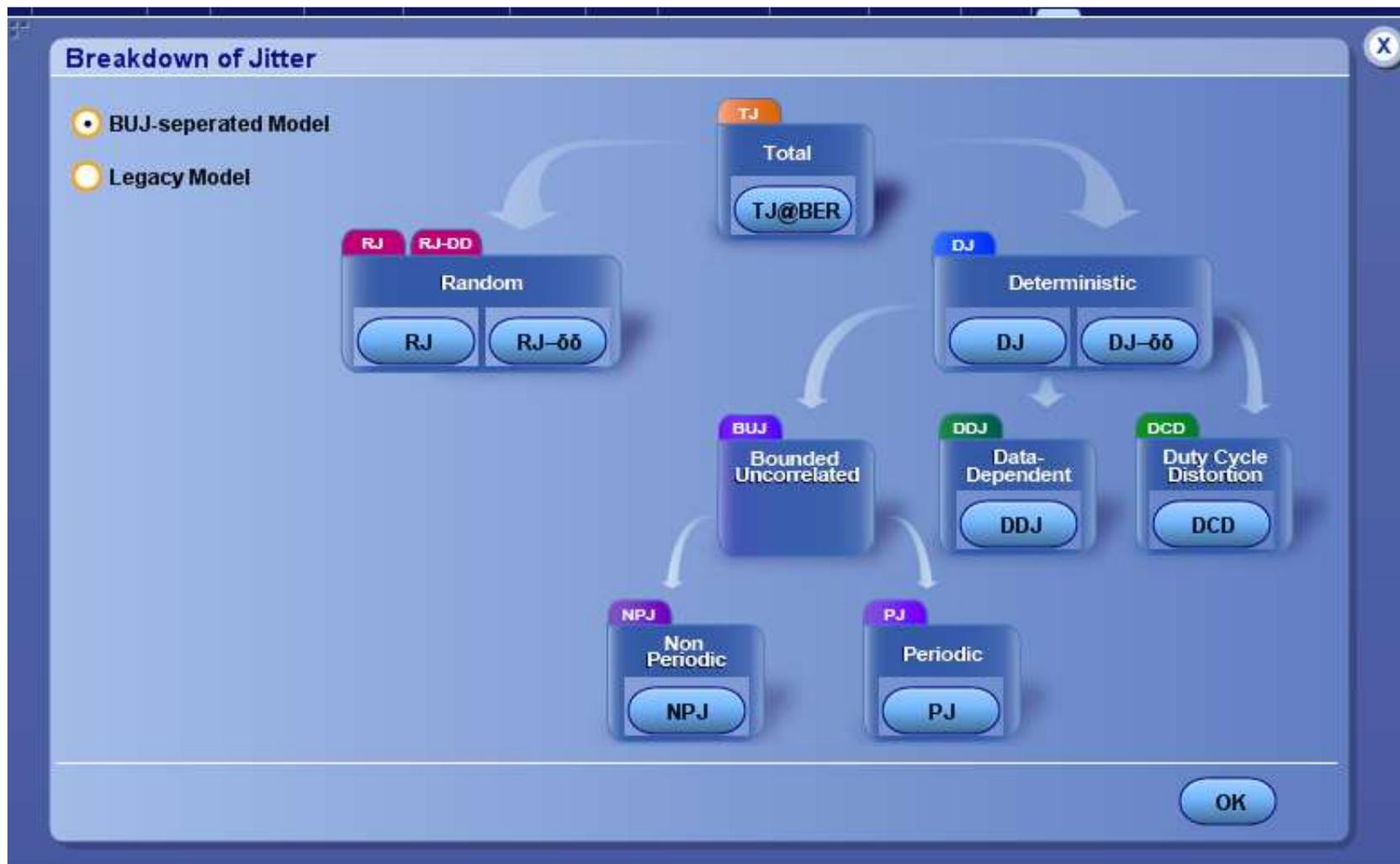
- 周波数／周期、振幅、タイミング、ジッタとアイ・ダイアグラム測定
- コンプライアンスからデバッグまで対応
- 同時に99測定まで: 効率的！
 - 別々の信号に対する測定も同時に可能
 - 異なったクロック・リカバリでの評価
 - マルチレーンでは個々のレーンに対し、独立したクロック・リカバリを使用可能
- Rj/Dj測定、特定BERでのアイ開口幅とトータル・ジッタ予測
 - 真のDjと $Dj_{(\delta-\delta)}$ 、Dj各成分の測定
 - NPBUJ測定 New!
- 特定BERでのアイ高さ
- 最大4プロット表示可能
 - 様々な側面からデータ解析を可能にするプロット
 - アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンドなど
- 外部クロック逡倍を含む様々なクロック・リカバリ・モデル
- 汎用+特定用途(DDR、PCI Express/3、USB3.0、SFP+、MIPI、SD/UHS-II など)



- レポート生成機能
 - MHTML形式(MIME Encapsulation of aggregate HTML)*
- DSA70000C/Dシリーズ標準
- MSO70000Cシリーズ:オプション

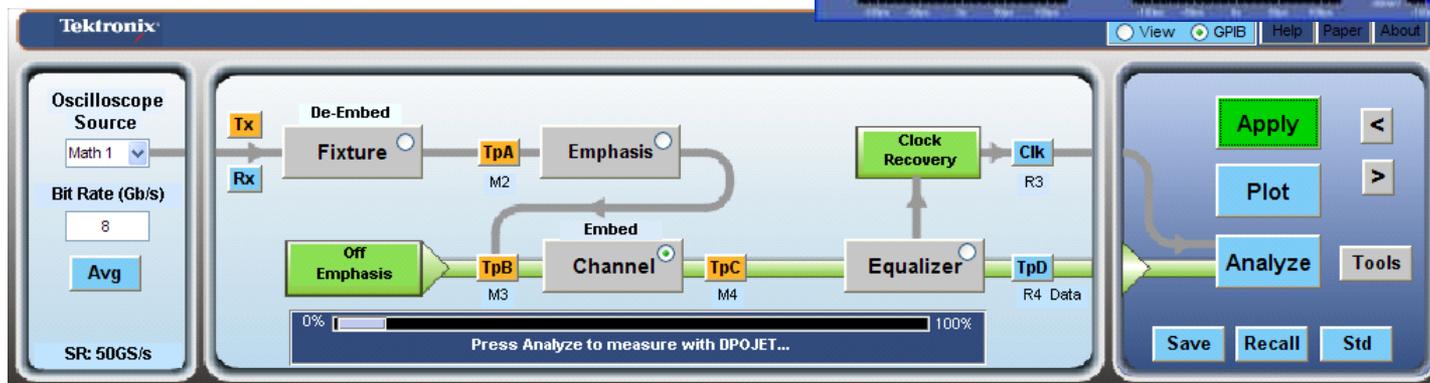
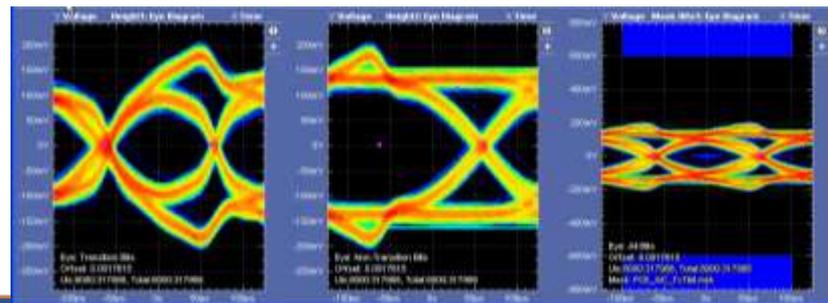
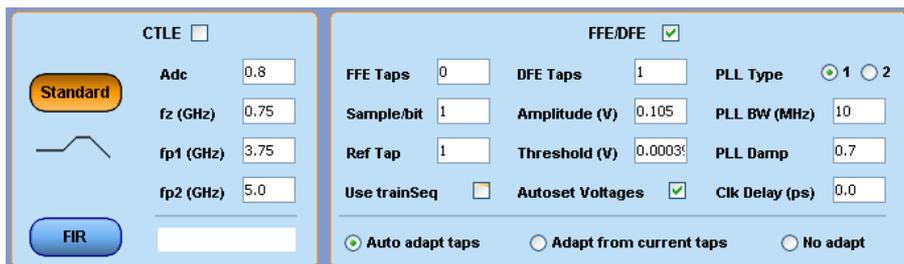
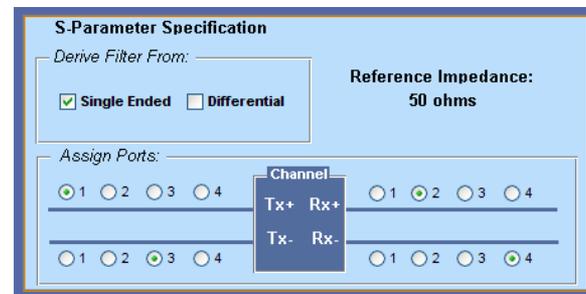
*HTML ファイルとリンクされた画像データを単一のアーカイブにまとめて保存できる形式

DPOJET新機能: NPBUJ測定 (Non-Periodic Bounded Uncorrelated Jitter)



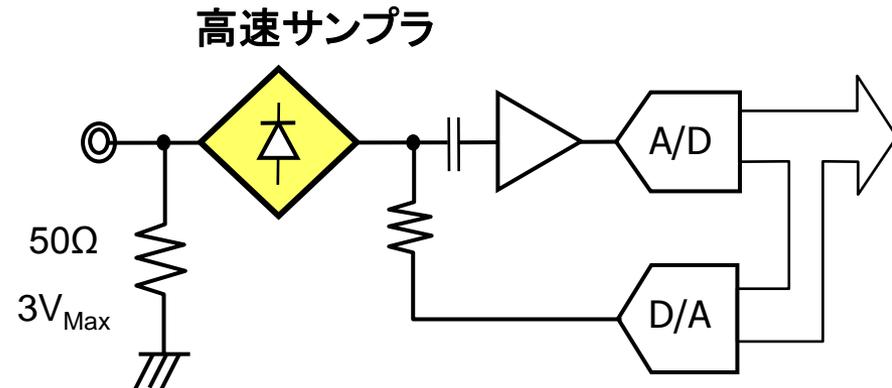
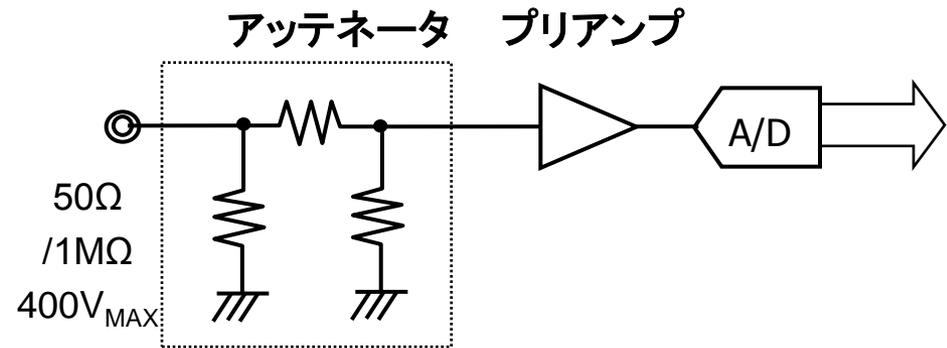
シリアル・データ・リンク解析のソリューション: SDLAシリアル・データ・リンク解析ソフトウェア

- 高速シリアル信号テストのための波形処理ツール
 - フィクスチャ・ディエンベディッド
 - チャンネル・エンベディッド
 - レシーバ・イコライゼーション (CTLE、FFE、DFE)
- Sパラメータ (TouchStone)をArbFilterに変換可能
 - *.S1p、*.S2p、*.S4p (差動、シングルエンド)
- 処理結果をプロットで確認可能
- DPOJETとシームレスに連動して、アイ、ジッタなど自動テスト、判定可能



33GHz・20Gbpsを超える帯域、ビット・レート： サンプリング・オシロスコープの利用

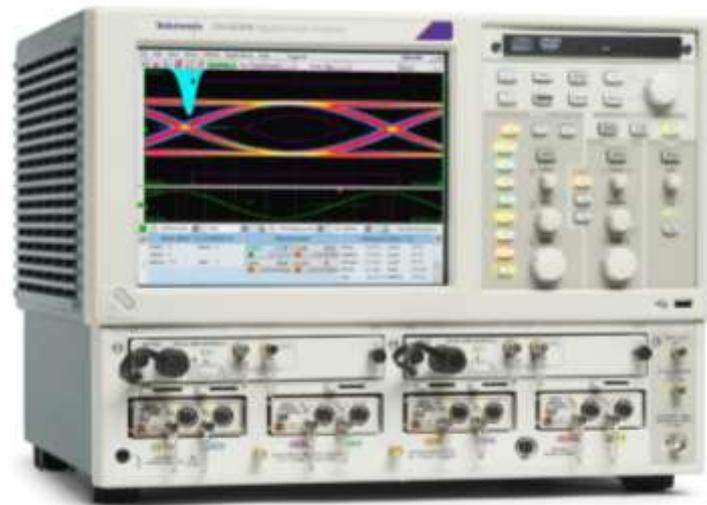
- 一般のデジタル・オシロスコープ
 - A-Dコンバータ前にアッテネータ、プリアンプを配置
 - 広い入力電圧レンジ
 - 帯域の制約
 - 広帯域に従ってノイズが増加
- サンプリング・オシロスコープ
 - 入力信号を高速・低アパーチャ・ジッタ・サンプラで直接サンプル
 - 低ノイズ
 - 低速高分解能のA-Dコンバータを使用可能
 - 高確度
 - 等価時間サンプリング
 - 入力回路に帯域制限要因になるアッテネータ、プリアンプ、保護回路なし
 - 耐圧の制約



(デジタル・エラー・サンプル・フィードバック方式)

DSA8300型 *New!* デジタル・シリアル・アナライザ

- 最高70GHz+ 周波数帯域
- 最高65GHz 光周波数帯域
- モジュール構造
 - 電気:5種類、TDR3種類
 - 光 :9種類
- 16ビット垂直分解能:20 μ V /LSB (1Vフルレンジ)
- 最大8ch 同時アキュジション
- ショート・ターム・トリガ・ジッタ
 - 標準:425fs、80A04型:200fs(RMS、代表値)
- トリガ帯域
 - クロック入力150MHz~15GHz(保証値)
 - プリスケール入力:150MHz~20GHz(代表値)
- コミュニケーション・マスク・テスト
- データ依存性障害解析に適したフレーム・スキャン機能
- 内蔵パターン・シンク機能(オプションADVTR)

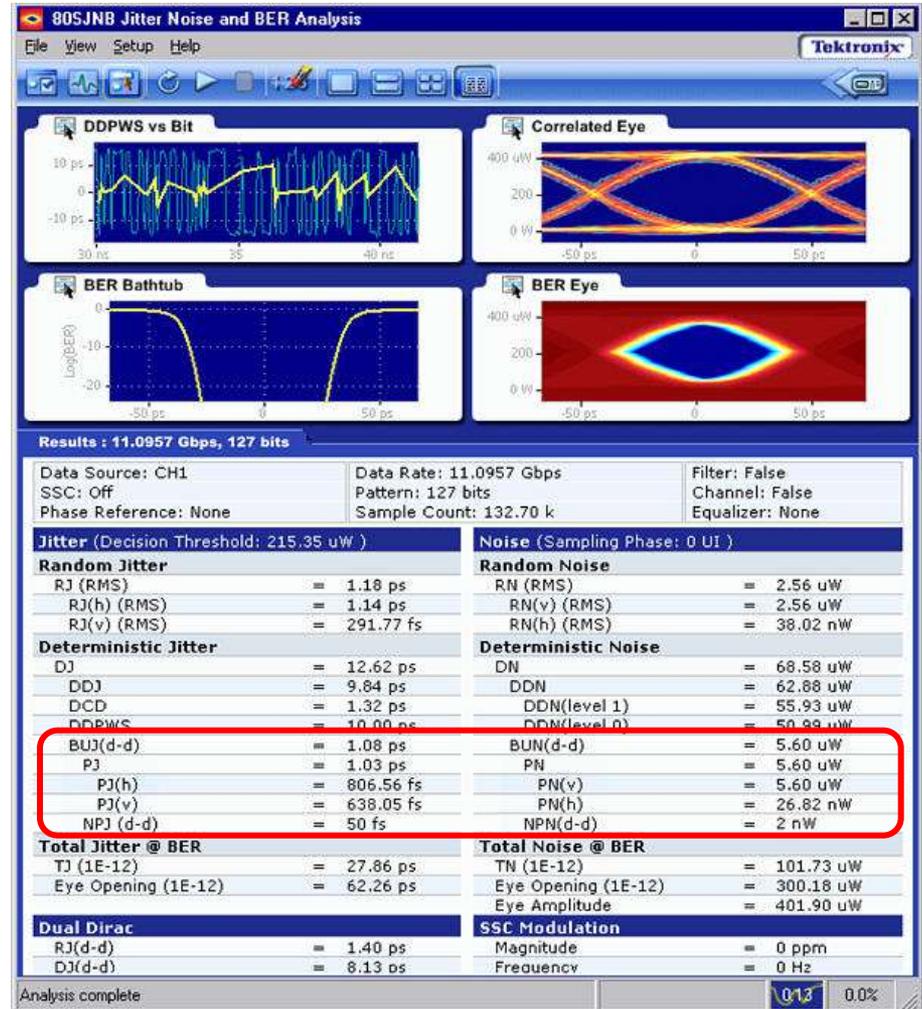


- オプション
 - ジッタ、ノイズ、BER評価
 - Sパラメータ、モデリング、アイ・ダイアグラム、シミュレーション

80SJNBジッタ、ノイズ、BER、シリアル・データ・リンク 解析ソフトウェア

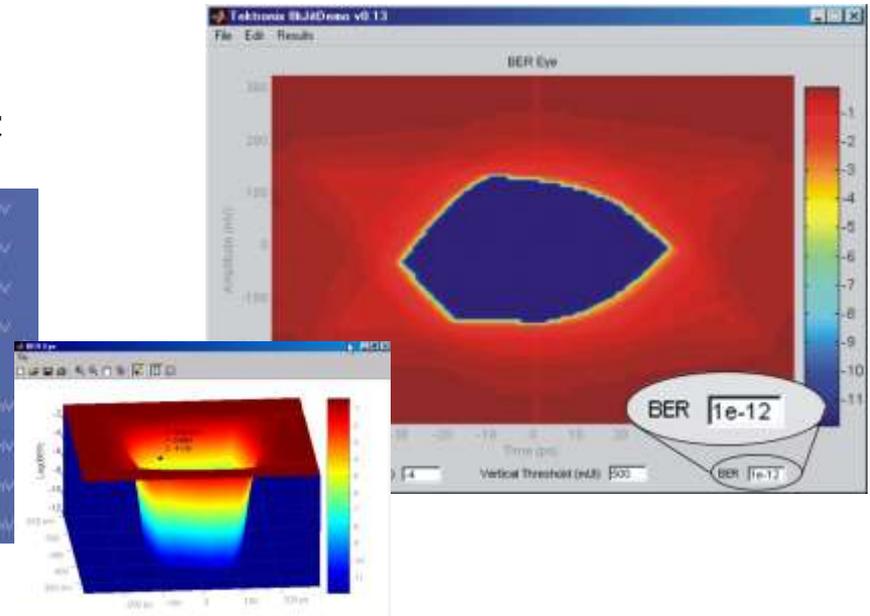
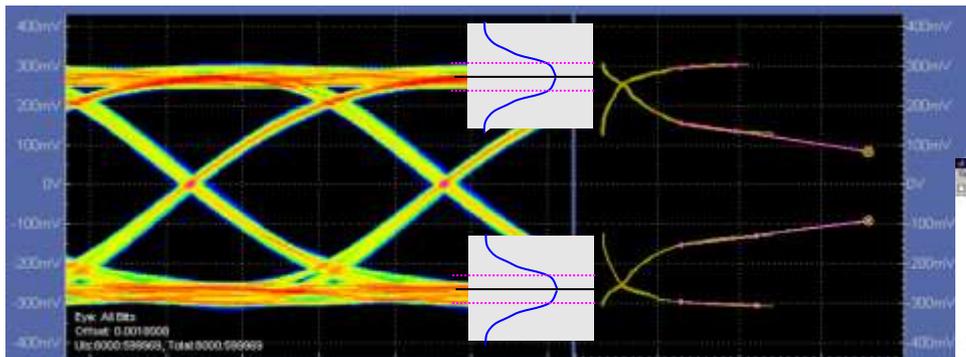
DSA8300シリーズ用ジッタ解析ソフトウェア

- 60Gbps超の高速シリアル信号のジッタおよびノイズの分離測定
- アイ開口@BER解析(垂直・水平)
- ジッタとノイズのランダム/デターミニスティック成分の分離と詳細な構成成分の解析
 - 周期性/非周期性、データ依存/非依存、有限/非有限
 - BUJ、BUNをサポート(2011年6月24日バージョン2.5.4より)
 - クロック・パターンのみならずPRBS-15までの繰り返しパターンに対応
- シリアル・データ・リンク解析機能
 - FFE/DFE
 - チャンネル・エミュレーション
 - チャンネル・ディエンベッド



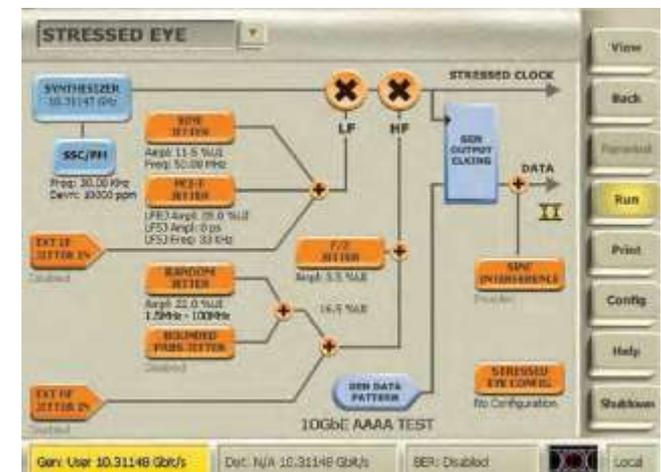
特定BERにおけるアイの高さ

- 垂直方向でもジッタと同じ考え方が必要
 - ランダム・ノイズ(Rn)の確率密度関数はガウス分布。よってアイの高さは時間推移により狭くなる
 - デターミニスティック・ノイズ(Dn)の分布は有界。時間推移の影響はないが、Rnに対するマージンを低下させる
 - Rnはピークを持たないため、仮想的なピークが必要 ⇒ 特定のBERで規定
- ノイズのPDF(確率密度関数)からBER曲線(バスタブ曲線)を求める
- DPOJETではアイ高さ@BERを測定可能
- 80SJNBでは3D-BER(BER等高線)を表示



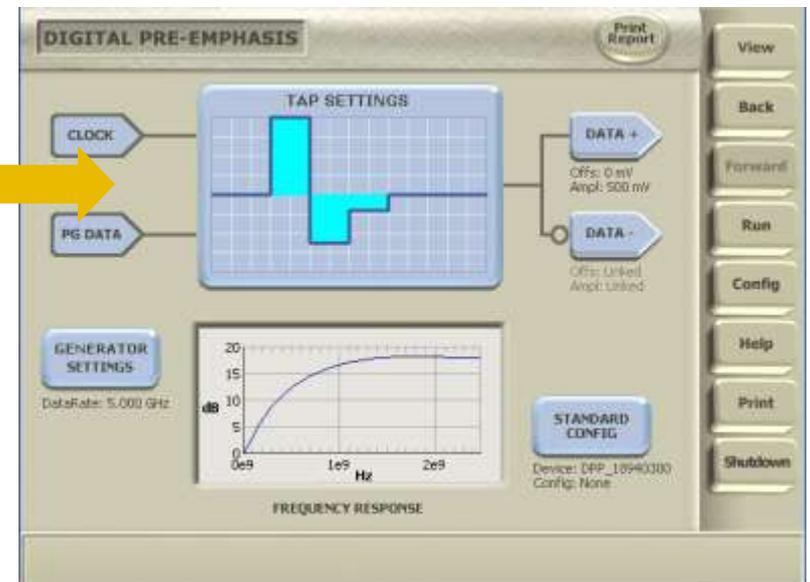
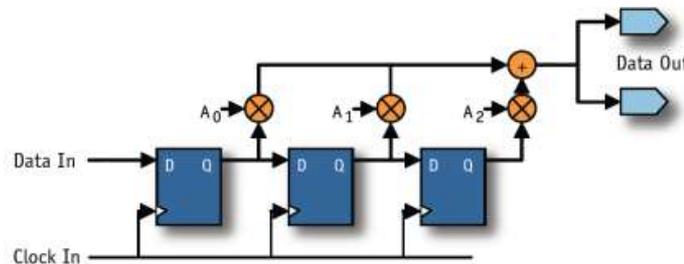
BSA Cシリーズ ビット・エラー・レート・アナライザ

- 最高26Gbpsのパターン生成、高速BER/ジッタ測定、エラー解析が可能
 - 8.5Gbps、12.5Gbps、17.5Gbps、26Gbpsの4機種
- ストレス生成機能※
- BERTScopeツールキット
 - 標準テスト・スイート
 - アイ・ダイアグラム、マスク・テスト
 - ジッタ・トレランス・マージン・テスト※
 - 物理レイヤ・テスト・ソフトウェア・スイート※
 - ジッタ・ピーク、BER輪郭、Qファクタ解析
 - ジッタ分離(ジッタ・マップ) ※
- 当社特許のError Location Analysis機能
 - エラー/データ相関など
- その他※
 - ストレス・ライブ・データ
 - エラー訂正符号化エミュレーション
 - シンボル・フィルタリング



DPP125B型 デジタル・プリエンファシス・ユニット

- 標準: 3タップ、オプション: 4タップ
 - 任意の3ビット、4ビットに対し、ディエンファシス、プリシュートを設定可能
 - 周波数領域での特性確認可能
- 12.5Gbpsまで
- BERTScope、あるいはスタンドアローンで他のパターン・ジェネレータと併用可能



AWG7122C型 任意波形ジェネレータ

- SDX100 SerialXpress™ジッタ生成ソフトウェアと合わせて任意のジッタ、ISI、ディエンファシス、ノイズを印加してのシリアル・データが直接に発生可能に(ダイレクト・シンセシス)
 - 損失のためのハードウェア・リファレンス・チャンネルが不要
 - 高い再現性
- 最高サンプリング・レート(従来機種1.2倍)
 - 12GS/s@2チャンネル
 - 24GS/s@1チャンネル
- 10ビット垂直分解能
- マーカ出力
 - 2チャンネル／アナログ出力
- メモリ長
 - 標準:32M @2チャンネル、64M@1チャンネル
 - オプション:64M @2チャンネル、128M@1チャンネル



- 応用例
 - レシーバ・ジッタ・トレランス・テスト
 - SSC df/dtストレス・テストを実現
 - PLLループ帯域幅
 - チャンネル・エミュレーション



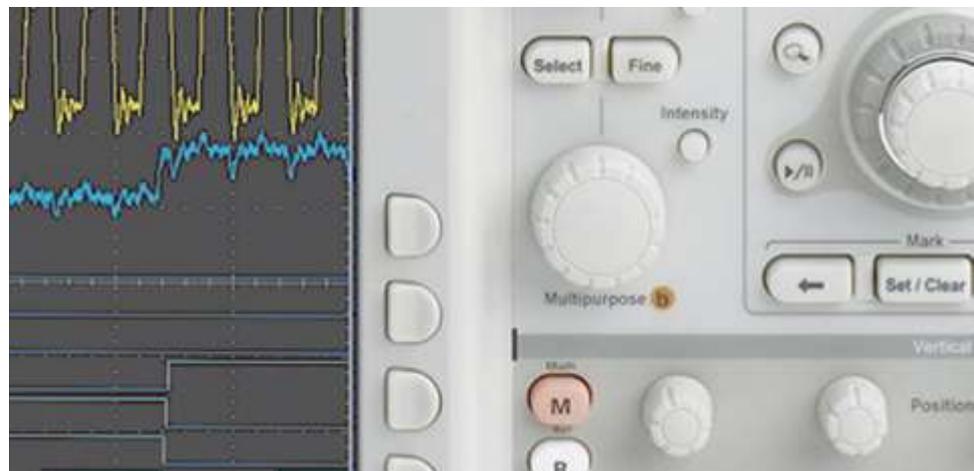
まとめ: 高速シリアル・インタフェース規格の世代と測定での必要事項

(※区分は単なる目安で絶対的ではありません)

※BUJ: Bounded Uncorrelated Jitter、有界非相関ジッタ

	～第1世代	第2世代	第3世代～
データ・レート	1.5Gbps～2.5Gbps	3Gbps～5Gbps	6Gbps～
符号化	8B/10B		64B/66B、64B/67B、128B/130B
イコライザ Tx	ディエンファシス(2タップ)		+プリシュート(3タップ)
Rx	CTLE		+DFE
測定点	TP1～TP4	TP2で捕捉し、チャンネル+レシーバ・イコライザ・シミュレーションにより遠端レシーバ内(TP5)波形を再現	
接続方法	プローブ	ケーブル直結	
アイ 高さ	アイ高さ@UI		アイ高さ@BER
幅	幅@UI	アイ幅@BER	
ジッタ	ピーク・ジッタ(TIE)	Rj、Dj、トータル・ジッタ@BER	+BUJ(NPj)
備考	ジッタでRjが占める割合がまだ小さい	Rjが顕在化	クロストーク、ノイズが顕在化(イコライザの併用、受信端レベルの減少)

ご清聴いただきありがとうございました



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>