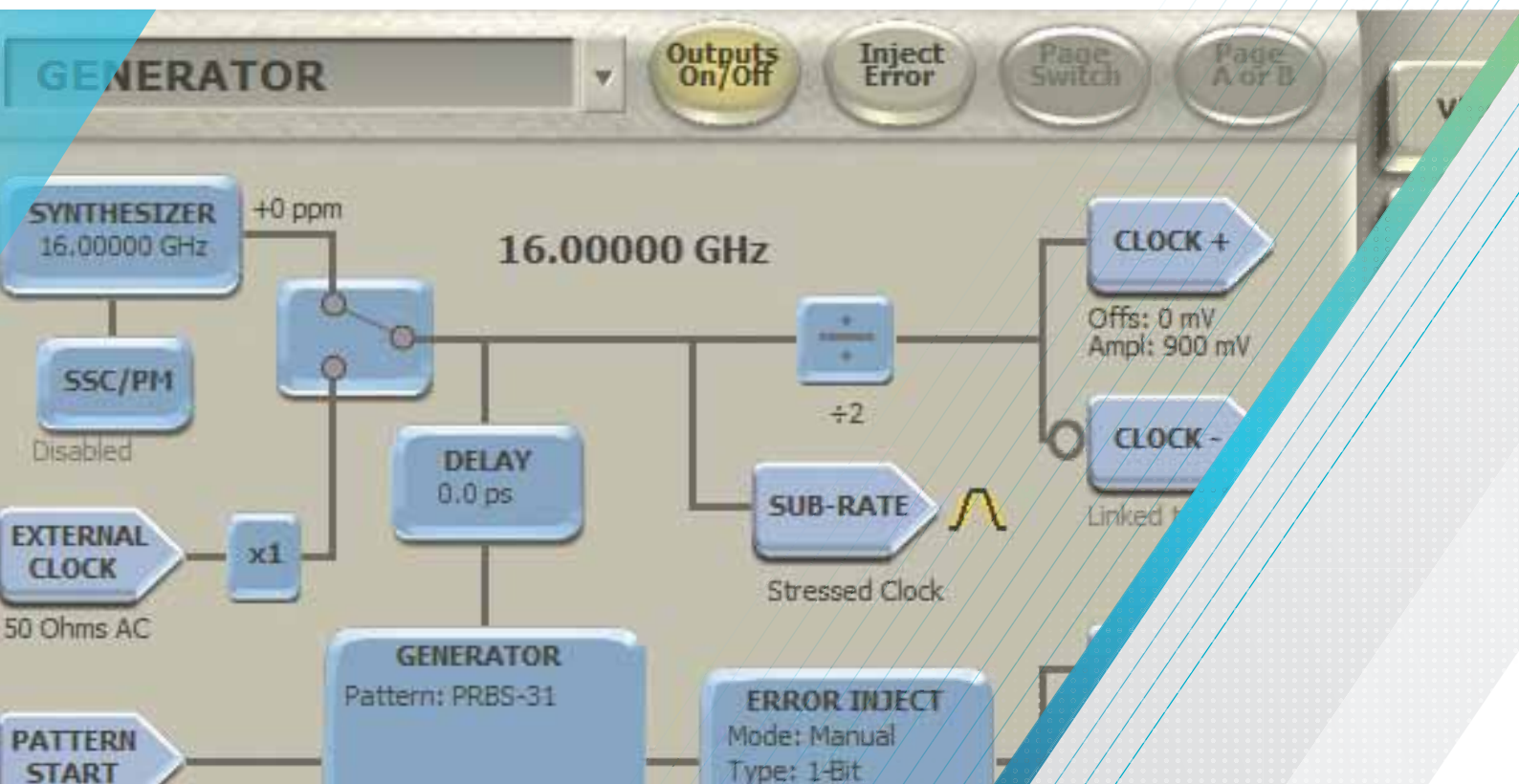


克服第 4 代 I/O 应用中的接收机测试挑战

应用指南



目录

1. 引言	3	5. 第 4 代接收机调试和诊断测试	11
2. 第 4 代高速串行接收机的组成要素	4	5.1 AC 耦合差分输入	12
3. 自适应均衡和链路均衡	5	5.2 CR—时钟恢复	12
3.1 均衡—FFE, CTLE, DFE	5	5.3 均衡—CTLE 和 DFE.....	13
3.2 协议识别链路均衡.....	7	5.4 逻辑解码器 / 位分片器	13
3.3 接收机链路均衡测试	9	6. 一致性测试—受压眼图容限测试	14
4. FEC—前向纠错	10	6.1 典型受压眼图一致性测试要求.....	14
4.1 错误位置分析把原始 BER 转换成 FEC BER 11		6.2 压力器.....	15
		6.3 校准受压眼图	15
		6.4 受压眼图容限测试.....	16
		7. 总结	17

1. 引言

可扩充的高速连接解决方案，如 PCIe (外设组件快速互连) 和 SAS (串行附着 SCSI) 正迅速成为数据中心及企业计算应用中本地存储和 I/O 的首要选择。在面临每路 15+ Gb/s 的可扩充的商用高速串行第 4 代 PCIe 和 SAS I/O 解决方案时，Infiniband 和以太网的带宽优势不再能抵消其时延、功率和成本需求等方面的劣势。

第 4 代串行 I/O 技术中使用的接收机包括许多复杂的、不能直接接触测试的集成组件，如不能探测时钟恢复电路，不能直观观察均衡方式的性能，不能测量逻辑解码器的灵敏度。我们遇到的是一个黑匣子，与串行链路任何其他部分相比，这个黑匣子直接决定着系统性能。

在本文中，我们说明了怎样对第 4 代接收机执行一致性测试和诊断测试。众所周知，BERTs (误码率测试仪) 能够判断是否满足标准，但不能提供切实可行的调试信息。通过测量 BER，它们实际上提供了最终的性能测量数据。但大家会看到，泰克 BSX 系列 BERTScopes 是完善的工具，可以加扰和编码发送的信号，测试协议识别流程，隔离每个接收机组件的性

能的和新兴的第 4 代 I/O 标准带来了许多新的接收机测试挑战：

- 链路均衡：自适应均衡，要求协调接收机和发射机，在通电和恢复时优化每条链路的均衡方式。
- 能够容忍共模噪声和差模噪声。
- NRZ (非归零) 符号解码器 / 位分片器，15 mV 灵敏度。
- FEC (前向纠错)，可以放松 BER 要求，但 BER 测量数据理解起来很棘手。
- 使用复杂的基准接收机模型，校准一致性测试条件。

某些标准使用编码方案解决了高信号频率引起的问题，如 PAM4 (4 电平脉冲幅度调制) 把一个以上的位组合在发送的每个符号中。本文讨论的各种标准均采用基带逻辑类 NRZ 信令方式。

我们先考察高速串行接收机每个内部组件的作用，然后介绍自适应均衡和协议识别链路均衡等新概念。在了解这一技术后，我们接着介绍接收机调试技术及第 4 代标准要求的受压眼图容限测试。

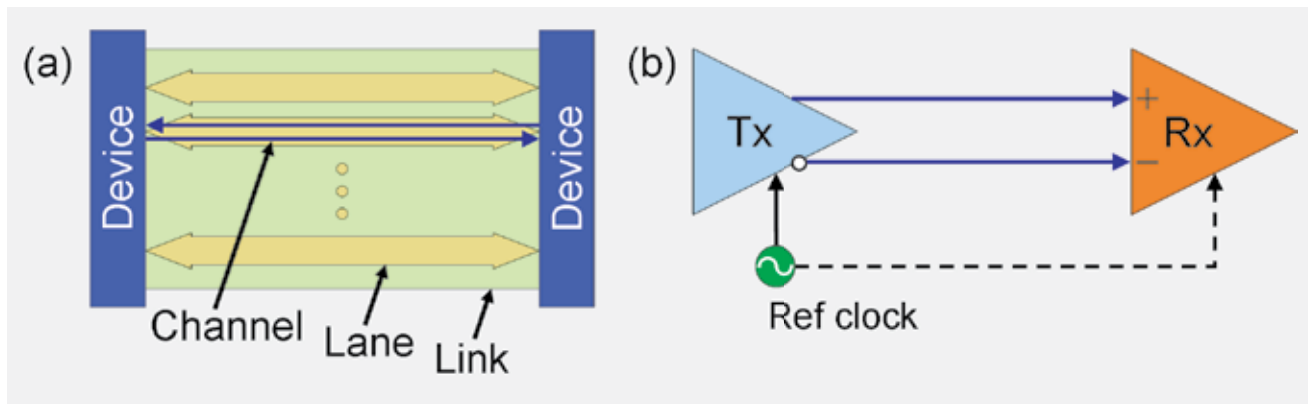


图 1. 图 (a) 是典型的高速串行 I/O 链路，图 (b) 是一条通道。

2. 第 4 代高速串行接收机的组成要素

高速串行链路在多路架构中由 4 个基本组件组成：基准时钟、发射机、通道和接收机，如图 1 所示。

基准时钟作为串行器和发射机的时基。发射机对差分信号应用 FFE (前馈均衡)。通道包括发射机和接收机之间的所有项目，如引脚、连接器、PCB(印刷电路板)上的轨迹、通路、电缆等。接收机的任务是在传送的波形发生频率相关损耗、串扰、随机抖动和噪声及系统中任何 EMI(电磁干扰)后，确定优于或等于指定 BER 的位。在接收机输入上，眼图是闭合的。

为实现自己伟大的任务，第 4 代高速串行接收机包括多个复杂的相互关联的组件，图 2 显示的是到比较器的 AC 耦合差分输入。CTLE (连续时间线性均衡器) 接收比较器输入，去掉部分 ISI (符号间干扰)。CR (时钟恢复) 电路从波形中恢复数据速率时钟，为位分片器设置时延位置。分片器识别 1s 和 0s。解码的信号被分片：一个输出指向 serdes 内核，另一个输出环回到 DFE (判定反馈均衡器)。DFE 把判定结果反馈到分片器输入，并去掉更多的 ISI。

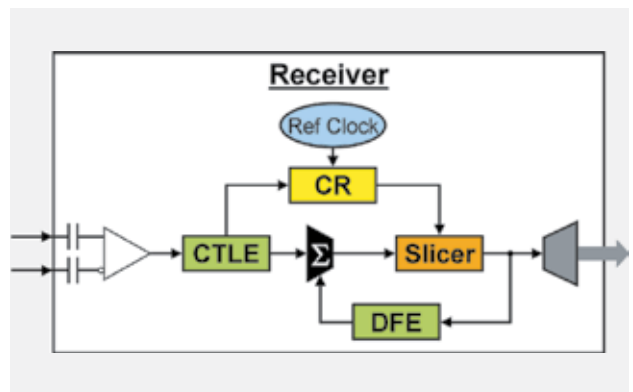


图 2. 典型接收机结构的方框图。

由于这些组件集成在 serdes 芯片中，因此接收机基本上成了黑匣子。由于不能直接探测每个组件，因此其调试起来非常困难。

规定的最大 BER 允许的性能一般是 $1E-12$ 或 $1E-15$ 。通过把原始 BER 要求降低 100 万倍，FEC 可以缓解解码眼图闭合的信号难题，但 FEC 要求更多的带宽、功率和时延。

3. 自适应均衡和链路均衡

高数据速率时最大的问题是由通道响应引起的，也就是频率和相位与信号损耗相关。PCIe Gen4 或 22.5 Gb/s SAS 内奎斯特速率下的损耗超过 24 dB，但整体损耗只是问题的一部分。

数字波形由每个信号的幅度与相位之间的关系确定。理想的 NRZ 信号由数字化方波组成，其中有至少三个谐波，以及数据加扰和编码方式允许的尽可能多的副谐波，但插入损耗与频率的相关度会解耦信号的傅立叶成分，导致眼图闭合 ISI。增加频率相关反馈，可以看到为什么第 4 代数据速率需要高度优化的均衡方式。

发射机上要求多阶 FFE，接收机性能必须达到标准规定的行为基准接收机性能，CTLE 要与可调节增益和 / 或 2 ~ 5 阶 DFE 相结合。第 4 代性能标准要求发射机和接收机的信号调节要协调，以优化每条链路的均衡方式。这种自适应均衡称为“链路均衡”或“速度协商”，如果链路 BER 在操作期间超过允许的最大值，那么必须能够恢复。

由于 FFE 和 CTLE 会提高串扰，因此链路均衡必须最大限度地改善 ISI，同时最大限度地降低了串扰的影响。借助 FFE 阶、CTLE 增益和 DFE 阶，链路均衡成为一种多维优化过程，要求发射机和接收机之间通信。

3.1 均衡—FFE, CTLE, DFE

均衡是校正通道响应引起的 ISI 的一种方式。由于通道响应的主要特色是其低通滤波质量，因此最简单的均衡方式会去加重低频信号成分，加重高频信号成分，或两者。

接收机 CTLE 是一种衰减低频、传送高频信号谐波、衰减高频噪声的滤波器。CTLE 滤波器有一个固定的低频极点、一个固定的高频极点及可调节的 DC 增益 g_{CTLE} ，如图 3 所示。极点一般是 f_d ，其中 f_d 是数据速率， g_{CTLE} 是可以 1 dB 步长调节的单一参数。

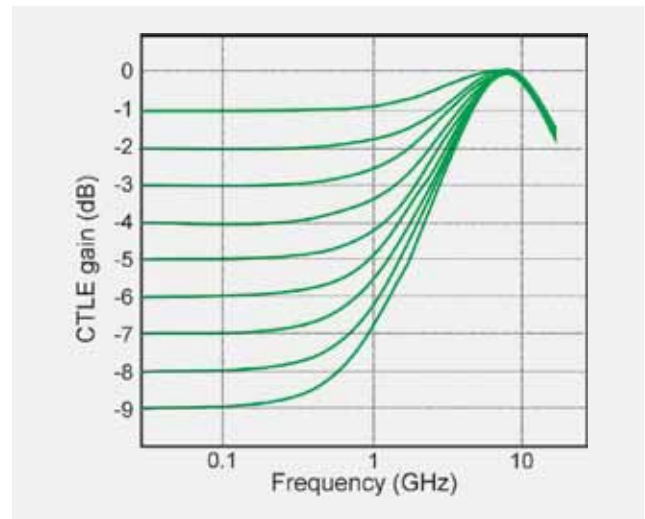


图 3. CTLE 滤波器响应。

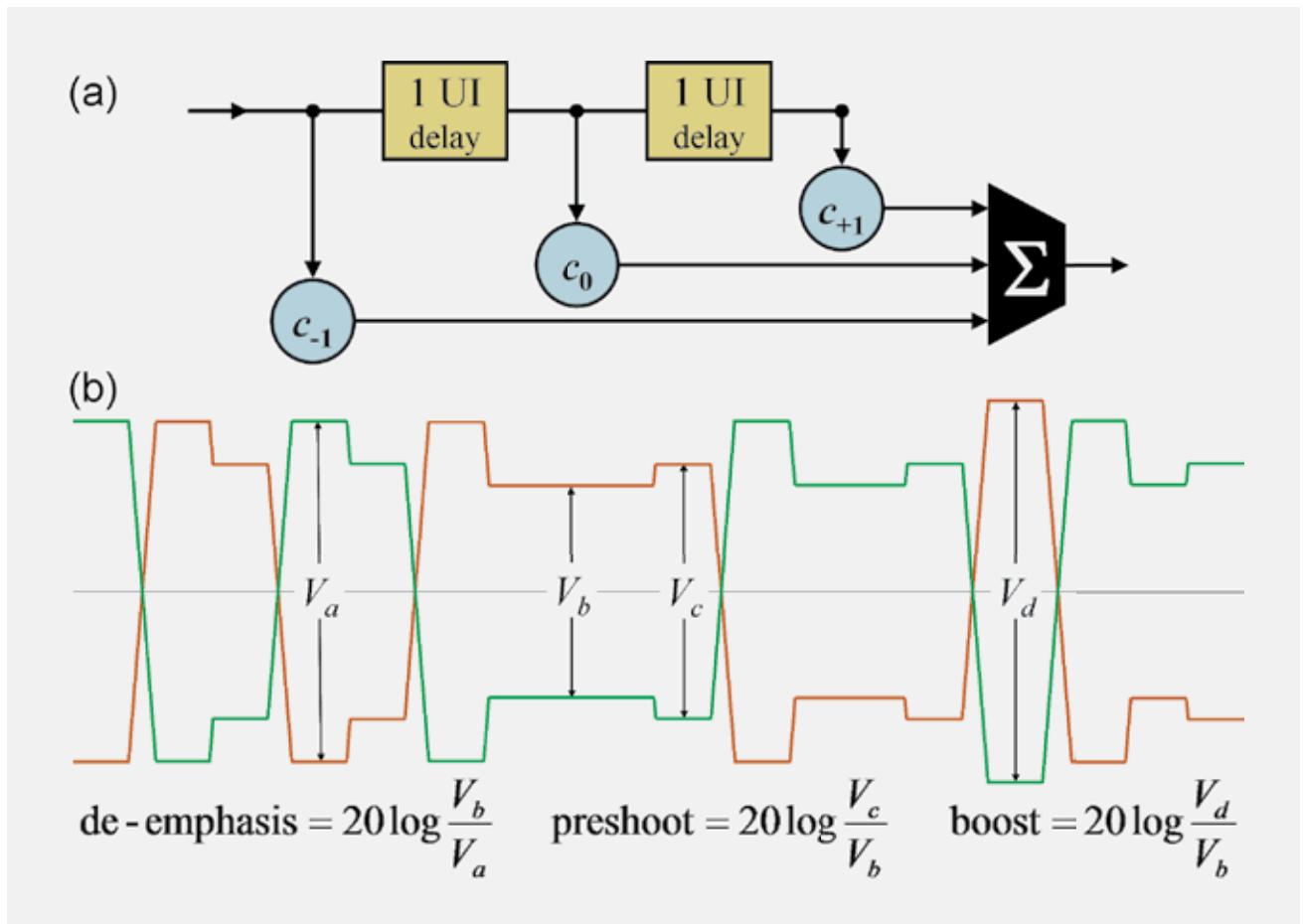


图 4. 发射机 FFE，(a) 三阶 FFE 位移寄存器；(b) 得到的差分信号。

简单的发射机去加重在较低数据速率下足够了，其使用单阶均衡，也就是说，进行逻辑跳变的位发送的相对幅度要高于其他位。在第 4 代数据速率下，

发射机均衡已经从单阶去加重扩展到多阶 FFE。多阶 FFE(如图 4 所示)应用阶，使发送的信号失真，从而使通道响应实现均衡。

DFEs 是位移寄存器 (如图 5 所示), 它把延迟的逻辑判定乘以阶, 然后进行组合, 把结果反馈给输入的 CTLE 后的波形, 如图 2 所示。由于 DFEs 处理的是逻辑值, 而不是电压, 因此它们是非线性滤波器。

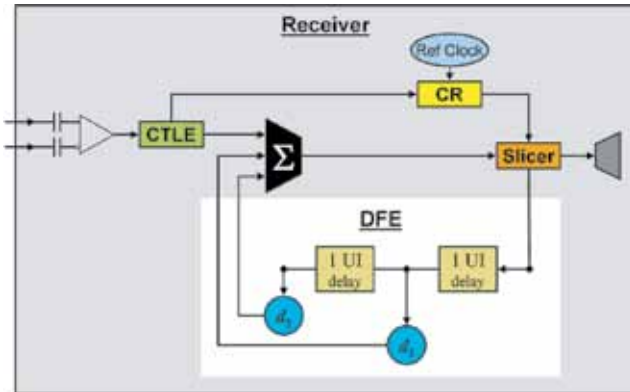


图 5. 拥有两阶 DFE 的接收机。

DFEs 在降低 ISI 及使眼图张开方面相当有效, 但其容易发生突发错误。如果错误一个位, 那么 DFE 输出就会损坏, 可能会导致另一个错误; 第二个错误可能会导致第三个错误, 依此类推。之所以选择 FEC 方式, 是因为它能够容忍突发错误, 但正如我们在第四节讨论的那样, FEC 方式很复杂。

3.2 协议识别链路均衡

自适应均衡要求两个 serdes 之间的反馈: 下游端口, 训练其发射机 FFE 系数; 上游端口, 训练其接收机均衡参数—CTLE 增益和 / 或 DFE 阶。在接收机测试中, DUT (被测器件) 被识别为上游端口, BSX 系列 BERTScope 则起着下游端口或基准 serdes 的作用。

BSX 系列 BERTScopes 拥有必要的协议识别能力, 可以测试和分析 DLL (数据链路层) 和 PHY (物理介质) 层的链路均衡过程: 它们可以根据协议排序、加扰和编码测试码型; 它们拥有码型发生器, 支持多阶 FFE, DUT 可以调节; 它们识别来自 DUT 的命令, 可以把命令提交给 DUT。

链路均衡协议由状态机控制, 每种标准有不同的状态机, 但有一些规则是通用的:

第 0 阶段:

- DUT 和基准 serdes 由于开机、硬复位、失步、热插拔超时等进入恢复或速度协商状态。
- DUT 和基准 serdes 执行握手, 同步并相互对准。然后它们交换定时和设置参数, 如允许的最大速度协商和训练时间、通路极性、链路数等。它们还交换物理层功能, 包括能够修改接收机均衡方式或发射机均衡方式, 或同时修改两者。
- 在握手完成时, DUT 提交速度变动 / 链路均衡请求。

第 1 阶段:

- 发射机预装多套发射机 FFE 阶, 称为预置值; PCIe 有 11 种这样的预置值。基准发射机要么从默认值开始, 要么从预置值开始, 要么从最新训练的 FFE 阶开始。
- 数据速率提高, 链路建立, 且 $BER \leq 1E-4$ 。

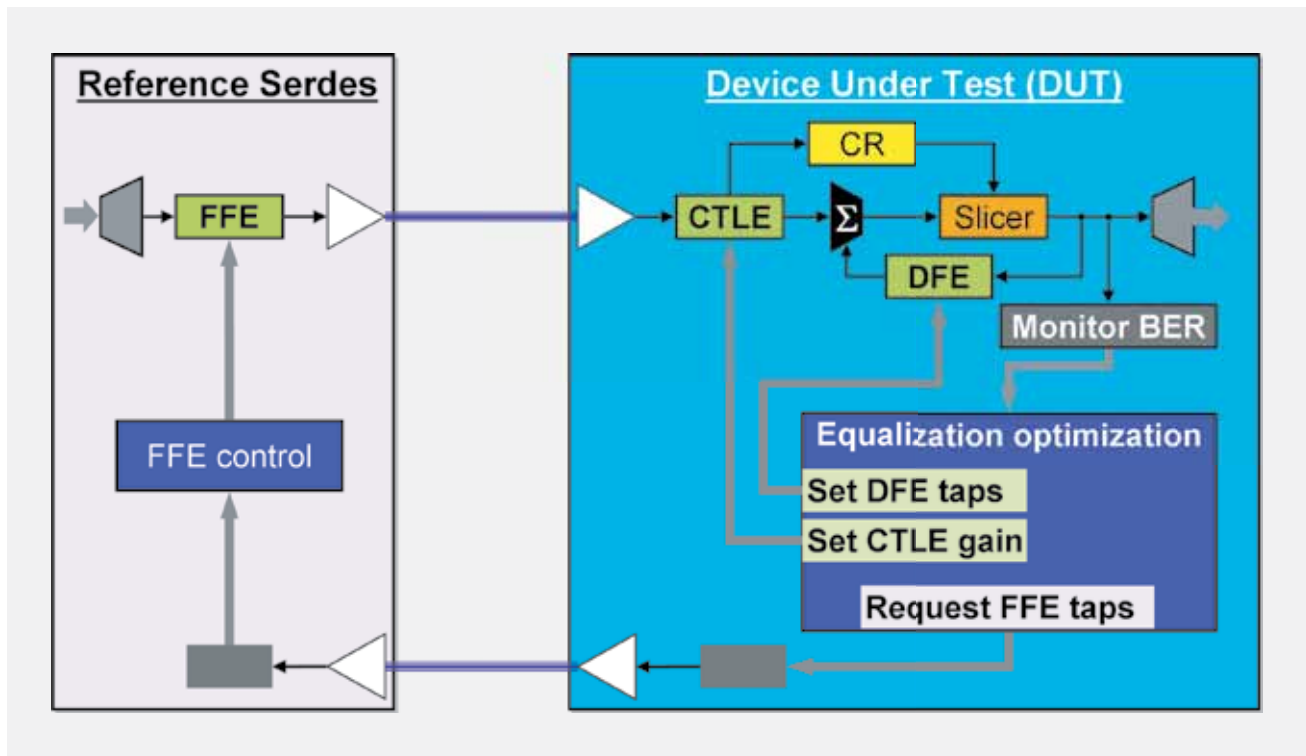


图 6. 通过链路均衡调谐系统均衡方式。

第 2 阶段：

- 基准 serdes 发送基于协议的训练序列。
- DUT 收到已知的训练序列，测量其 BER。serdes 可以通过多种方式测量其 BER 性能：CRC (循环冗余校验) 值，CRC 一般长 32 位；基于 FEC 的误码数；或通过其自己的内部误码检测器。
- 如果 BER 是可以接受的，那么状态机会进入到第 3 阶段。可以接受的 BER 视标准而定，小于等于 $1E-12$ 或 $1E-15$ ；如果实现了 FEC，那么最大值可以是 FEC 后的 BER。
- 如果 BER 不能接受，但没有超过最大链路均衡时间，那么 DUT 会发出特定请求，改变测试发射机 FFE 阶：递减，递减，保持不变，或安装另一个预置值。基准发射机调节其 FFE 阶，恢复发送训练序列。

- 在每次修改基准发射机方案后，DUT 应用一种算法，优化其自己的接收机均衡参数，如 CTLE 增益和 / 或 DFE 阶。
- 如果系统在允许的训练时间内找不到提供可接受 BER 的均衡方式，或如果它因任何原因失步，那么训练会标为无效，系统还原到较低的数据速率，可能尝试、也可能不尝试另一次恢复。

第 3 阶段：

- 颠倒上行端口和下行端口的职责，由上行 (基准 serdes) 发射机训练下行 (DUT) 发射机 FFE 阶。

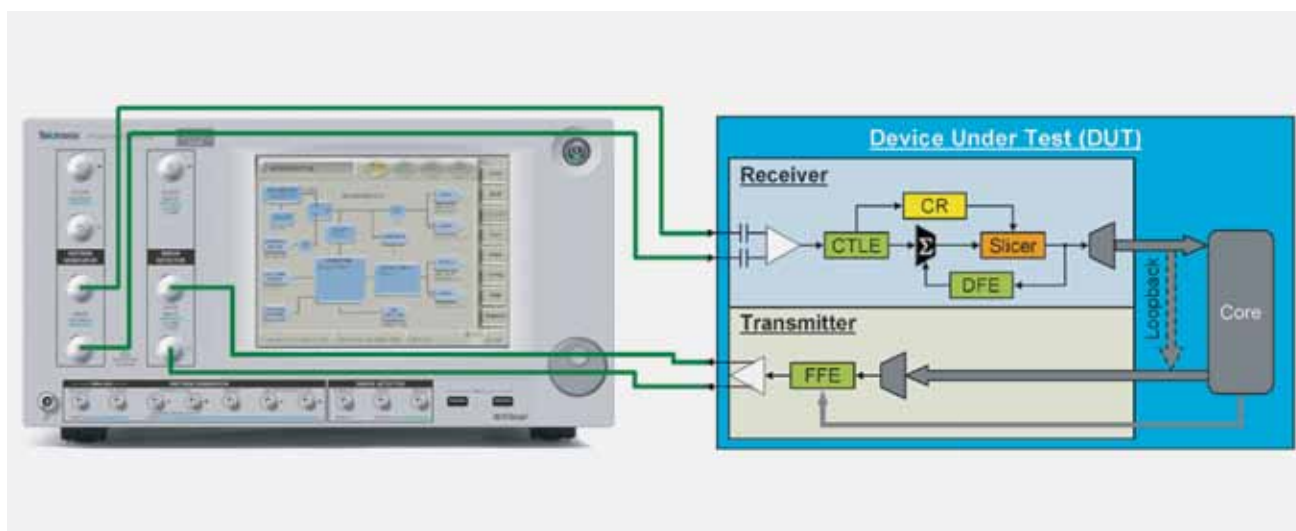


图 7. 接收机环回模式下的链路均衡测试设置 (差分电缆必须配套)。

3.3 接收机链路均衡测试

接收机链路均衡测试决定着 DUT 能否协商成功的链路。

链路均衡测试使用握手发起，把 DUT 接收机置于 L0 或恢复状态。协议识别码型发生器必须把接收机置于环回模式。环回模式未经修改，把接收机输出信号指向 serdes 的发射机，如图 7 所示。

在第 0 阶段发起链路均衡的接收机和发射机之间的握手相关问题可能很难诊断。BSX 系列 BERTScopes 可以创建激励响应测试条件。例如，BERTScope 发射机可以增加排序器，发送一个命令序列，其应该从

DUT 中生成特定的响应。您可以把 BERTScope 误码检测器配置成识别来自 DUT 的码型，为示波器或逻辑分析仪生成外部触发。

第 1 阶段和第 2 阶段会继续处理 DUT，命令 BERTScope 根据协议改变其发射机 FFE 阶，直到 DUT 接收机检验其工作 BER 不会高于要求的水平。然后 BERT 误码检测器通过分析重新定时的环回信号，来确认 BER 性能。

应对不同的初始发射机 FFE 预置值重复进行测试，直到确认接收机均衡训练算法能够适应不同的初始条件。

4. FEC—前向纠错

大多数 I/O 标准不要求 FEC，但在没有它不能满足要求的 BER 时，第 4 代标准通常把它作为选项。

FEC 在固定长度的信号位集合中增加了多个奇偶性位。数据位与奇偶位结合，构成了代码字。代码字由位移寄存器编码，在接收机上，互补位移寄存器能够解码字，校正部分错误的位。FEC 方式可以校正的位数取决于每个代码字内部的错误顺序。

Reed–Solomon FEC 是高速串行应用中常用的方式。RS–FEC(n, k) 是一种码组编码方式，在 k 个数据符号后面追加 $2t$ 个奇偶性符号，构成由 $k+2t=n$ 符号组成的整体代码字，如图 8 所示。在这种情况下，符号由 m 个相邻位组成，其中 m 的选择方式通常与协议包或字定义一致。

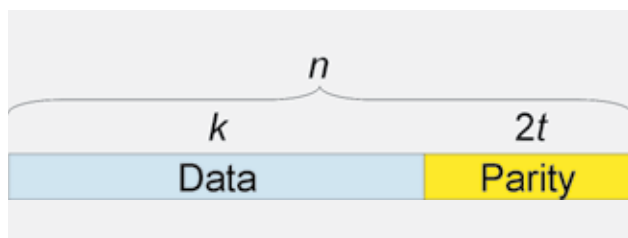


图 8. Reed Solomon 前向纠错方式。RS–FEC(n, k) 每个字中能够校正最多 t 个错误。

RS–FEC 可以在每个代码字中校正最多 t 个符号错误。必需指出， t 个符号中每个符号内的所有位都可以校正，但如果超过 t 个符号中发生单一错误，那么 RS–FEC 将不能校正任何错误。因此，可以校正的最大错误数是 mt ，最小错误数是 t 。下面这个具体实例有助于阐明这一点：

SAS 第 4 代标准在可选的 RS–FEC(30, 26) 方式中采用 5 位符号；30 个符号由总计 $30 \cdot 5 = 150$ 位组成，编码 $26 \cdot 5 = 130$ 位数据。RS–FEC(30, 26) 可以校正最多 $t=2$ 个符号，与每 130 个数据位中最多 10 个误码及最少 2 个误码对应。但只有所有 10 个误码完全对准两个不同符号时，才会发生最大误码数。

对 $2t = 4$ 个奇偶符号，我们有 20 位的 FEC 开销，RS–FEC(30, 26) 的带宽开销为 $2t/n = 4/30$ ，约为 13%。

另一个常见的 FEC 选项是 RS–FEC(528, 514)，用 528 个 10 位符号编码 5140 个数据位，可以校正最低 7 个误码、最多 70 个误码，代价是增加不到 3% 的开销。

在第 3.1 节中，我们看到 DFE 的缺点是容易产生突发错误。RS–FEC 能够适应突发错误，使其成为一个很好的选择。然而，如果突发太长，那么 RS–FEC 将不能起效。交织来自不同通路的数据或数据剥离技术会在 FEC 处理前把突发错误串分离成不同的代码字。如果原始 BER 足够低，比如 $1E-6$ ，那么把突发错误分到不同代码字只能保证 $1E-15$ 的 FEC 后性能。

在任何情况下，试图从测得的原始 FEC 前 BER 中估算 FEC 后 BER 的工程师都面临着一个巨大的挑战，因为可以校正的错误数量与顺序有关。交织技术会进一步促进 FEC 前 BER 转换成 FEC 后 BER。幸运的是，配有 FEC 仿真功能的泰克 BSX 系列 BERTScopes 可以同时测量 FEC 前 BER 和 FEC 后 BER。

4.1 错误位置分析把原始 BER 转换成 FEC BER

FEC 仿真是一种基于错误位置分析的 BERTScope 功能，它根据用户定义的 FEC 参数监测检测到的错误的具体位置。在可校正的符号内部发生错误时，它们会像已经被校正一样处理；换句话说，只能从 FEC 方式不能校正的错误中计算 FEC 后的 BER。

为设置 RS-FEC(30, 26) 方式，只需定义以下参数：

结构：一维符号长度 =5 位
 $n = 30$
 $k = 26$
 $t = 2$

结构参数是“一维的”，也就是说一条代码字流是由 RS-FEC(30, 26) 方式处理的。为了仿真简单的交织系统，结构应设置成“二维的”。例如，为仿真在 4 条通路中交织的 RS-FEC(30, 26) 编码数据：

结构：二维符号长度 =5 位

	内部	外部
$n =$	30	4
$k =$	26	4
$t =$	2	0

外部代码中的 $t = 0$ 设置表明 4 路交织操作不会导致额外的 FEC。

在知道错误位置和 FEC 代码字结构后，BERTScope 可靠地测量 FEC 后的系统性能。您还可以试验不同的 FEC 方式，找到优化特定应用 BER 性能、开销、功率和时延的 FEC 方式。

错误位置分析还在接收机测试中提供了关键诊断信息，特别是在协调运用特定信号损伤时。

5. 第 4 代接收机调试和诊断测试

在本节中，我们重点介绍揭示接收机内部各个组件性能的测试技术。

BERTScope 可以传送长度最高 528 Mb 的任意测试码型，有或没有特定协议编码及分组和包结构，以及所有标准 PRBSn (长度为 n 的伪随机二进制序列) 码型。BERTScope 还可以应用精确的多个信号损伤，如图 9 所示。

通过把接收机提交给针对组件性能认真选择的测试码型和压力组合，我们可以探测具体内部组件。如果我们开始看到误码，那么我们就找到该组件的性能余量。通过使用错误位置分析功能，我们通常可以找到问题的根本原因。

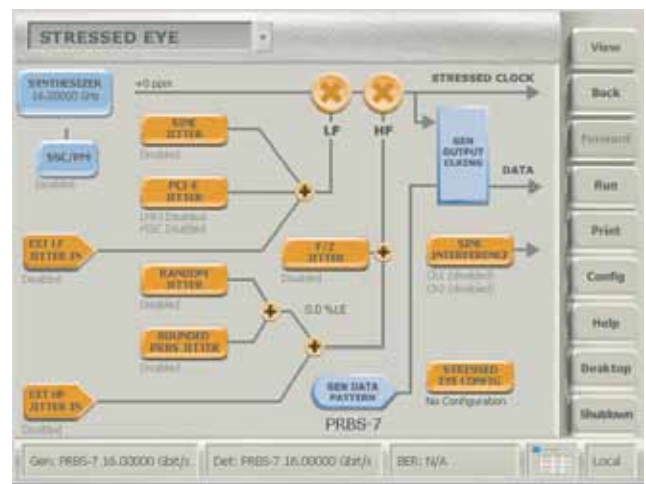


图 9. 在 BERTScope 上配置测试码型和信号压力组合。

在下面几节中，我们将提供怎样探测具体接收机组件性能的实例。穷尽式调试战略超出了本文的讨论范围，但这些实例会让您获得一些概念，让您了解可以怎样扩大自己的调试战略。

克服第 4 代 I/O 应用中的接收机测试挑战

5.1 AC 耦合差分输入

接收机差分输入 AC 耦合到比较器。AC 耦合为位分片器设置基线电压。高速串行 I/O 标准使用数据加扰和编码，在 AC 耦合时间常数范围内确定数据序列是否有 50% 标记密度。

为探测 AC 耦合输入，应使用没有应用压力的干净信号以及标记密度非常低的测试码型，比如重复几次的 0010，后面跟着一个简便的码型，比如 PRBS5。这种理念鼓励漂移，支持标记密度低、但跳变密度足够高而不会挑战 CR 的测试码型。只有在低标记密度序列的持续时间超过输入耦合的时间常数时，你才会看到错误。

使用标记密度非常高的测试码型重复进行测试，比如重复的 1101 序列。对高标记密度码型和低标记密度码型，突发错误开头发生的位置应位于大体相同的点上，否则就是输入不对称。

5.2 CR—时钟恢复

在由 CTLE 进行调节后，CR 电路会从波形中恢复数据速率时钟。CRs 一般基于 DLL（数据锁定环路）或 PI（相位插值器）设计，这些设计有精心确定的带宽。CR 设置位分片器采样点的时延位置。从数据中恢复时钟的系统也称为嵌入式时钟或前向时钟。

为恢复时钟，CR 需要一个拥有充足逻辑跳变的信号。许多标准要求 50% 跳变密度、加扰和数据编码；PCIe 第 4 代采用 128B/130B 编码，SAS 22.5G 采用 128B/150B 编码。

为测试 CR 恢复和锁定时钟信号的能力，可以把它与均衡问题隔开，在没有额外 ISI 的情况下进行测试，并把 CTLE 增益设置为零。在 CR 的时钟丢失时，位分片器会发生定时错误，生成突发错误。

为探测基本 CR 性能，把它提交给有一长串 CIDs（连续相同位）的信号。对拥有 50% 跳变密度及标准允许的最大 CID 串的任何信号上，CR 都应能够恢复和锁定时钟。

为探测 CR 的带宽和抖动滤波性能，把接收机提交给拥有充足跳变的测试码型，如 PRBS7，增加高幅度 SJ（正弦曲线抖动）。

恢复的数据速率时钟上也会出现频率低于 CR 带宽的数据抖动。在信号与分片器采样点定时上同时出现的抖动并不会引起错误。CR 应保持锁定，直到 SJ 频率通过其带宽滚降，在带宽滚降点上，BER 将提高。通过分析错误位置分析功能提供的无差错间隔直方图，您可以确认错误开头与极端 SJ 摆幅是否一致。

PCIe 在 I/O 标准中脱颖而出的原因之一，是它支持分布式基准时钟。在“公共时钟”结构中，100 MHz 基准时钟从 PCIe 通路的发射机分布到接收机。在发射机上，PLL（锁相环）把基准时钟乘以数据速率。在接收机上，基准时钟作为 CR 电路的本振。公共时钟接收机的抖动传递函数取决于发射机 PLL 和接收机 CR 之间的不同功能以及接收机和发射机之间的传送延迟。

CR 带宽必须高于任何应用的信号调制频率，如 SSC（扩频时钟）。SSC 用来降低单个频率辐射的功率，通常用来帮助部件满足政府通信法规。最常用的 SSC 是 33 kHz 三角波频率调制，幅度小于 0.5% 或约为 0.5%。CR 应简便地滤波 SSC。

为测试 CR 对 SSC 的弹性，提高 SSC 幅度。只有 SSC 幅度大大超过标准信号允许的最大值时，接收机才应发生误码。

5.3 均衡—CTLE 和 DFE

为探测均衡器性能，应用 ISI，把有大量结构的测试码型传送经过测试电路板上的长轨迹。通道脉冲响应持续时间内的每个 1 和 0 序列都会生成形状唯一的逻辑跳变波形。ISI 是由逻辑跳变形状组成的集合，测试码型结构变化越大，通道响应产生的 ISI 越多。

某些跳变要比其他跳变更让人讨厌。JTPAT (抖动容限码型) 和 SSPR (短随机压力码型) 码型是一长串低跳变密度，后面是一长串高跳变码型，然后是另一短串低跳变密度；它们旨在适应示波器的限制，用相对较短的码型 (JTPAT 为 2240 位，SSPR 为 32,762 位) 生成最大 ISI。由于 BERTs 不受信号长度限制，因此您可以分析想得到的任何码型，最高可达 528 Mb，甚至是 PRBS31，其中包括每个 31 位序列，长超过 20 亿位。在大多数情况下，PRBS31 激发接收机看到的所有 ISI。尽管 PRBS31 很长，但它在第 4 代应用中一秒至少重复 7 次，这通常足够了，如果均衡失效，您会看到错误，并能够在大约一分钟内汇编错误分布和关联度。

由于均衡问题 (CTLE 或 DFE) 引起的错误一般会与每次重复的码型同时发生，因此您可以利用码型灵敏度直方图错误位置分析功能，迅速隔离错误。可以从 DFE 故障中查找关联的突发错误，或从 CTLE 故障中相同位置查找少量错误。

5.4 逻辑解码器 / 位分片器

逻辑解码器或位分片器以恢复的时钟确定的采样时间 t_s 确定的采样时间来区分 1s 和 0s：如果采样时间上的信号电压高于分片阈值 V_s ，那么位被识别为 1；如果低于阈值，那么位被识别为 0。当然采样点的位置 (t_s , V_s) 并不是一个理想的点，而是一个区域，这个区域由建立时间和保持时间以及电压分片灵敏度确定的，这些会占用抖动和噪声余量。

分片器的灵敏度是它可以统一区分 1 和 0 时的最低电压摆幅。新兴第 4 代标准规定最低均衡后 EH12 (BER = $1E-12$ 时规定的眼图高度) 最低为 15 mV。EH12 是 BER= $1E-12$ 轮廓的垂直隔离度，如图 10 所示。最低均衡方式的接收机要求位分片器的灵敏度好于 15 mV。

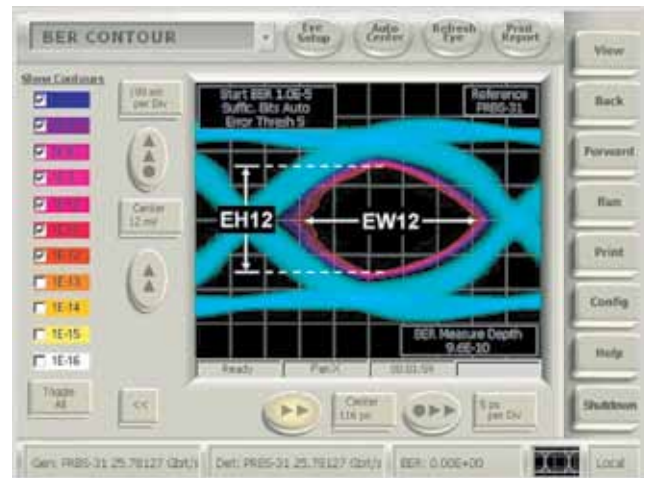


图 10. EH12=15 mV 的信号实例。

精确的 CTLE-CR-DFE 组合模型应准确估算 EH 和 EW。然后可以从性能中估算出有效的分片器定时余量和电压灵敏度，因为改变信号压力组合会改变 EH 和 EW。

分片器定时余量还受到差分时延的影响。在第 4 代数据速率下，几 ps 的差分时延会引入共模噪声，引起误码。可以使用普通码型对其加压，比如不会引起漂移或挑战 CR 的 PRBS7，来探测分片器对时延的弹性。然后对信号应用更高的 CM-SI (共模 - 正弦曲线干扰)。如果分片器对时延特别灵敏，BER 会迅速上升。

6. 一致性测试—受压眼图容限测试

受压眼图容限测试的理念非常简单：如果接收机能够在等于或好于规定 BER 时对最坏情况标准信号运行，那么它应该能够运行任何通道和发射机组合发出的任何标准信号。

容限测试最难的部分是校准信号。由于眼图在接收机引脚上闭合，另外由于很难指定闭合眼图的结构，因此可以通过建立接收机响应模型，来校准容限测试信号。通过建立最低基准接收机对受压信号的 CTLE+CR+DFE 响应模型，可以估算位分片器输入上眼图张开程度 EH 和 EW。

6.1 典型的受压眼图一致性测试要求

表 1 列出了第 4 代接收机容限测试要求的典型压力。尽管校准后的受压眼图包括列明的压力，但第 4 代 PCIe 受压眼图最终是由均衡后的 EH 和 EW 规定的，而不是各个信号精确的损伤。

应一直检查技术标准中最准确的最新的要求。每个标准都是独一无二的。即使在 PCIe 内部，CEM (插件机电) 测试要求也是不同的，会因是否包括分布式基准时钟而变化。

典型的第 4 代 受压接收机容限标准	
一致性测试压力码型	PRBS31, PCIe 修改的一致性测试码型
摆动电压	800–1200 mV
上升 / 下降时间	$0.3 \leq tr/f \leq 0.4 UI$
一致性测试电路板	Sdd21 模板, 22–28 dB @ fNyquist
RJ (随机抖动) 调节电平, 设置 EW12	$0.4 \leq RJ_{RMS} \leq 1 ps$
SJ	幅度相对于频率关系模板
SSC	$f = 30–33 kHz$, 幅度 $\leq \pm 0.5 \%$
DCD (占空比失真)	$\leq 0.035 UI$
DJ (确定性抖动)	$0.1 UI$
DM-SI 调节幅度, 设置 EH12	$14 mV_{PP} @ f_{SI} = 2.1 GHz$
CM-SI 或共模噪声	$150 mV_{PP} @ f_{SI} = 120 MHz$ 或 $\leq 12 mV RMS$
基准接收机均衡	CTLE + 2 阶 DFE
基准均衡后 EW12	$\leq 0.30 UI$
基准均衡后 EH12	$\leq 15 mV$
通过标准	$BER \leq 1E-12$ 或 $1E-15$

表 1. 第 4 代高速 I/O 标准典型的受压眼图容限要求 (这些值为典型值, 在本文付印时, 第 4 代要求还没有最终定稿)。

6.2 压力器

一致性测试码型取决于标准。PCIe 第 4 代采用 PCIe 修改的一致性码型，超过了 8.5 Mb；大多数其他标准则采用 PRBS31。在测试中包括链路均衡时，链路按照第三节描述的情况训练，训练后的均衡方式用于容限测试。应使用不同的码型来校准压力。重复的时钟类码型 0011 0011 用来校准输入抖动，有时要求使用 JTPAT 来校准 DDJ（数据相关抖动），也就是 ISI 和 DCD 的组合。

可以通过任何方式增加最坏情况 ISI，前提是差分插入损耗 (Sdd21) 有一个模板界限，如图 11 所示。它通常由一致性测试电路板生成，如 PCIe CEM 插件测试使用的 CBB（一致性基本电路板）或系统电路板测试使用的 CLB（一致性负载电路板）。构成测试夹具的电缆、连接器、分路器等也会产生 ISI。内奎斯特频率处的总标称损耗 $1/2 f_d$ 是 28 dB，其中大约 23 dB 来自测试通道。

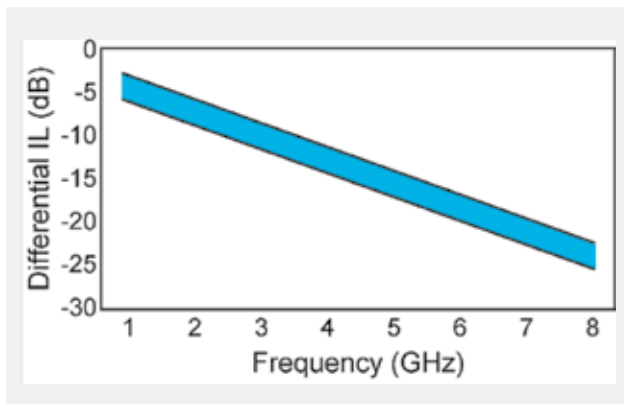


图 11. PCIe Gen4 一致性测试电路板的差分 IL (插入损耗) 模板。

应使用两种正弦曲线干扰来应用电压噪声，即 DM-SI 和 CM-SI。差分输入应抵消 CM-SI，但部分差时延和差分到共模转换会有一些的残留，比如多次反射导致的差分到共模转换。

6.3 校准受压眼图

建模对调谐压力、获得指定的 EH 和 EW 必不可少，因为均衡后在最低规定的行为基准接收机的位分片器上会出现压力。

必需指出，基准接收机时钟恢复和均衡方式是由标准规定的。它们通常使用单极 PLL（锁相环）CR 模型和 DFE。PCIe 第 4 代采用 1 阶 CTLE 和 2 阶 DFE，SAS 22.5 采用 5 阶 DFE，但实际接收机均衡方式由设计人员负责。

眼图由基于统计的快速仿真装置建模，有时称为波形后处理。PCI-SIG（特殊利益集团）为 BASE 测试提供了一种 Python 模型，称为 SEASIM；Sig 测试工具不同于 PCI-SIG，其同时用于 BASE 测试和 CEM 测试。模型中包括一个发送信号、应用的压力和直到接收机输入引脚的通道响应。SJ 频率设置成远远高于幅度为 0.1 UI 的行为 CR 滚降频率。

通过平均几百万次重复的测试码型，或从标准中发射机规范要求的电压摆幅和上升 / 下降时间中建模，可以采集仿真的发射机信号。然后在波形中增加信号压力，如表 1 所示。

通道响应是从整个差分 S 参数矩阵中导出的，可以从通道的脉冲响应中测得或提取，包括从 BERTScope 码型发生器输出到被测接收机引脚的路径中的所有项目。

通过使用多通道 S 参数，或通过使用测得的峰峰值串扰，可以包括串扰，。

模型会优化发射机 FFE 阶和基准接收机 CTLE 增益和 / 或 DFE 阶，使生成 EH 和 EW 值的眼图尽可能张大。

对发送电压摆幅和 / 或应用的 RMS RJ（随机抖动）、DM-SI 和 / 或 SJ 压力进行小的调节通常必不可少，以便把 EH 和 EW 调节到要求的值—PCIe 第 4 代要求 EH12 = 15 mV 和 EH12 = 0.3 UI 到 15% 范围内。

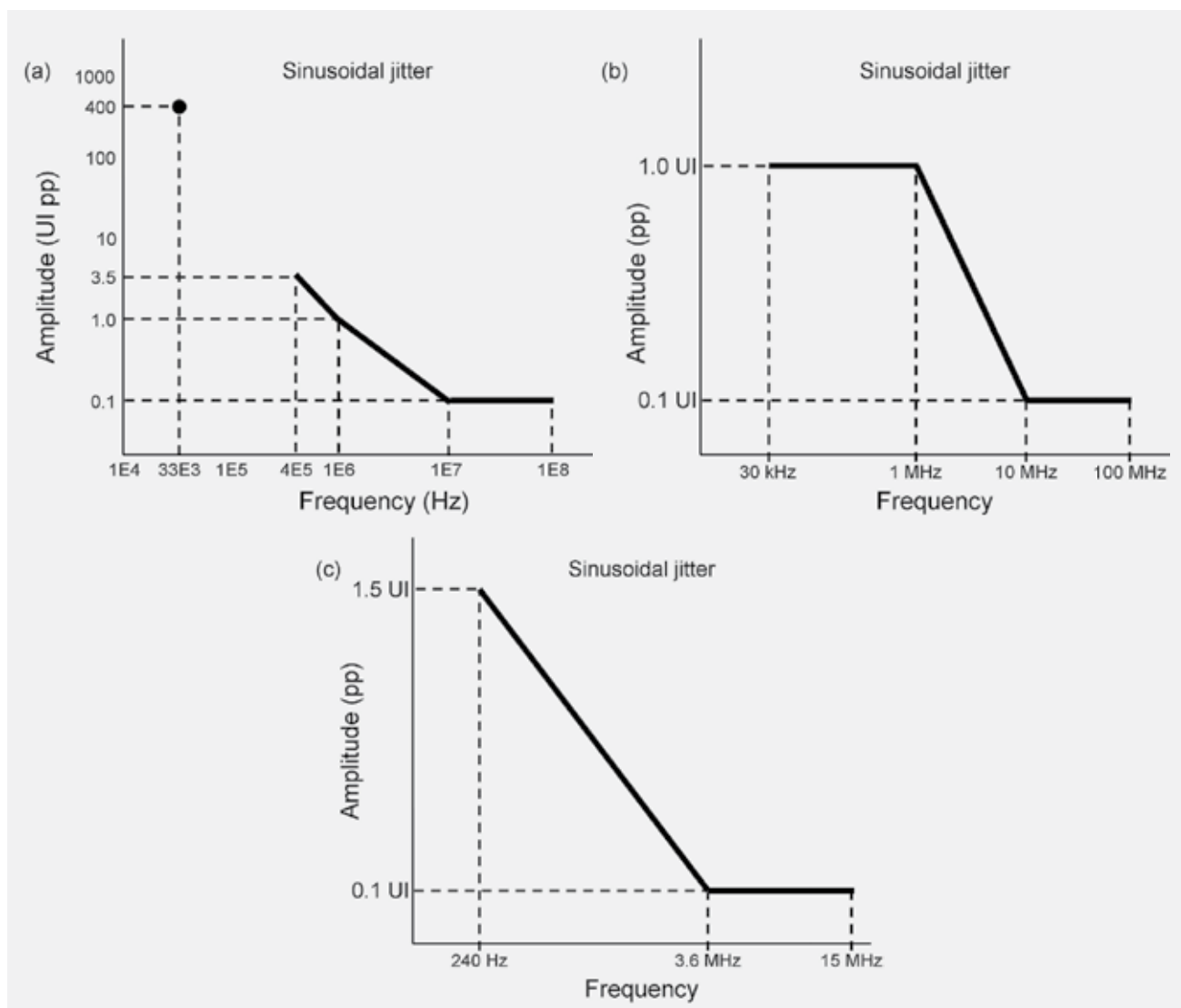


图 12. 受压容限测试 SJ 模板：(a) IR (独立基准时钟) PCIe—33 kHz 处单点高 SJ 表示 SSC 压力；(b) CC (公共或分布式基准时钟) PCIe；(c) 22.5 Gb/s SAS。

6.4 受压眼图容限测试

可以用校准程序中得到的压力配置 BERTScope 发射机。接收机本身可以报告 BER，也可以配置成环回模式，从而使得 BERTScope 能够测量 BER。可以在最小容限测试中使用从眼图校准中导出的发射机 FFE 阶，但更加完整的测试是在流程中包括链路均衡。

不同标准有不同的测试，但原理是相同的：先从低频率、高幅度 SJ 开始，测量经过 SJ 模板的 BER，如图 12 所示。如果接收机的性能等于或好于经过 SJ 模板的要求的 BER，那么它就满足标准。

在实践中，通常会在 SJ 模板许多点上执行测试；低 SJ 频率和高幅度至少一个点，CR 滚降频率内部至少一个点，高 SJ 频率、低幅度至少一个点。

7. 总结

从数据中心到企业级服务器，每种企业计算中 I/O 需求的迅速扩大，正推动着高速连接标准发展到更高的数据速率，如 PCIe 和 SAS。随着数据速率不断提高，接收机测试正变得越来越复杂。第 4 代标准最复杂的项目是链路均衡、使用模型校准受压眼图参数及引入了 FEC。

BERT 已经被公认为判断元器件和系统性能、作为受压信号发射机的终极工具。我们看到，良好配备的 BERT 还可以在诊断测试和调试中发挥关键作用。



图 13. 泰克 32 Gb/s BSX320 BERTScope。

识别协议的 BSX 系列 BERTScopes 支持错误位置分析和内置 4 阶发射机 FFE，可以：

- 测试自适应均衡链路均衡。
- 发送加扰信号和编码信号，把符号封装在协议块中，在误码检测器上解码和解扰码型，匹配码组净荷。
- 使用软件控制的序列推进、外部信号，或把检测到的码型与最多 128 种状态匹配起来及使用两级循环嵌套，创建激励响应测试条件。
- 同时测量 FEC 前和 FEC 后 BER。
- 使用一整套精确的信号损伤，执行受压接收机容限测试，包括 DM-SI 和 CM-SI。
- 实时处理数据，速率高达 32 Gb/s。
- 提供切实可行的诊断信息。

我们不能探测 serdes 芯片组内部，分析其差分输入、时钟恢复、均衡和位分片器的性能，但通过认真遴选的测试码型压力组合，BSX 系列 BERTScope 的大码型内存和错误位置分析功能可以诊断每个内部组件的性能。



泰克官方微信

如需所有最新配套资料，请立即与泰克本地代表联系！

或登录泰克公司中文网站：cn.tek.com

泰克中国客户服务中心全国热线：400-820-5835

泰克科技(中国)有限公司
上海市浦东新区川桥路1227号
邮编：201206
电话：(86 21) 5031 2000
传真：(86 21) 5899 3156

泰克北京办事处
北京市海淀区花园路4号
通恒大厦1楼101室
邮编：100088
电话：(86 10) 5795 0700
传真：(86 10) 6235 1236

泰克上海办事处
上海市长宁区福泉北路518号
9座5楼
邮编：200335
电话：(86 21) 3397 0800
传真：(86 21) 6289 7267

泰克深圳办事处
深圳市深南东路5002号
信兴广场地王商业大厦3001-3002室
邮编：518008
电话：(86 755) 8246 0909
传真：(86 755) 8246 1539

泰克成都办事处
成都市锦江区三色路38号
博瑞创意成都B座1604
邮编：610063
电话：(86 28) 6530 4900
传真：(86 28) 8527 0053

泰克西安办事处
西安市二环南路西段88号
老三届世纪星大厦26层C座
邮编：710065
电话：(86 29) 8723 1794
传真：(86 29) 8721 8549

泰克武汉办事处
武汉市洪山区珞喻路726号
华美达大酒店702室
邮编：430074
电话：(86 27) 8781 2760

泰克香港办事处
香港九龙尖沙咀弥敦道132号
美丽华大厦808-809室
电话：(852) 2585 6688
传真：(852) 2598 6260

CN.TEK.COM 为您提供更多宝贵资源。

© 泰克科技公司版权所有，侵权必究。泰克产品受到已经签发及正在申请的美国专利和国外专利保护。本文中的信息代替所有以前出版的材料中的信息。技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和泰克徽标是泰克公司的注册商标。本文提到的所有其他商号均为各自公司的服务标志、商标或注册商标。

01/17 EA 65C-61045-0

