

C-4

HPI-PR0290-001

FUJITSU

shaping tomorrow with you

超高速信号伝送技術

2013/07/02

富士通セミコンダクター株式会社

酒井 敏昭

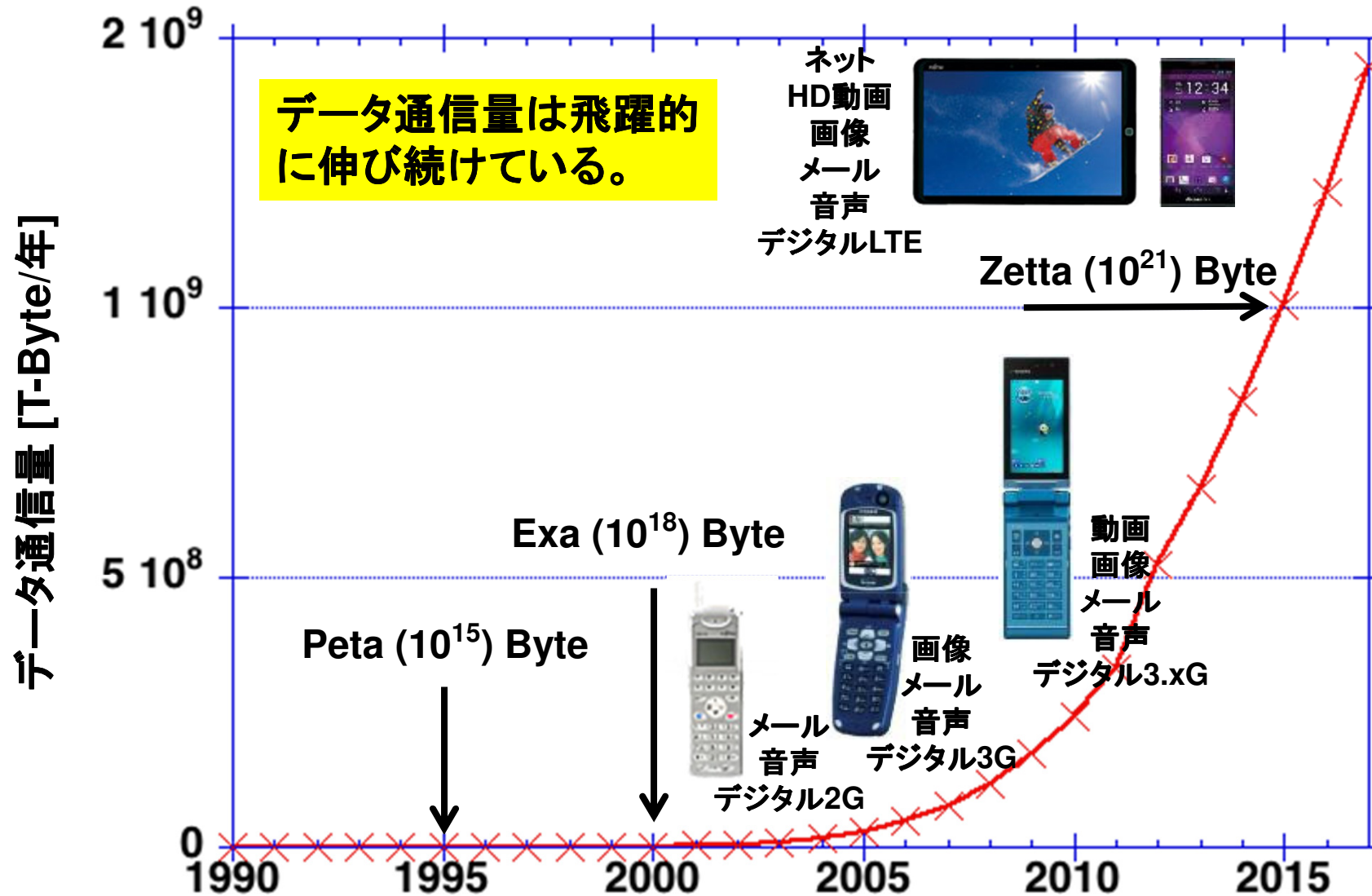
1. 高速信号伝送の背景
2. 高速信号伝送の課題
3. 伝送路での対応
4. 回路技術での対応
5. まとめ

- 1. 高速信号伝送の背景**
2. 高速信号伝送の課題
3. 伝送路での対応
4. 回路技術での対応
5. まとめ

データ通信量の増大

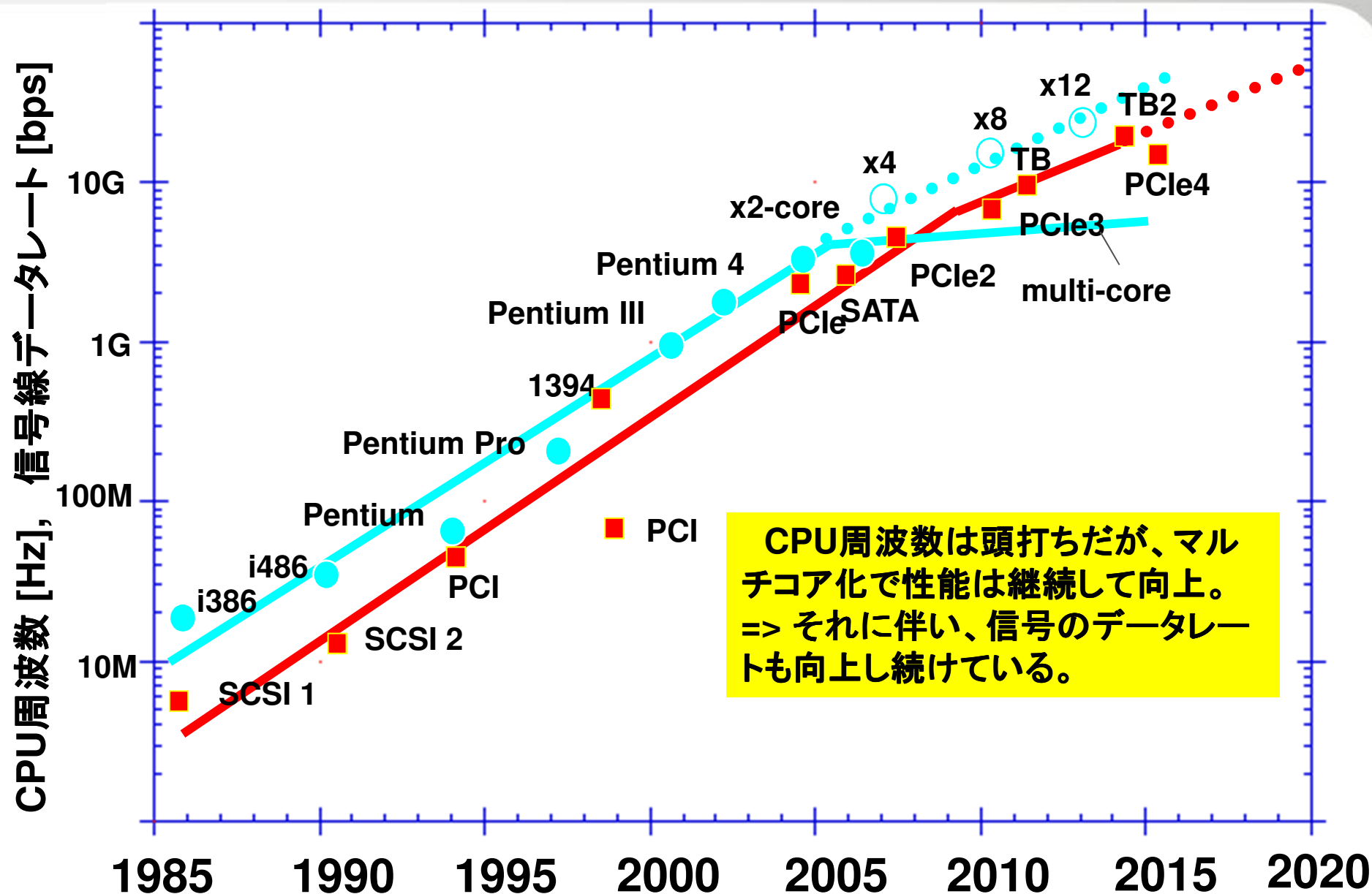
HPI-PR0290-001

FUJITSU



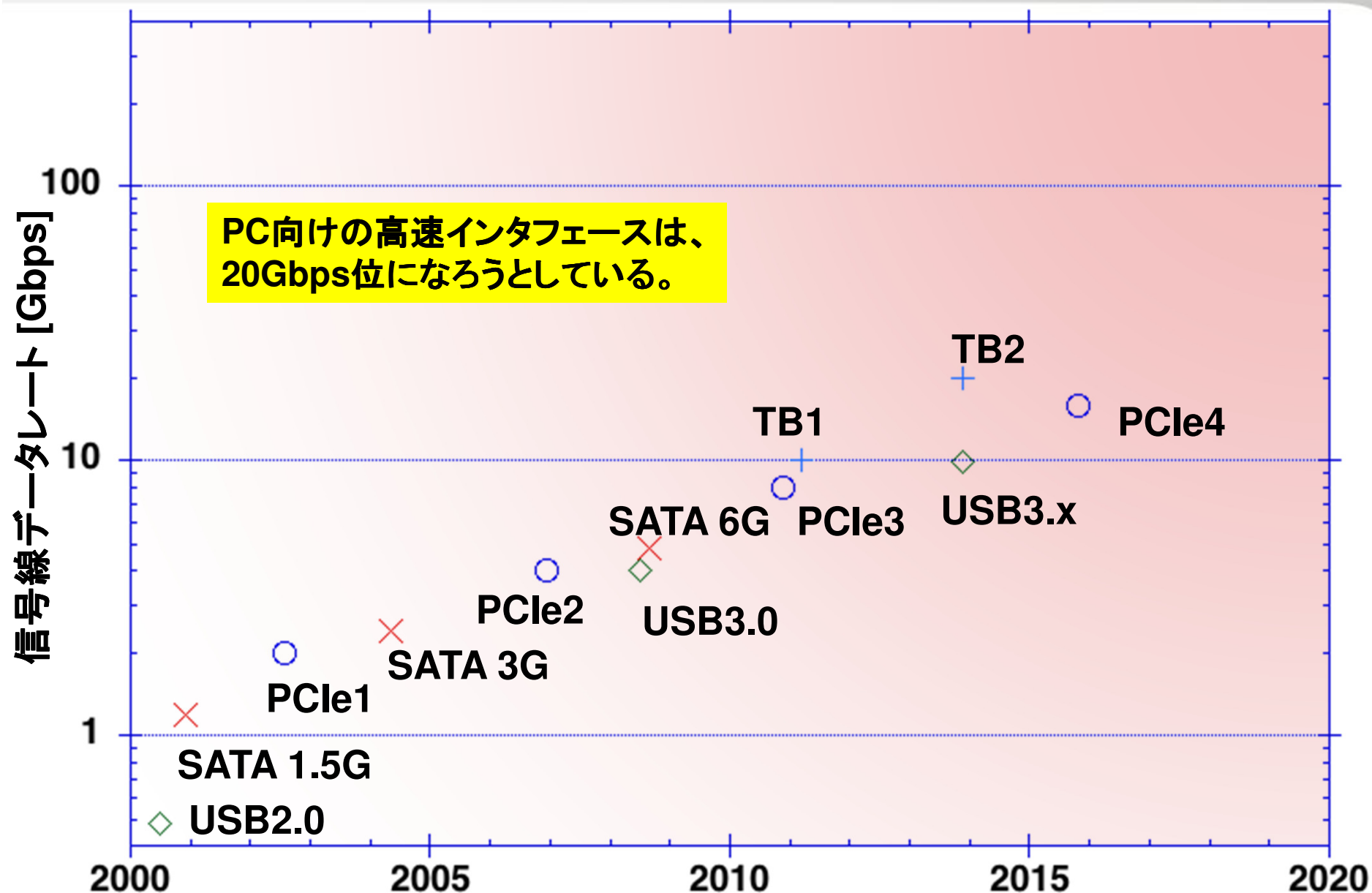
(出典 : Cisco Systems, Forecast and Methodology, 2012-2017 他)

PC : システム高速化と信号線データレート



CPU周波数は頭打ちだが、マルチコア化で性能は継続して向上。
=> それに伴い、信号のデータレートも向上し続けている。

高速インタフェース標準規格の動向

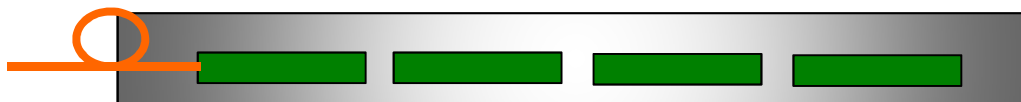


ルータ内の信号伝送

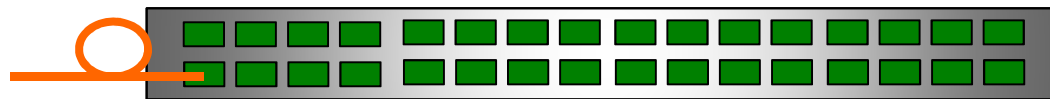
ラインカードの”パネル”



48 x SFP+
10Gbps x 48 = 480Gbps

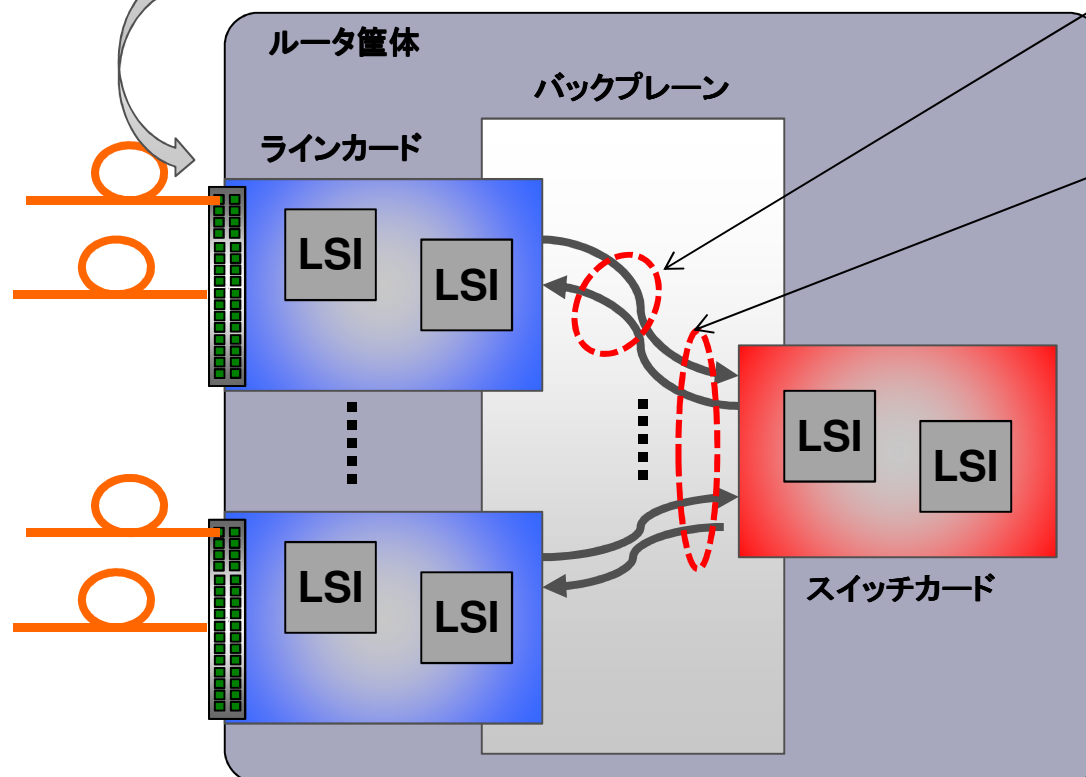


4 x CFP
100Gbps x 4 = 400Gbps

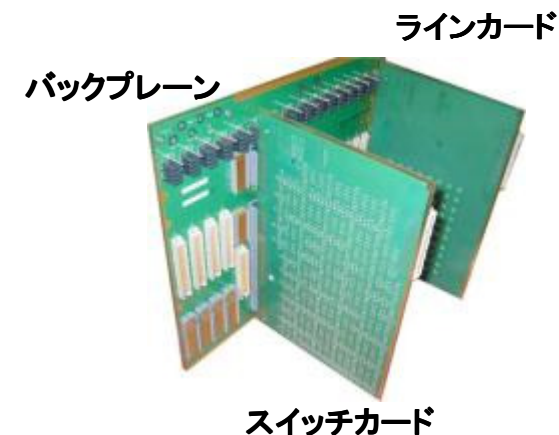


32 x CFP4
100Gbps x 32 = 3.2Tbps

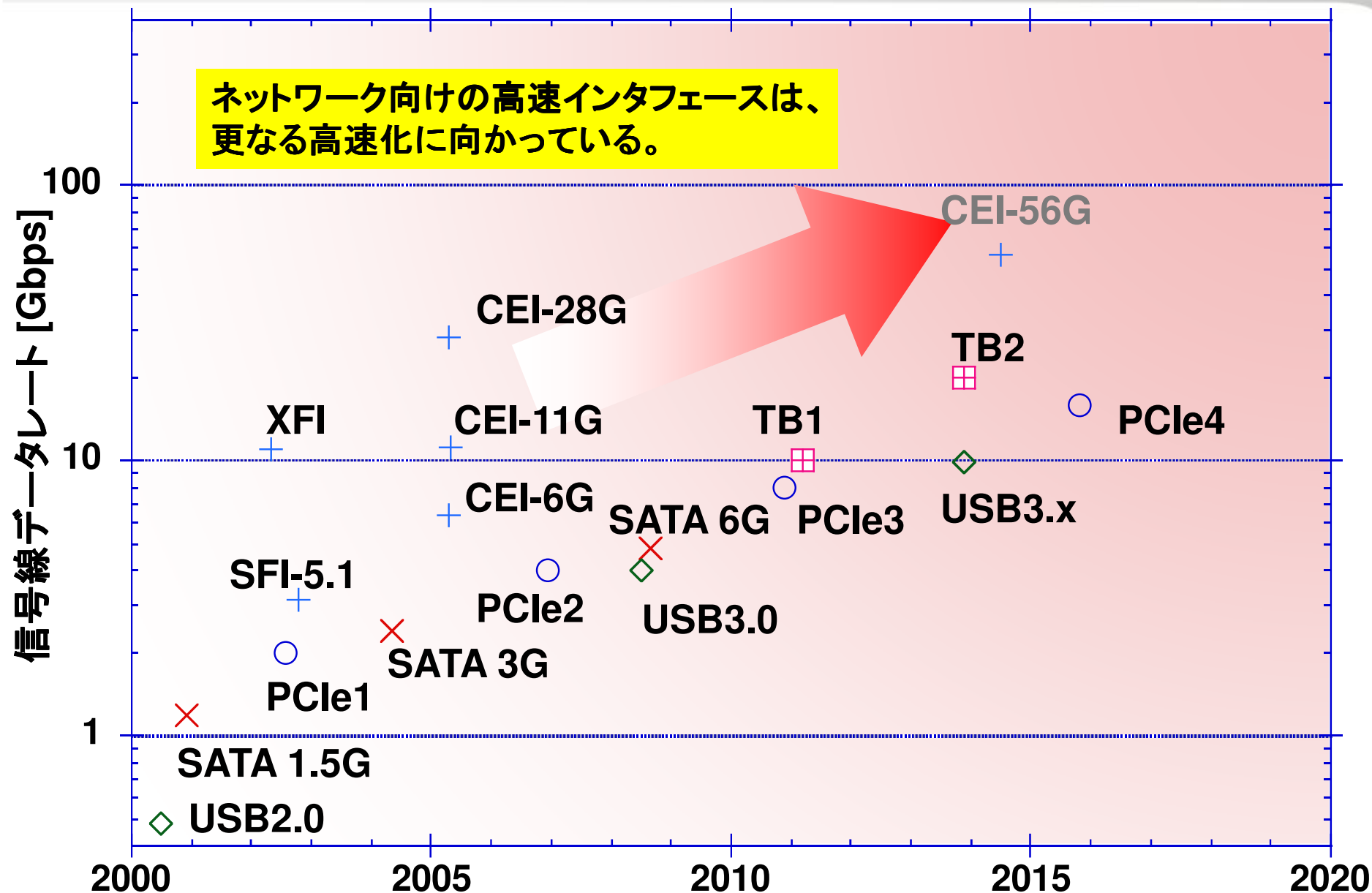
光ファイバ



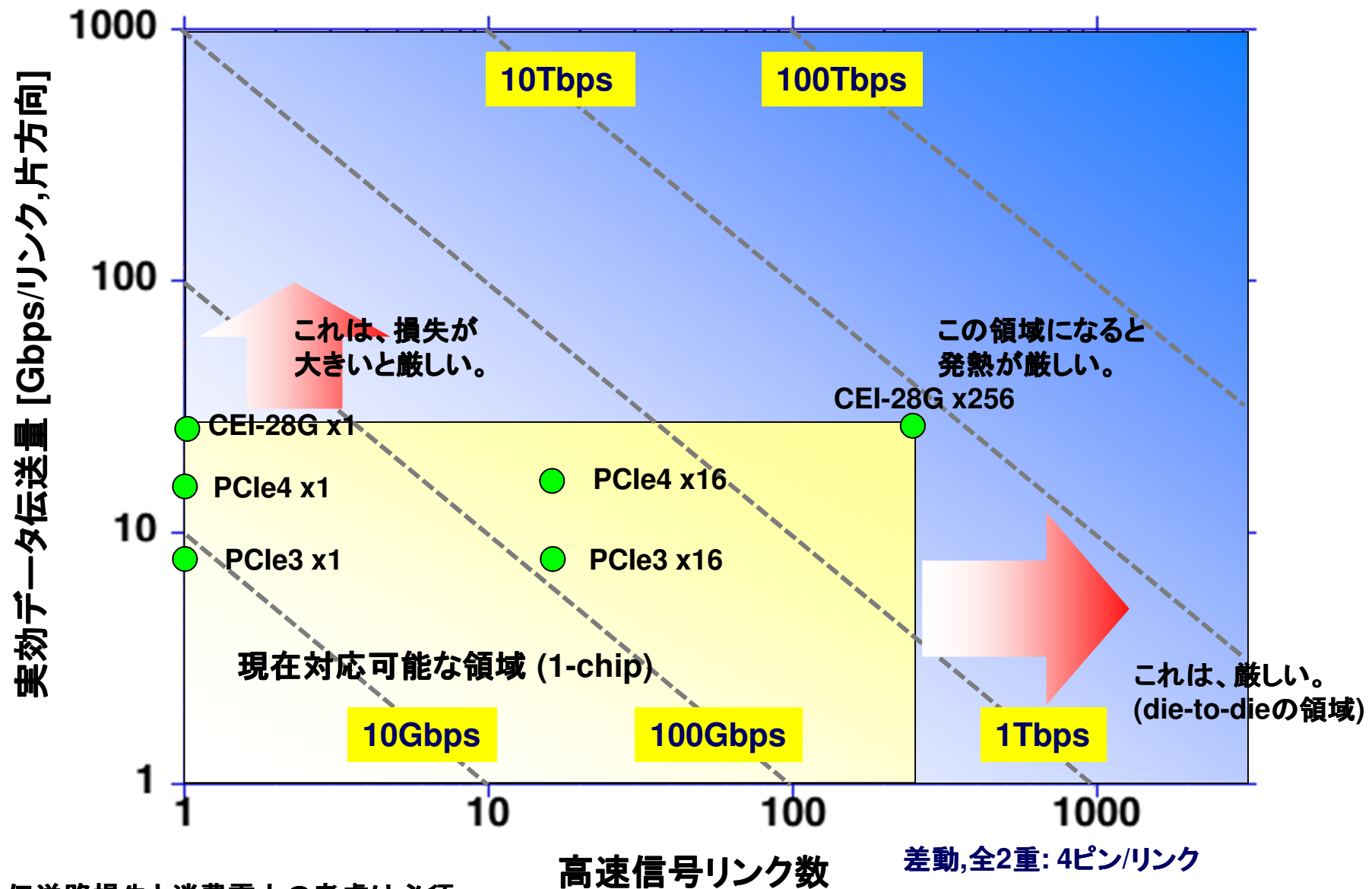
ラインカード(32 x CFP4) 8枚の場合
3.2Tbps x 8 = 25.6Tbps
→ 1024 リンク @25Gbps
→ 差動, 双方向 4096信号線



高速インタフェース標準規格の動向



高速信号リンク数とバンド幅



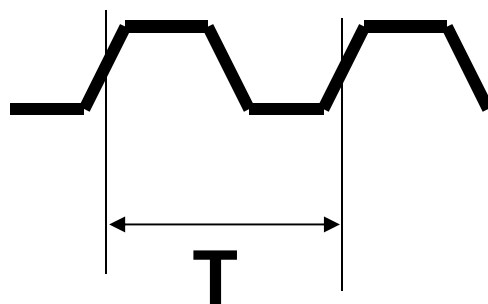
伝送路損失と消費電力の考慮は必須。

1. 高速信号伝送の背景
- 2. 高速信号伝送の課題**
3. 伝送路での対応
4. 回路技術での対応
5. まとめ

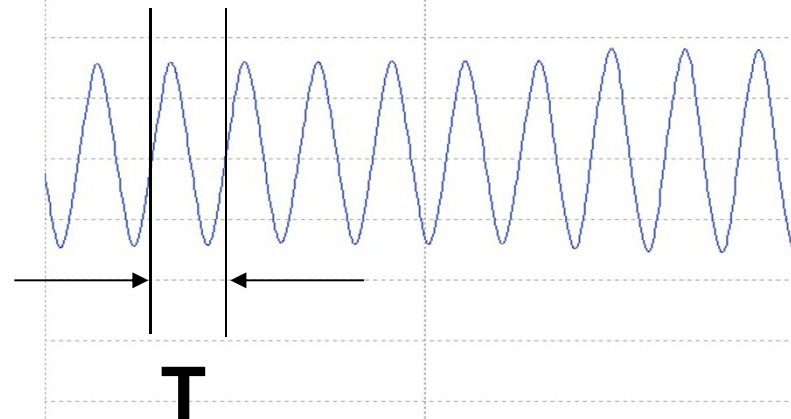
(用語説明) 周波数[Hz] とビットレート[bps]とは

周波数[Hz]

clock

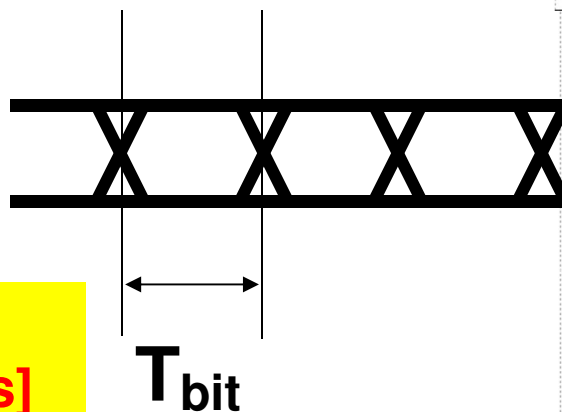


T : clock 周期 [sec]
 f : 周波数 = $1/T$ [Hz]

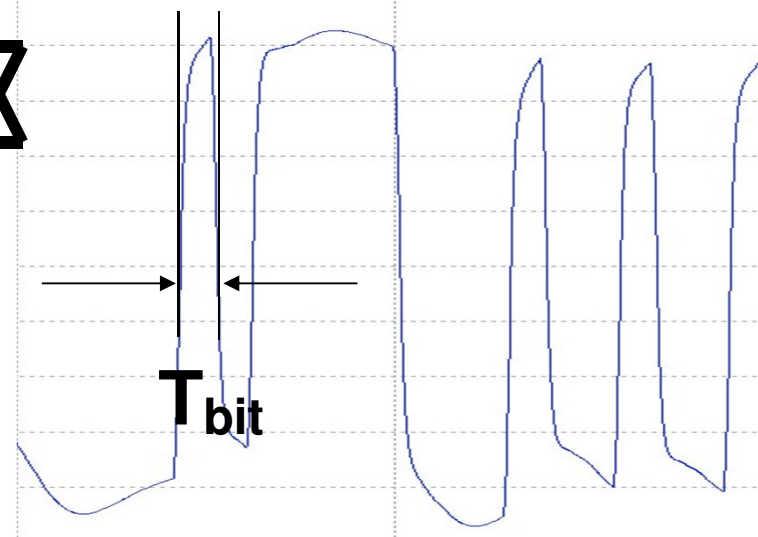


ビットレート[bps]

data



T_{bit} : 1 bit 時間 [sec]
 ビットレート = $1/T_{bit}$ [bps]



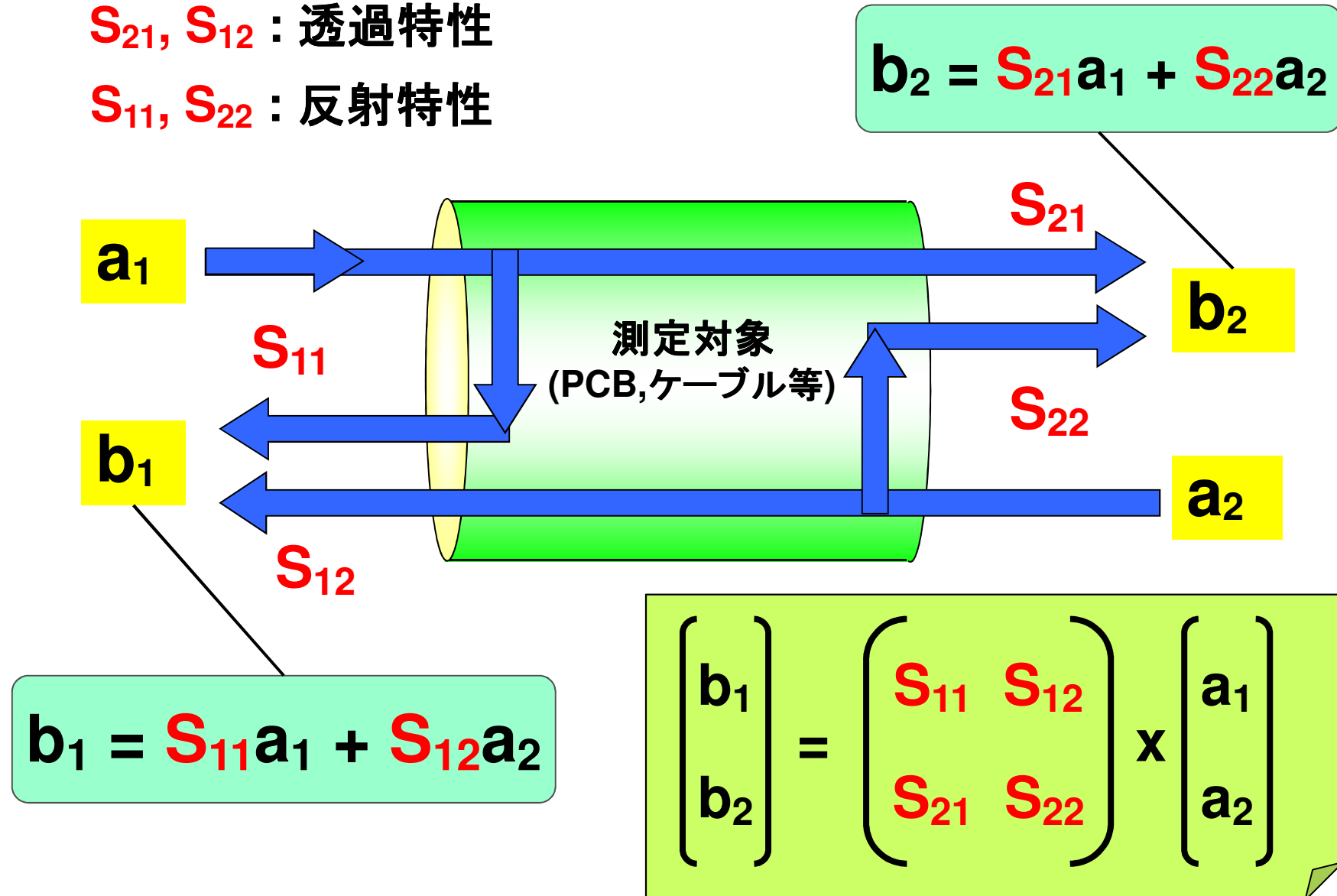
信号周波数[Hz]は、ビットレート[bps] x 1/2

bps : bit per second

(用語説明) S-パラメータとは

S_{21} , S_{12} : 透過特性

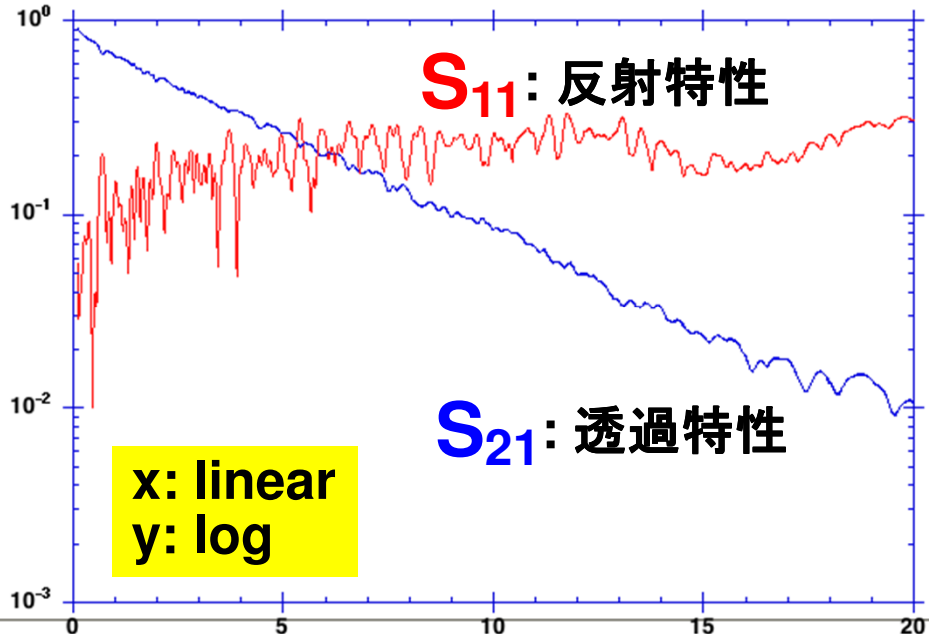
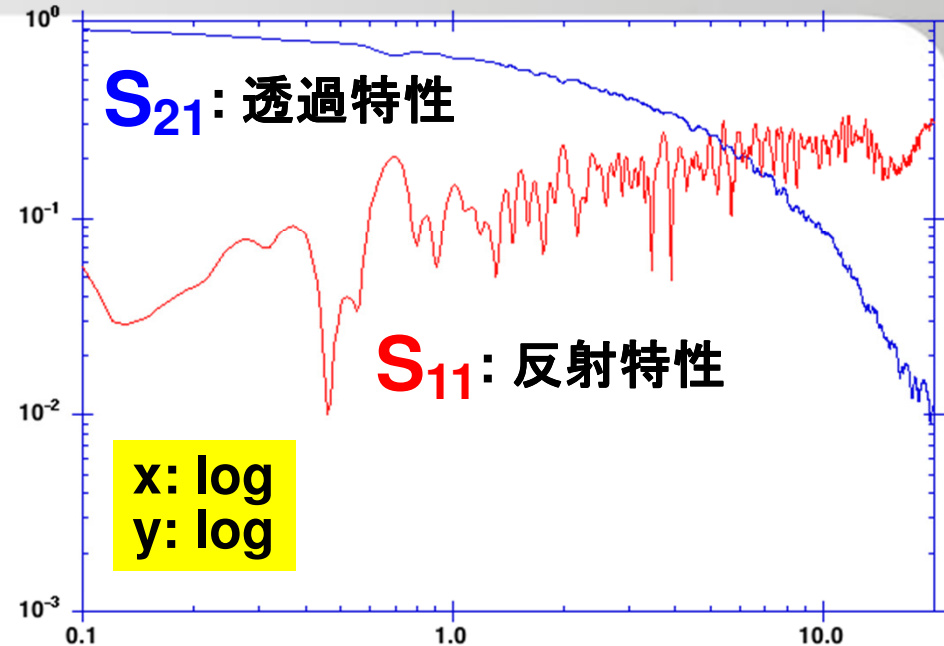
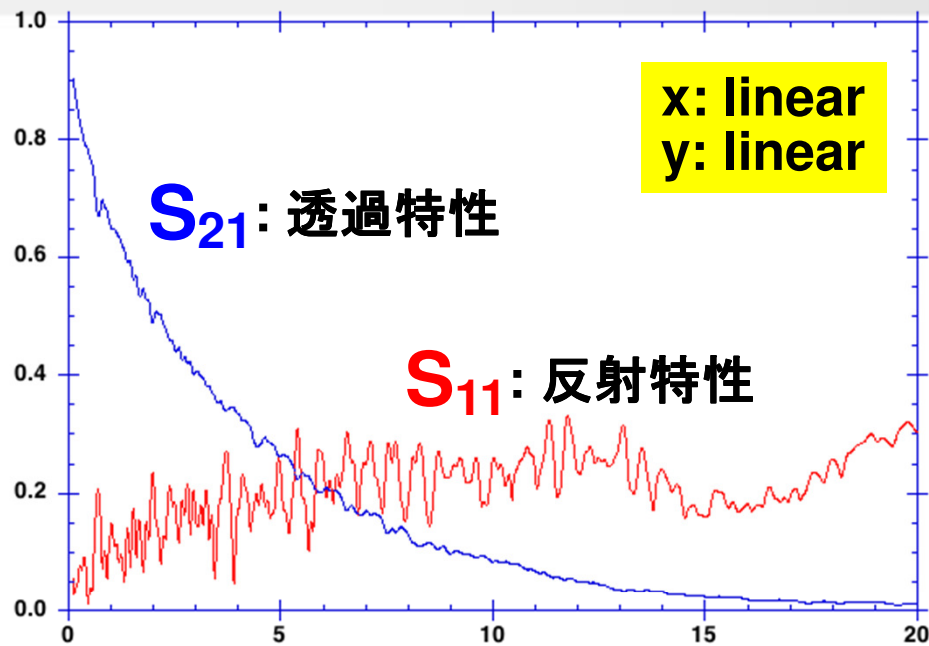
S_{11} , S_{22} : 反射特性



(用語説明) S-パラメータの例

HPI-PR0290-001

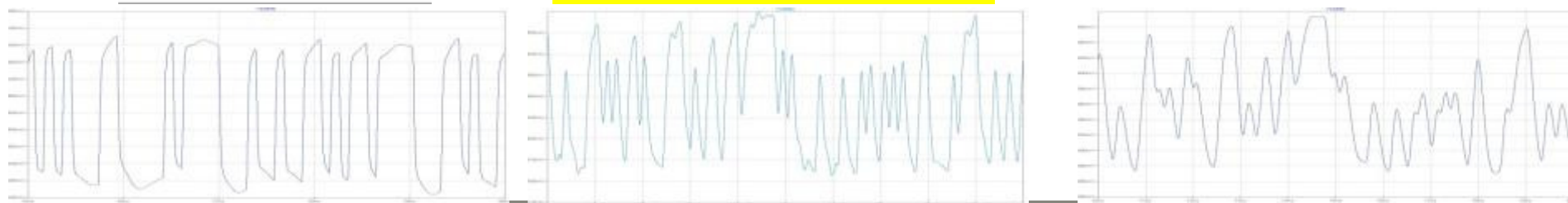
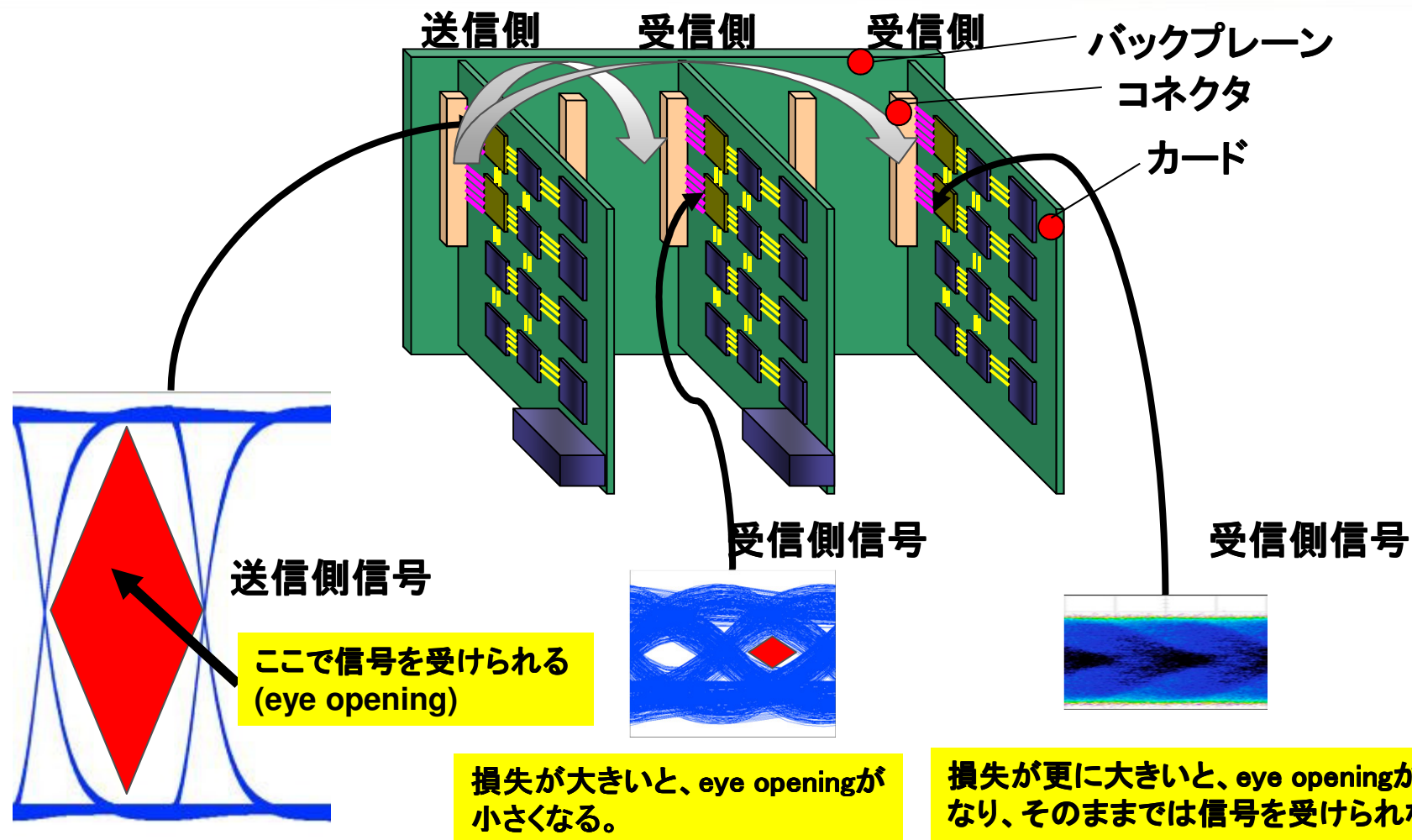
FUJITSU



x軸: 周波数 [GHz]
y軸: S_{11} , S_{21}

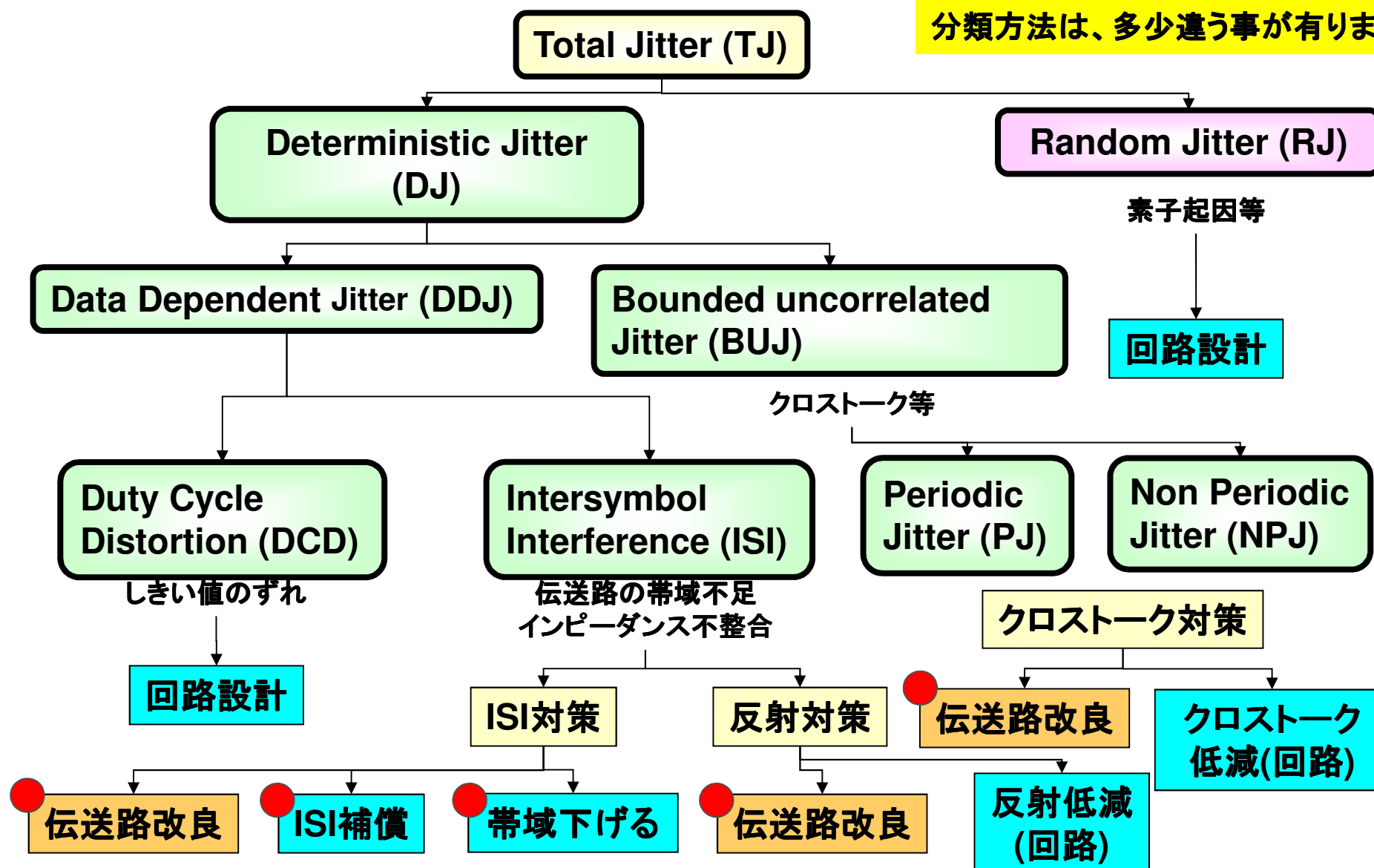
いずれも、全く同じもの。

伝送路損失の問題



ジッタ の分類と対策

分類方法は、多少違う事が有ります。

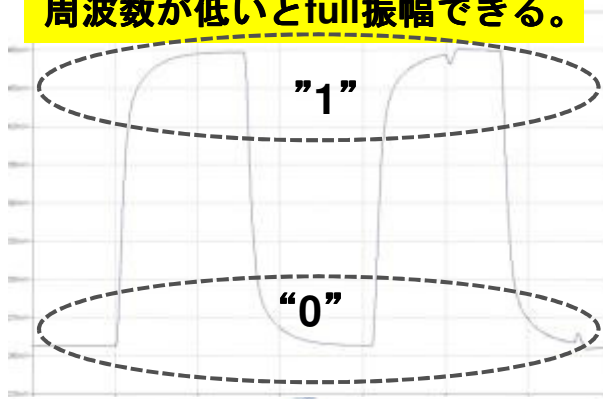


符号間干渉 (ISI)

周波数が低いとfull振幅できる。

“0/1”判定
容易

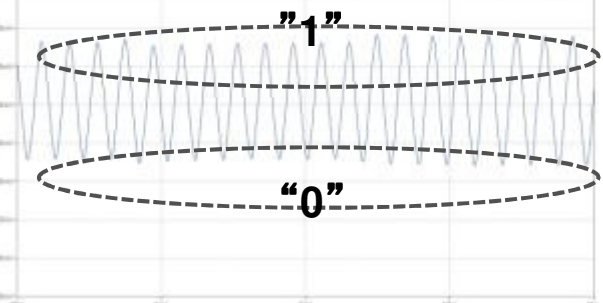
“0101”
(325MHz, 10dB)



周波数が高いとfull振幅できない。

“0/1”判定
容易

“0101”
(5GHz, 10dB)



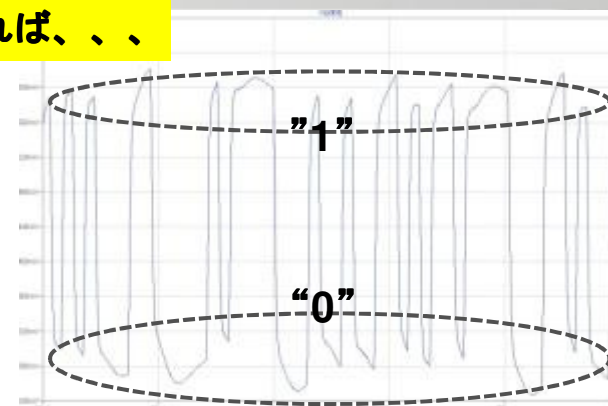
高周波損失により、1bit前や更に前の信号の状態によってレベルが変わってしまう。特にデータパターンでは、損失が大きいと“0/1”判定が困難／不可になる。

ISI : Inter Symbol Interference

損失が小さければ、、、

“0/1”判定
容易

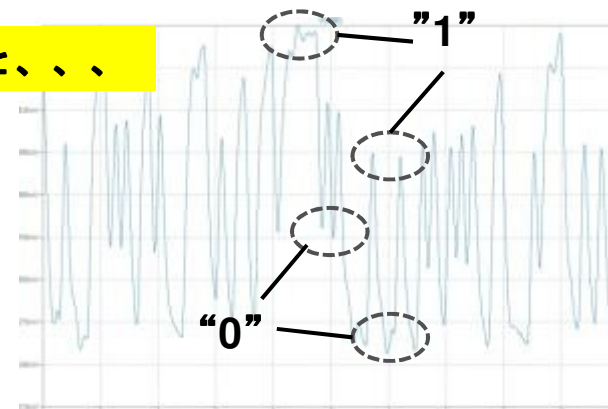
PRBS11
(5GHz, 1dB)



損失が大きいと、、、

“0/1”判定
困難

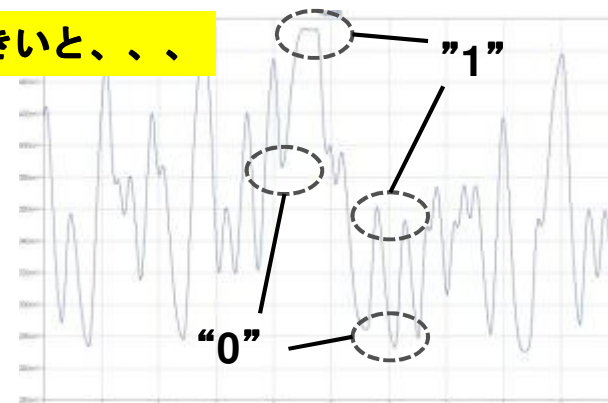
PRBS11
(5GHz, 10dB)



損失が更に大きいと、、、

“0/1”判定
不可

PRBS11
(5GHz, 20dB)

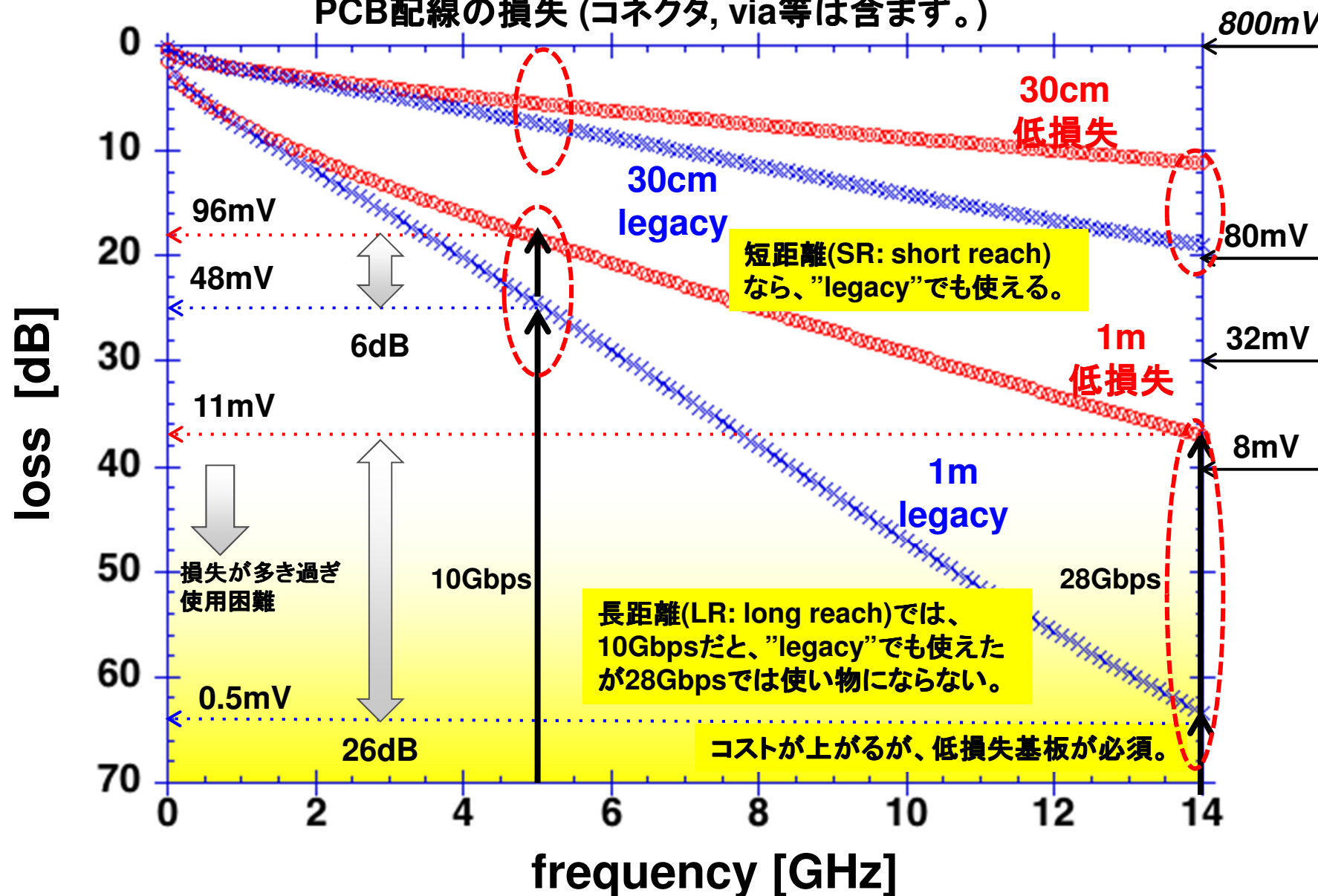


1. 高速信号伝送の背景
2. 高速信号伝送の課題
- 3. 伝送路での対応**
4. 回路技術での対応
5. まとめ

①

伝送路での対策 (材料)

PCB配線の損失 (コネクタ, via等は含まず。)



2

伝送路での対策(例)

反射対策例

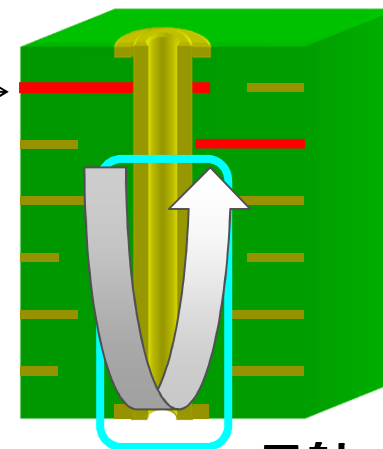
角の部分の寄生容量が他の部分より大きい為、インピーダンスの不整合が発生し、反射を起こす。

設計ルールで対応可能

他にも、ミアンダ配線避ける、差動配線のバランスを取る、インピーダンス整合を行う等々。

90度の折り曲げを行わない。
角を削る。

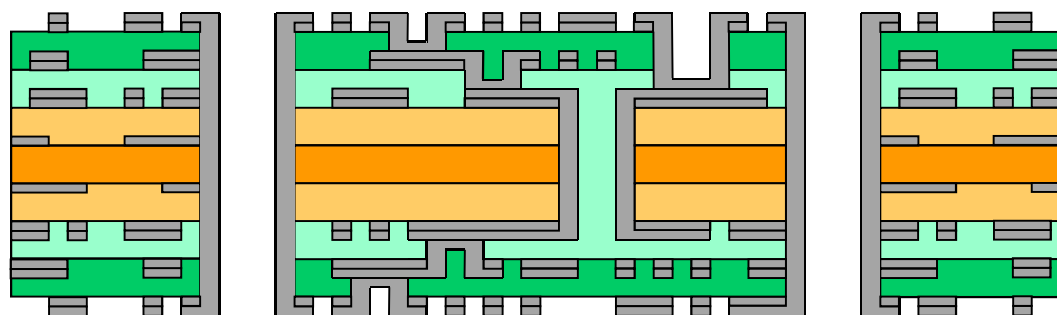
信号



反射

寄生容量が付き、かつ開放端で反射が起きるスタブ部分をバックドリルで削る。

コストが上昇するが、
周波数が高くなると必須。



欠点

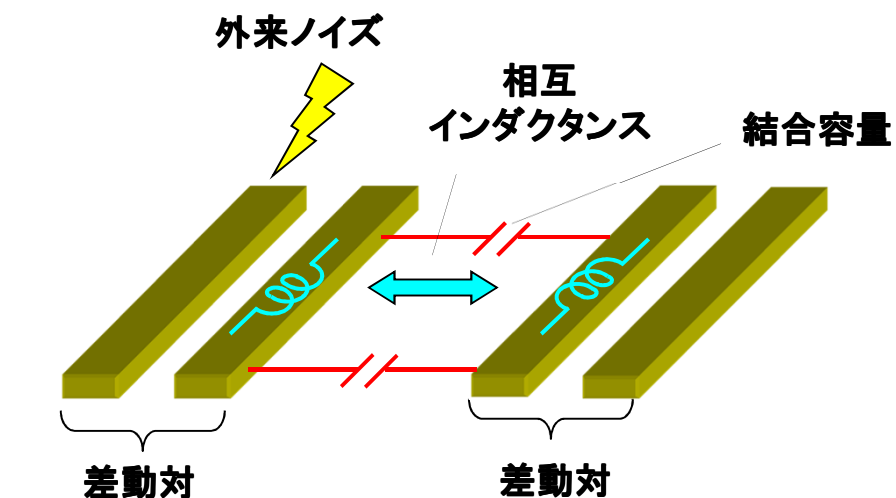
コストが上昇

スタブを避ける為、貫通VIAの無い構造の基板を使う。

2

伝送路での対策(例)

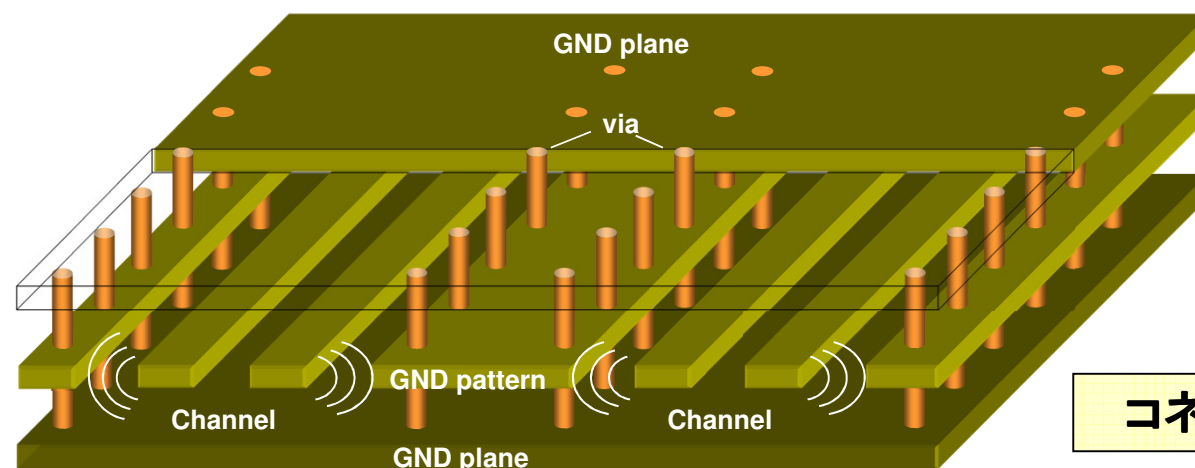
クロストーク対策例



- 差動対間の間隔を広げる。
- 差動対間にシールドを入れる。
- 上下をシールドする。

欠点

- 配線密度の低下
- 基板層数の増加
- コストの上昇



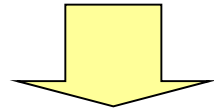
コネクタ部分にも対策必要。



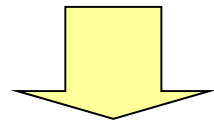
伝送路での対策で全て出来れば良いが、、、

伝送路の損失を抑えようとする、

- PCBで損失の小さいもの(低誘電率材料)は高価
- ケーブルで損失の小さいものは高価
- コネクタで損失の小さいものは高価
- そして、損失を下げられる限度もある。



伝送路の設計技術の進歩で昔よりは改善されている。
しかし、コストを(余りに)上げるような方法は取り難い。



回路技術での補償が必須。

- “ある程度”の範囲であれば、コストを上げないで済む。

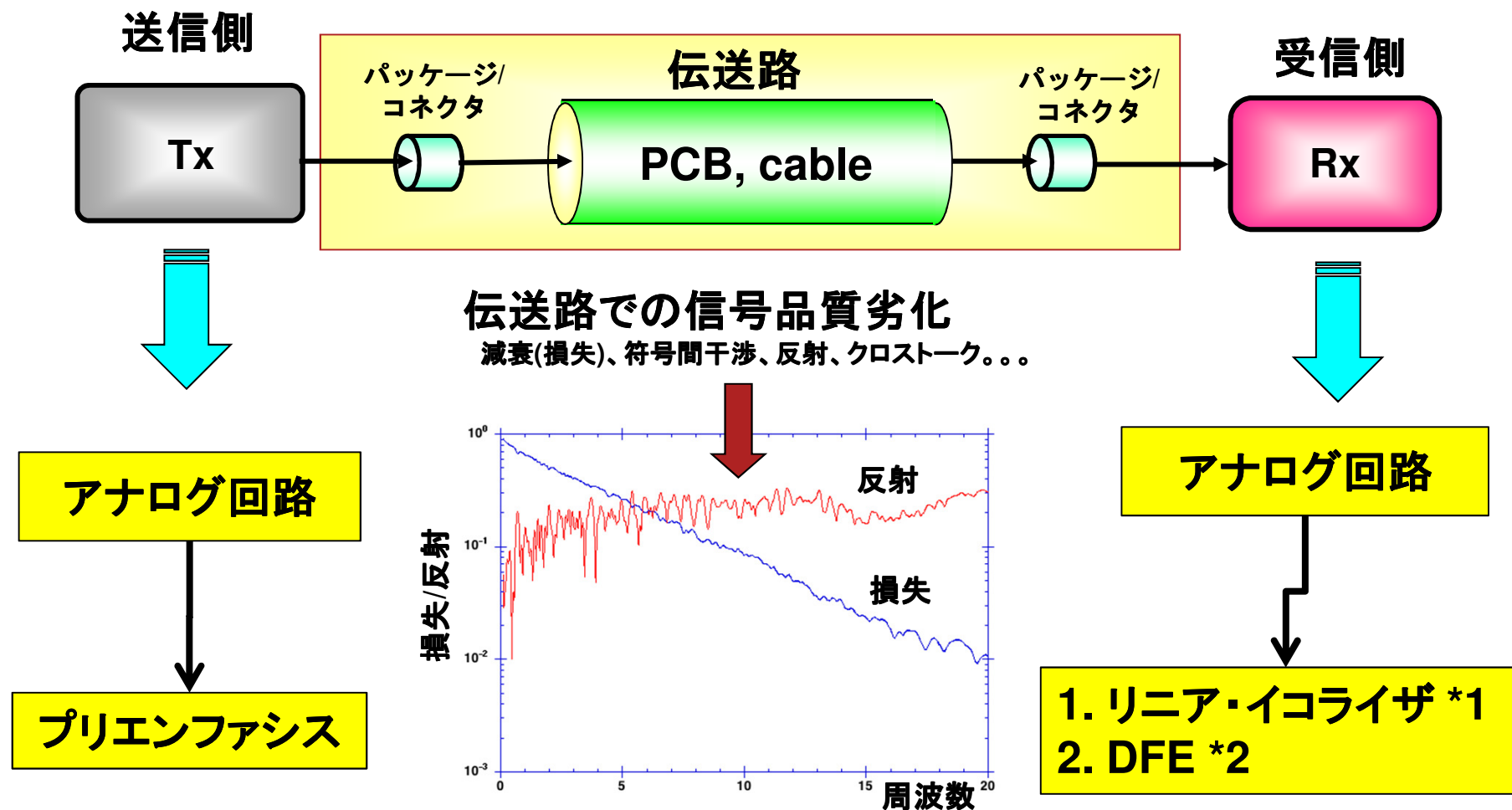
電源品質(PI : power integrity)の考慮も必須。

伝送速度が上がると、より厳しくなる。

1. 高速信号伝送の背景
2. 高速信号伝送の課題
3. 伝送路での対応
- 4. 回路技術での対応**
5. まとめ

3 4 5

伝送路損失の補償



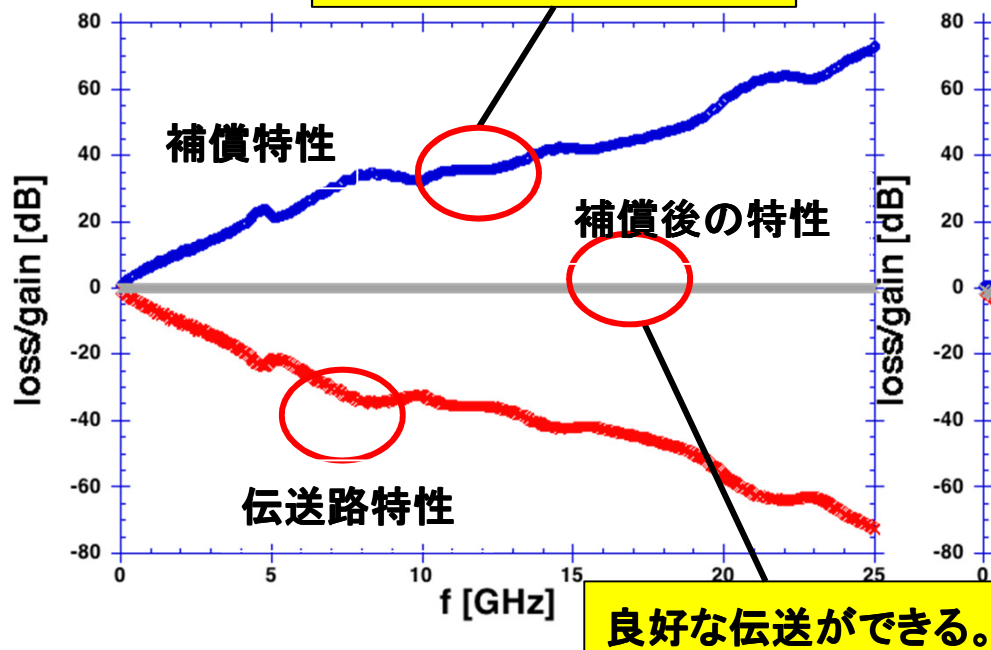
*1 : CTLE (Continuous Time Linear Equalizer 連続時間線形等化器)とも言う。

*2 : DFE (Decision Feedback Equalizer 判定帰還型等化器)

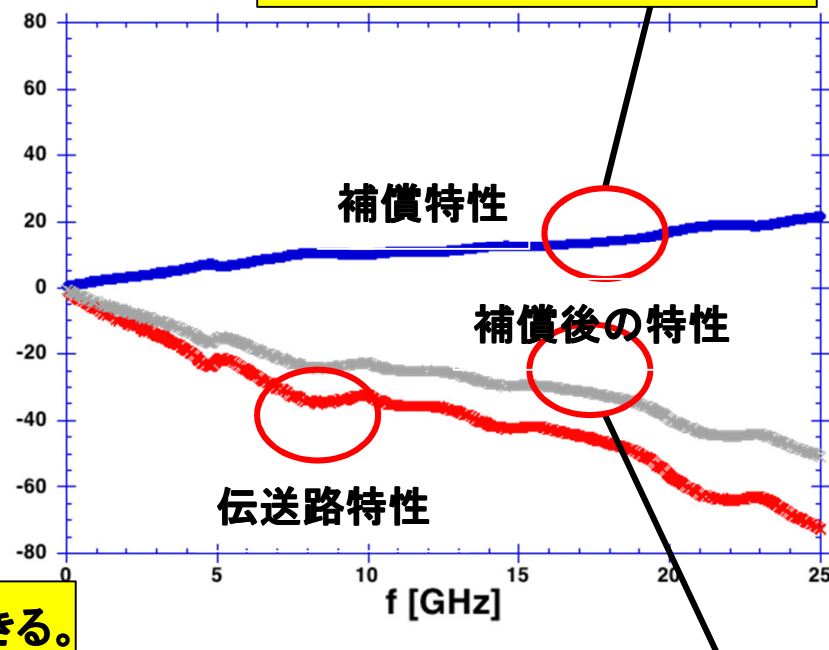
3 4 5

伝送路損失の補償

こういう補償が出来れば。



この程度しか補償できないと。



でも、...

伝送路特性がいつも判っている訳では無い。

伝送路特性が判っていても補償が出来るとは限らない。

高度な補償をしようとしても、消費電力や面積の制約で出来ない。

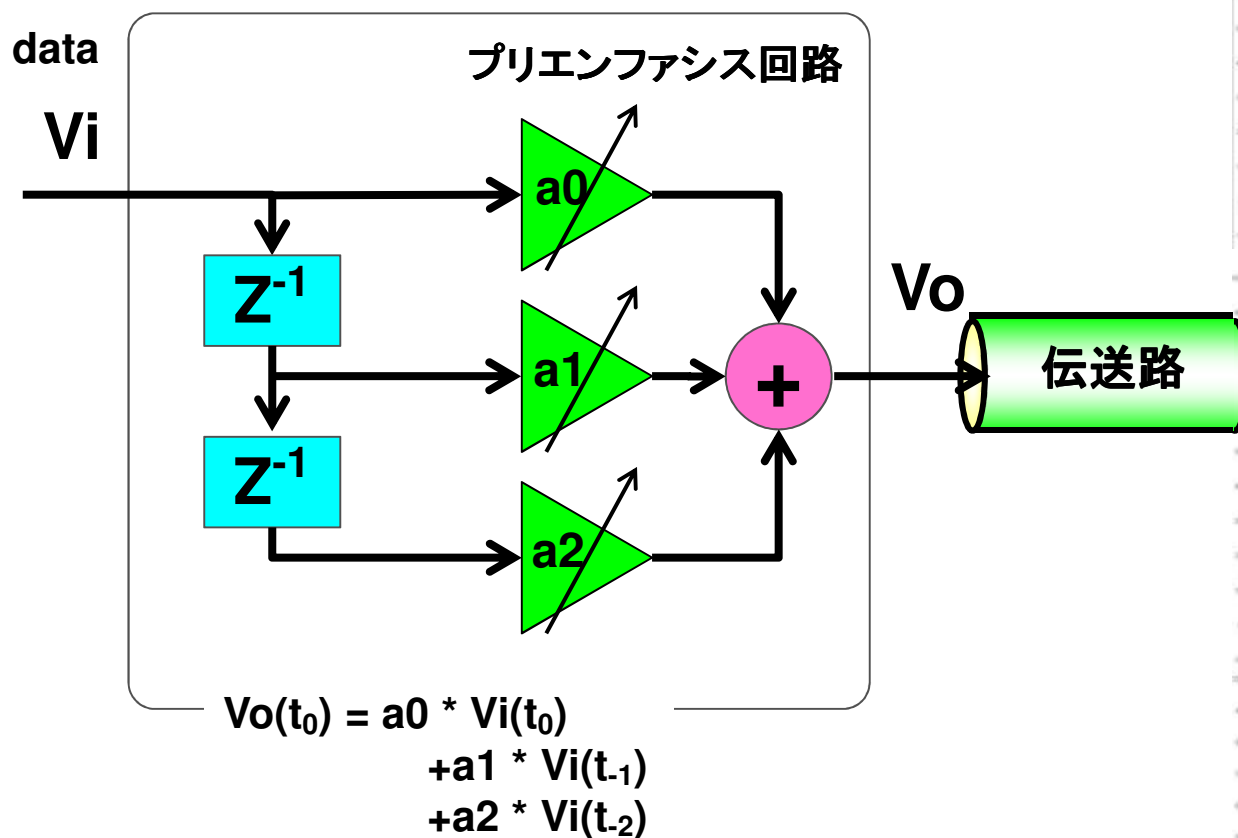
伝送路の特性(種類)が非常に多い。温度や湿度で変化する事もある。

少しマシだが、ショボショボな伝送しか出来ない。

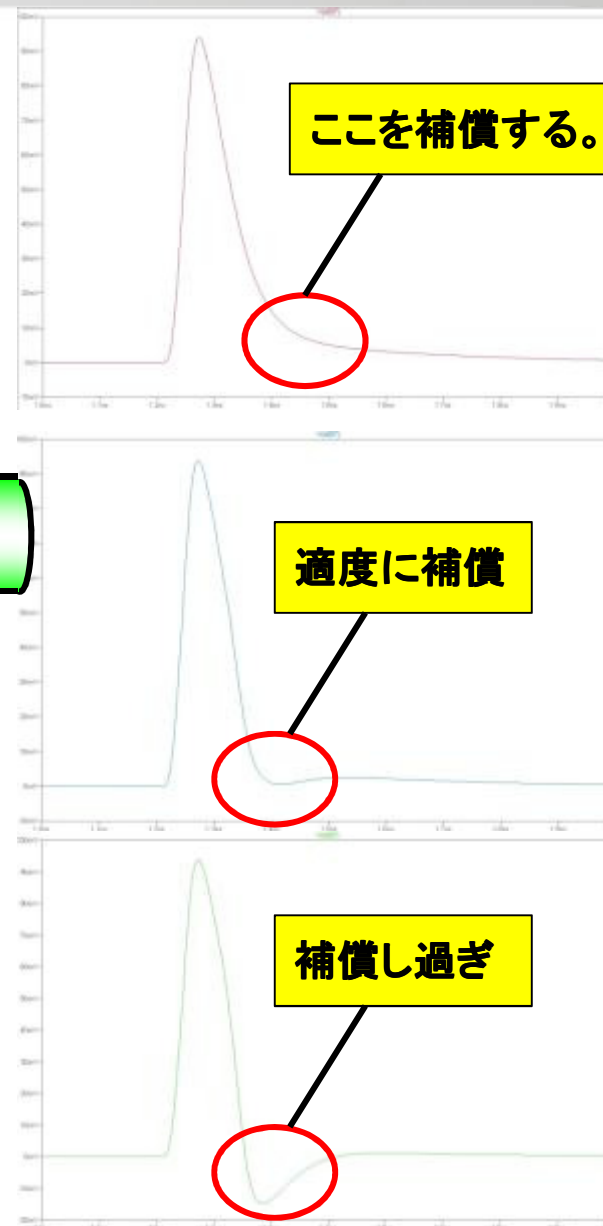
各種の補償(回路)技術を適用し、もっとマシな伝送を目指す。

3

プリアンファシス(送信側)



伝送路特性が既知: それに従った係数を設定。(pre-set)
 伝送路特性が不明: 受信側からのフィードバック情報を元に
 係数を決める。(10G-KR等)

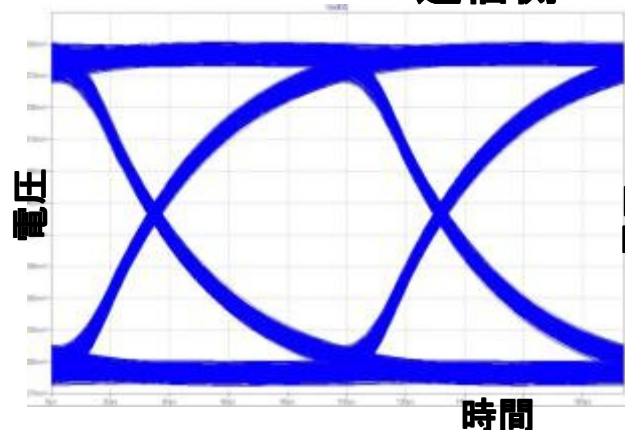


3

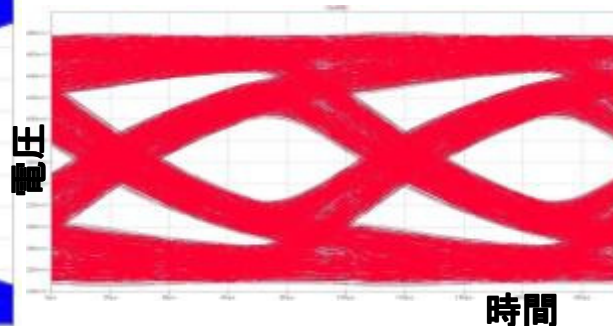
プリアンファシスの例

PE なし

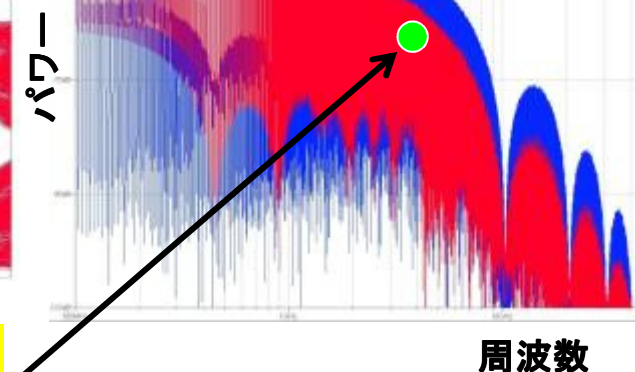
送信側



受信側



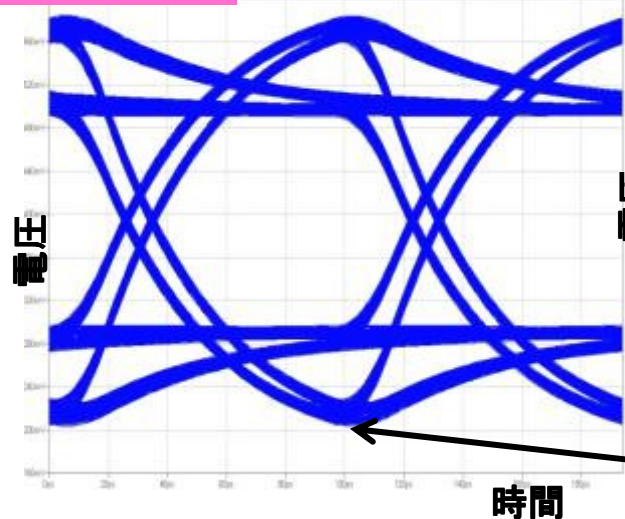
信号の周波数成分



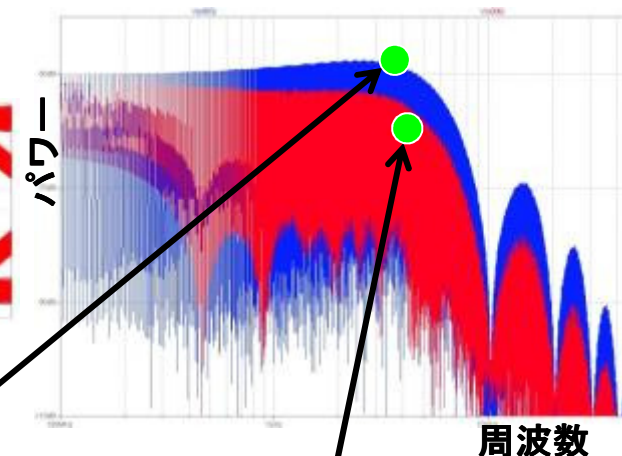
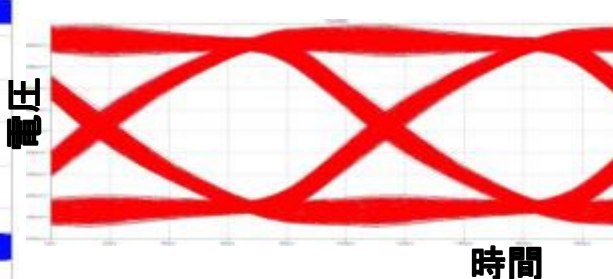
高周波側で減衰している。
=> eyeが小さくなる。

PE あり

送信側



受信側



高周波成分を強調

高周波側で減衰が小さい。
=> eyeが大きくなる。

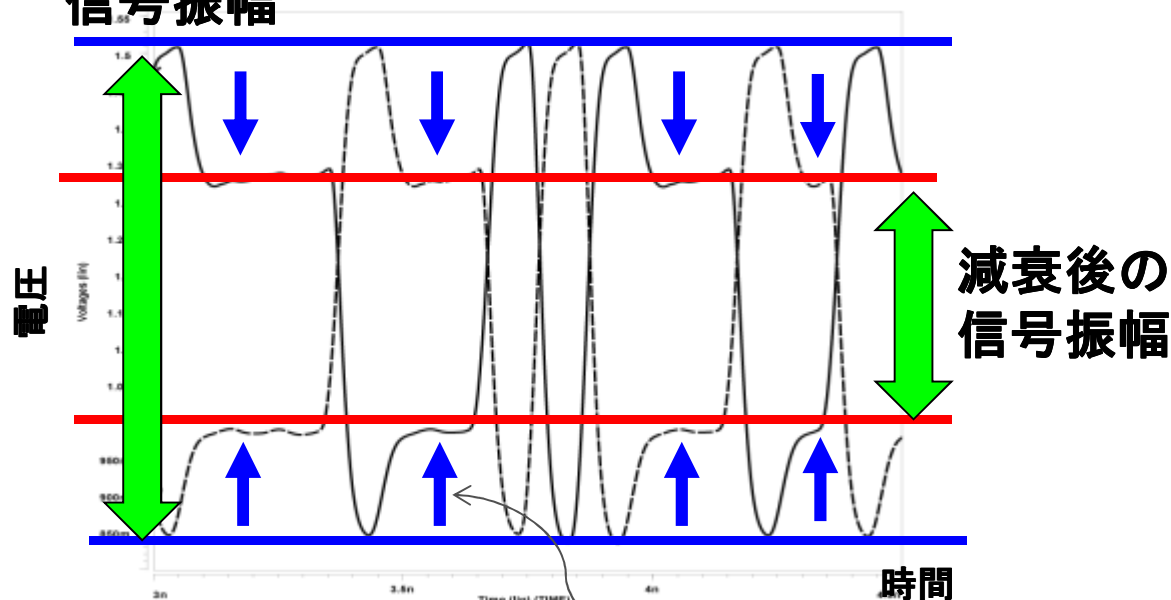
PE : Pre-Emphasis

3

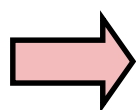
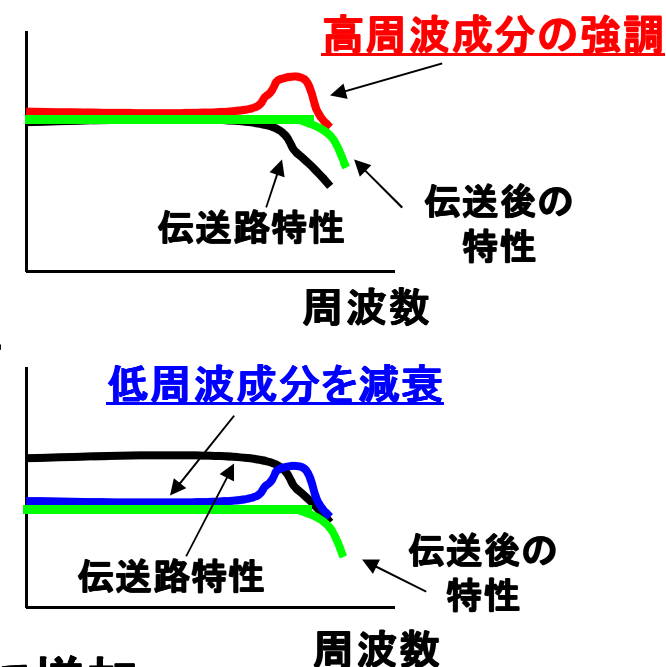
プリアンファシスの課題/限界

- 高データレートでは、**高周波成分の強調**は難しい。(元々目一杯の振幅。)
- 実際には**低周波成分を減衰**させ、相対的に高周波成分を強調。
(これを特にデエンファシスとも呼ぶ。)

”目一杯”の
信号振幅



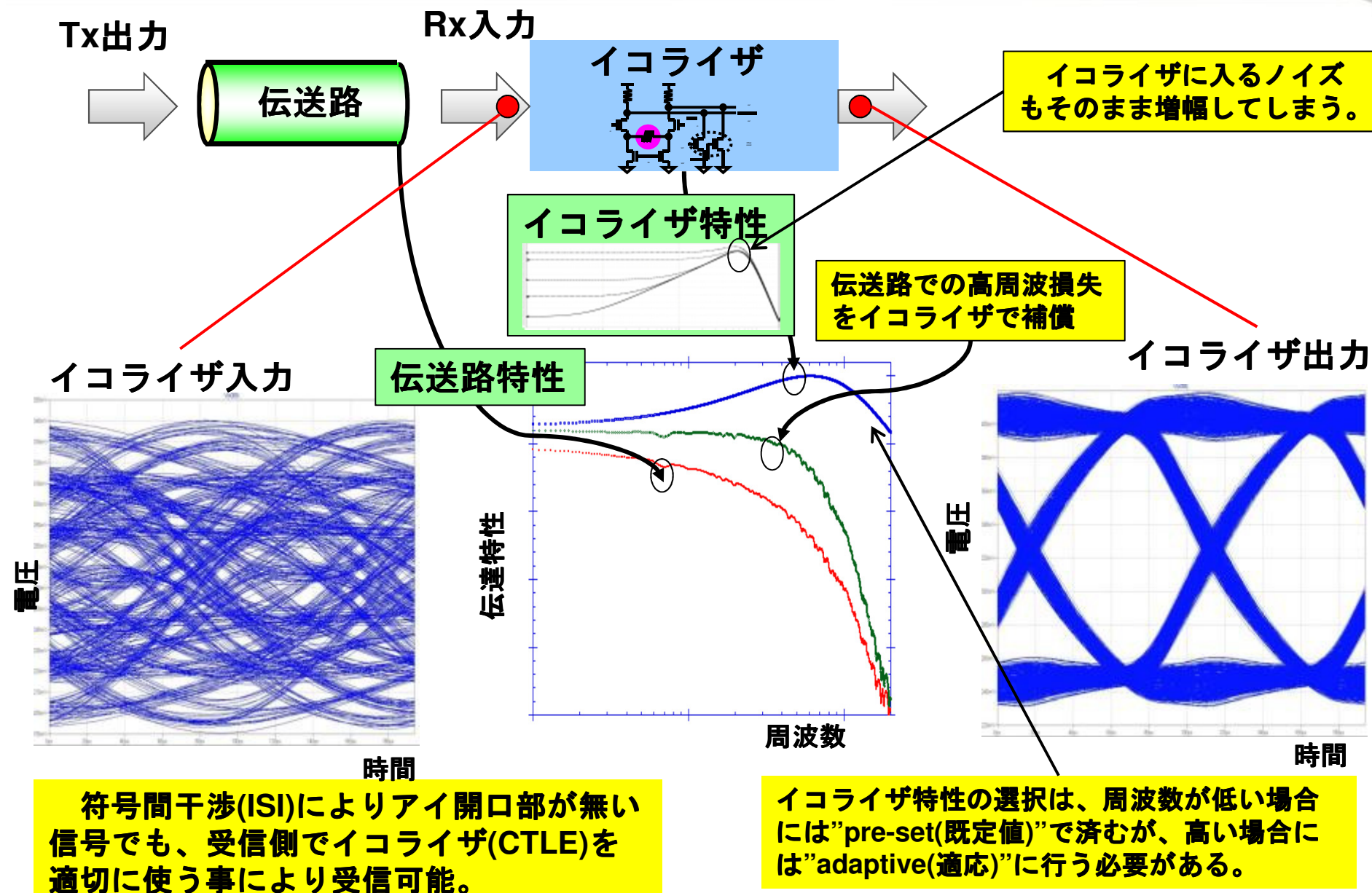
減衰量は損失と共に増加



信号振幅が小さくなる(損失が大きい時に顕在化)
- 余りに小さくなると受信できなくなる。(限界)

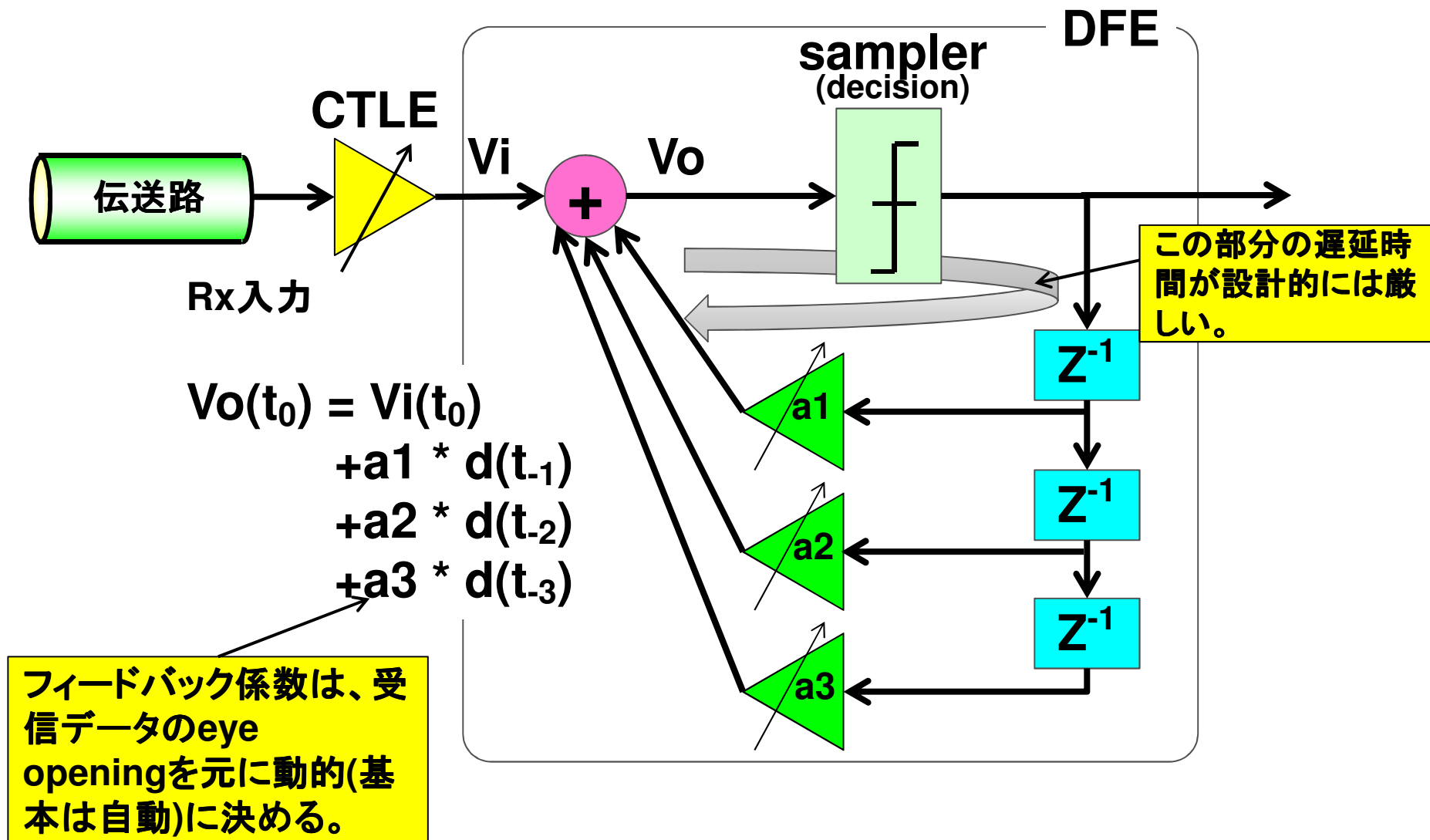
4

リニアイコライザ (受信側)



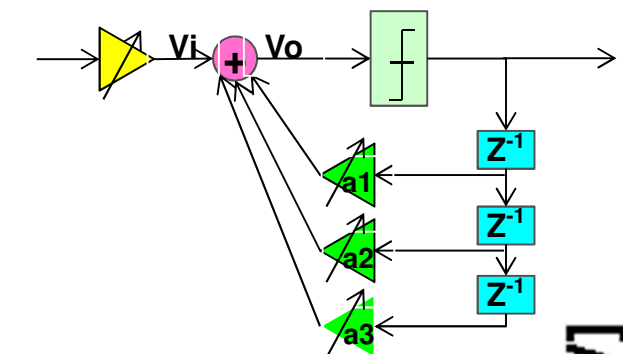
5

DFEの原理



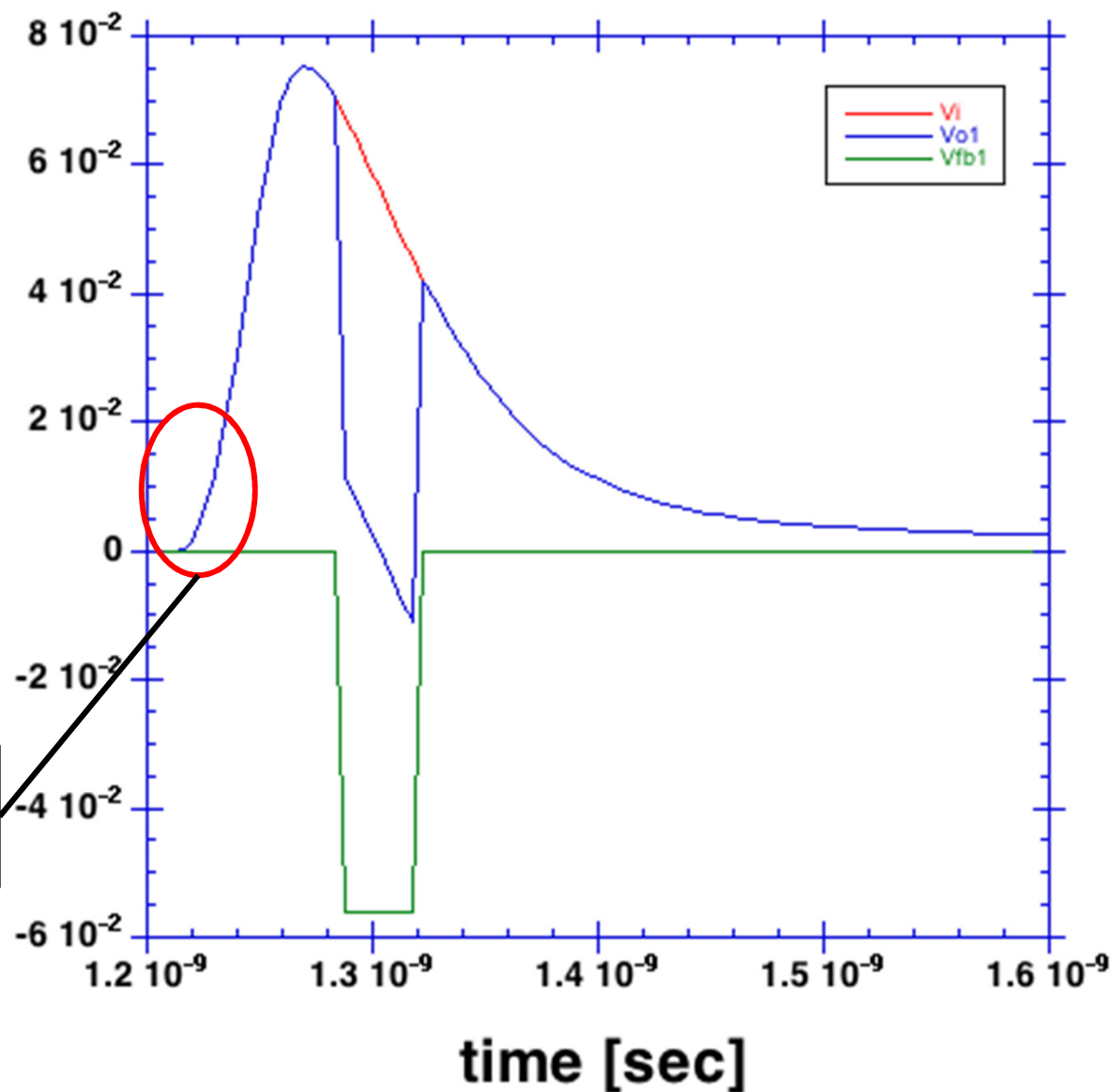
5

DFE (1-tap, impulse応答)



$$V_o(t_0) = V_i(t_0) + a_1 * d(t_{-1})$$

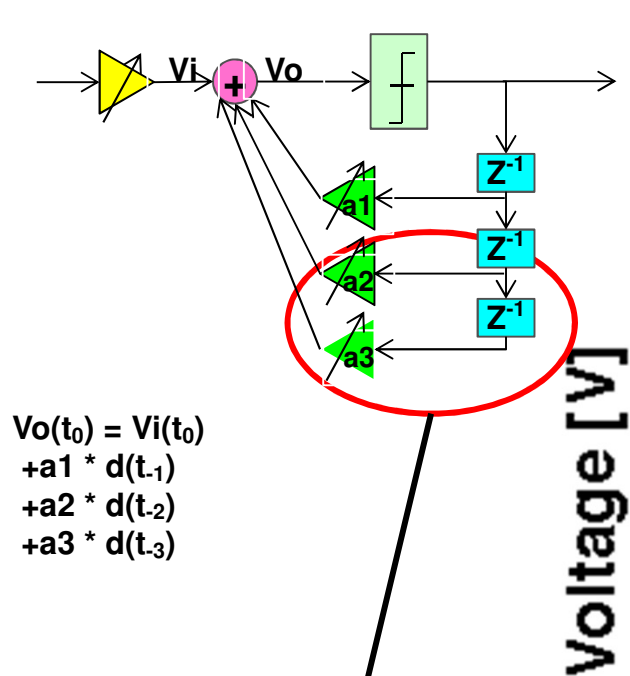
Voltage [V]



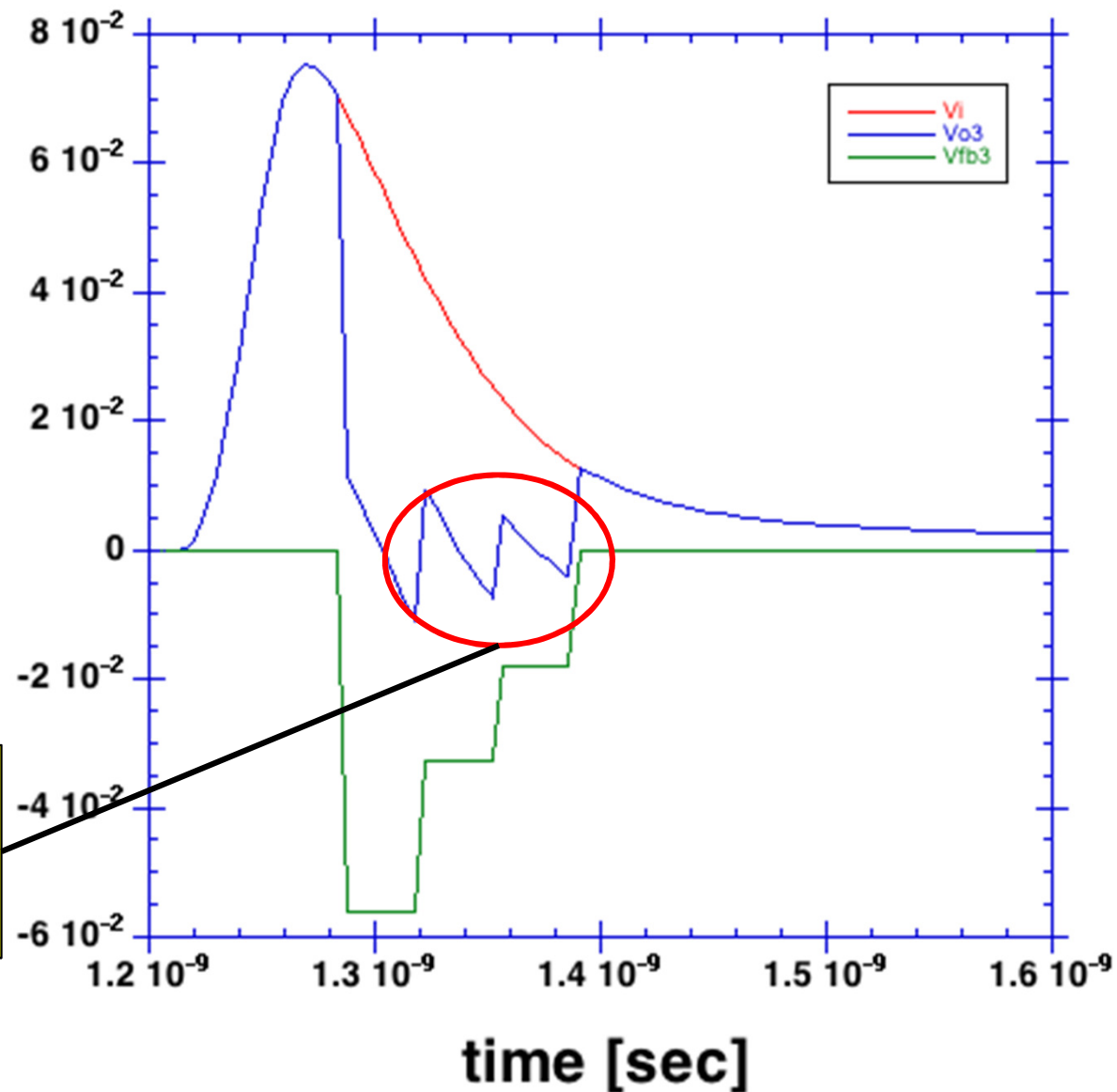
信号より『前』の部分は補償出来ない。

5

DFE (3-tap, impulse応答)

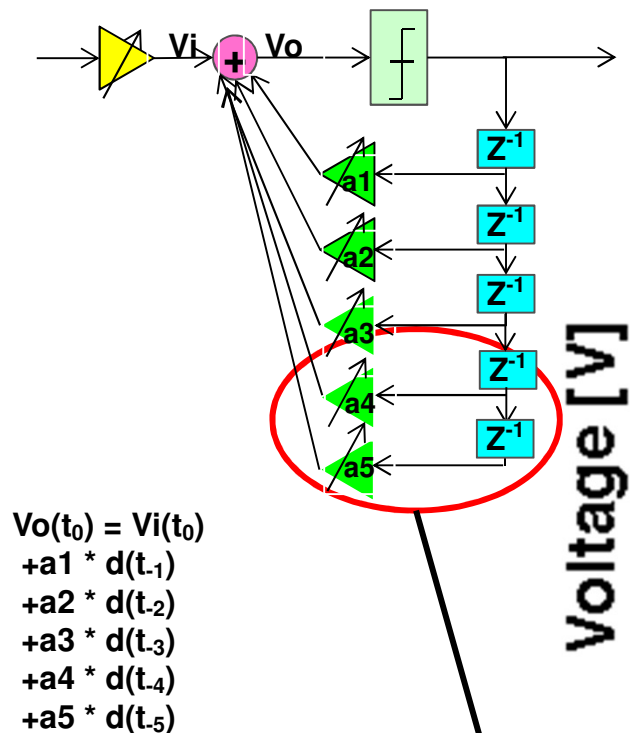


ISI(符号間干渉)は、tap
数を増やせば、より補償
出来る。

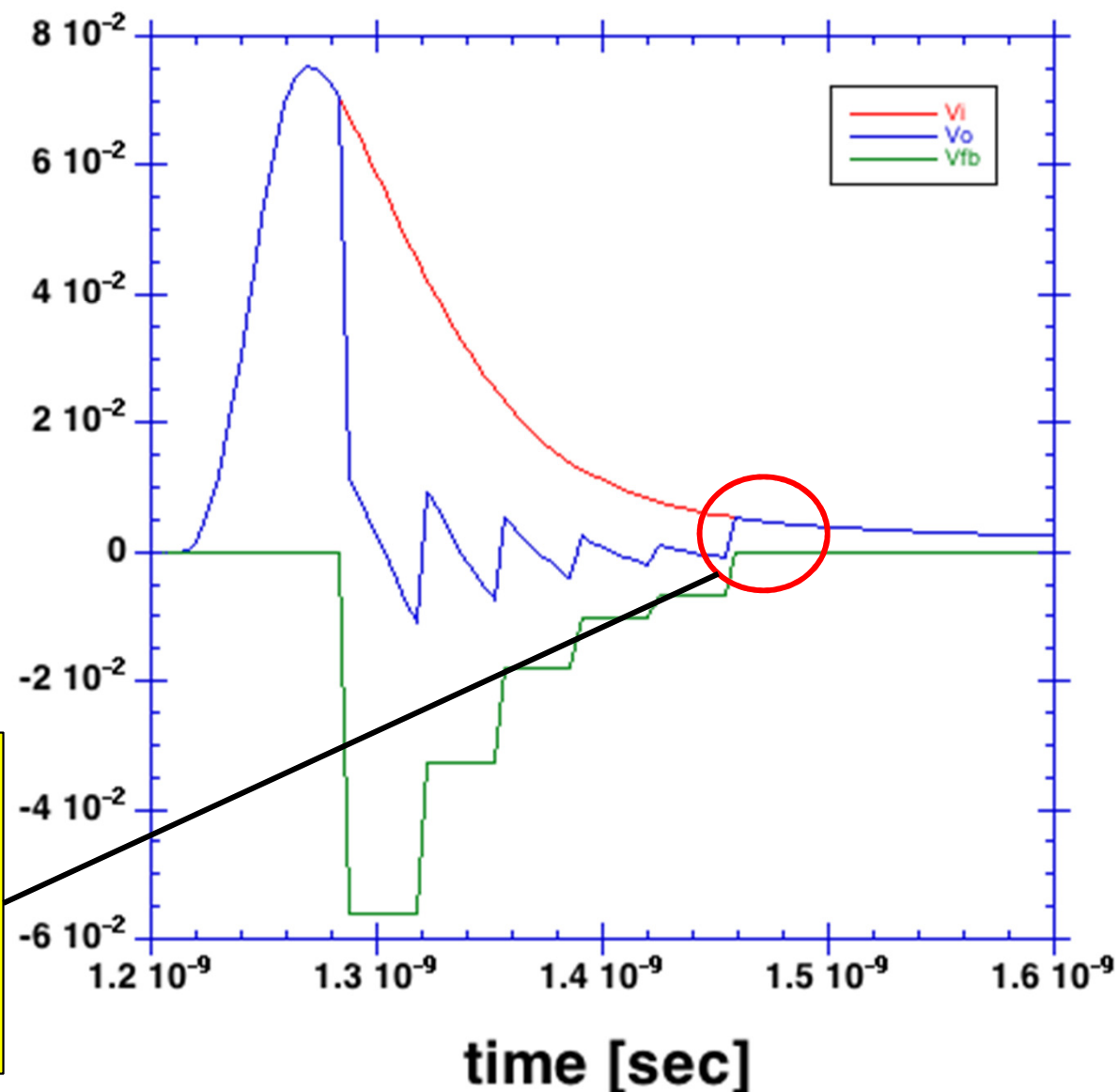


5

DFE (5-tap, impulse応答)



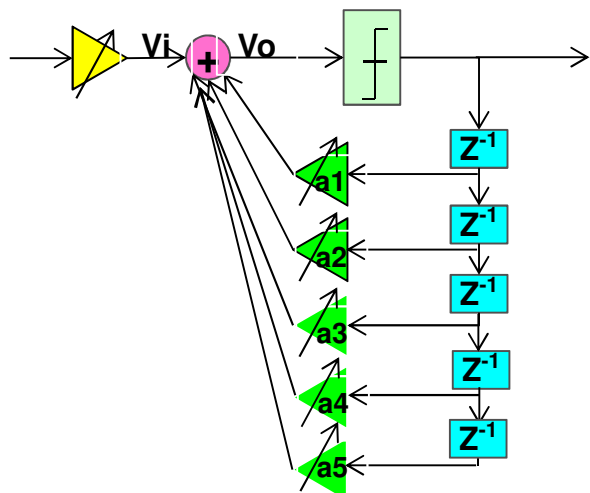
Voltage [V]



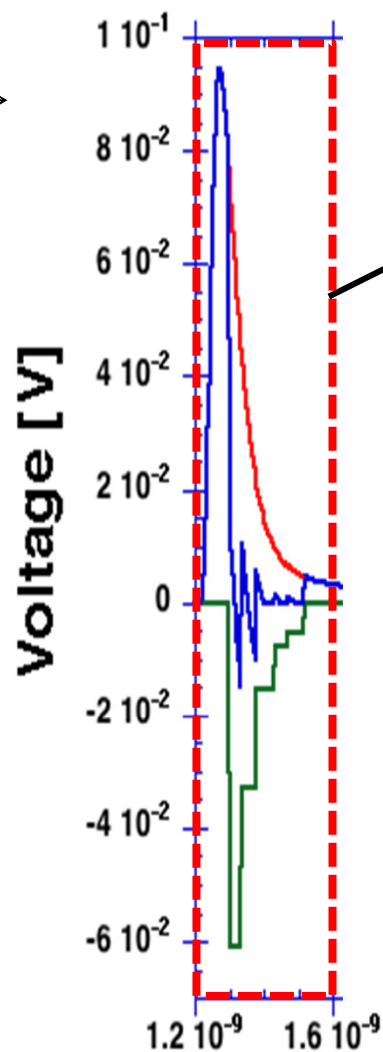
5-tapでもISIは、残存。
tap数をもっと増やせば、
補償出来る。
=> 電力や面積と残存ISI
との兼ね合いで決める。

5

DFE (5-tap, impulse応答)



$$\begin{aligned}
 V_o(t_0) &= V_i(t_0) \\
 &+ a_1 * d(t_1) \\
 &+ a_2 * d(t_2) \\
 &+ a_3 * d(t_3) \\
 &+ a_4 * d(t_4) \\
 &+ a_5 * d(t_5)
 \end{aligned}$$

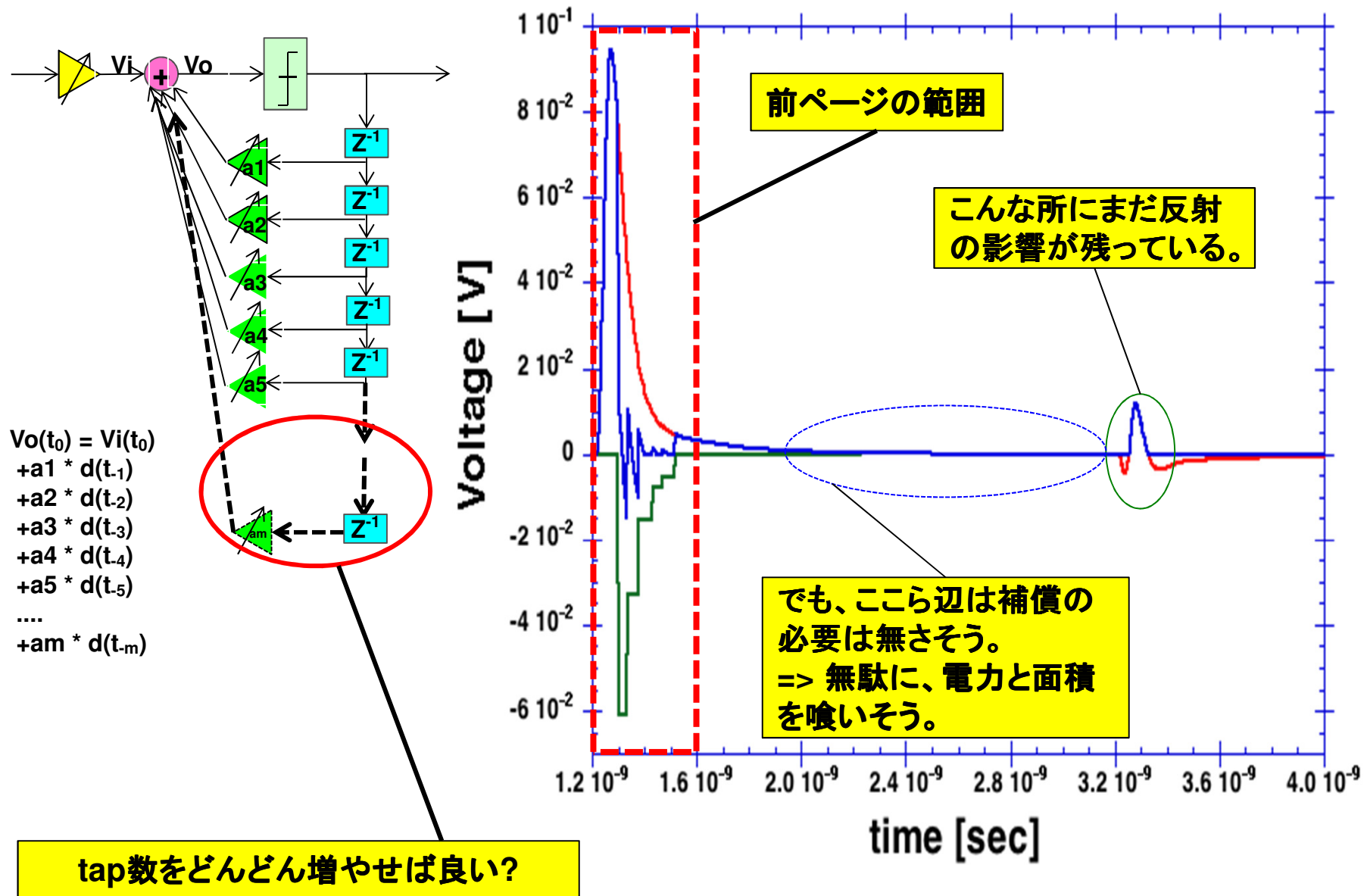


前ページの範囲

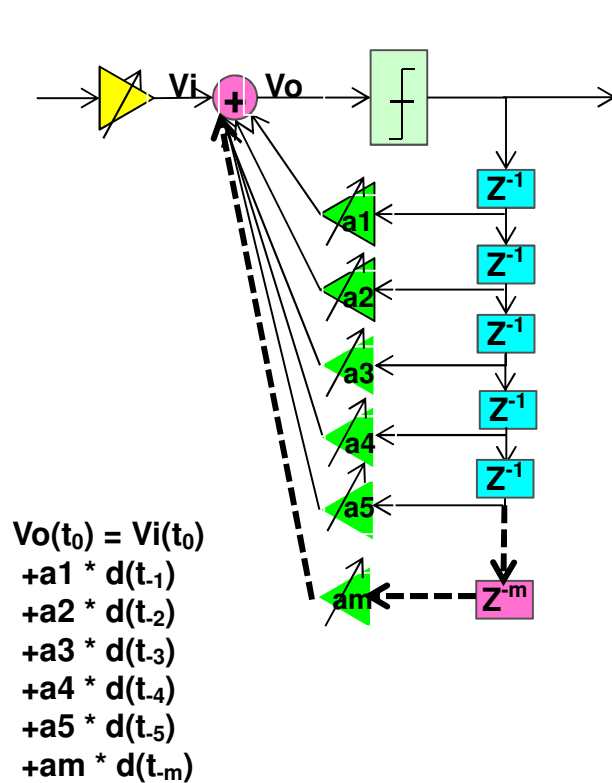
time [sec]

5

DFE (5-tap, impulse応答)



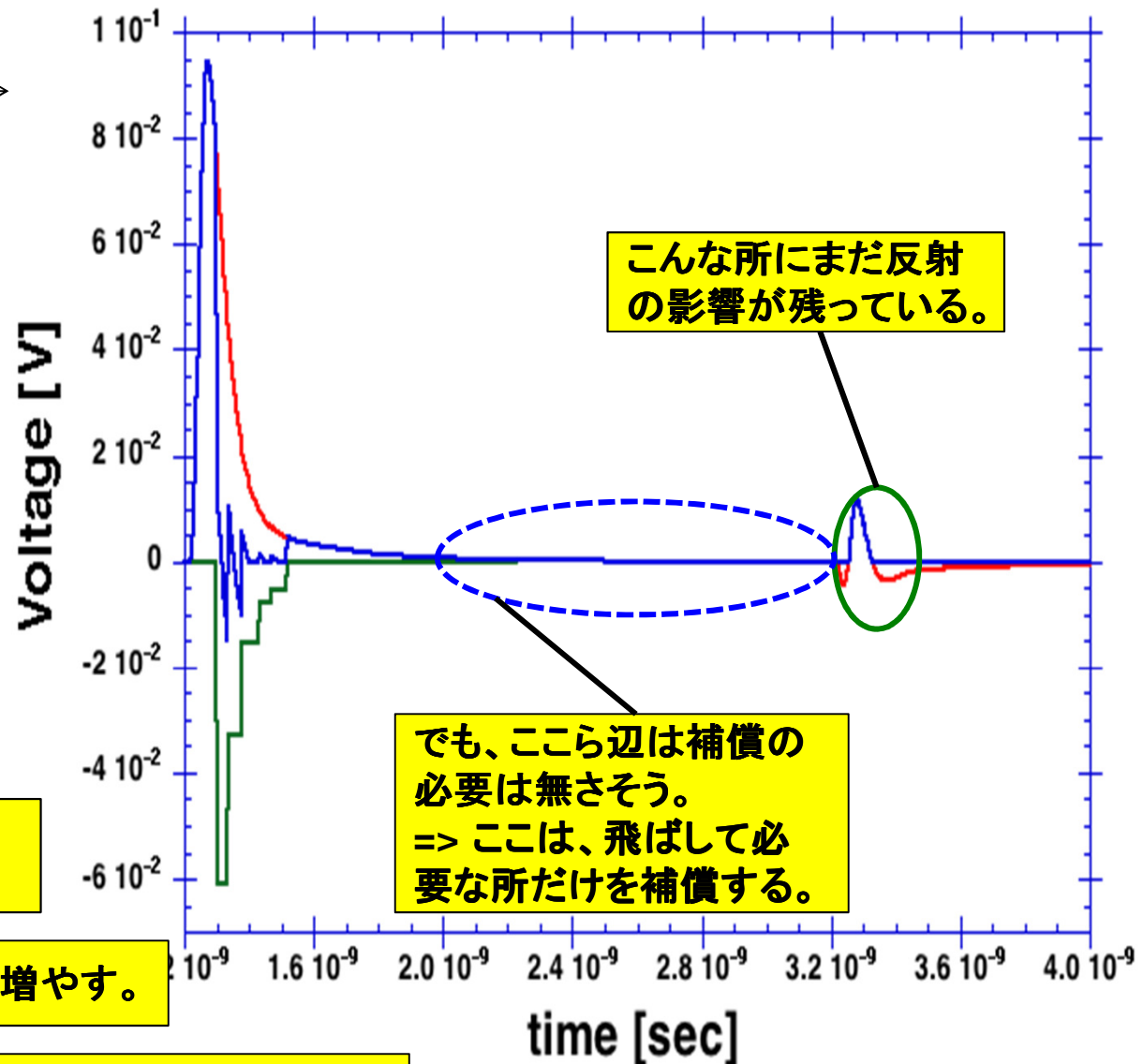
⑤ DFE (5-tap+floating-tap, impulse応答)



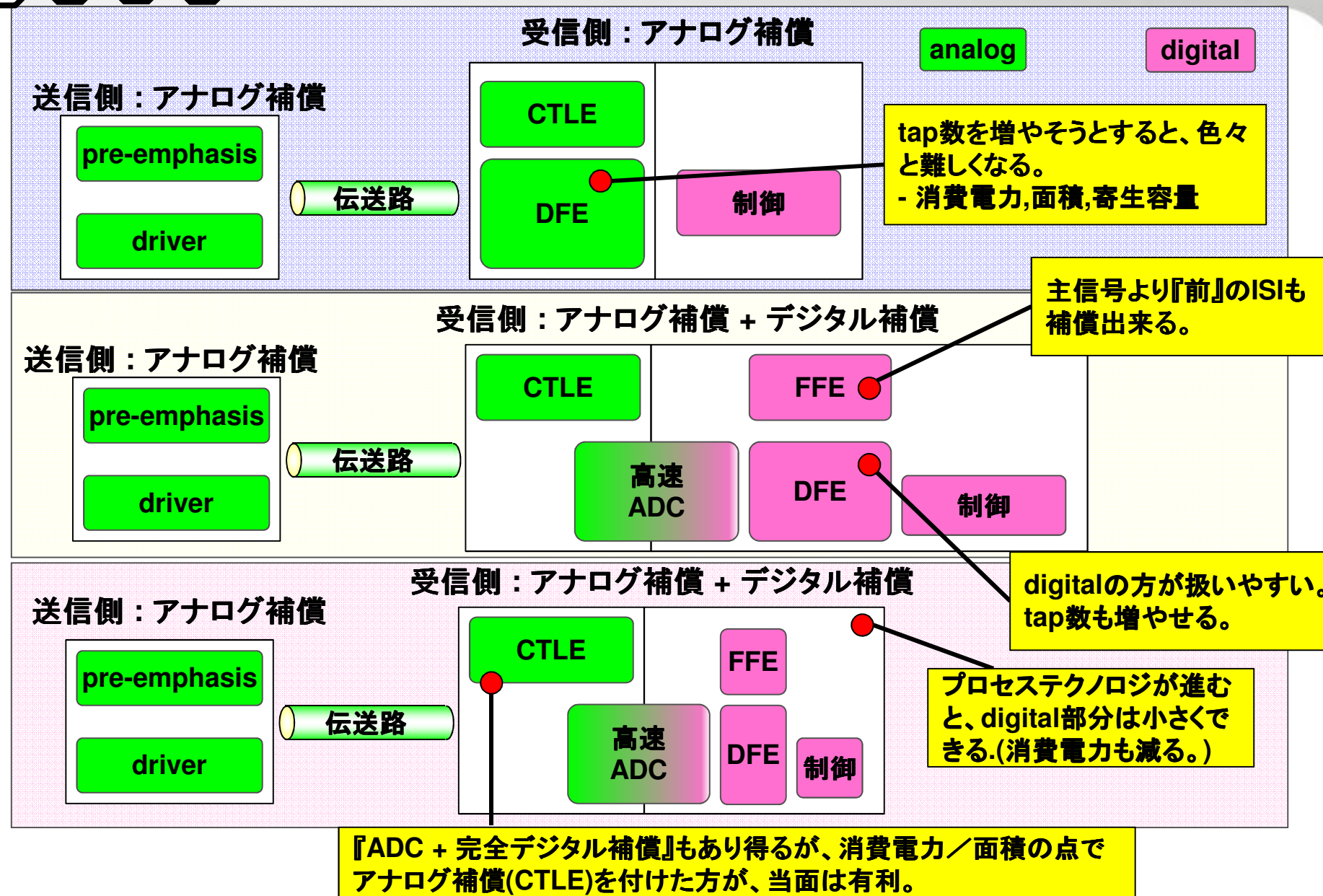
可変 delay(Z^m)の”floating-tap”で対応する。

必要なら”floating-tap”の数を増やす。

それでも、消費電力、面積、寄生容量等で限界はある。



3 4 5 6 補償回路：アナログとデジタル



7

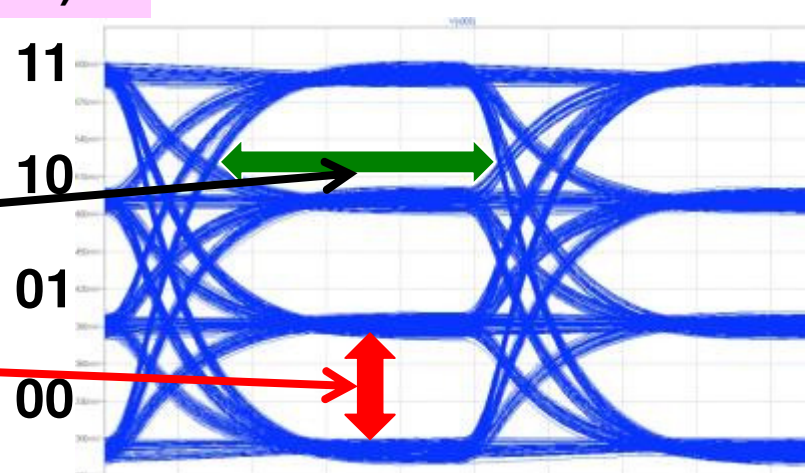
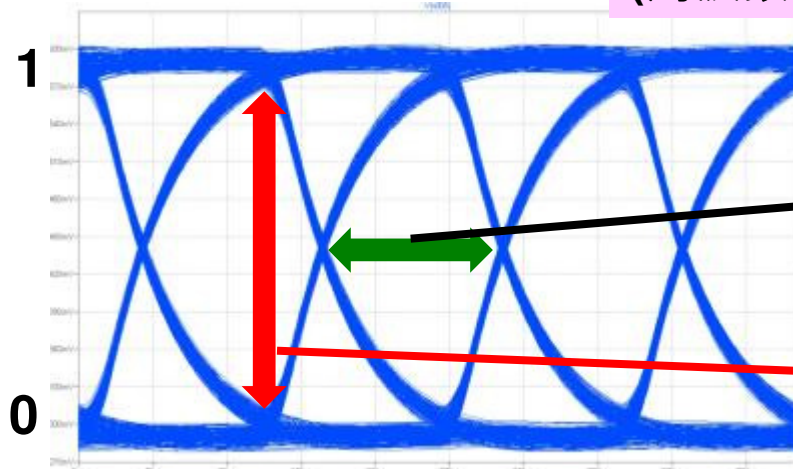
多値化技術

PAM : Pulse Amplitude Modulation

2PAM (2値)

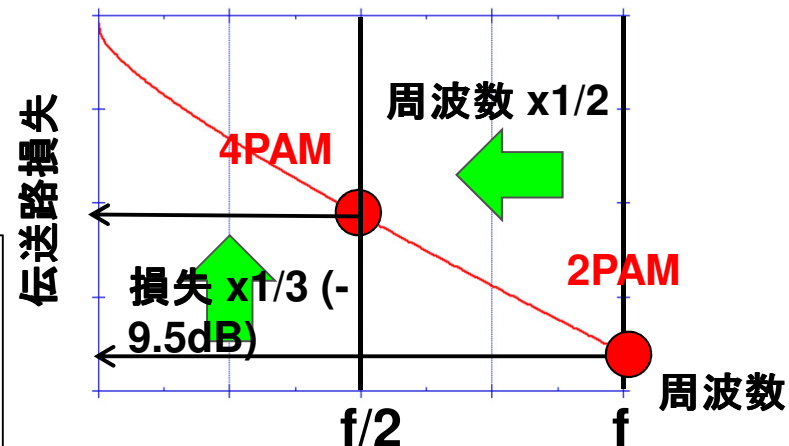
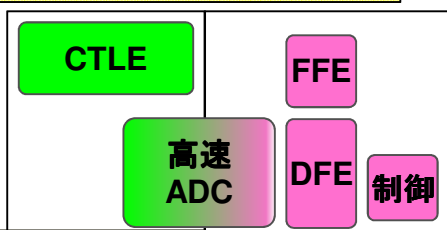
タイミング方向
(周波数 $\times 1/2$)

4PAM (4値)

振幅方向
(電圧 $\times 1/3$)周波数が $\times 1/2$ で、損失が $\times 1/3$ (-9.5dB)
以下なら、4PAMが有効(なはず)。

- 5Gbpsから提案され始めた。
- 25~28Gbpsの規格でもまだ使われてない。
- 25GbpsのLR(long reach)で検討中。
- 回路量、消費電力、相互接続性等も課題。

受信側は、アナログ補償 +
高速ADC + デジタル補償
で構成。



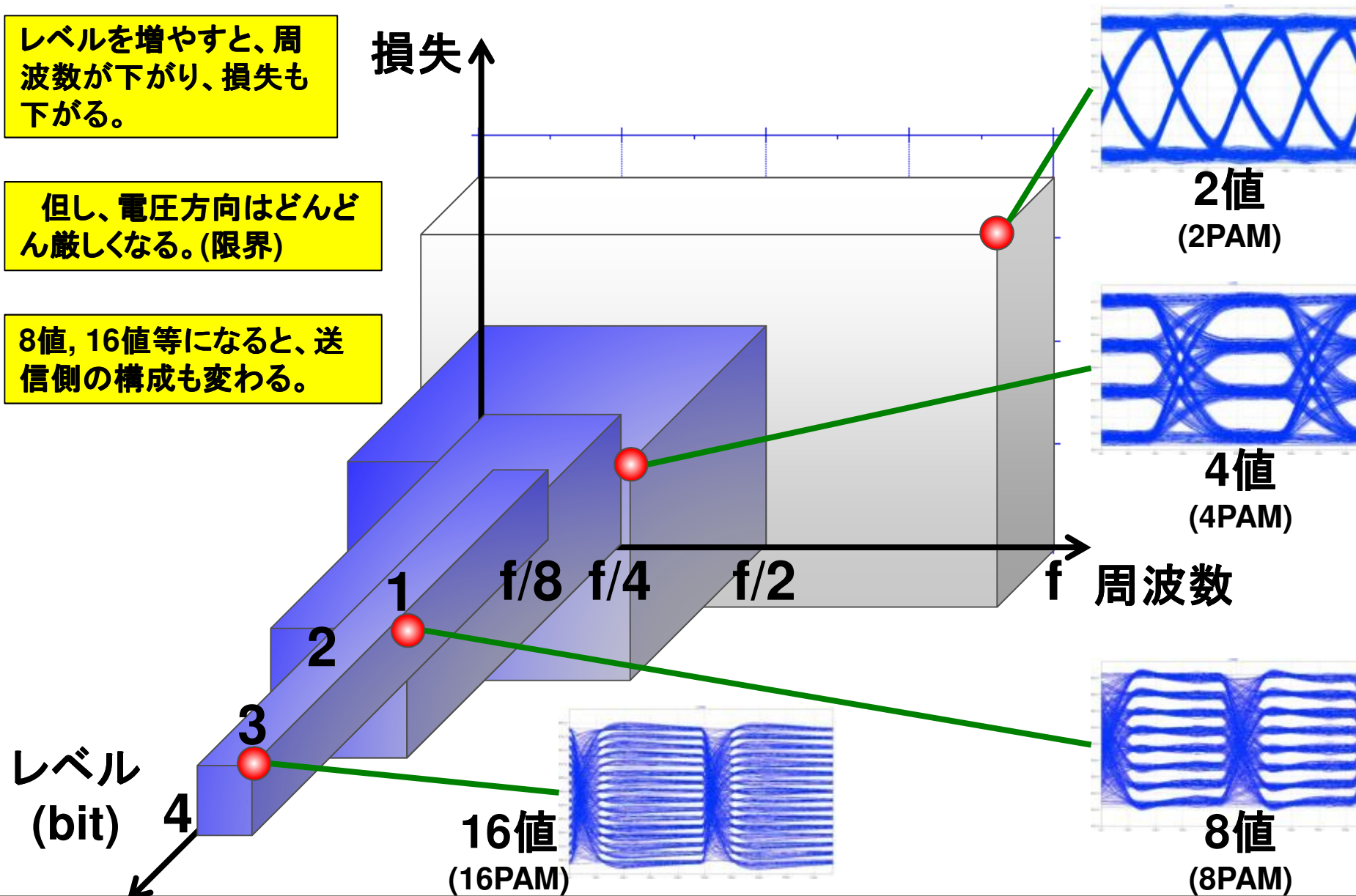
7 8

さらに多値の伝送

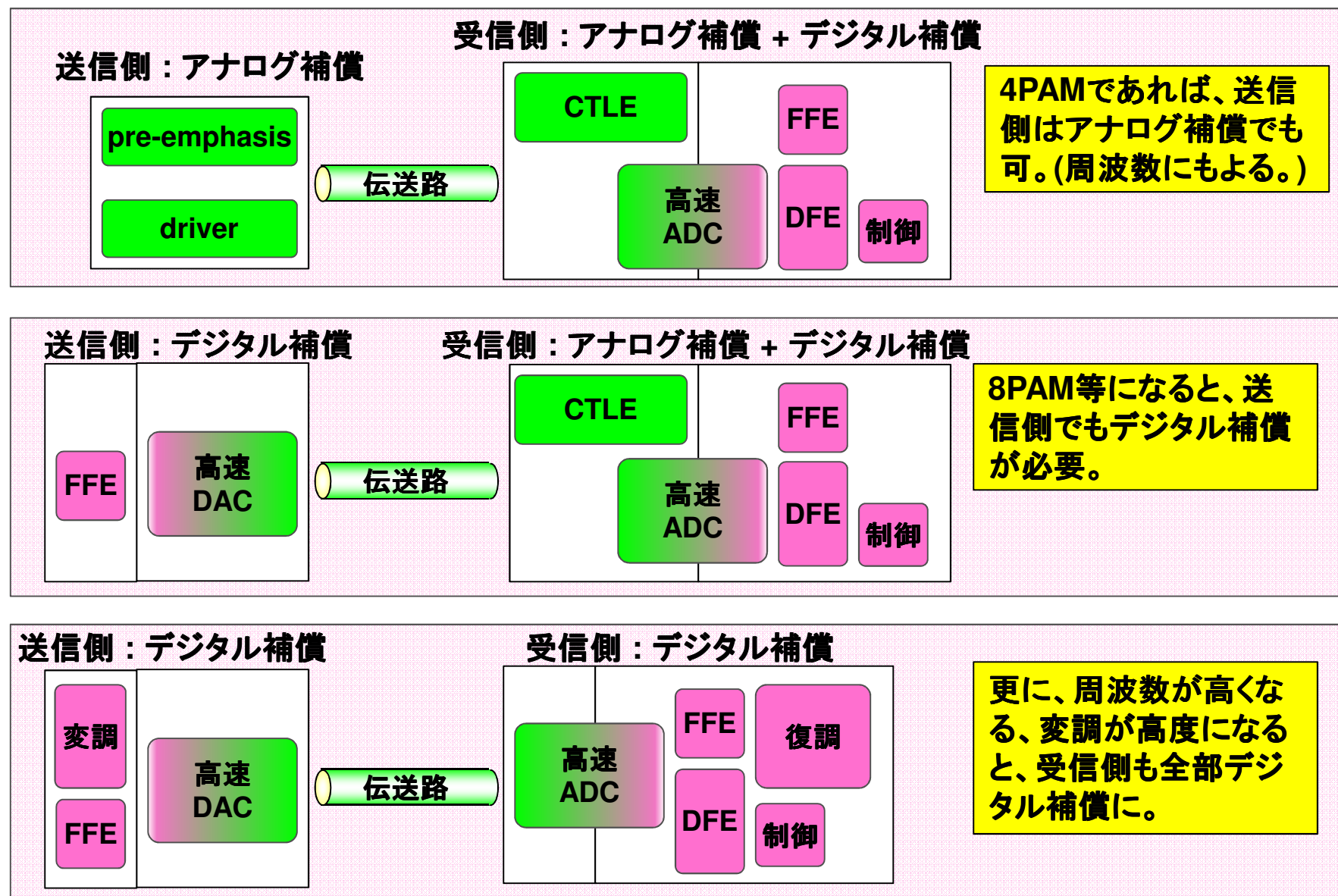
レベルを増やすと、周波数が下がり、損失も下がる。

但し、電圧方向はどんどん厳しくなる。(限界)

8値, 16値等になると、送信側の構成も変わる。



7 8



8 9

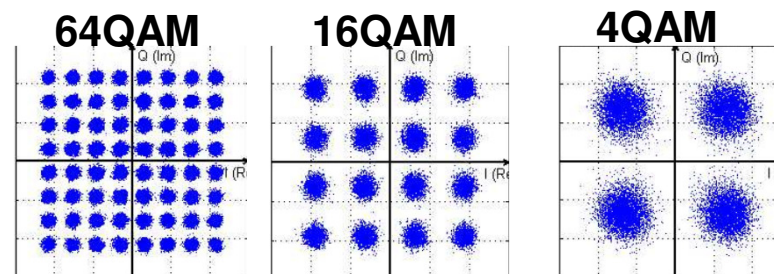
さらに、その先は？

1. 変調方式(無線で使われている技術等)

- QPSK, QAM, DMT...

↑ 多重度を上げて周波数を下げ、損失を減らす。

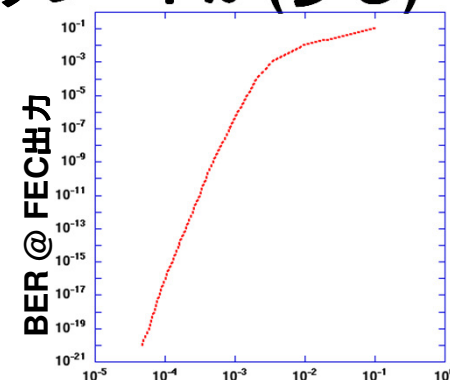
↓ 遅延時間(レイテンシ)、実現させる為の回路量、消費電力



2. エラー訂正技術(FEC)

↑ “素”のBERが悪くても構わない。(良くできない。)

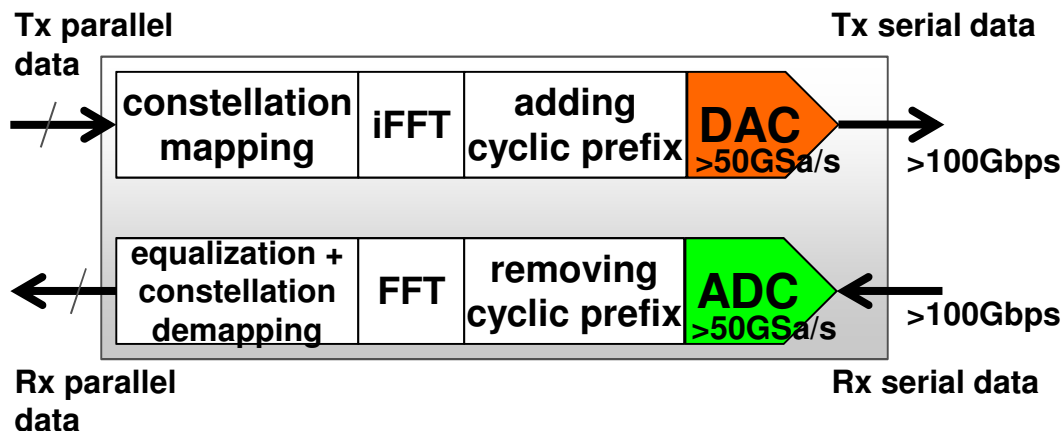
↓ 遅延時間、回路量、消費電力、データレートが(少し)上がる。



QPSK : Quadrature Phase Shift Keying
QAM : Quadrature Amplitude Modulation
DMT : Discrete Multi-Tone
FEC : Forward Error Correction

8

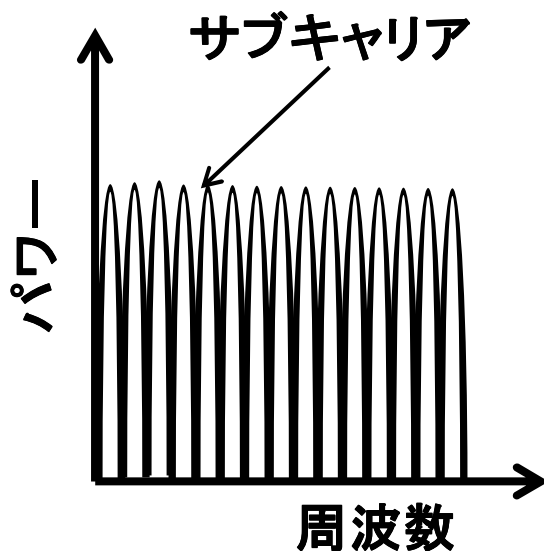
信号1対で100Gbps以上の伝送



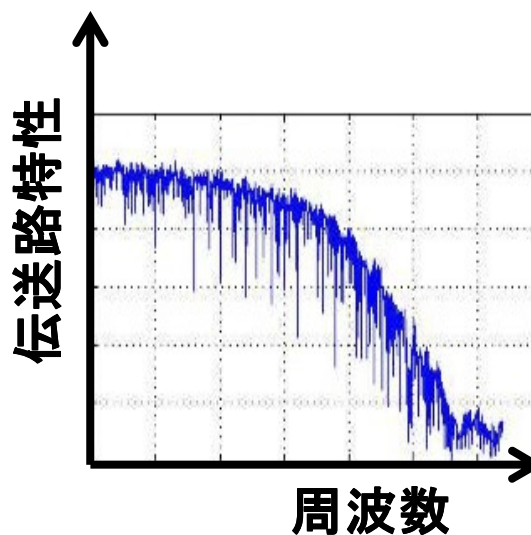
DMT : Discrete Multi-Tone
ADSL で使われているモノと同じ変調方式。

但し、1000倍以上の動作速度。

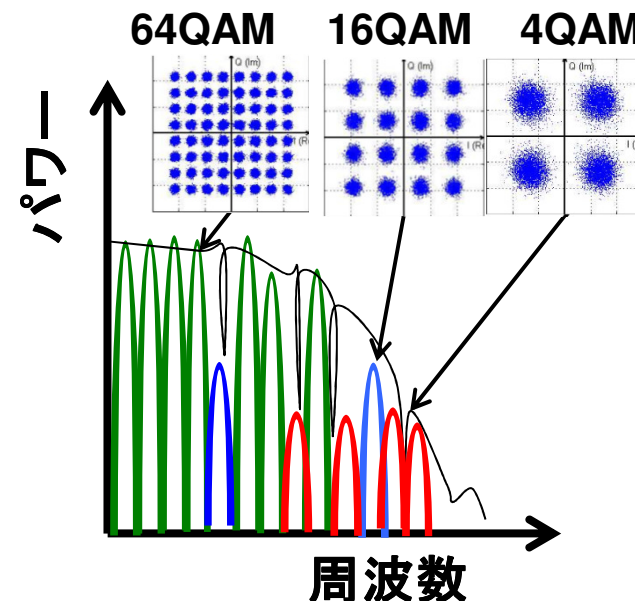
ADC/DACの超高速動作(50~65GSa/s)が必要。



信号を各サブキャリアに割り振る。



伝送路によっては特定周波数の特性が悪い場合がある。

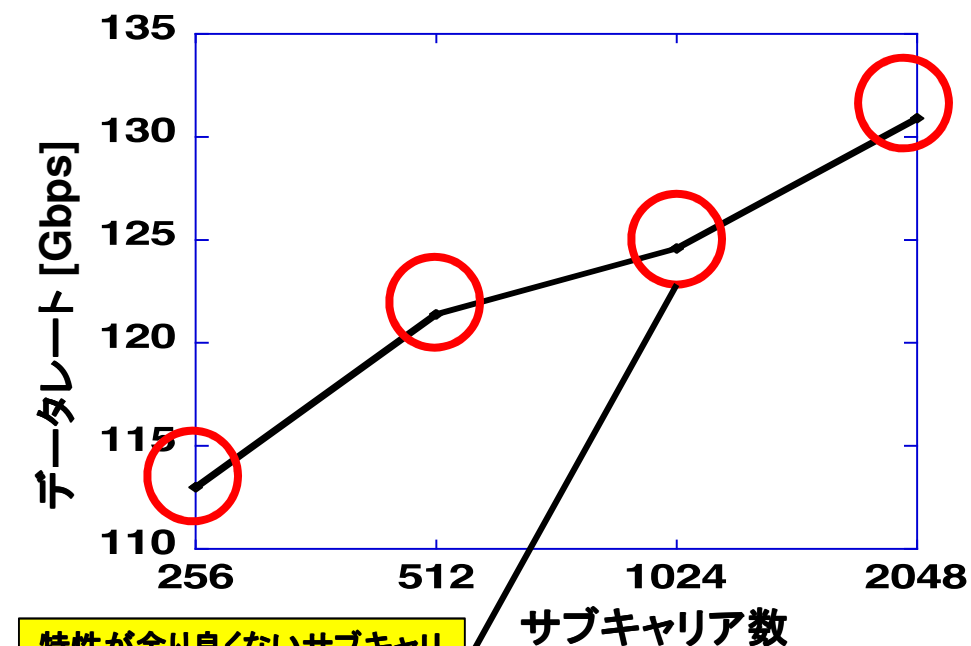


特性が悪い場合: bit数を下げる。
特性が良い場合: bit数を上げる。
伝送路により、調整を行う。

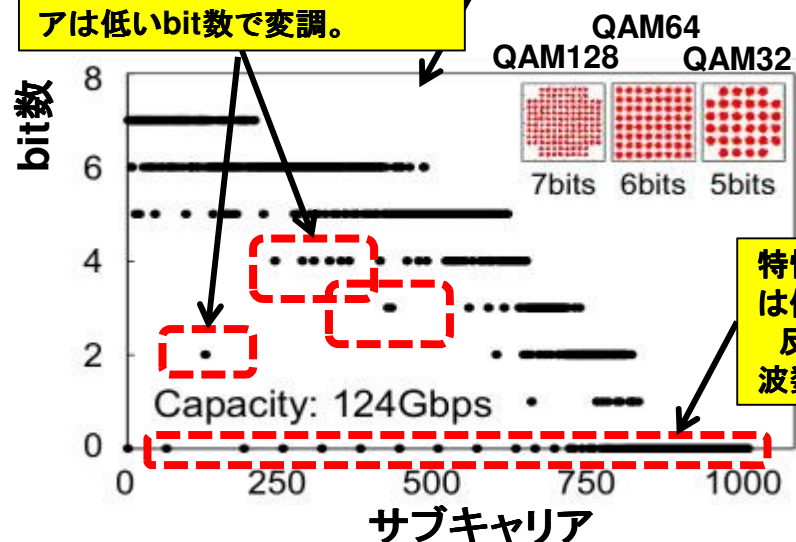
出典 : IEEE802.3bm task force “Discrete Multi-tone Technology for 100G Ethernet (100GbE)”等を参考に作成。

8

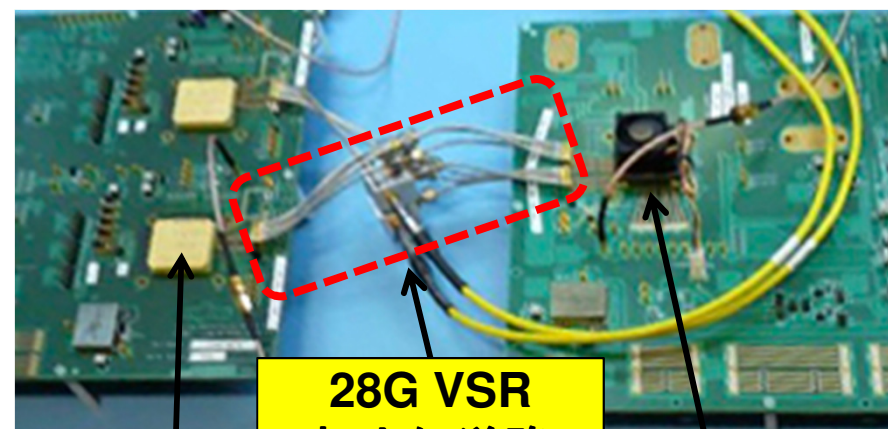
DMT: 1対で100Gbps以上の伝送可能



特性が余り良くないサブキャリアは低いbit数で変調。



特性がダメなサブキャリアは使わない。
反射、共振等のある周波数を回避出来る。



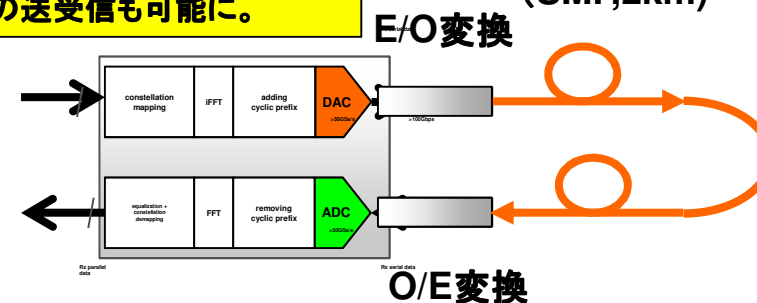
28G VSR
相当伝送路

64GSa/s
CMOS ADC

64GSa/s
CMOS DAC

10Gbps向けの安価な光
モジュールで>100Gbps
の送受信も可能に。

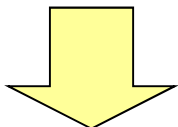
光ファイバ
(SMF,2km)



出典 : IEEE802.3bm task force “Discrete Multi-tone Technology for 100G Ethernet (100GbE)”等を参考に作成。

www.fujitsu.com/global/news/pr/archives/month/2013/20130314-02.html

伝送速度が上がり、伝送路の損失が大きくなる。
=> 伝送路／補償回路の改良を行っても、BERを下げきれない。



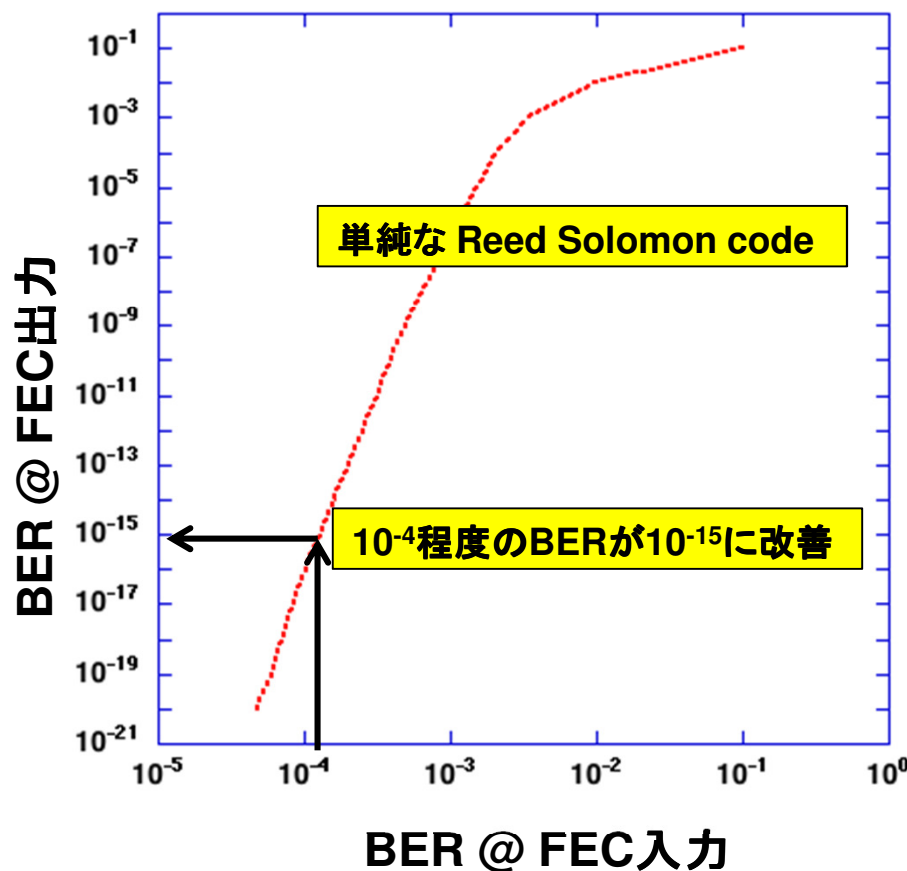
伝送するデータに誤り訂正符号を付加する。
FEC : Forward Error Correction

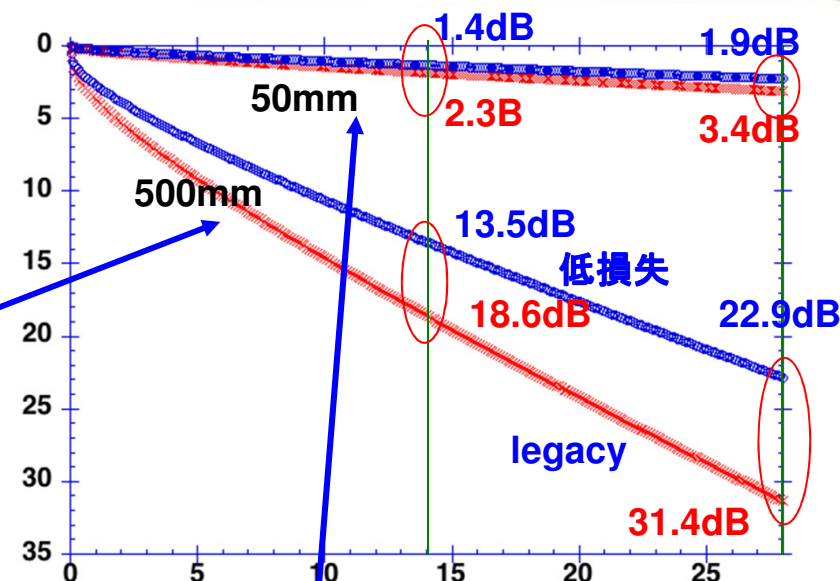
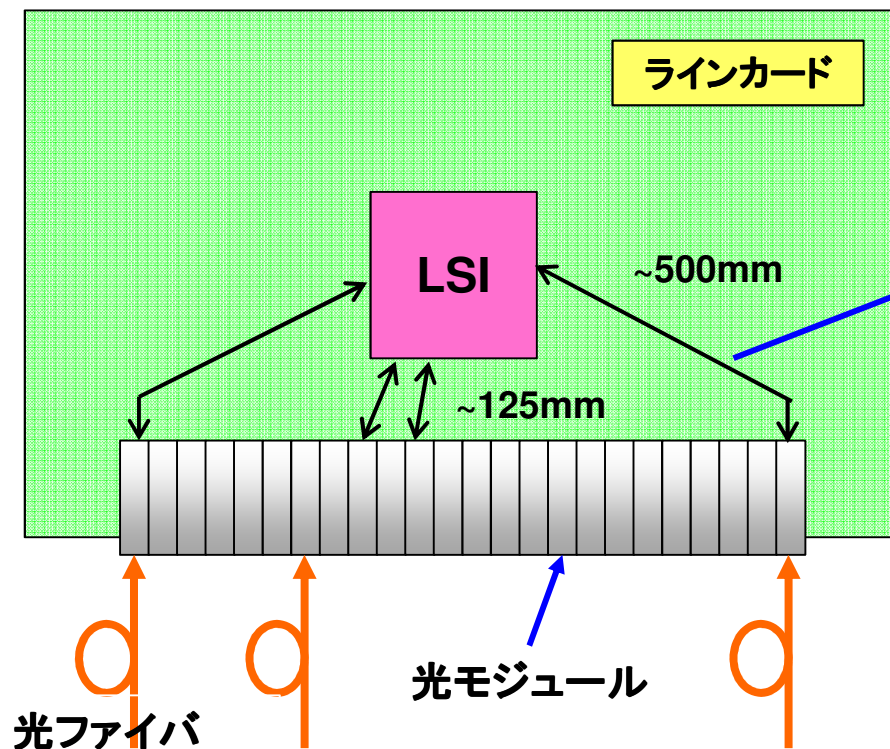
但し、

- (1) latency(遅延時間)が増える。
- (2) data rateが(少し)増える。
- (3) 回路量が増える。消費電力が増える。

対策は、

- (1) ロジックのクロックを上げる。回路の改良。
- (2) それ以上の利点有り。
- (3) プロセステクノロジの進歩と共に軽減。

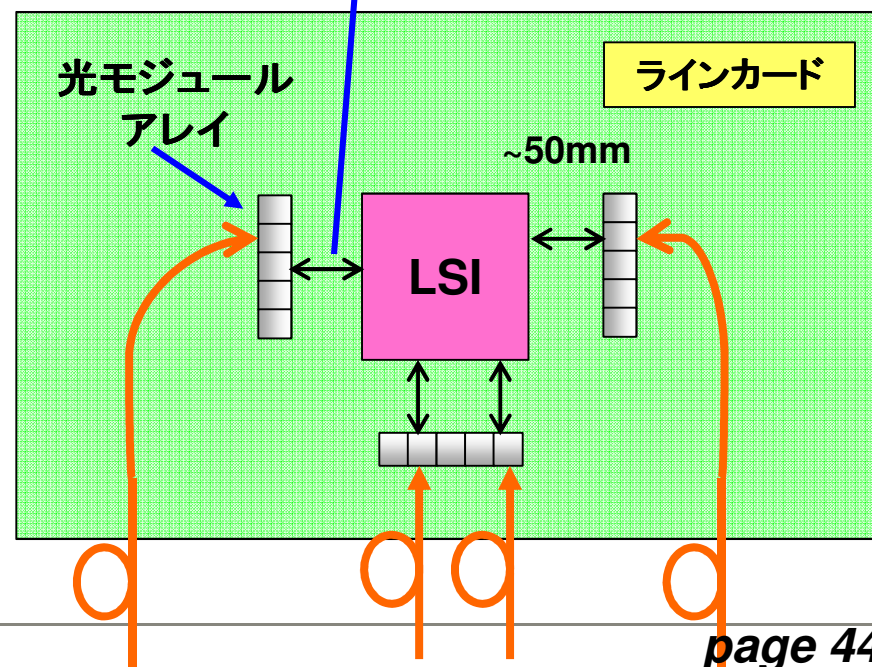




LSIの近傍(~50mm)で、光⇄電気変換を行えば、損失の大きいボード上での引き回しが短くなり、損失が減る。

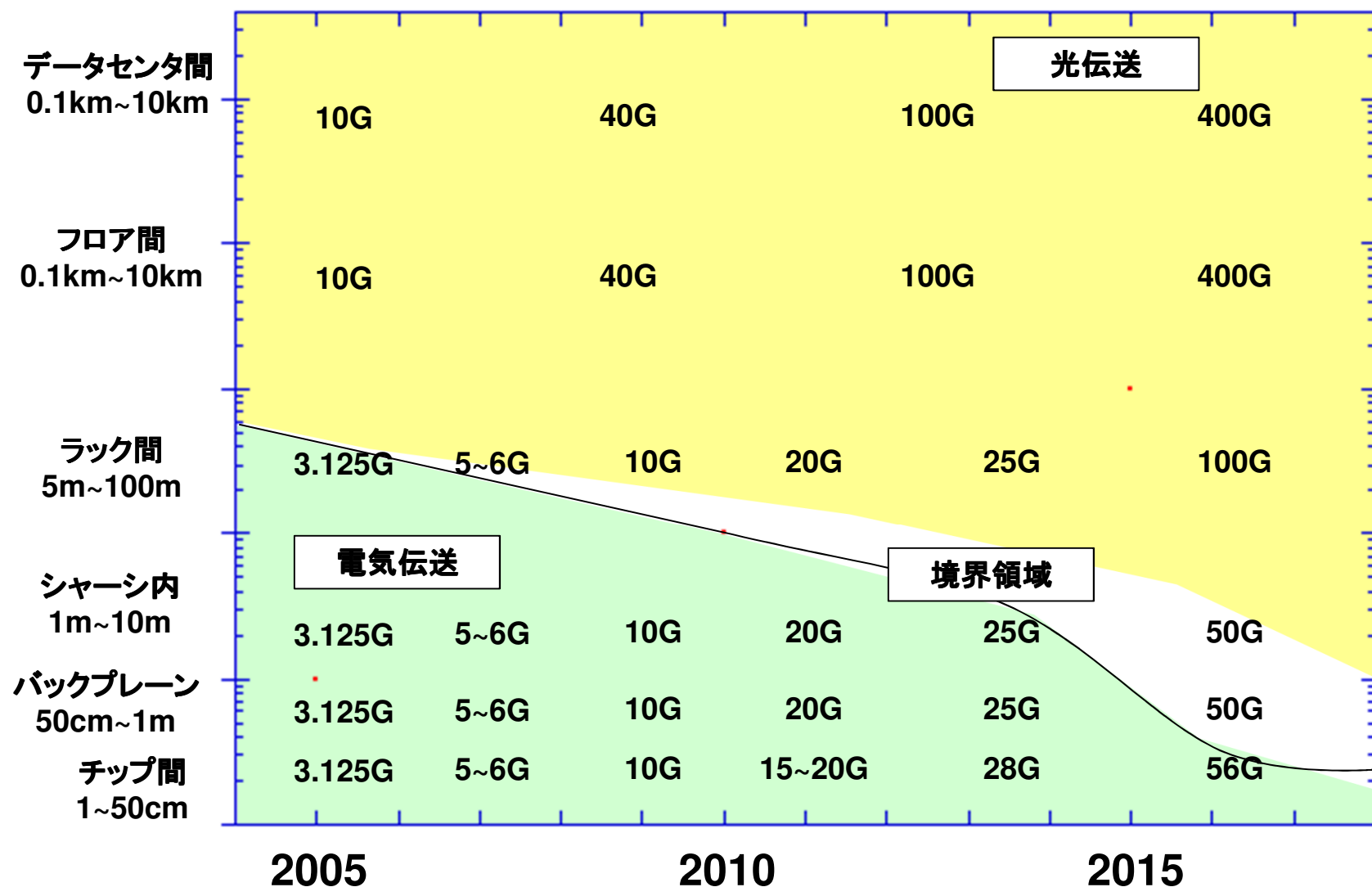
- 高価な基板材料が必要無い。
- 高い周波数への対応も可能。

さらに、パッケージ(PKG)内部での変換、チップ上(cip-on-chip)での変換を行えば損失は小さくできる。光変換後は、多重化(DWM)等が使える。



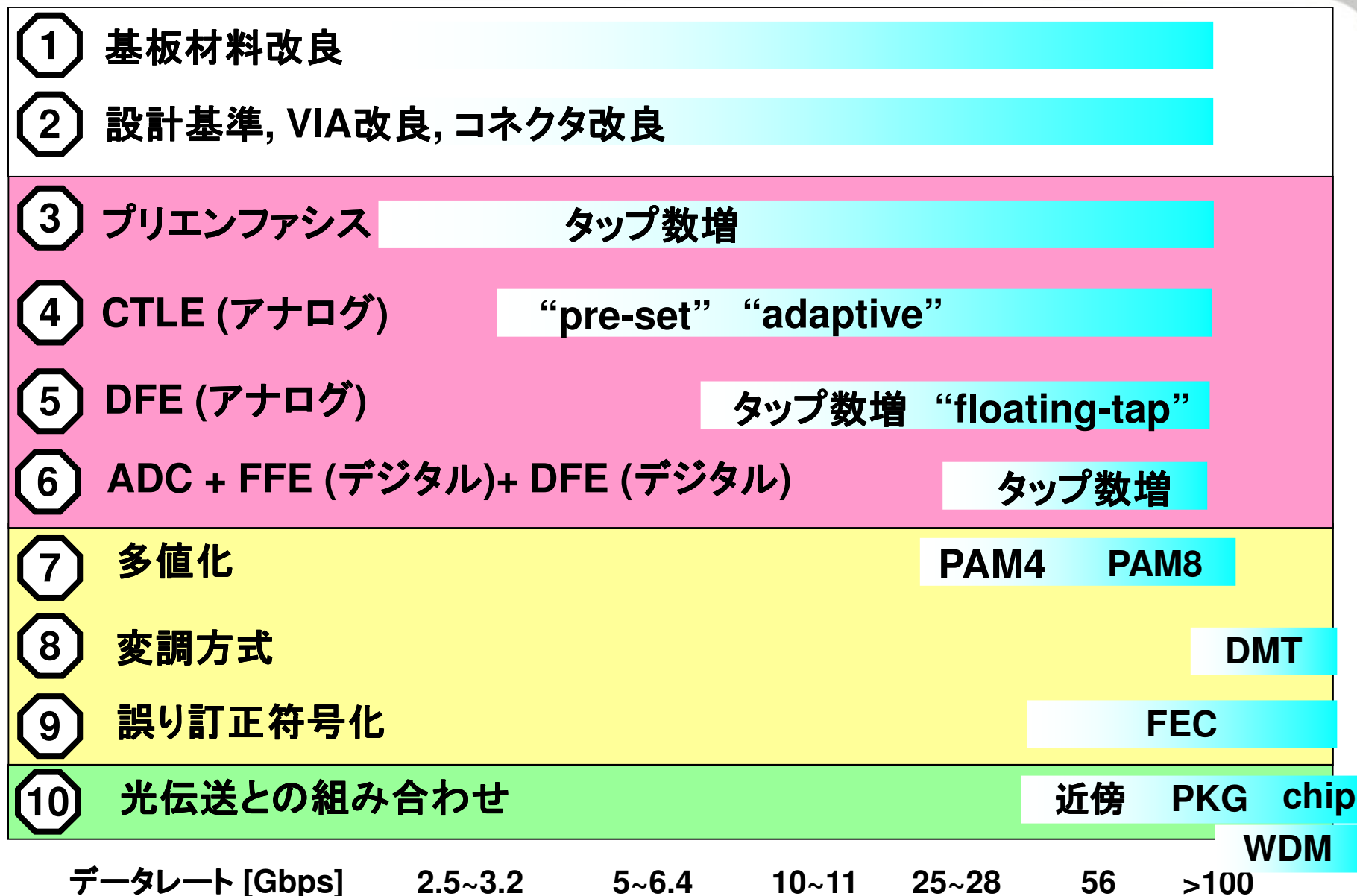


電気伝送と光伝送の動向

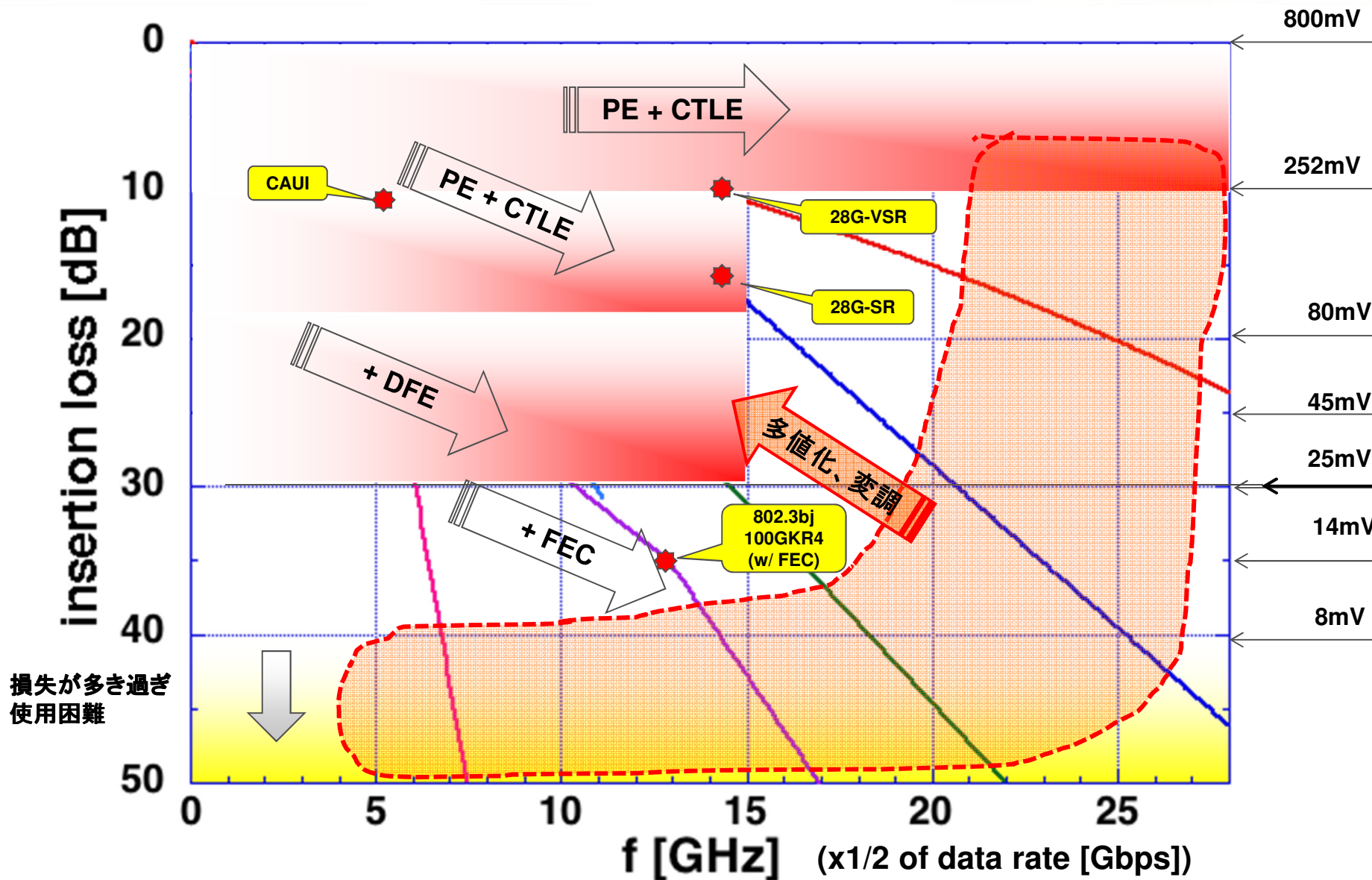


[IEEE ISSCC 2006 ATAC Design Forumを参考に作成]

伝送速度向上の対策



伝送路損失と補償



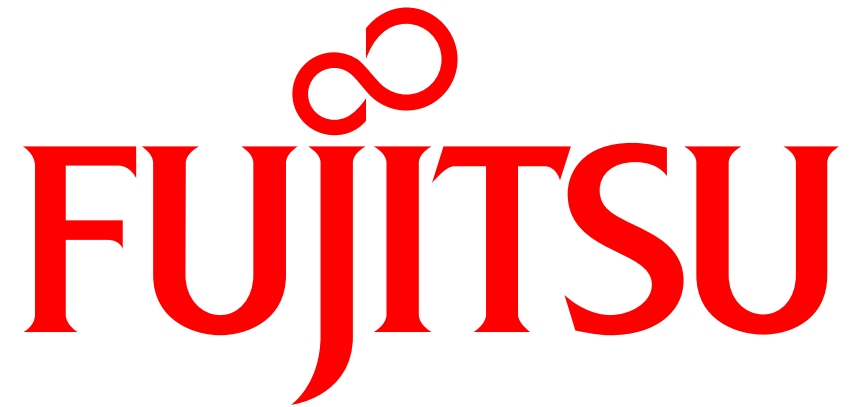
20120221_25Gbps1_Diminico.pdf

Baseline Proposal for 100G Backplane Specification: dudek_01_0112 を参考に作成

1. 高速信号伝送の背景
2. 高速信号伝送の課題
3. 伝送路での対応
4. 回路技術での対応
- 5. まとめ**

まとめ

- ◆ ハイエンドシステムでは、バンド幅への要求が引き続き向上し、高速伝送の速度向上要求が強い。
- ◆ 25Gbpsレベルの伝送は、信号補償技術と伝送路技術の進歩に伴い実用化されている。
- ◆ 各種の補償技術、符号化、誤り訂正等の採用で電気伝送の限界は上げられる。
- ◆ 損失が大きい伝送路では、電気伝送の限界が見えだしている。
- ◆ 電気伝送と光伝送との選択は、コストや消費電力等でのトレードオフ。その境界は変わりつつある。



shaping tomorrow with you