



Cyclone III USB3.0 Board





アルテラ製品紹介

アルテラ社 製品ラインナップ概要



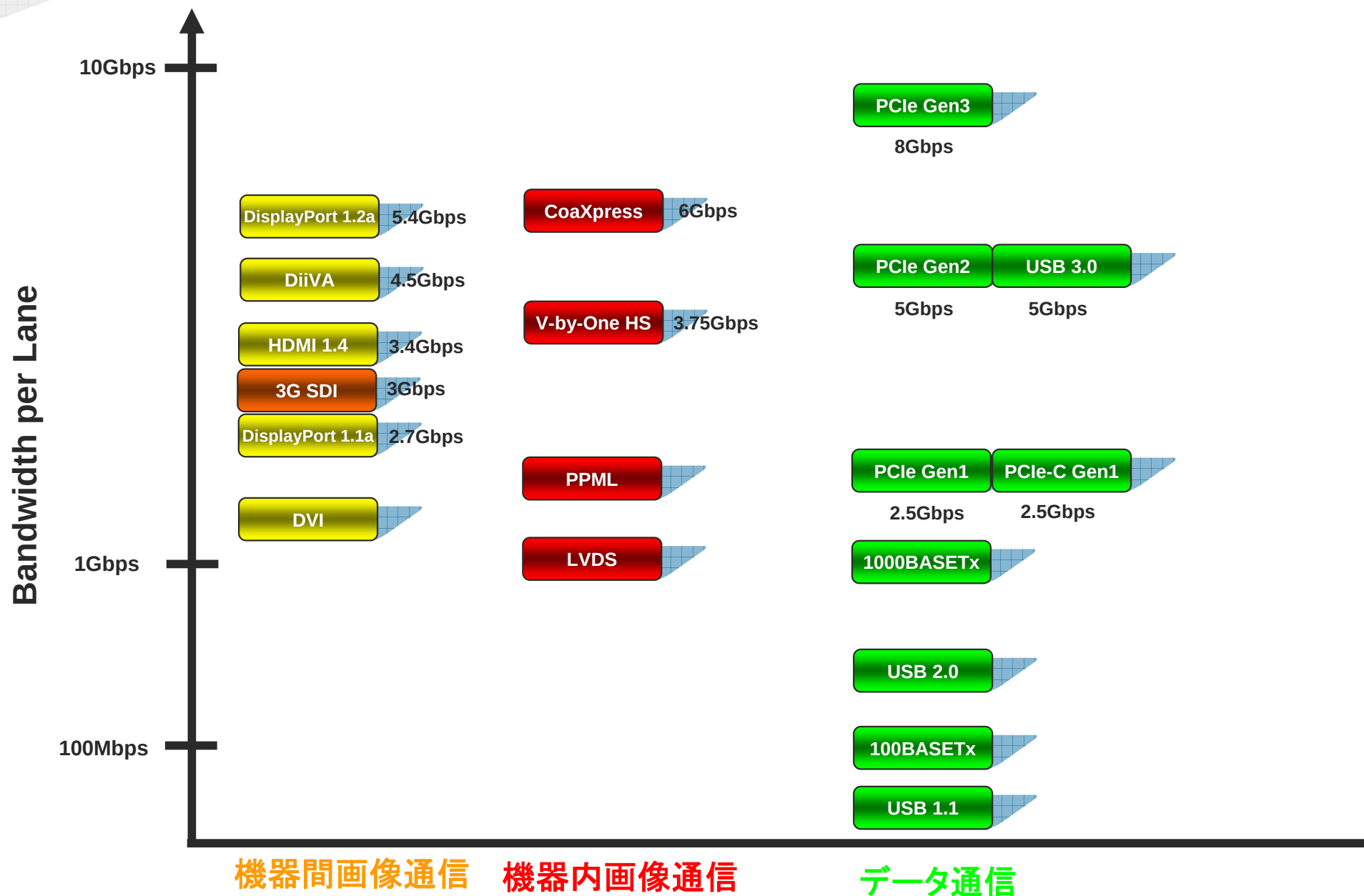
ALTERA®





FPGA + ASSP (USB 3.0 PHY) による USB 3.0システムの実現

Gigabit Solution



- ▶ **1000BASE-x Ethernet**
 - ◆ 1.25Gbps
 - 8b10b の為、実質1Gbps
 - ◆ 平均転送レート 約200 ~ 300 Mbps
 - ◆ 最大ケーブル長 規格なし
 - Ref 25m
- ▶ **PCIe Cable (PCI Express External Cabling)**
 - ◆ 2.5Gbps (x1)
 - 8b10b の為、実質2Gbps
 - ◆ 平均転送レート 約600 ~ 1000 Mbps
 - レーンを増やすことで更に高速化
 - ◆ 最大ケーブル長 規格なし
 - Ref 7m
- ▶ **USB 3.0**
 - ◆ 5Gbps
 - 8b10b の為、実質4Gbps
 - ◆ 平均転送レート 約1.6Gbps
 - Mass Storage Class / Bulk Only で測定
 - ◆ 最大ケーブル長 3m

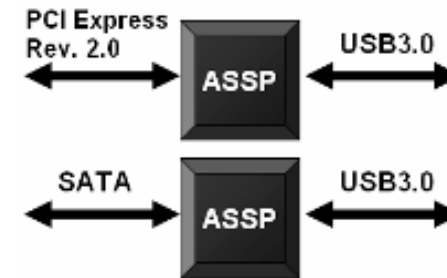
※ 上記の値はあくまで一般的な値になります。

USB 3.0 Solution

A) ブリッジ ASSP

- ◆ 1チップですべて実現

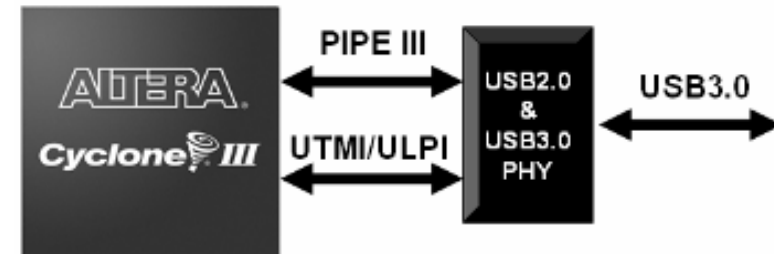
A)



B) FPGA + 外付けPHY

- ◆ FPGA は MAC まで
 - 低コスト FPGA
- ◆ 低価格のソリューション

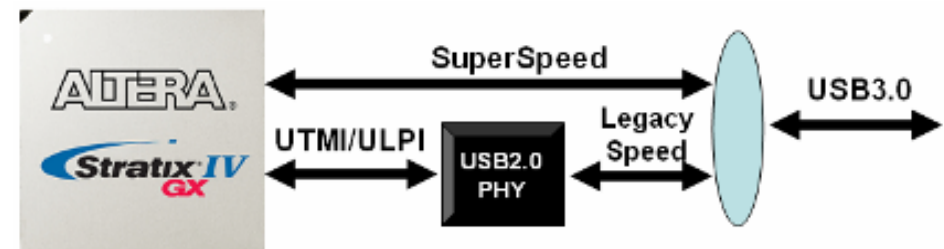
B)



C) FPGA

- ◆ 高性能トランシーバ内蔵のFPGA で実現
 - Legacy USB は外付けPHY 対応

C)



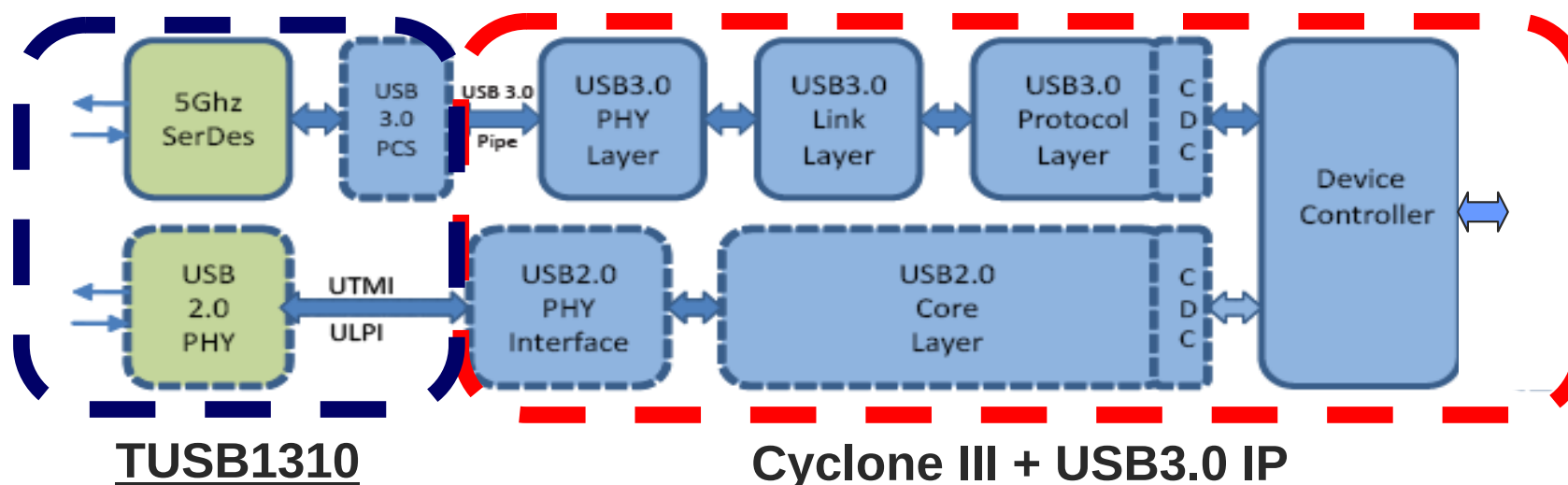
D) ASIC

- ◆ 1チップですべて実現

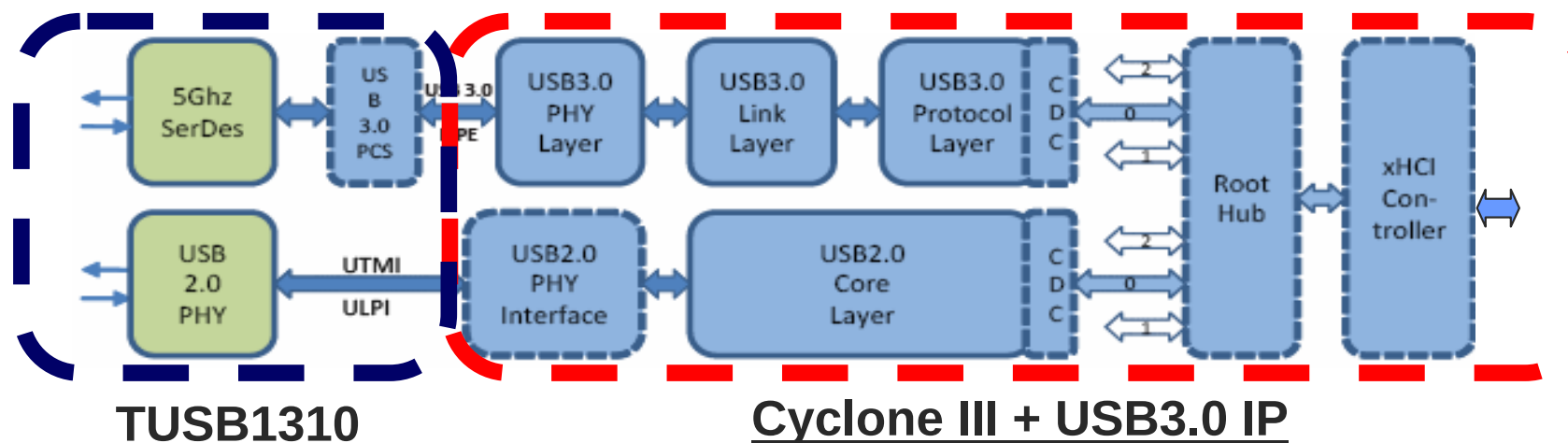
D)



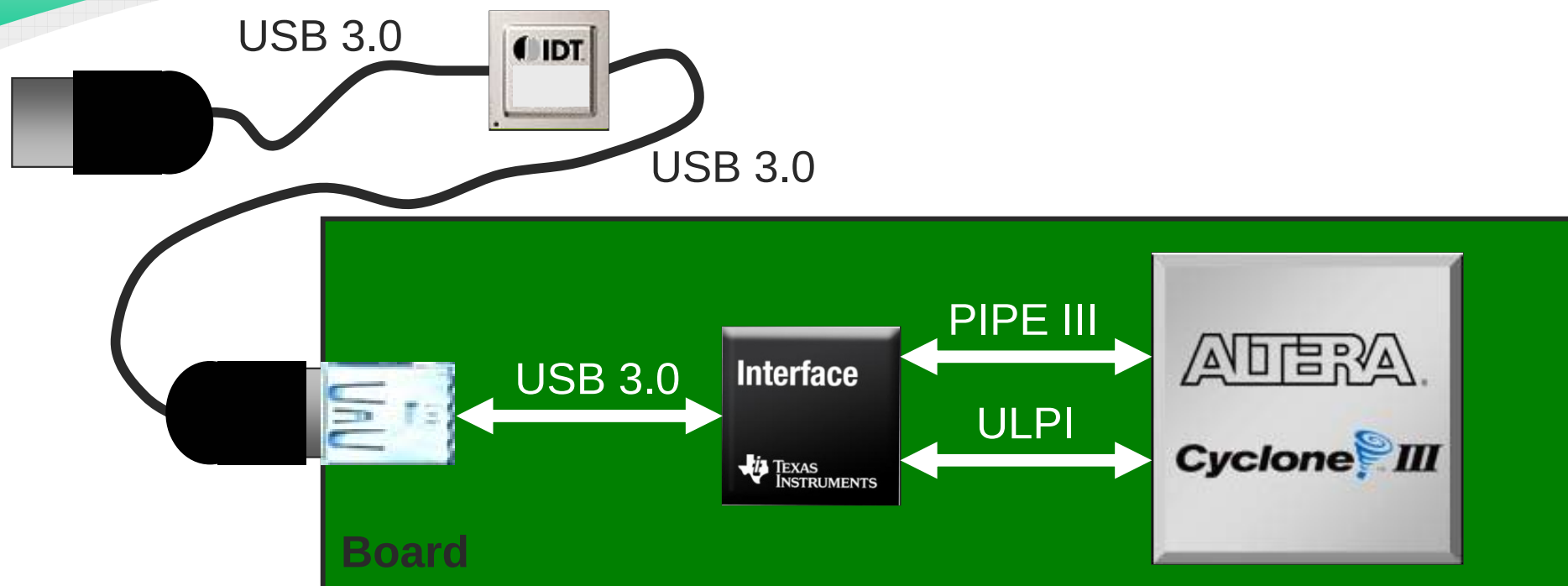
▶ USB3.0 デバイス コントローラ



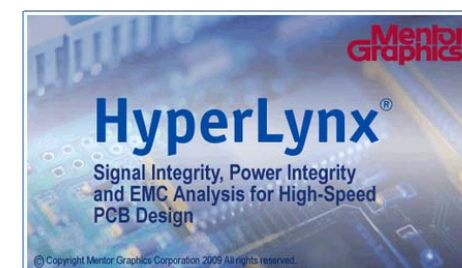
▶ USB3.0 ホスト コントローラ



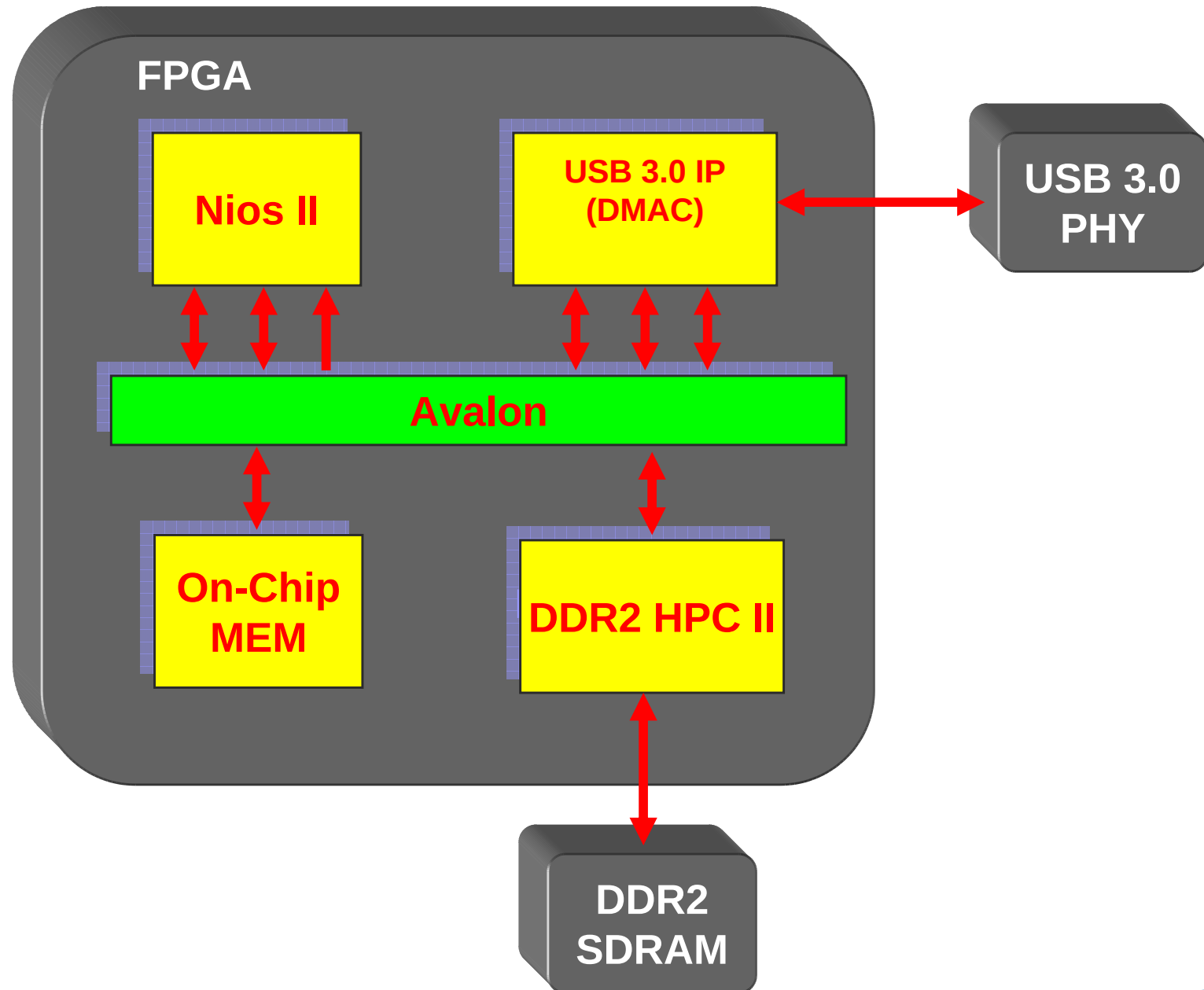
What is necessary for USB 3.0

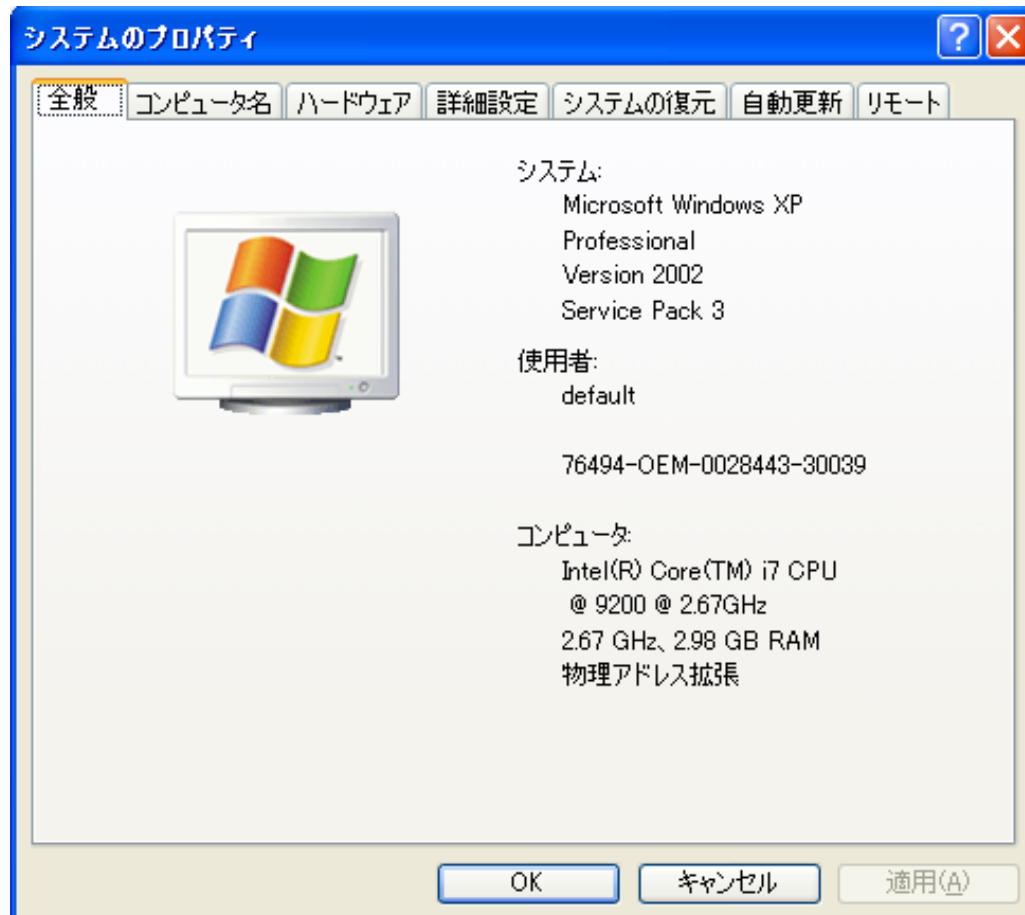


- 必須!!**
- FPGA
 - USB 3.0 PHY
 - USB 3.0 コントローラ IP
 - デバイス・ドライバやファームウェア
 - 信号品質検証を行う場合、伝送シミュレータ
 - ケーブル長を延長したい場合、リピータ



Inventure IP + Nios II + DDR2 (Demo)





- ▶ CPU
 - ◆ Intel Core i7 9200
- ▶ OS
 - ◆ Windows XP sp3
- ▶ メモリ
 - ◆ 3GB
- ▶ ドライバ
 - ◆ Windows 標準 マスストレージ
ドライバ
- ▶ ホスト・ボード
 - ◆ IFC-PCIE2U3
- ▶ プロトコル・アナライザ
 - ◆ Ellisys 社製
USB EXPLORER 280
- ▶ ベンチマーク測定ツール
 - ◆ CrystalDiskMark 3.0

▶ Sequential Access 512KB 転送

◆ READ

■ 194.9 MB/s (弊社)

◆ WRITE

■ 166.9 MB/s (弊社)

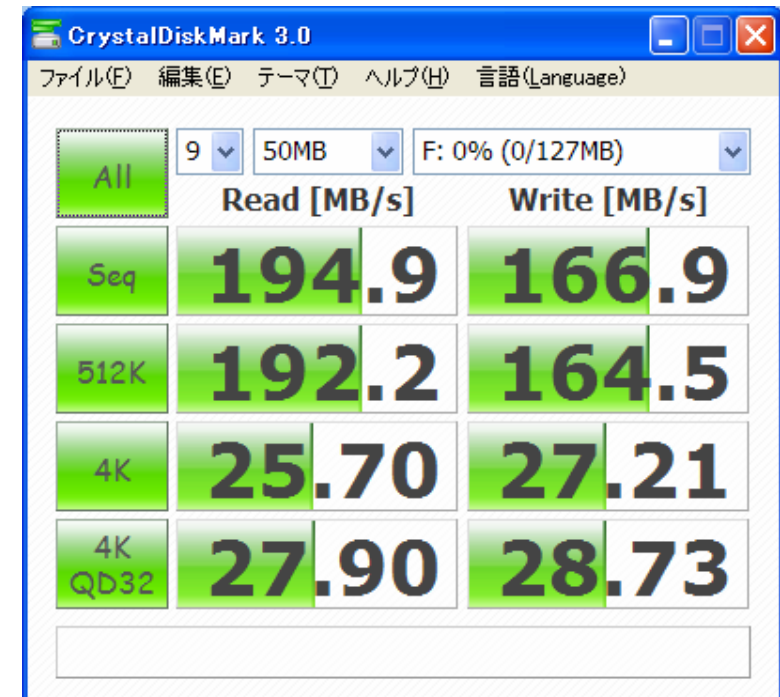
▶ Random Access 512KB 転送

◆ READ

■ 192.9 MB/s (弊社)

◆ WRITE

■ 164.5 MB/s (弊社)



※ 使用するホストの環境によって値が変動します。(EX: OS やCPU の性能の違い)

マストストレージ・クラスのパケット転送

31B

Command

64KB (1packet 1024 x64)

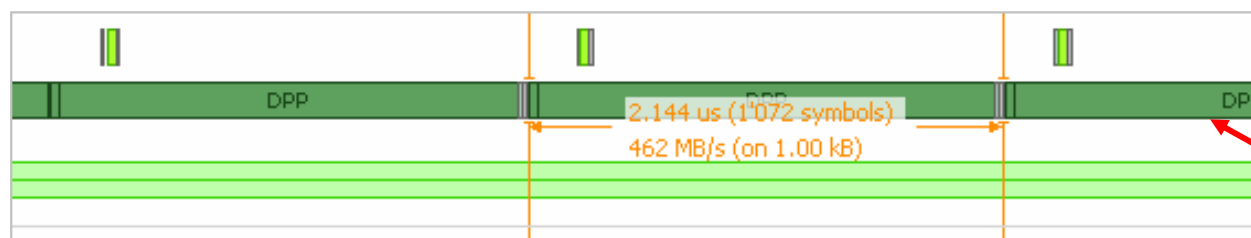
DATA

13B

Status

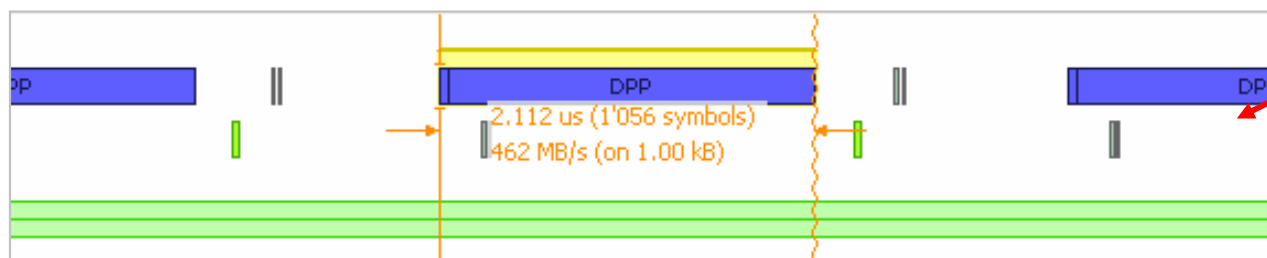
Read (Lun 0, Lba 512)	1		65'536 bytes (68 F...	OK	0.221 584...	IN
+ Command Transport	1	2	31 bytes (55 53 4...	OK	0.221 584...	OUT
+ Data Transport	1	1	65'536 bytes (68 F...	OK	0.221 585...	IN
+ Status Transport	1	1	13 bytes (55 53 4...	OK	0.221 736...	IN
Write (Lun 0, Lba 640)	1		65'536 bytes (2C ...	OK	0.221 736...	OUT
+ Command Transport	1	2	31 bytes (55 53 4...	OK	0.221 736...	OUT
+ Data Transport	1	2	65'536 bytes (2C ...	OK	0.221 736...	OUT
+ Status Transport	1	1	13 bytes (55 53 4...	OK	0.221 887...	IN

IN 転送
(READ)

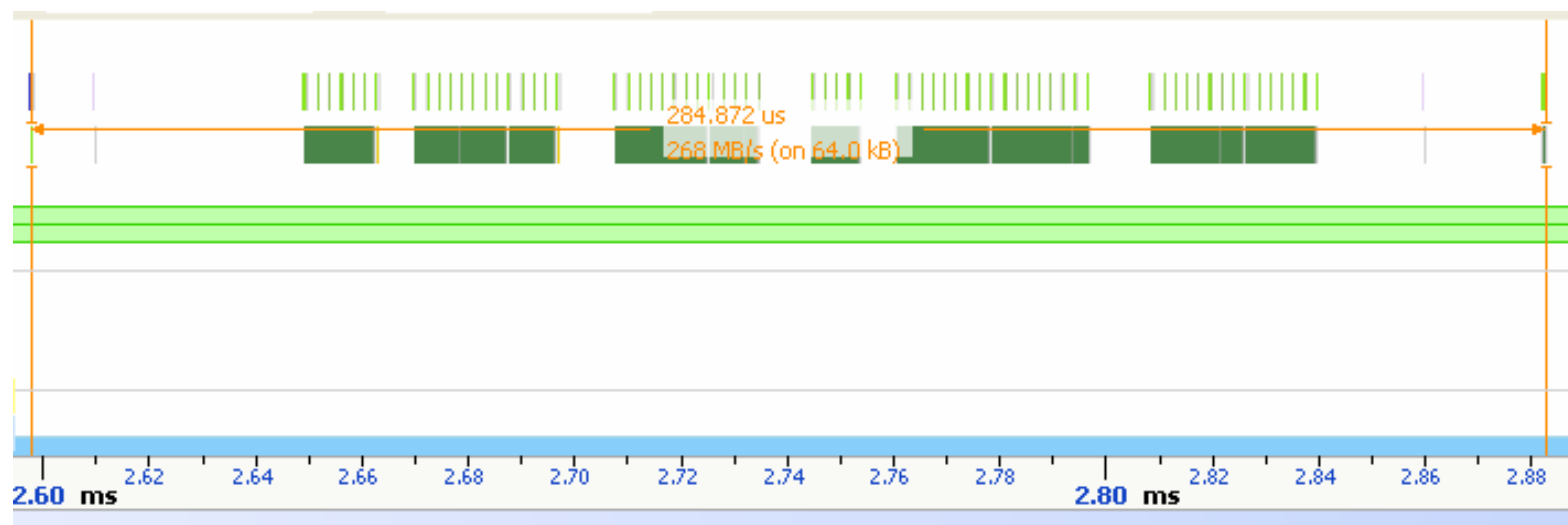
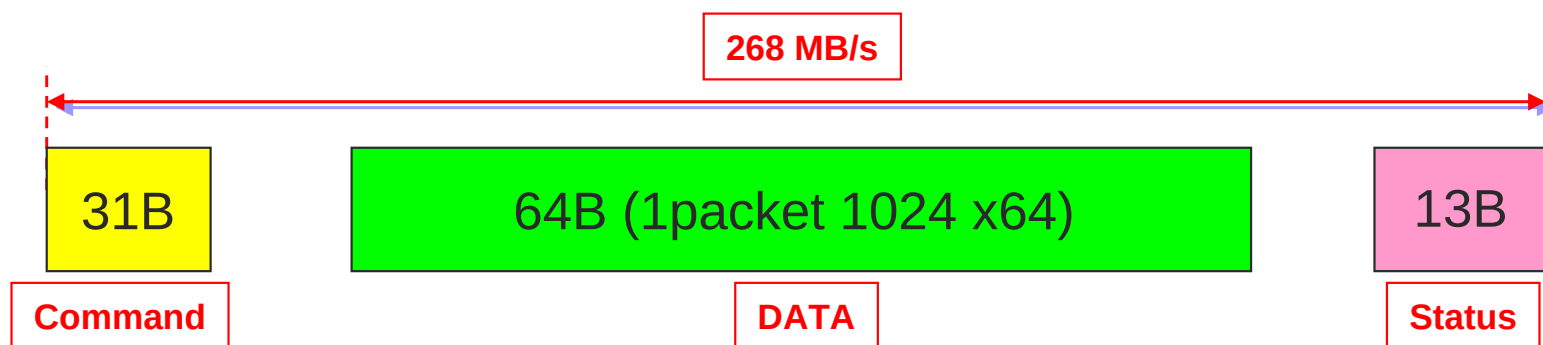


1packet 転送
462 MB/s

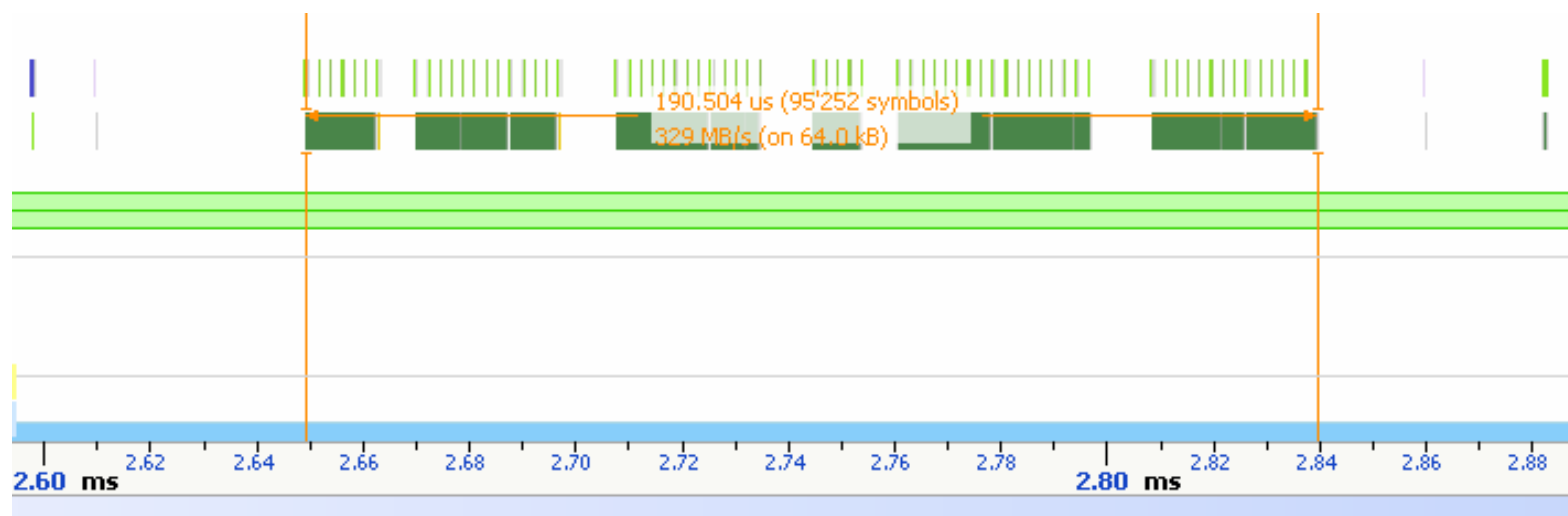
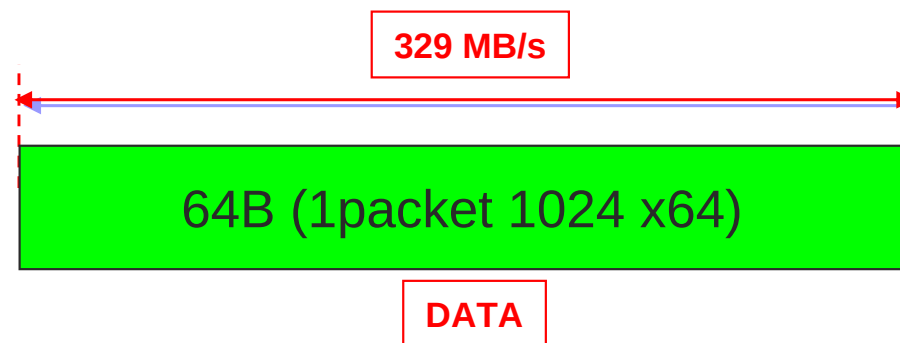
OUT 転送
(WRITE)



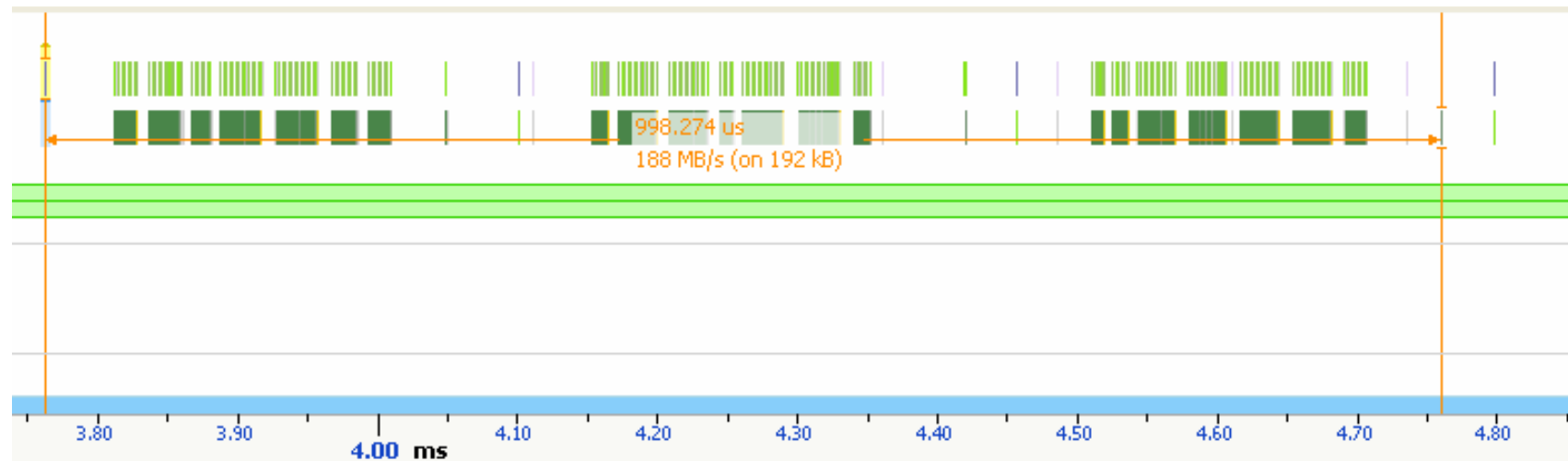
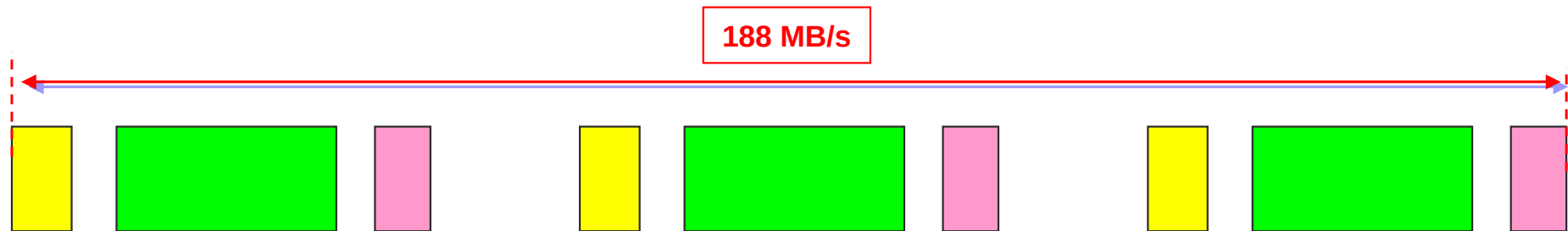
IN 転送解析 (READ) Command ⇔ Status 間



IN 転送解析 (READ) データのみ



IN 転送解析 (READ) 3Block 間



Windows XP のウィンド・サイズにより、データは 64 KByte (64 packet) になり、64 KByte 転送後のウェイトがボトルネックになる。



SuperSpeed ライン

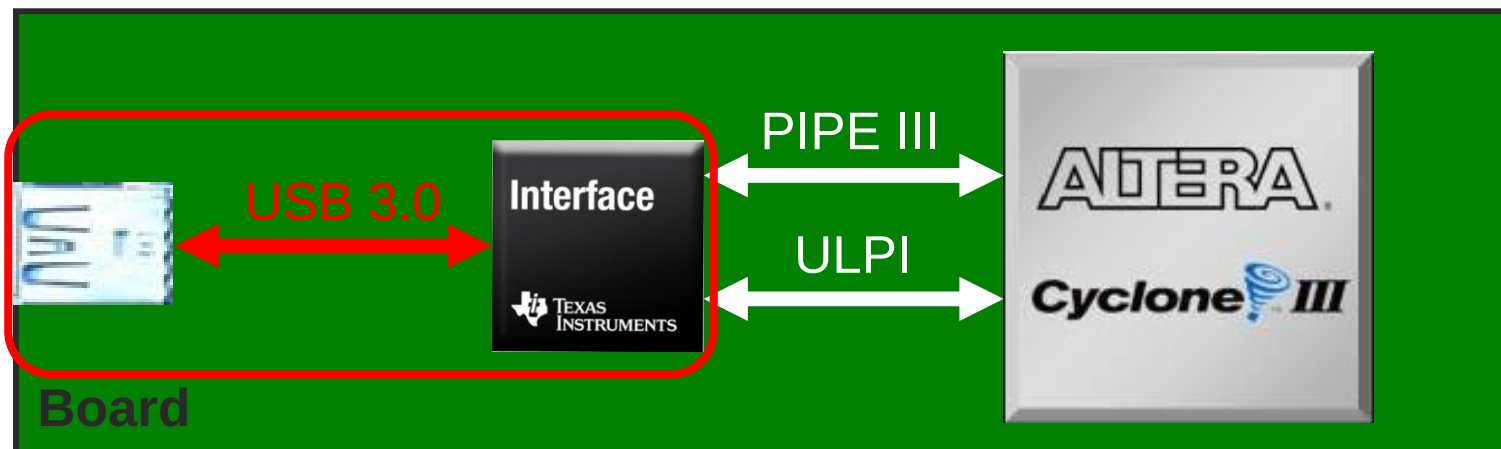
▶ PHY ⇔ コネクタ

◆ 5 Gbps (SS Line)

- SSTX +/-
- SSRX +/-

◆ 480 Mbps (HS Line)

- D +/-



▶ 差動配線の引き回し方法は以下の参考書を参照

- ◆ PCI Express rev. 2.0 の転送レートは 5Gbps になり、USB 3.0 の SuperSpeed と類似するところも多い
 - PCI Express rev. 2.0 の差動パターン、GND パターン、ビア、スルー・ホールなどの配置・配線制約に関する情報も記載されており、Cyclone III USB 3.0 Board 設計時に参考にさせていただきました。



PCI Express設計の基礎と応用

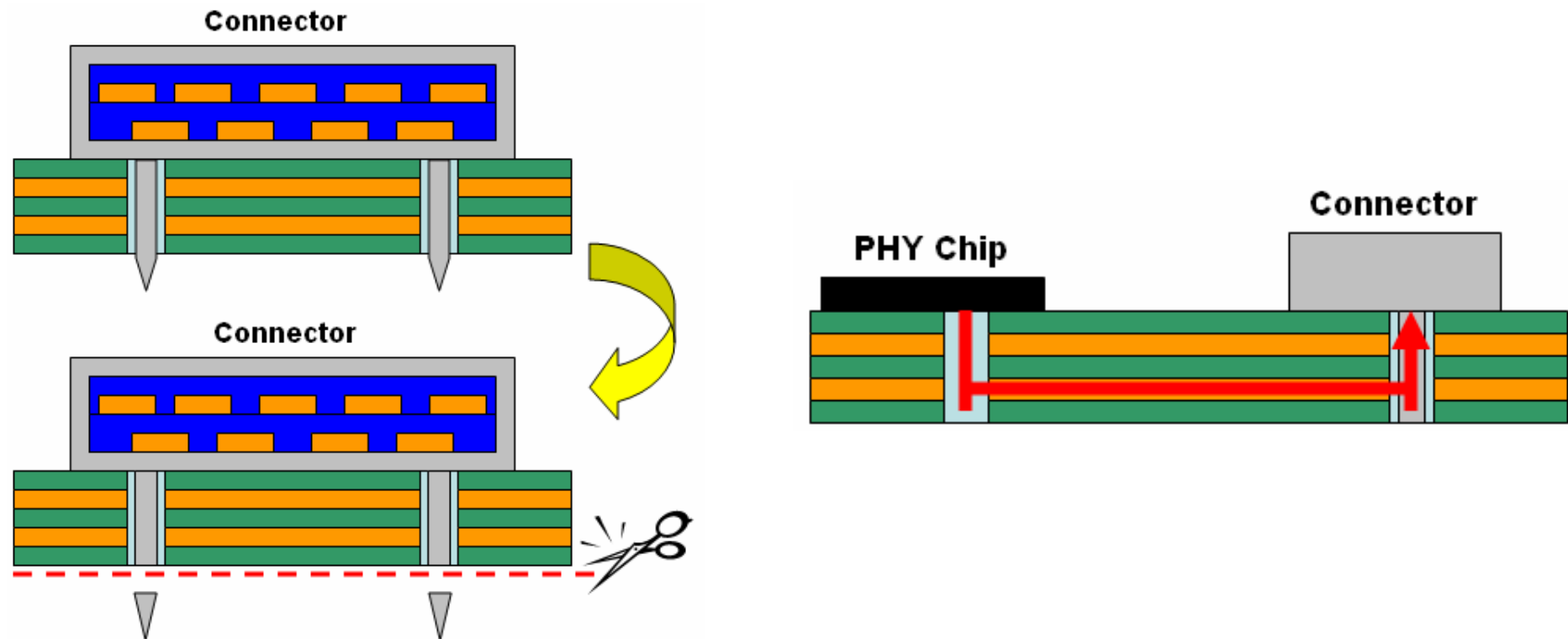
畑山 仁 編著

A5判 336ページ(4C:8ページ)

定価2,625円(税込)

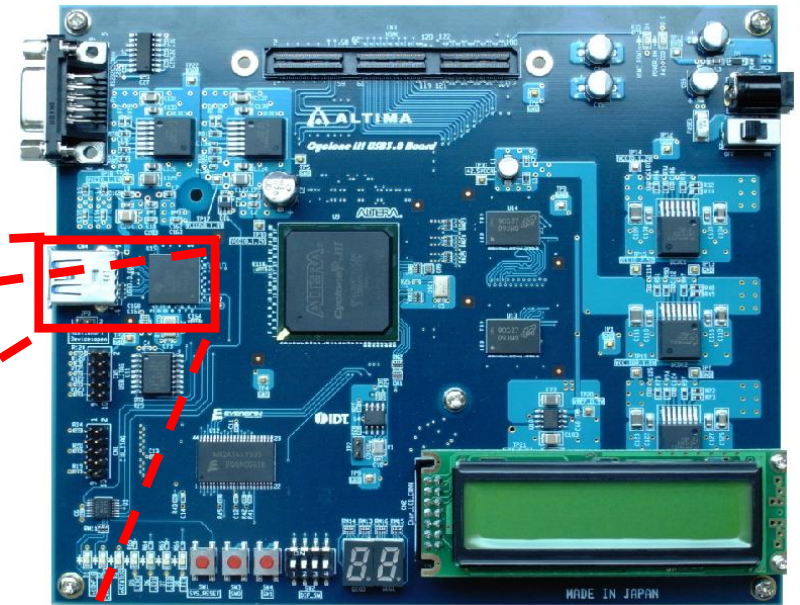
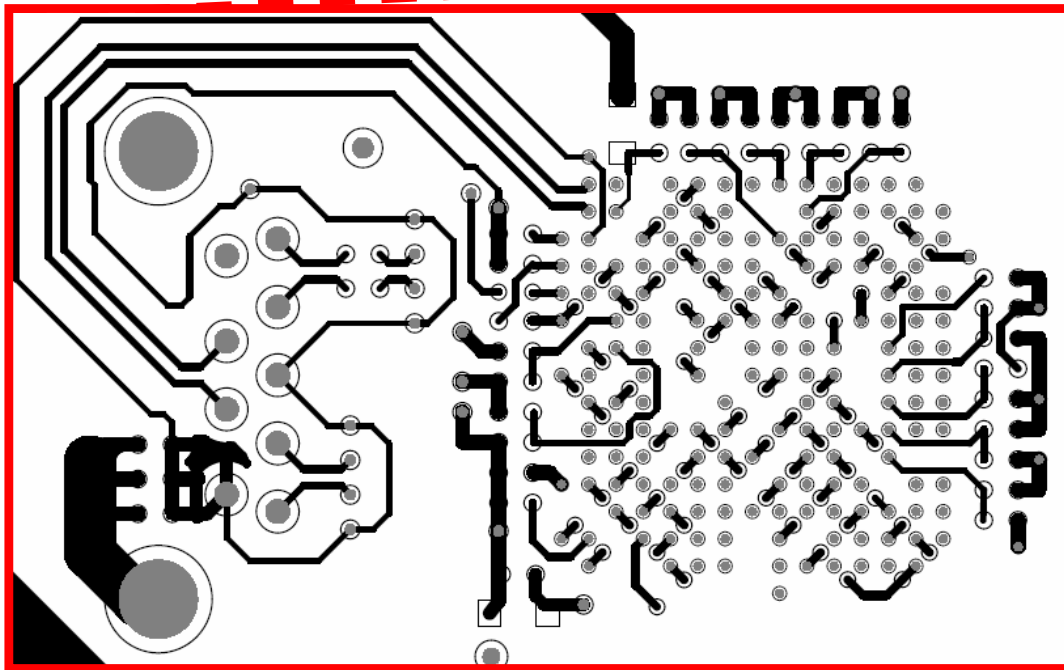
JAN9784789846417

- ▶ コネクタのはみ出した部分をカット
 - ◆ スタブを除去
- ▶ スタブの少ない設計
 - ◆ コネクタの足があるのでBottom 層で配線



5Gbpsのラインのガイドライン (参考)

- ▶ Cyclone III USB 3.0 Board のパターン
 - ◆ GND でシールド
 - ◆ D +/- (HS, FS, LS) はコネクタの足を避けて引き回す





PIPE III ライン

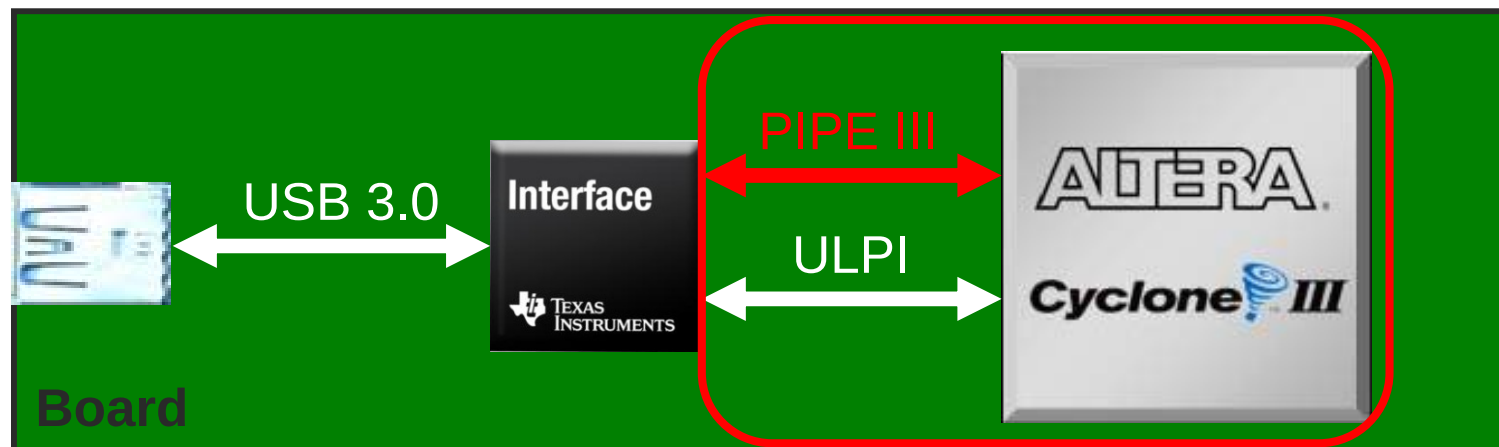
▶ PHY ⇔ FPGA

◆ PIPE III (SS)

- 125 MHz SDR x32 bit
- 250 MHz SDR x16 bit (TI のPHY の仕様)
- 500 MHz SDR x8 bit

◆ ULPI (HS, FS, LS)

- 60 MHz SDR x8 bit



TUSB 1310 (TI'S PHY)

▶ FPGA ↔ TUSB 1310A

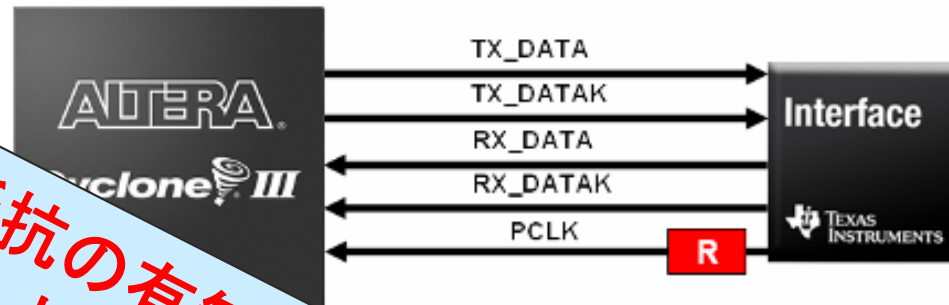
- About 77 Pin
- 1.8 V LVCMOS
- ◆ PIPE ++ (PHY Interface for PCI Express and USB 3.0)
 - Supper Speed
- ◆ ULPI (UTMI+ Low Pin Interface)
 - High Speed
 - Full Speed
 - Low Speed



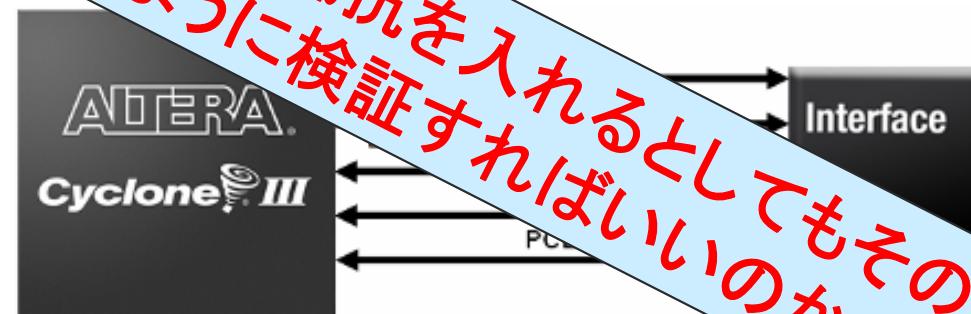
PIPE III トポロジー検証

▶ FPGA ⇒ USB 3.0 PHY のトポロジー検証

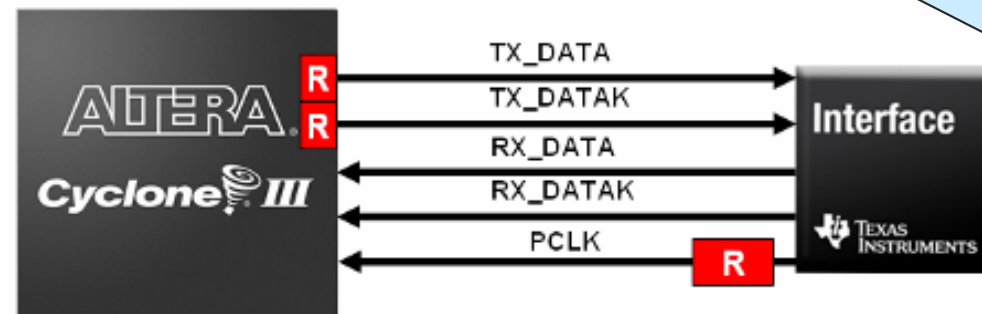
◆ 何も実装しない



◆ 全信号線に抵抗



◆ FPGA の内部抵抗を使用



ダンピング抵抗の有無・抵抗を入れるとしてもその抵抗値などの検証するにも、どのように検証すればいいのか.....



伝送線路シミュレーション

▶ 伝送シミュレータの利点

- ◆ 抵抗値・コンデンサの容量・配線長を見積もり可能
 - 各値をその場で変更でき検証可能
- ◆ 任意のところをプロービング
 - 実機だとプローブが容易に出来ない（BGAなど）

▶ シミュレーション・モデル

- ◆ IBIS
 - ~1GHz のシミュレーション・モデルとして最適
- ◆ SPICE
 - Ex) HSPICE, Eldo
 - 1GHz ~ のシミュレーション・モデルとして最適
 - 高精度のシミュレーション・モデル

Basic
Dielectric
Metal
Z0 Planning
Custom View

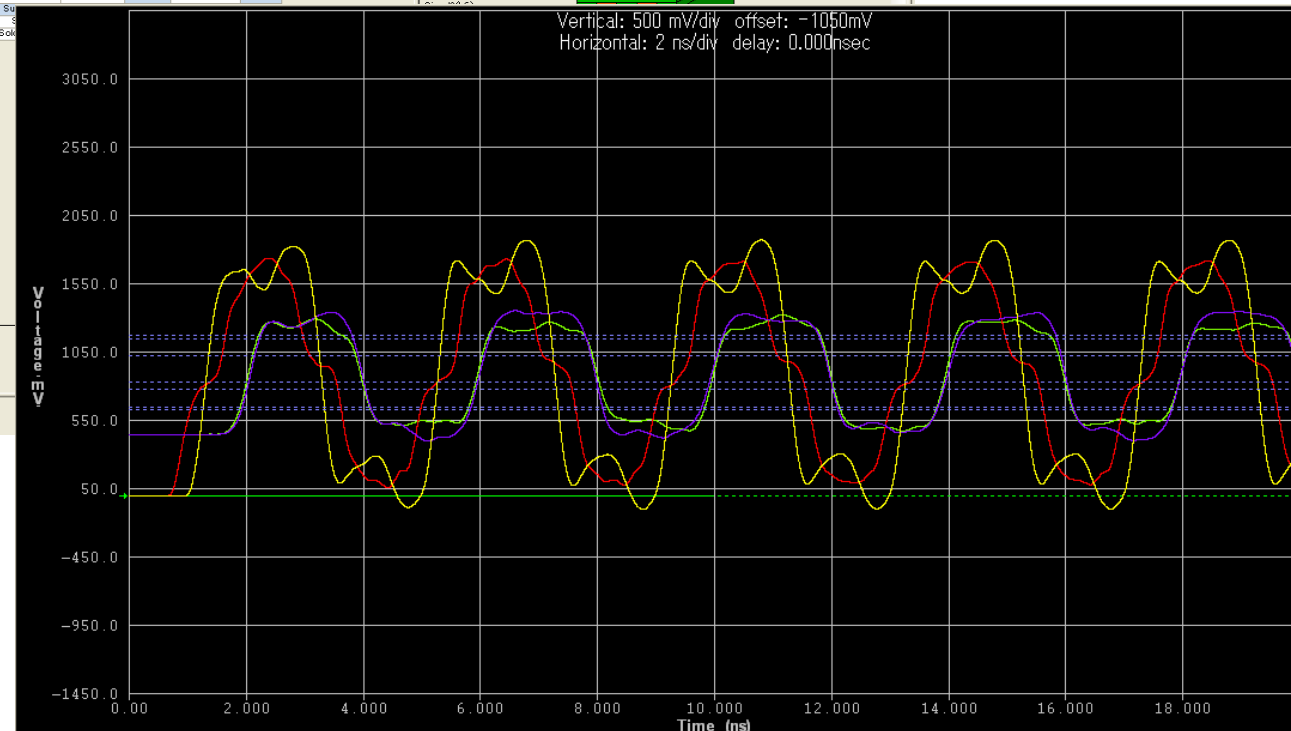
	Visible	Color	Four Draw Style	Layer Name	Type	Usage	Thickness um	Er	Test Width um	Z0 ohm
1					Dielectric	Solder Mask	30	3.7		
2	☒	Red	Solid	Signal0(L1)	Metal	Signal	35	<Auto>	200	43.3
3					Dielectric	Substrate	100	4.3		
4	☒	Yellow	Hatched	GND(L2)	Metal	Plane	35	<Auto>	152.4	63.2
5					Dielectric	Substrate	150	4.3		
6	☒	Magenta	Solid	Signal1(L3)	Metal	Signal	35	<Auto>	120	46.3
7					Dielectric	Substrate	150	4.3		
8	☒	Blue	Hatched	VDD/GND(L4)	Metal	Plane	35	<Auto>	152.4	47.2
9					Dielectric	Substrate	150	4.3		
10	☒	Orange	Hatched	GND(L5)	Metal	Plane	35	<Auto>	152.4	48.7
11					Dielectric	Substrate	150	4.3		
12	☒	Green	Solid	Signal2(L6)	Metal	Signal	35	<Auto>	160	48.1
13					Dielectric	Substrate	150	4.3		
14	☒	DarkRed	Solid	Signal3(L7)	Metal	Signal	35	<Auto>	160	48.1
15					Dielectric	Substrate	150	4.3		
16	☒	DarkGreen	Hatched	VDD/GND(L8)	Metal	Plane	35	<Auto>	152.4	60.6
17					Dielectric	Substrate	150	4.3		
18	☒	DarkBlue	None	Signal4(L9)	Metal	Signal	35	<Auto>	160	48.1
19					Dielectric	Substrate	150	4.3		
20	☒	Olive	Solid	Signal5(L10)	Metal	Signal	35	<Auto>	160	48.1
21					Dielectric	Substrate	150	4.3		
22	☒	Cyan	Hatched	GND(L11)	Metal	Plane	35	<Auto>	152.4	56.2
23					Dielectric	Substrate	150	4.3		
24	☒	Purple	Solid	Signal6(L12)	Metal	Signal	35	<Auto>	160	48.1
25					Dielectric	Substrate	150	4.3		

Vertical: 500 mV/div offset: -1050mV
Horizontal: 2 ns/div delay: 0.000nsec

Measurement units: Metric

Metal thickness as: Length

Vertical: 500 mV/div offset: -1050mV
Horizontal: 2 ns/div delay: 0.000nsec



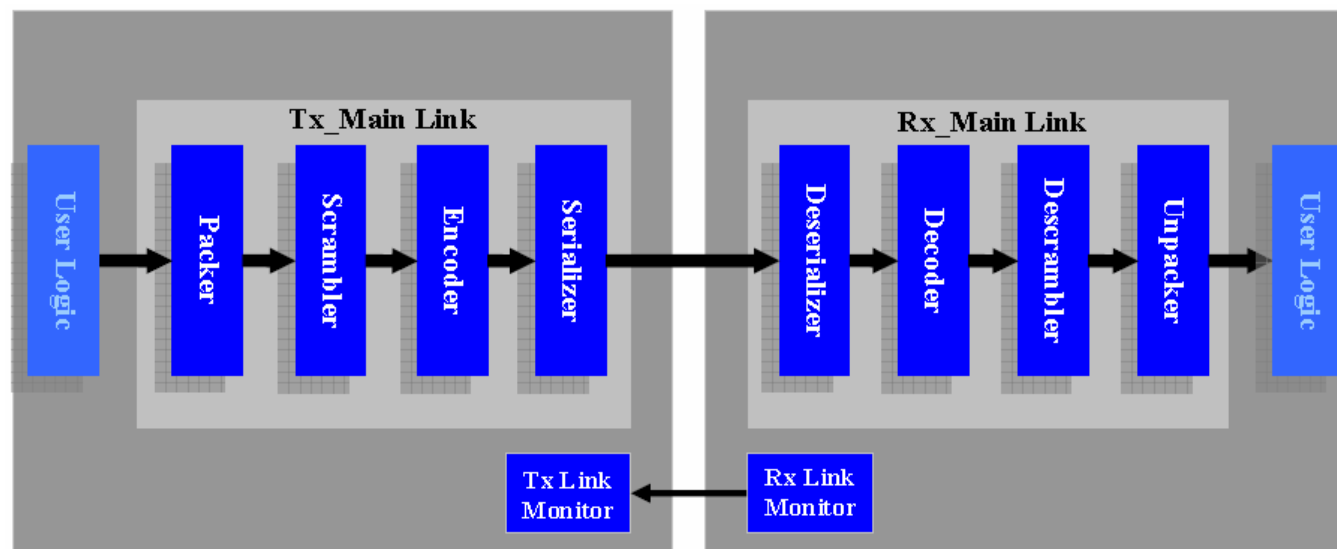


ALTIMA V-by-One HS Solution



V-by-One HS の仕様

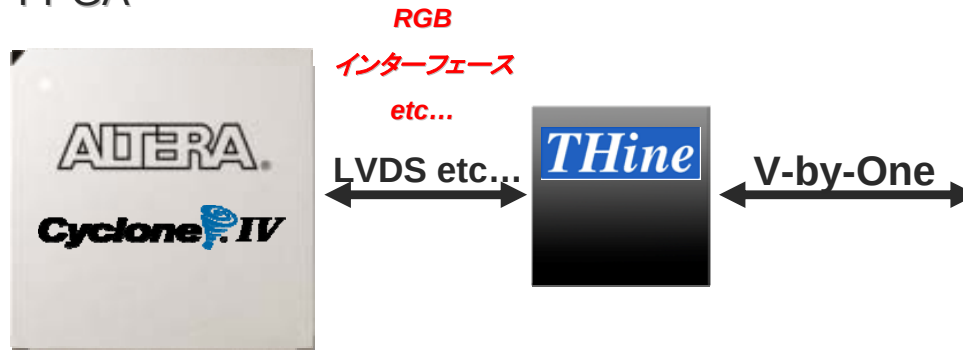
- ▶ Band Width
 - ◆ 600Mbps ~ 3.75Gbps (1 Lane)
 - x1,x2,x4,x8,x16,x32
 - ◆ 8b/10b encoder・decoder
 - Effective data rate = 3 Gbps (1 Lane)
- ▶ Other Spec
 - ◆ Supports Clock Data Recovery (CDR)
 - ◆ Support Spread Spectrum
 - Modulation 30KHz
 - $\pm 0.5\%$ Center spread



V-by-One HS × FPGA

A) FPGA + ASSP

◆ FPGA



▶ メリット

▶ IP が不要

▶ デメリット

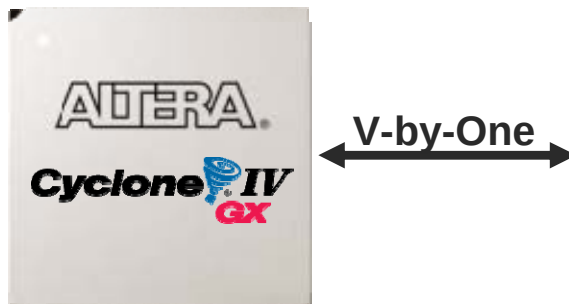
▶ RGB インターフェースなどを
(フォーマットによって異なる)
基板上で接続(基板面積の増加)

ex) 32bit LVDS/Lane

B) FPGA

◆ 高性能トランシーバ内蔵のFPGA で実現

- Cyclone IV GX (Max Rate 3.00 Gbps/lane)
- Arria II GX/GZ (Max Rate 3.75 Gbps/lane)
- Stratix IV GX/GT (Max Rate 3.75 Gbps/lane)



▶ メリット

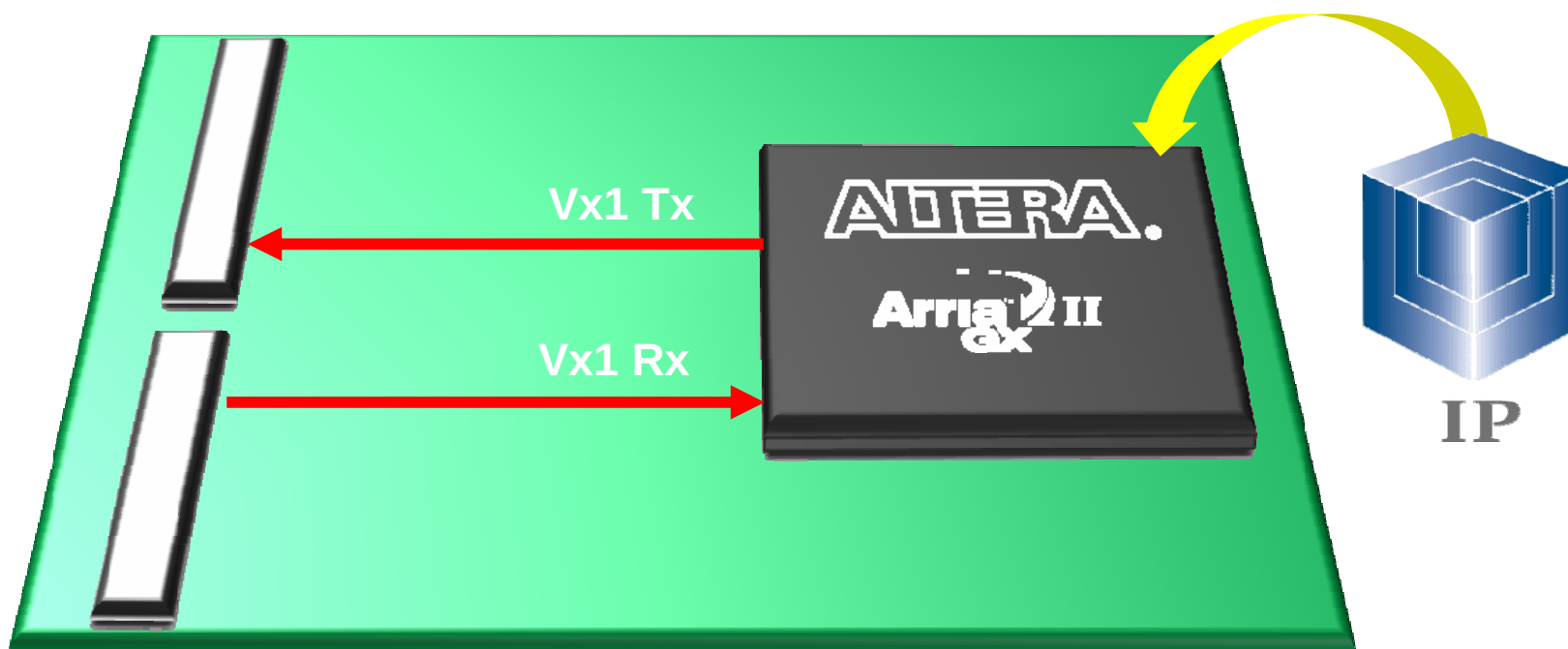
▶ 1Chip で構成出来る

▶ VIP と簡単に接続

▶ 開発工数の削減

▶ デメリット

▶ IP が必要



▶ **FPGA**

▶ トランシーバ内蔵FPGA (Ex: Cyclone IV GX, Arria II GX, Stratix IV GX)

▶ **V-by-One HS IP**

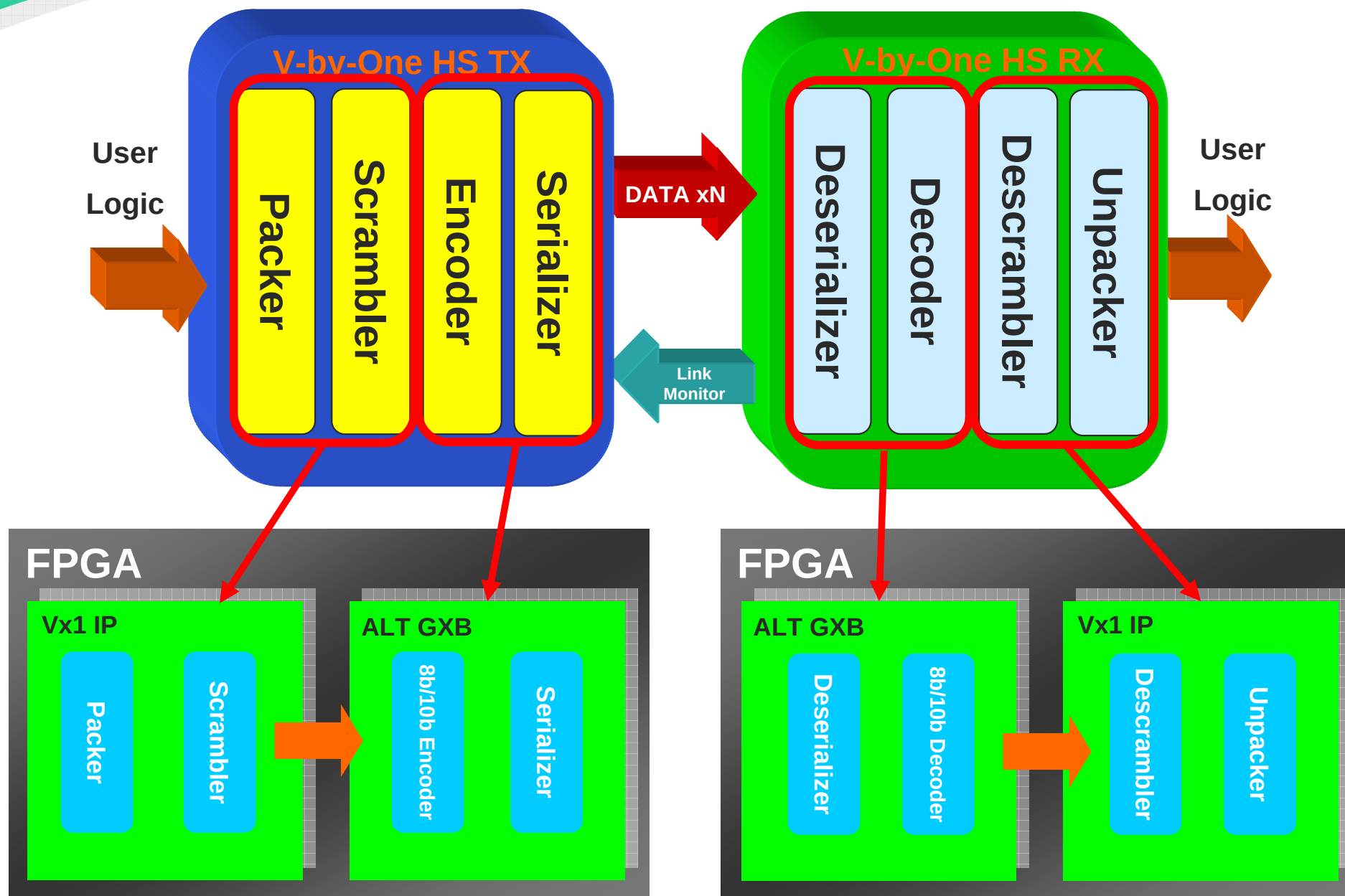
▶ **Jitter Cleaner**

▶ ユーザの仕様に応じて必要になります

▶ **Connector & Cable**

▶ コネクタ、ケーブル長の指定なし(推奨のみ)

▶ 転送レート、転送距離によりユーザが最適なコネクタ、ケーブルを使用することが可能

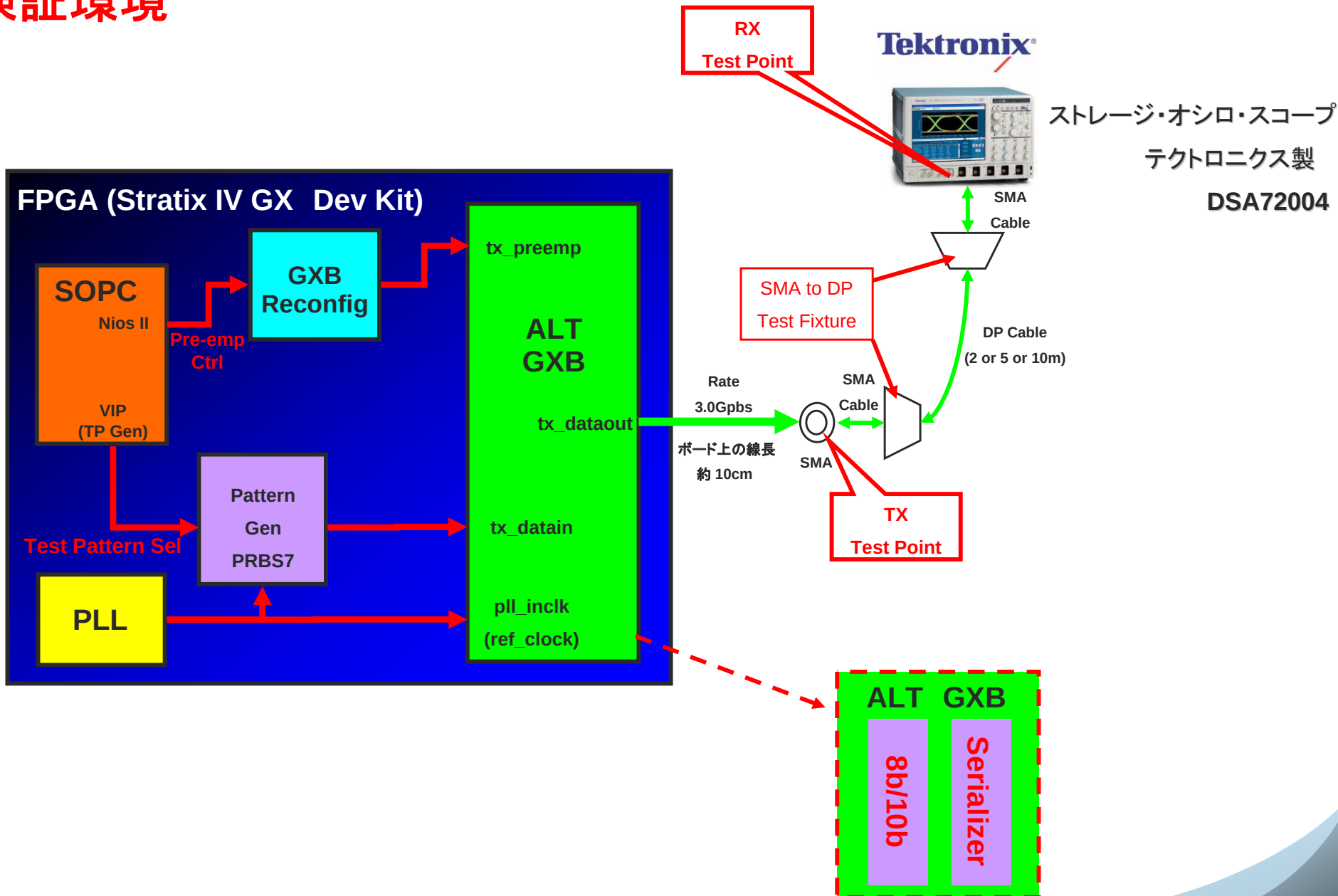




Appendix : ALTIMA V-by-One HS Daughter Card SI TEST

Verification Environment

検証環境



▶ Pre-emphasis Only

Stratix IV GX Pre-Emphasis Only						
Model	Cable	VOD(mV)	Pre-emp 0dB(0)	Pre-emp 3.1dB (17)	Pre-emp 8.8dB (28)	Pre-emp 12.9/10.0dB (31)
TX	-	800	Pass	-	-	-
RX	DP 2m	800	Fail	Pass	-	-
	DP 5m	800	-	Fail	Pass	-
	DP 10m	800	-	Fail	Fail	Fail
	DP 10m	900	-	-	-	Fail

▶ Pre-emphasis + Equalizer

- ◆ Cyclone IV GX の S-parameter を使用し、EQ 後の波形を再現

Stratix IV GX Pre-Emphasis(VOD 900mV Pre-emp 10dB) + Cyclone IV GX Equalizer			
Model	Cable	VOD(mV)	DC Gain 6 dB / EQ 5.5 dB
RX	DP10m	900	Pass

▶ Pre-emphasis + Equalizer

- ◆ NS の DS32EV400 を使用し、EQ 後を信号をサンプリング

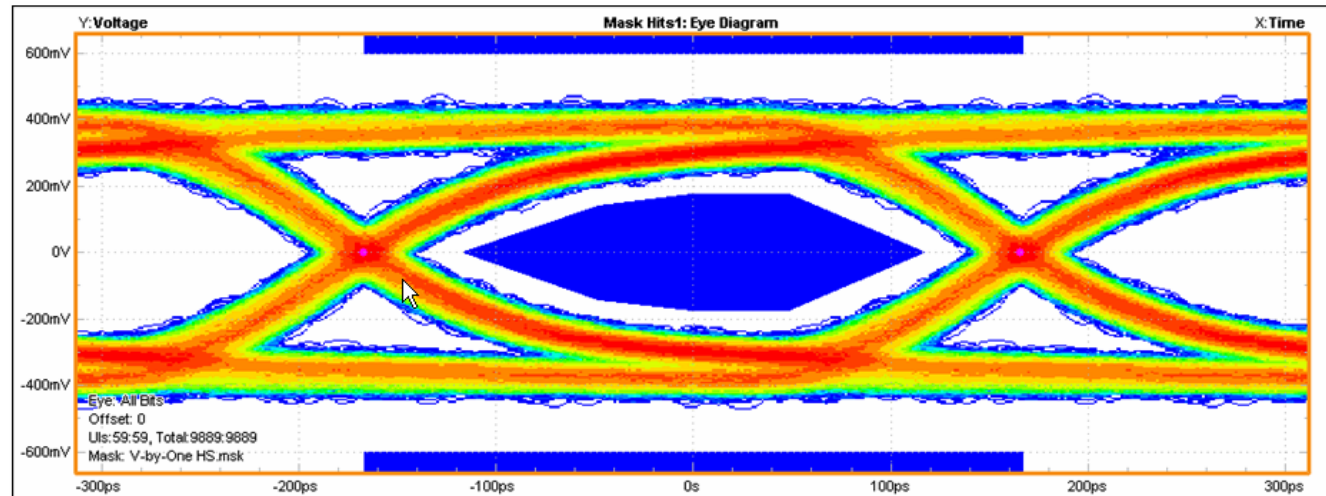
※詳細は 別途記載

Stratix IV GX Pre-Emphasis(VOD 900mV Pre-emp 10dB) + DS32EV400 Equalizer				
Model	Cable	VOD(mV)	EQ 0 dB	EQ 14 dB
RX	DP10m	900	Pass	Pass

※ Mask は V-by-One HS用 を使用

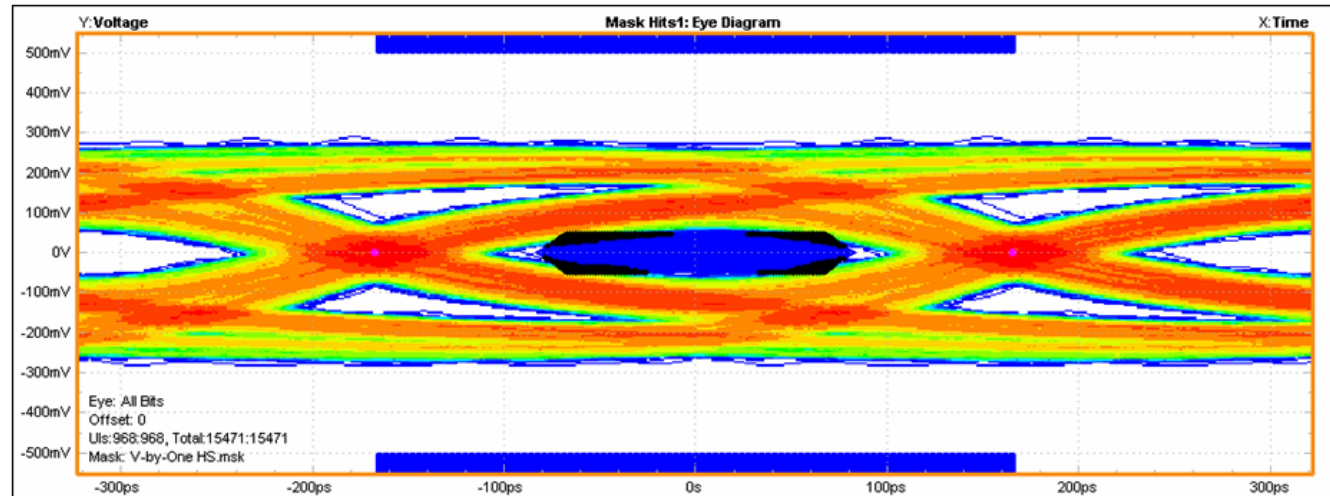
result 1 : TX

- ▶ TX:VOD 800mV, Pre-emp 0dB (Pass)

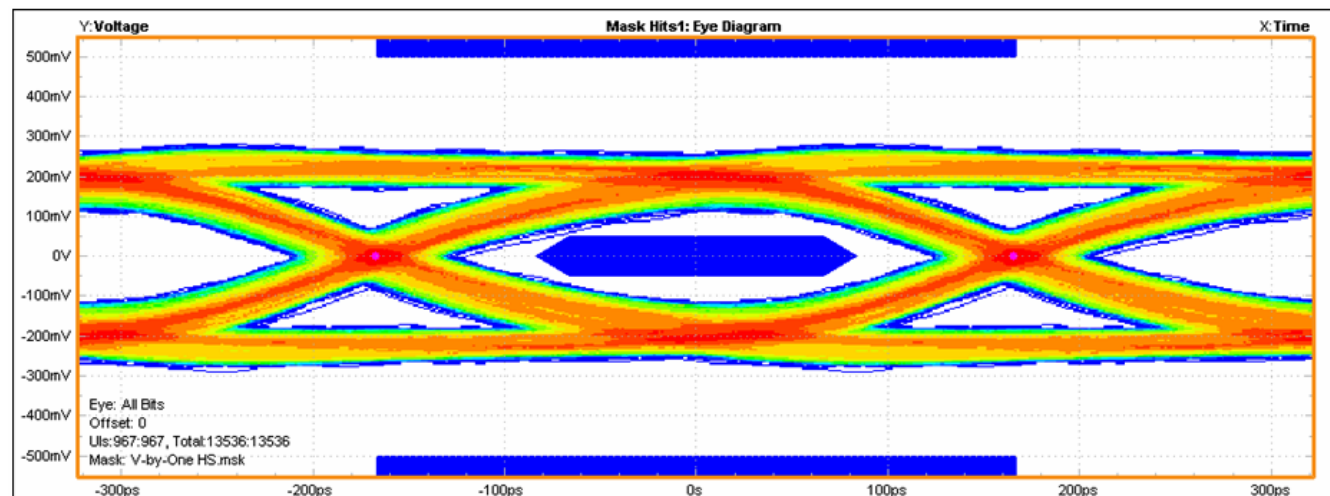


result 2 : RX 2m

- ▶ TX:VOD 800mV, pre-emp 0 dB, DP 2m(Fail)

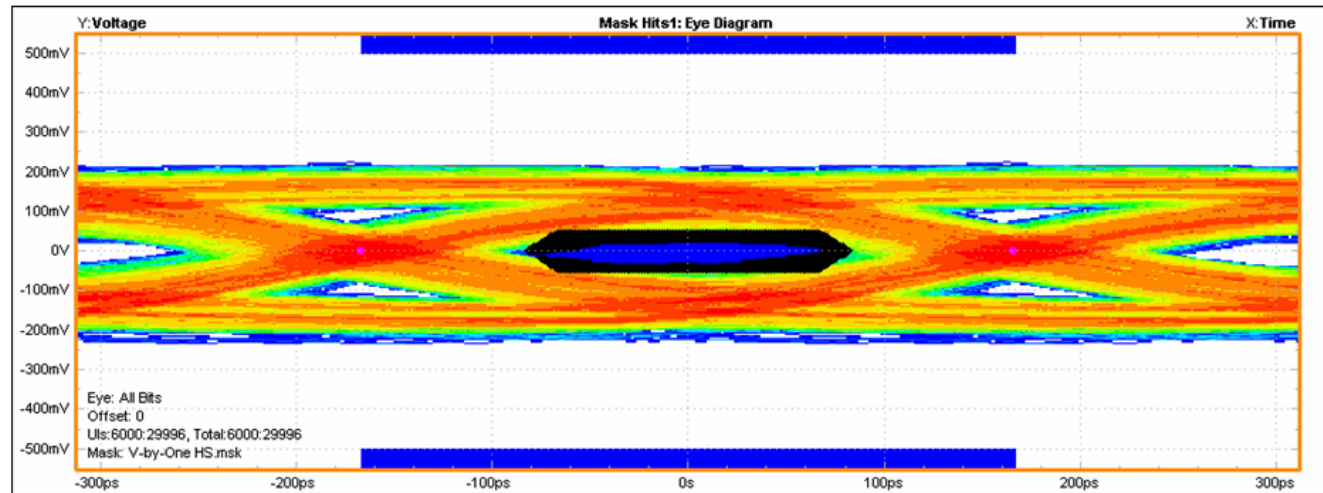


- ▶ TX:VOD 800mV, pre-emp 3.1 dB(17), DP 2m (Pass)

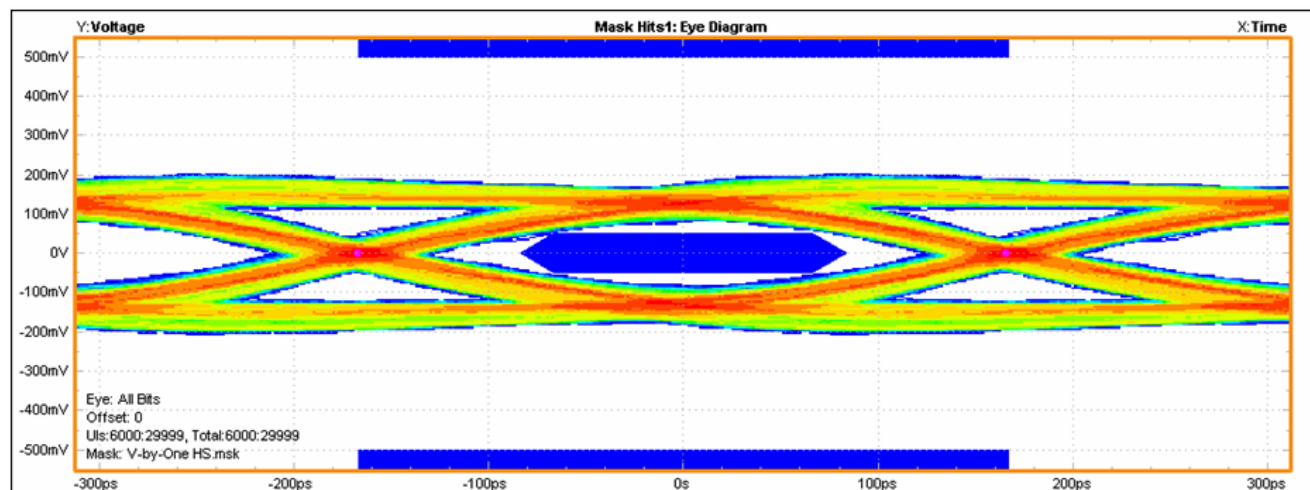


result 3 : RX 5m

- ▶ TX: VOD 800mV, pre-emp 3.1 dB(17), DP 5m(Fail)

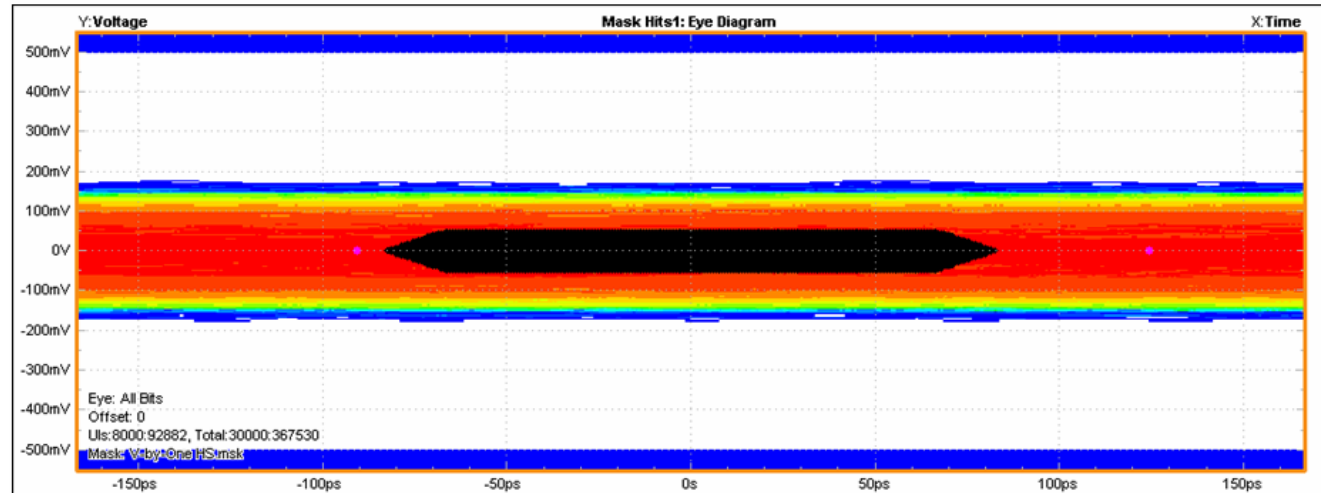


- ▶ TX: VOD 800mV, pre-emp 8.8 dB(28), DP 5m (Pass)

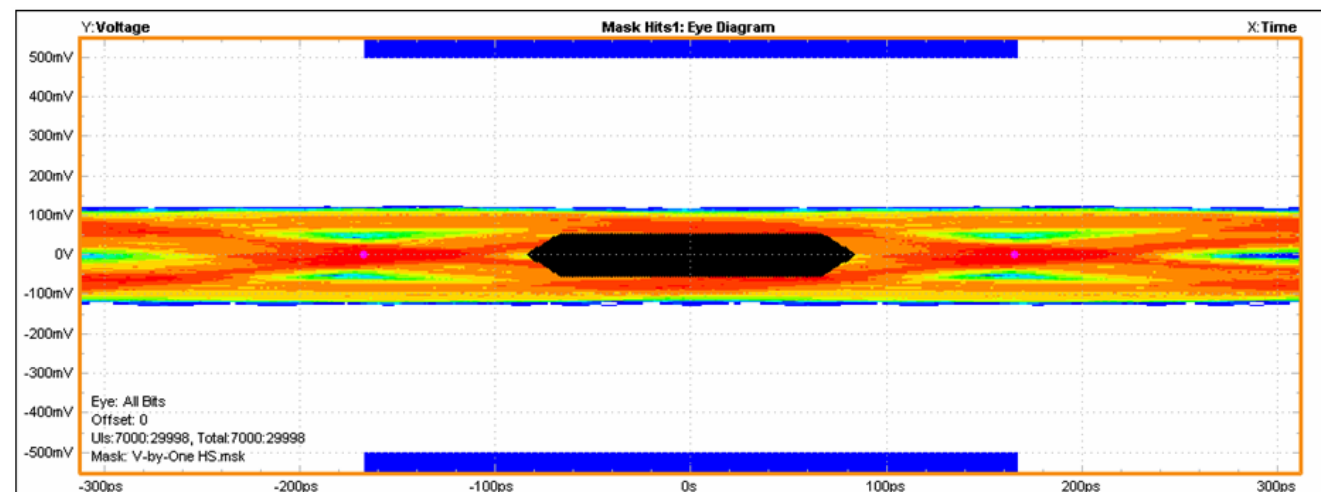


result 4 : RX 10m 1

- ▶ TX:VOD 800mV, pre-emp 3.1 dB(17), DP 10m (Fail)

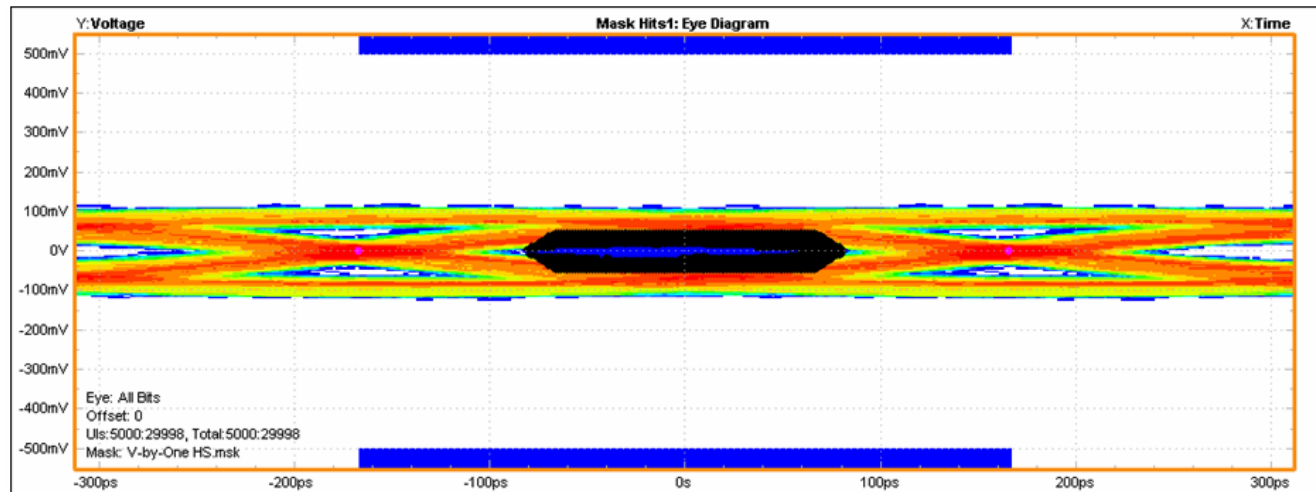


- ▶ TX:VOD 800mV, pre-emp 8.8 dB(28), DP 10m (Fail)

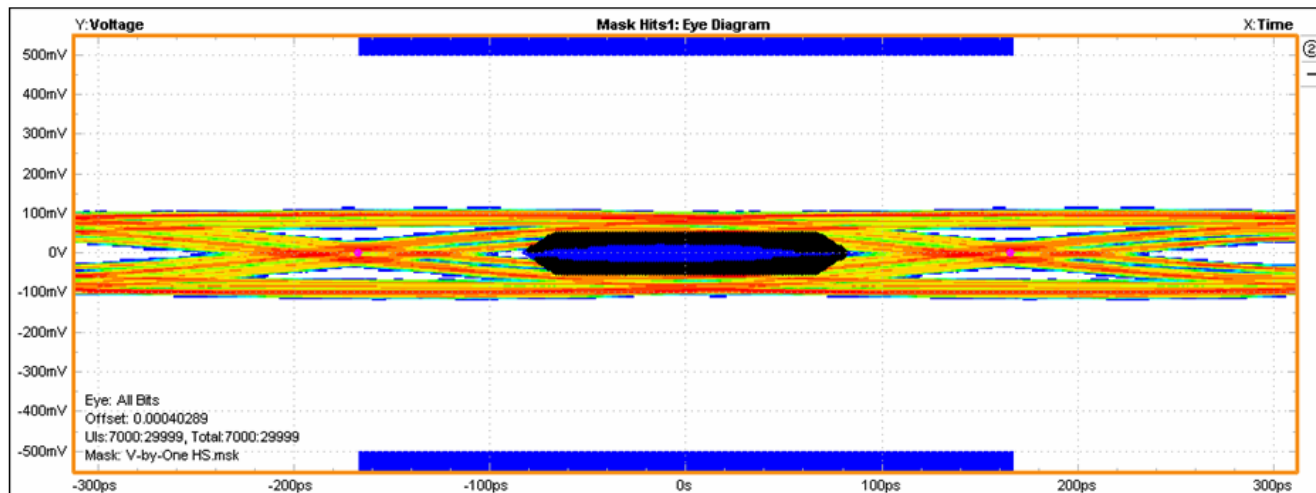


result 4 : RX 10m 2

- ▶ TX:VOD 800mV, pre-emp 12.9 dB(31), DP 10m (Fail)

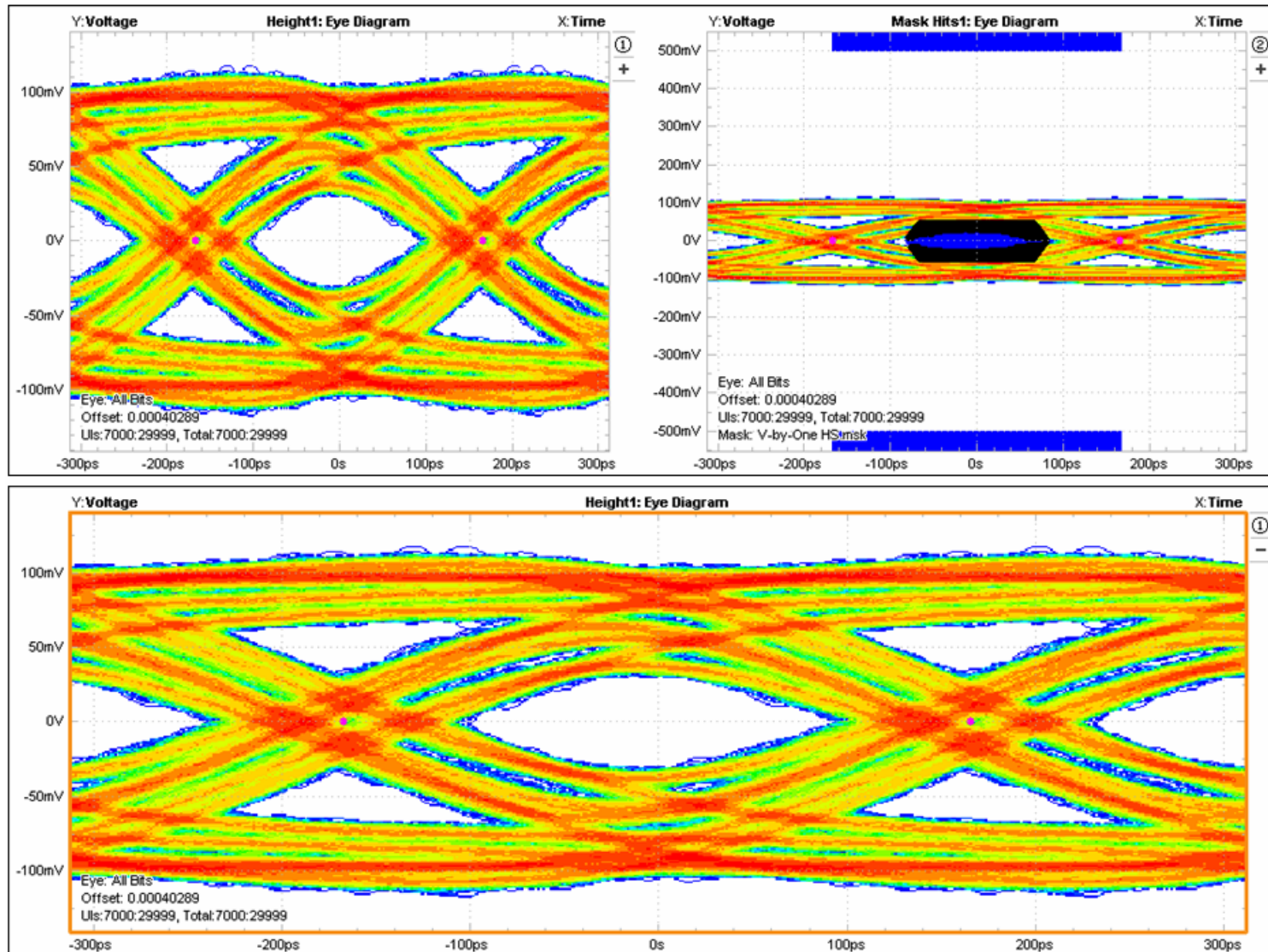


- ▶ TX:VOD 900mV, pre-emp 10.0 dB(31), DP 10m (Fail)



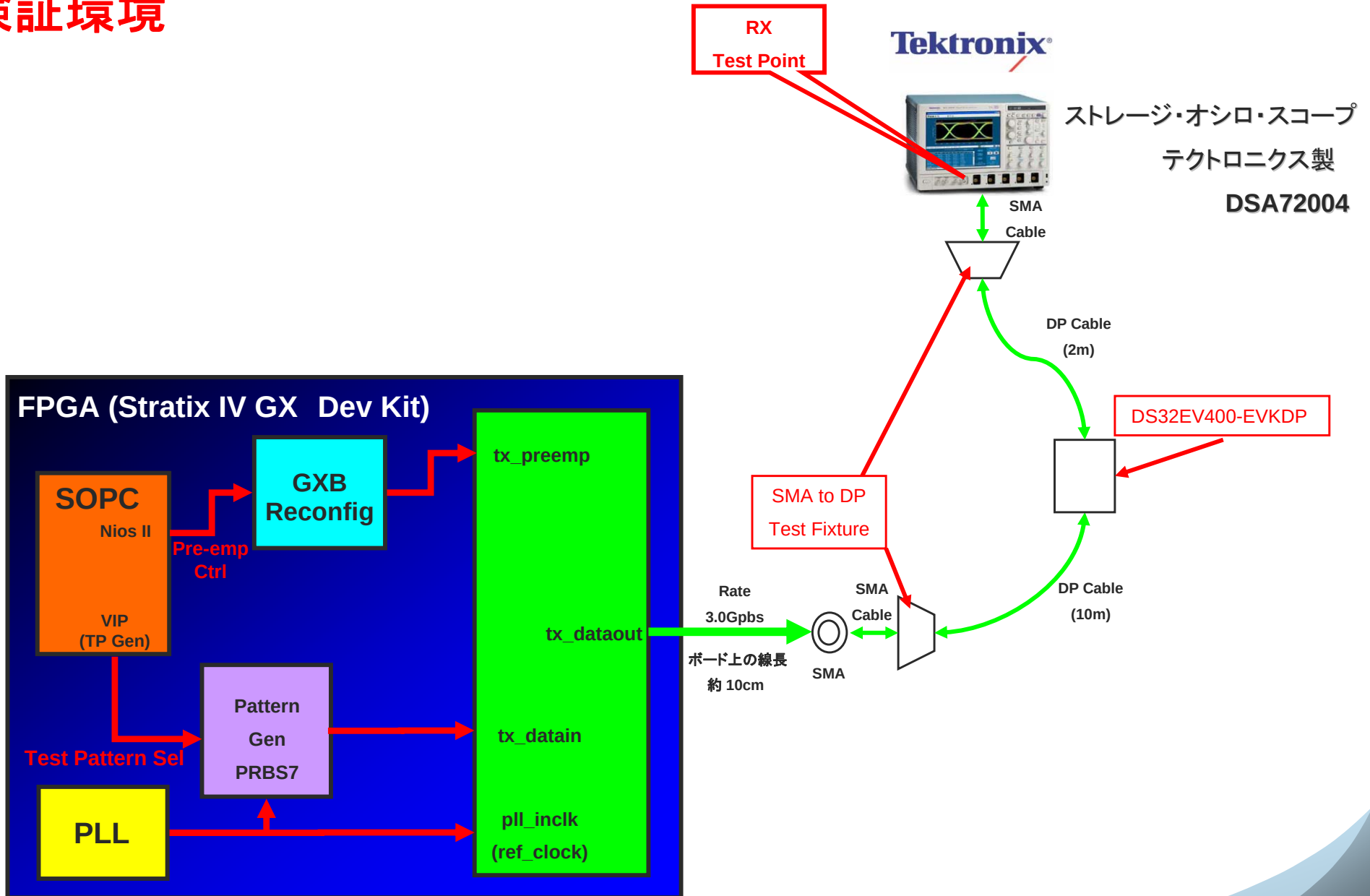
RX Best Detail

- ▶ TX: VOD 900mV, pre-emp 10.0 dB(31), DP 10m (Fail)



※ 次頁からの EQ を併用して検証を行う際に全て上記の設定で行っています

検証環境



▶ National Semiconductor



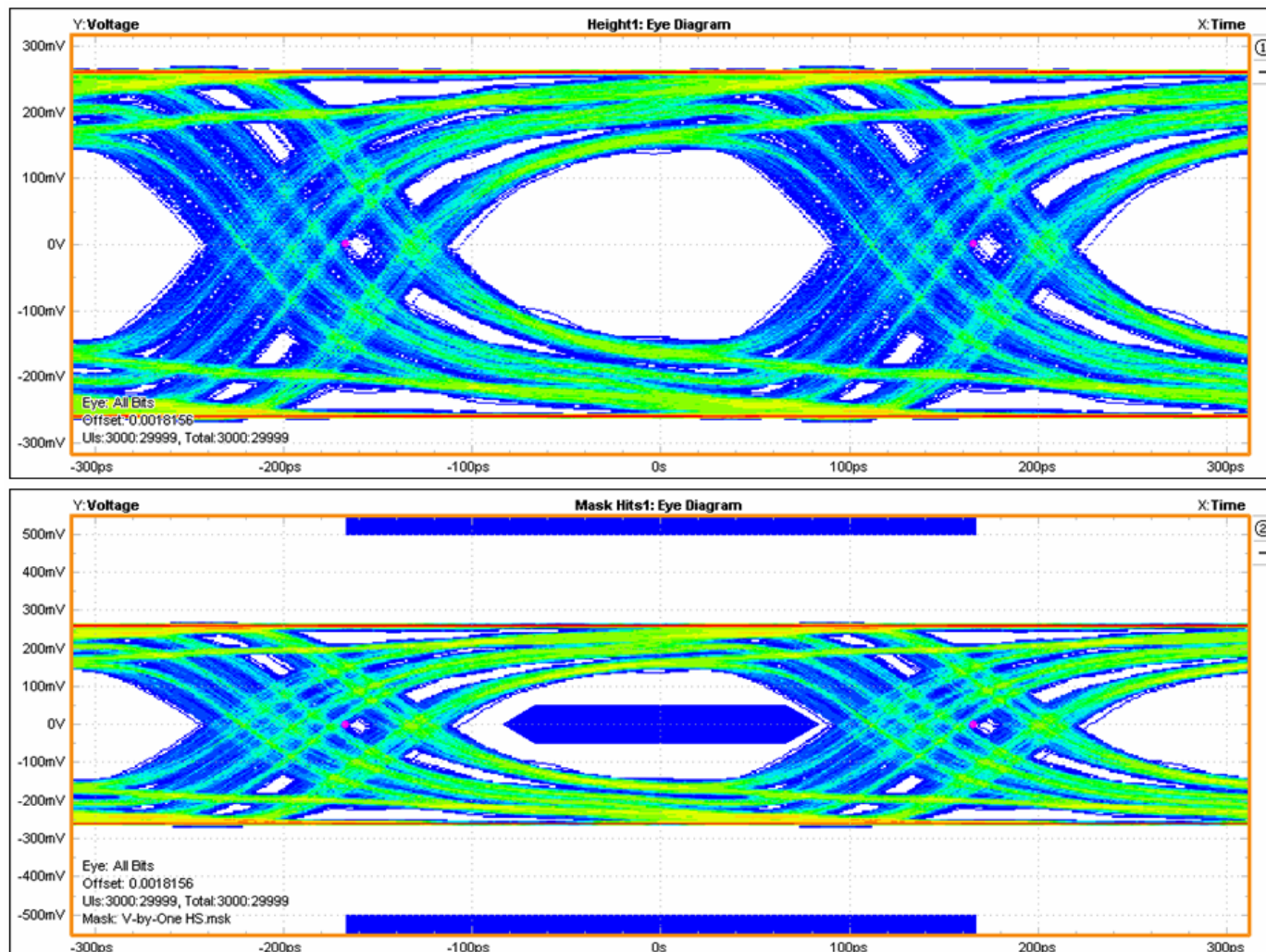
- ◆ DS32EV400 を使用
 - <http://www.national.com/pf/DS/DS32EV400.html#Overview>
- ◆ DS32EV400-EVKDP
 - DP Connector ⇒ DS32EV400 ⇒ DP Connector



- ◆ 上記の EQ を使用し、EQ dB のMax と Min を測定

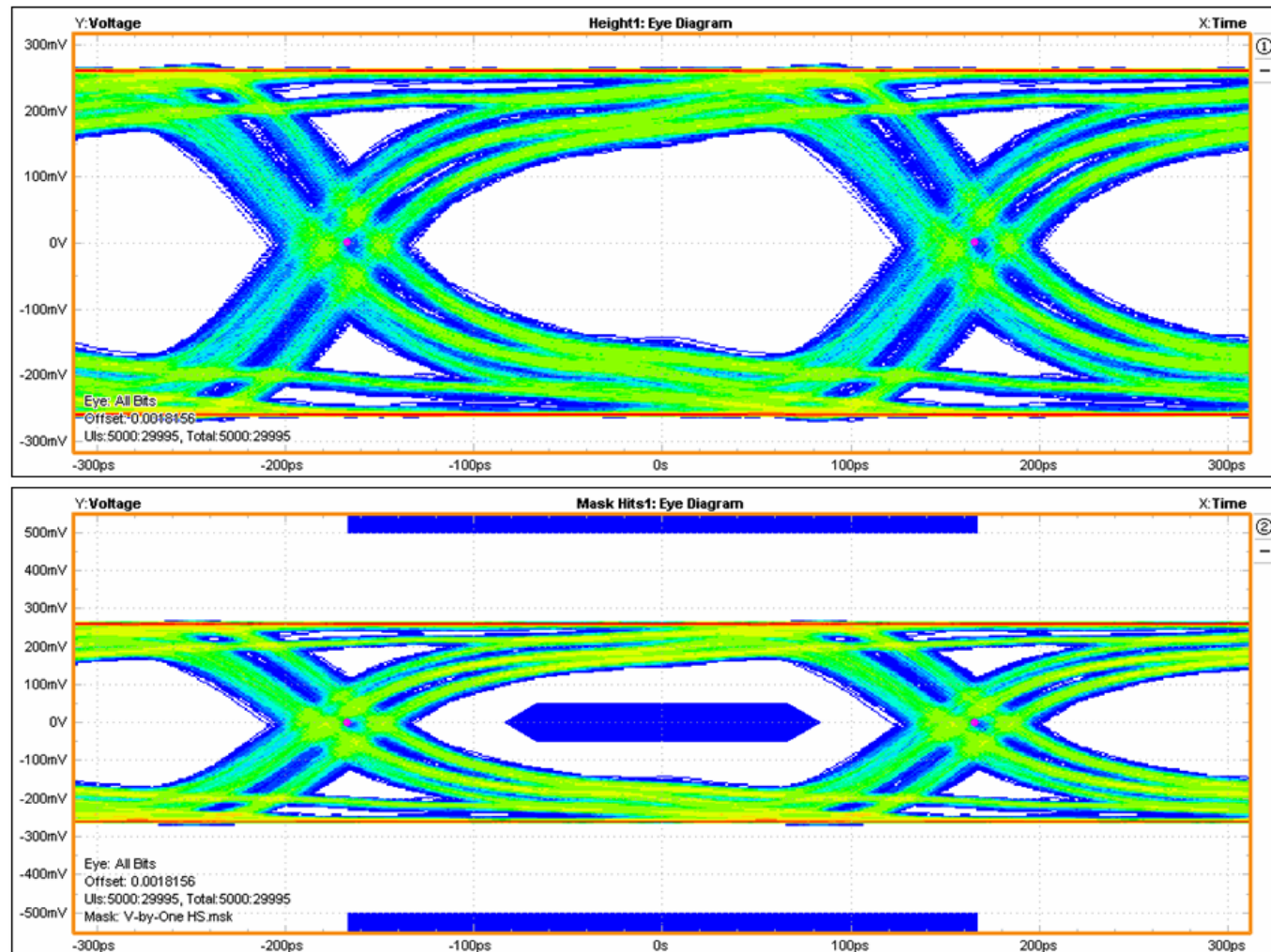
result 7 : RX 10m + NS EQ

- ▶ TX: VOD 900mV, pre-emp 10.0 dB(31), DP 10m (Pass)
- ▶ RX: EQ 0.0dB(min)



result 8 : RX 10m + NS EQ

- ▶ TX: VOD 900mV, pre-emp 10.0 dB(31), DP 10m (Pass)
- ▶ RX: EQ 14.0dB(max)





ご清聴ありがとうございました