PCI Express Gen3の規格認証試験と測定ソリューション

テクトロニクス・イノベーション・フォーラム2012

薩摩泰文

www.tektronix.com/ja

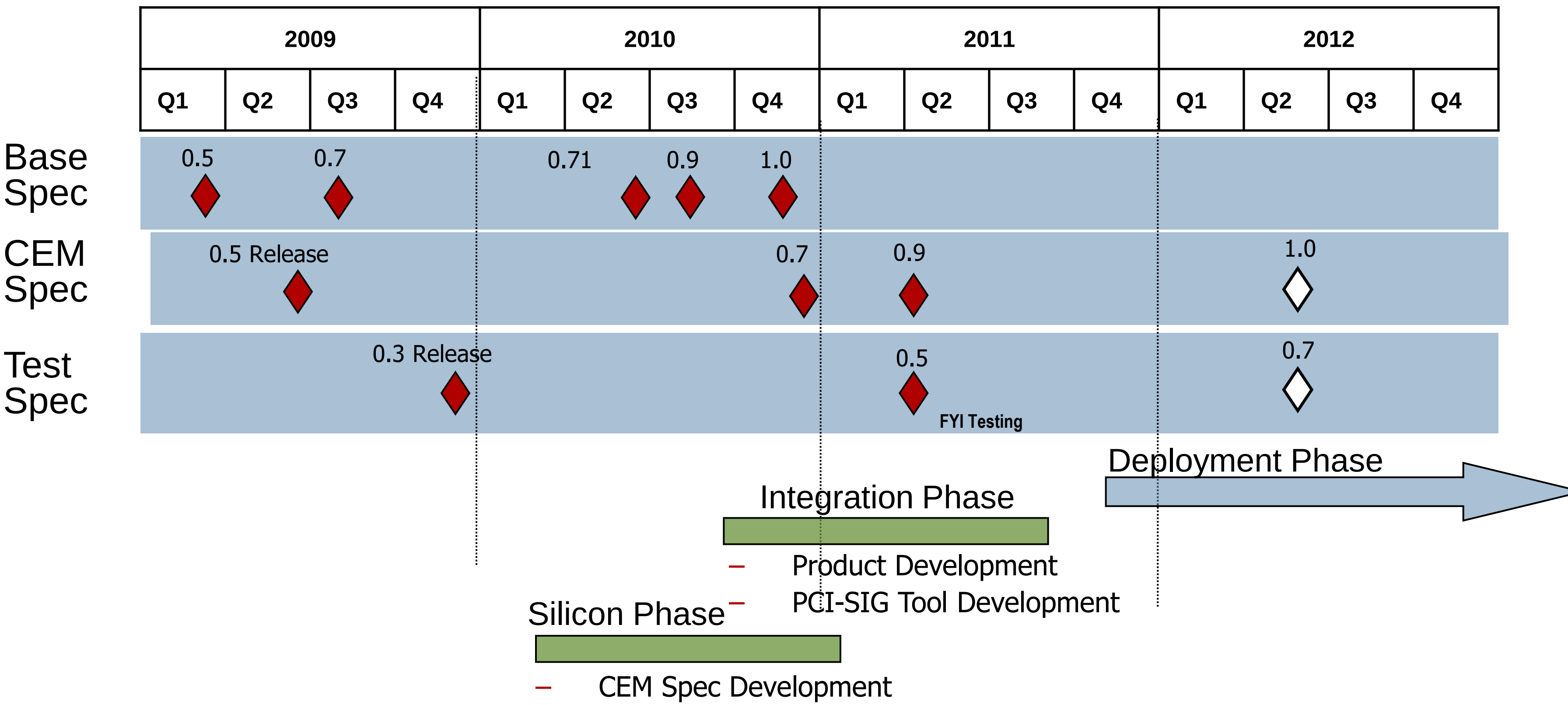
Tektronix

本日の内容

- PCI Express Gen3の規格動向と特長
- PCI Express Gen3のトランスミッタ・テスト
- PCI Express Gen3のレシーバ・テスト
- PCI Express Gen3のインターコネクト・テスト

PCI Express Gen3.0 規格動向

Estimated Date
Released Date



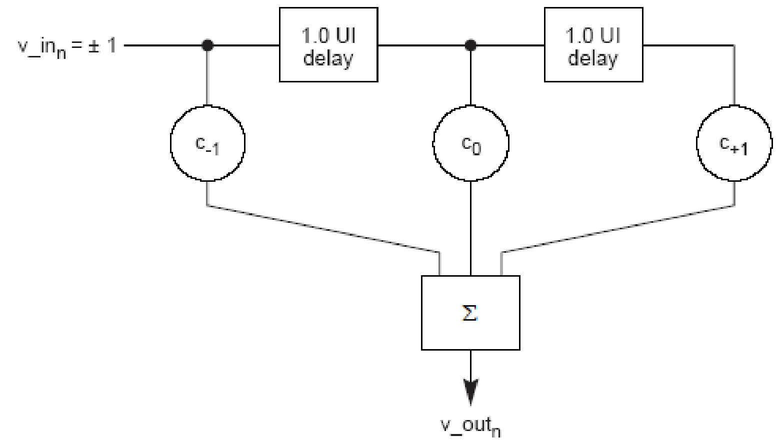
テクトロニクスは PCIe EWG, CEM, and SEG Working Groupsで
規格策定、ワークショップに協力しています

PCI Express Gen3.0 の物理層の特徴
128b/130b符号化の採用

- Gen2 : 5GT/s からGen3 : 8GT/sへ60%高速化
- 128ビット(16バイト)ペイロードに対し、シンク・ヘッダ2ビット("10"、あるいは"01")を付加。ペイロード部分のみにスクランブルを適用。各レーンごとにスクランブラを備える
  - シンク・ヘッダ
    - "10":データ・ブロック
    - "01":オーダード・セット・ブロック
  - 23ビット・スクランブラ
    - スクランブラ多項式:$X^{23}+X^{21}+X^{16}+X^{8}+X^{5}+X^{2}+1$
    - EIOS(Electrical Idle Exit Ordered Set)により初期化
- スクランブルだけでデータ遷移密度を向上させる方法により、オーバーヘッドを低減。物理層の速度を2倍に上げなくても、実質的に2倍のデータ転送レートが可能に
  - 消費電力の抑制
  - コスト・アップにつながる基板への低損失素材やバック・ドリル・ビア、ブラインド・ビアなどの採用が不要

PCI Express Gen3.0 の物理層の特徴
Txイコライザ – プリセット採用

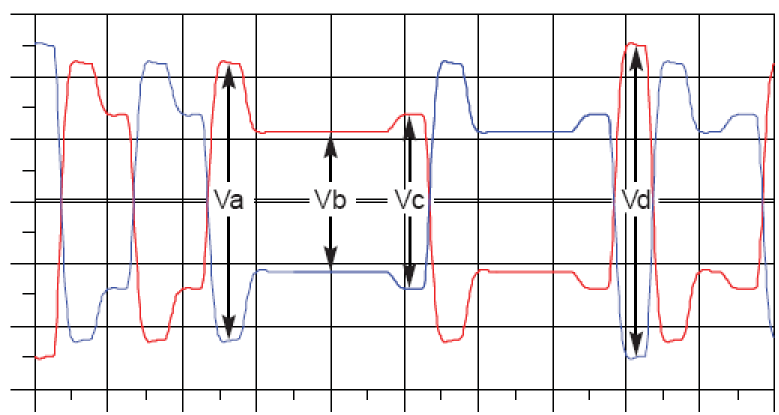
- ディエンファシスのみならずプリシュートも適用（3タップFIR）
  - 11通りのプリセット値（P0からP10）を使用
  - リンク・アップ時に最適な設定を選択



$$v\_out_n = v\_in_{n-1}c_{n-1} + v\_in_n c_n + v\_in_{n+1}c_{n+1}$$

$$|c_{-1}| + |c_0| + |c_{+1}| = 1 \qquad c_{+1} \le 0 \qquad c_{-1} \le 0$$

Preset Number	Preshoot (dB)	De-emphasis (dB)
P4	0.0	0.0
P1	0.0	-3.5 ± 1 dB
P0	0.0	-6.0 ± 1.5 dB
P9	3.5 ± 1 dB	0.0
P8	3.5 ± 1 dB	-3.5 ± 1 dB
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB
P5	1.9 ± 1 dB	0.0
P6	2.5 ± 1 dB	0.0
P3	0.0	-2.5 ± 1 dB
P2	0.0	-4.4 ± 1.5 dB
P10	0.0	See Note 2.



De-emphasis = $20\log_{10}$ Vb/Va
Preshoot = $20\log_{10}$ Vc/Vb
Boost = $20\log_{10}$ Vd/Vb

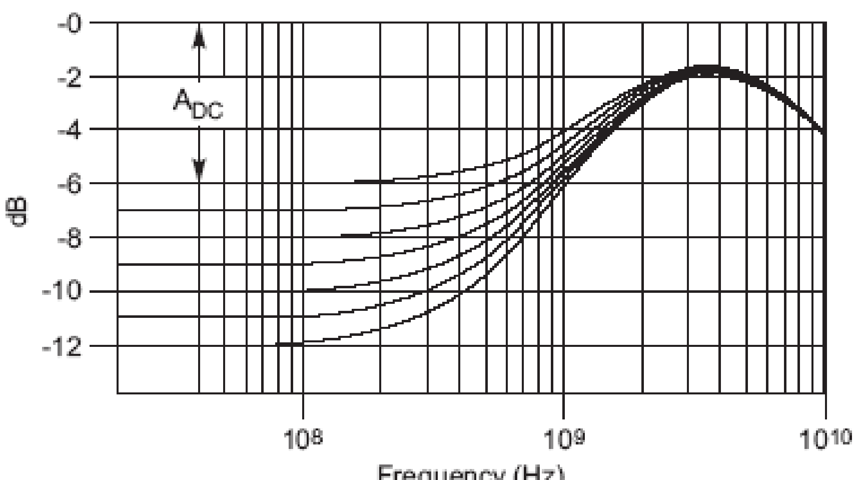
PCI Express Gen3.0 の物理層の特徴
Rxイコライザ – CTLE+DFE採用

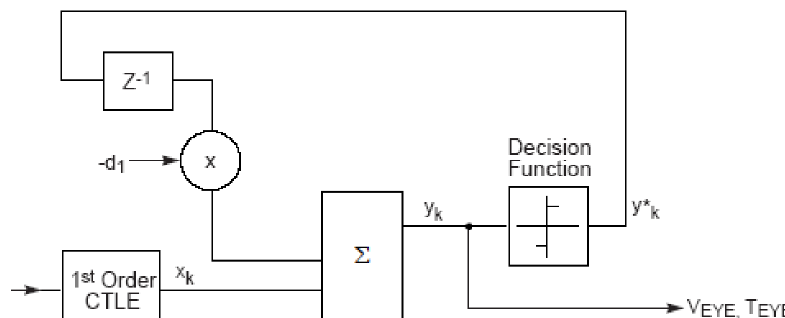
- CTLE
  - DCゲイン：-6～-12dB、1dBステップ
  - 極周波数：2GHz、8GHz（2極）
  - ピークでも約-2dB
    - レシーバの感度改善というよりは、ディエンファシスでカバーできないチャンネル周波数特性の補正
      - 低周波成分の抑制のみ

$$H(s) = \omega_{P2} \frac{s + \omega_{P1} * A_{DC}}{(s + \omega_{P1}) * (s + \omega_{P2})}$$

ω_{P1} = pole 1 = $2\pi * 2$ GHz
ω_{P2} = pole 2 = $2\pi * 8$ GHz
A_{DC} = dc gain

- DFE（オプション）
  - 1タップ





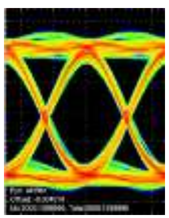
$y_k = x_k - d_1 sgn(y_{k-1})$
y_k = DFE summer differential output voltage.
y^*_k = decision function output voltage. $|y^*_k| = 1$
x_k = DFE differential input voltage
d_1 = feedback coefficient
k = sample index in UI

PCI Express Gen3.0　トランスミッタ・テスト

DSA70000Cシリーズ
デジタル・シリアル・アナライザ

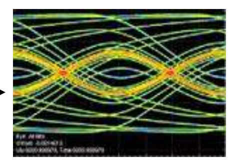
PCI Express Gen3 CEM specコンプライアンス・テスト

- CBB/CLBで取込んだデータに対し、遠端＋イコライザをシミュレーションしてのアイ、ジッタの評価
  - コンプライアンス・チャンネルを適用
  - イコライザを最適化
    - 最適なプリセットを使用（1プリセットさえパスすればOK)
    - 最適なプリセットをが既知でない場合、プリセットごとの評価が必要

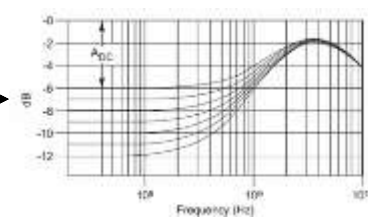


CBB・CLBからの
データの取得
（従来と同様）

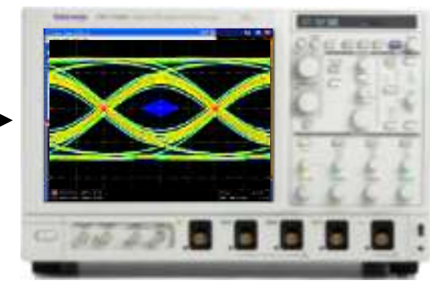
疑似コンプライアンス・
チャンネルの
特性を
印加
（エンベッド）



コンプライアンス・
チャンネルにより
損失を受け、
閉じたアイ



CTLE、DFEの適用

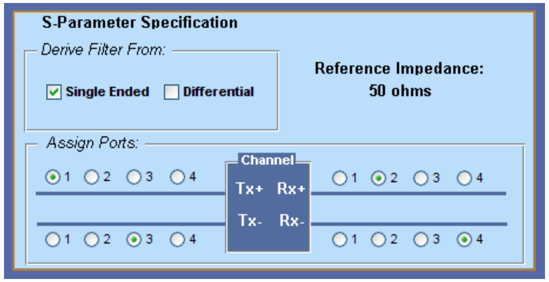


開いたアイの観測

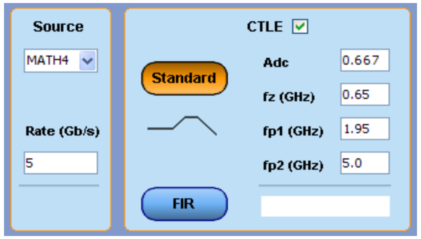
イコライザとチャンネル・エミュレーションのソリューション：SDLAシリアル・データ・リンク解析ソフトウェア

- 高速シリアル信号テストのための波形処理ツール
  - フィクスチャ・ディエンベディッド
  - チャンネル・エンベディッド
  - レシーバ・イコライゼーション（CTLE、FFE、DFE）
- Sパラメータ（TouchStone）をArbFilterに変換可能
  - *.S1p、*.S2p、*.S4p（差動、シングルエンド）
- 処理結果をプロットで確認可能
- DPOJETと連動して、アイ、ジッタなど自動テスト、判定可能
- PCI Express　Rev.3.0（8Gbps）トランスミッタ・テストでの測定の際のレシーバ・イコライザ最適化

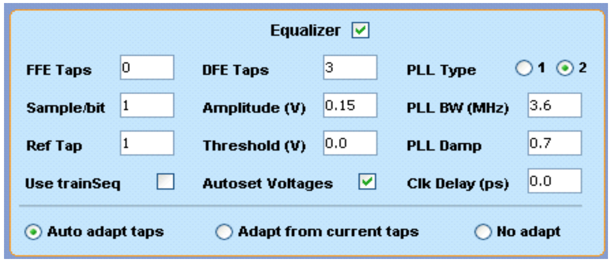
チャンネル
エンベディッド

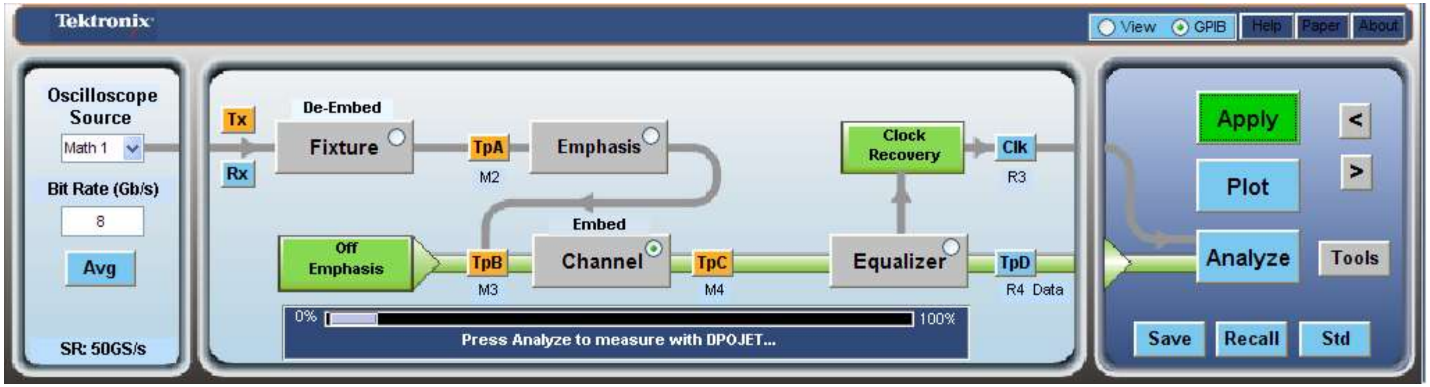


CTLE



DFE



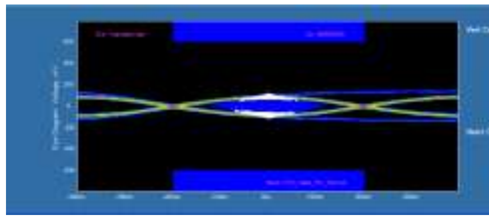


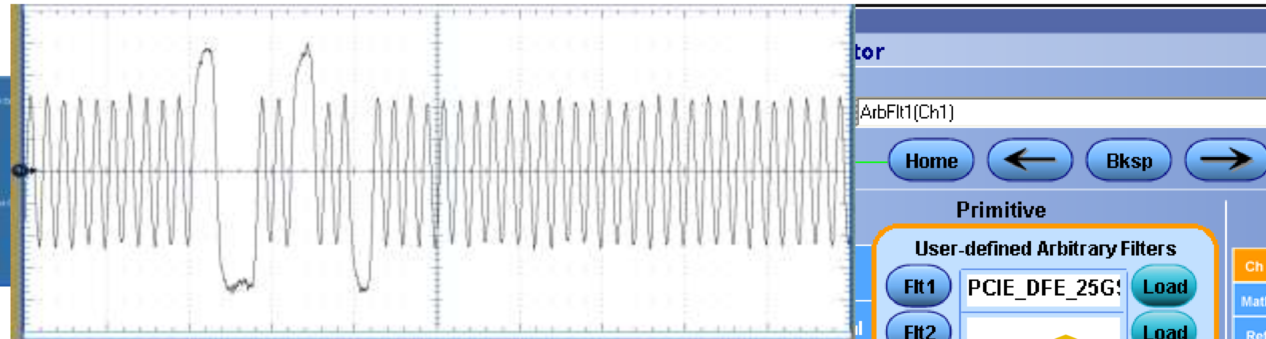
Tektronix

CTLE：ArbFilter

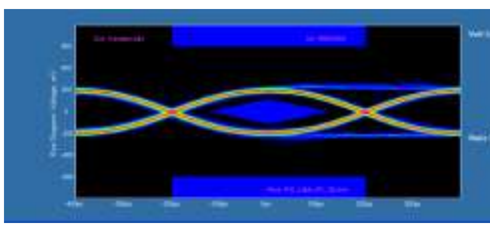
レシーバ・イコライザ、チャンネルをシミュレートしての信号観測が可能

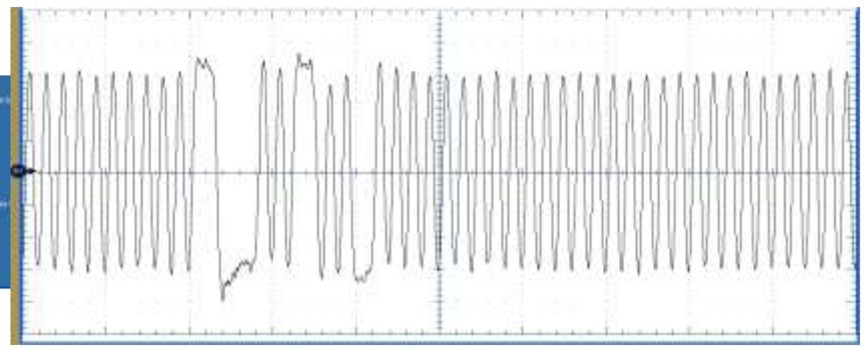
- 損失補正前

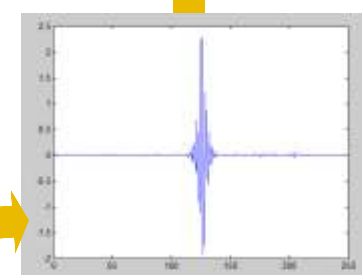


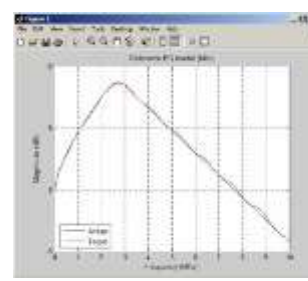


- 損失補正後





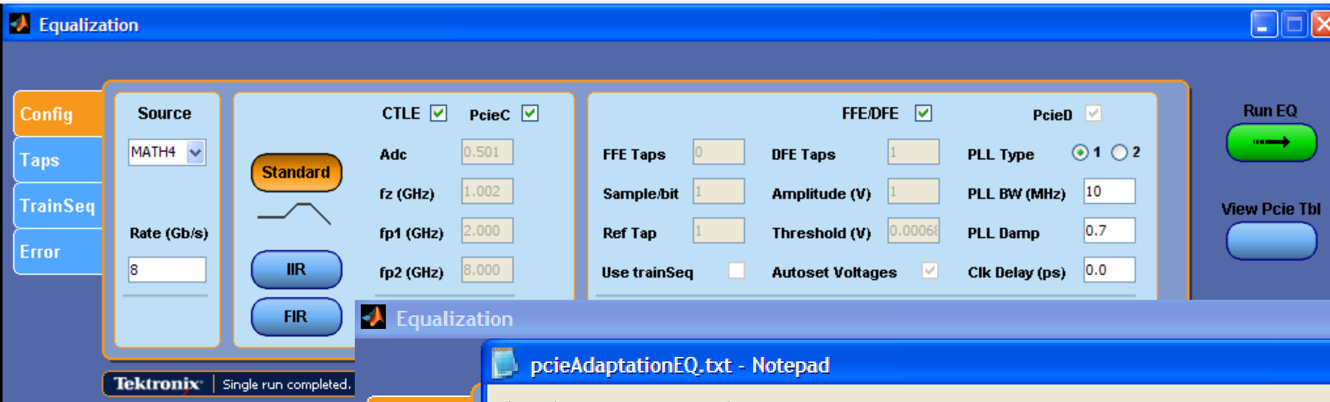




- アクイジション系へのDSPの組込み
  - フィルタのインパルス応答を定義
  - ユーザ定義可能：Sパラメータから変換可能（要SDLA）
- アプリケーション
  - レシーバ・イコライザ・シミュレーション
  - ケーブル、フィスチャ影響除去（伝送路損失補正）
  - プローブ・アクセサリ特性補正

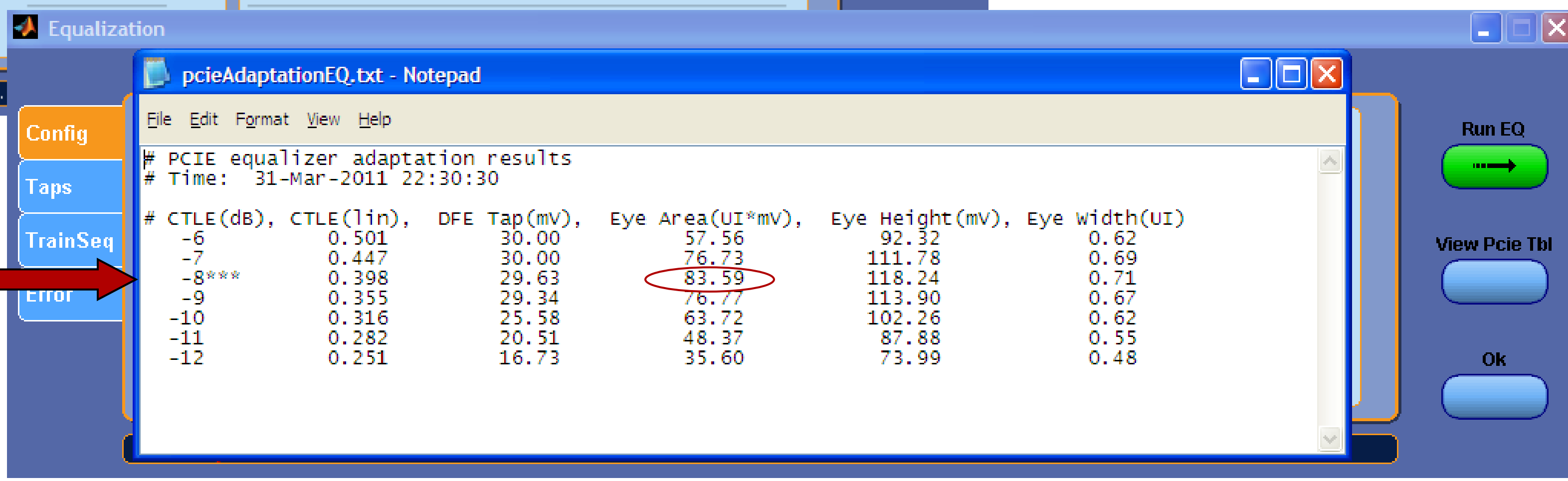
PCI Express Gen3 トランスミッタ・テストでのレシーバ・イコライザの最適化

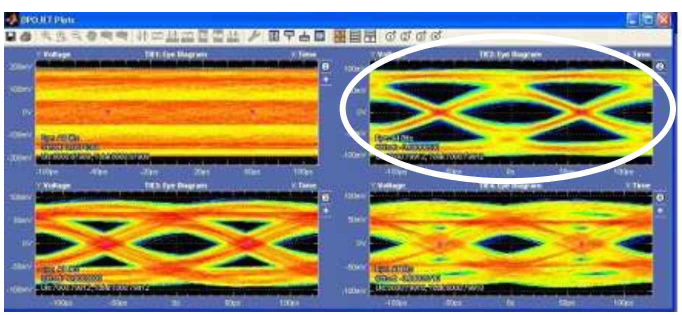
- SDLAにより、最適CTLE(アイ開口=EW*EH 最大)の自動選択、DFE適用



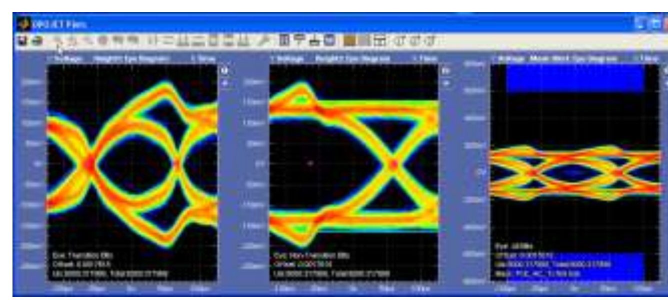
CTLE/DFE 設定

CTLE選択結果





最適CTLE選択

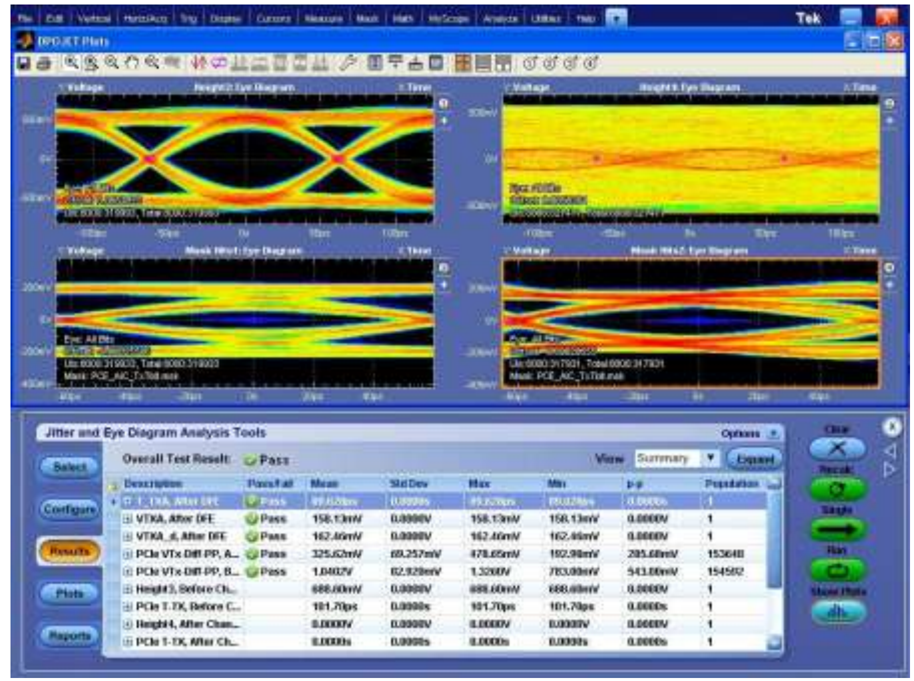


DFEの適用

Tektronix

DPOJET
ジッタ＆アイ・ダイアグラム解析ソフトウェア

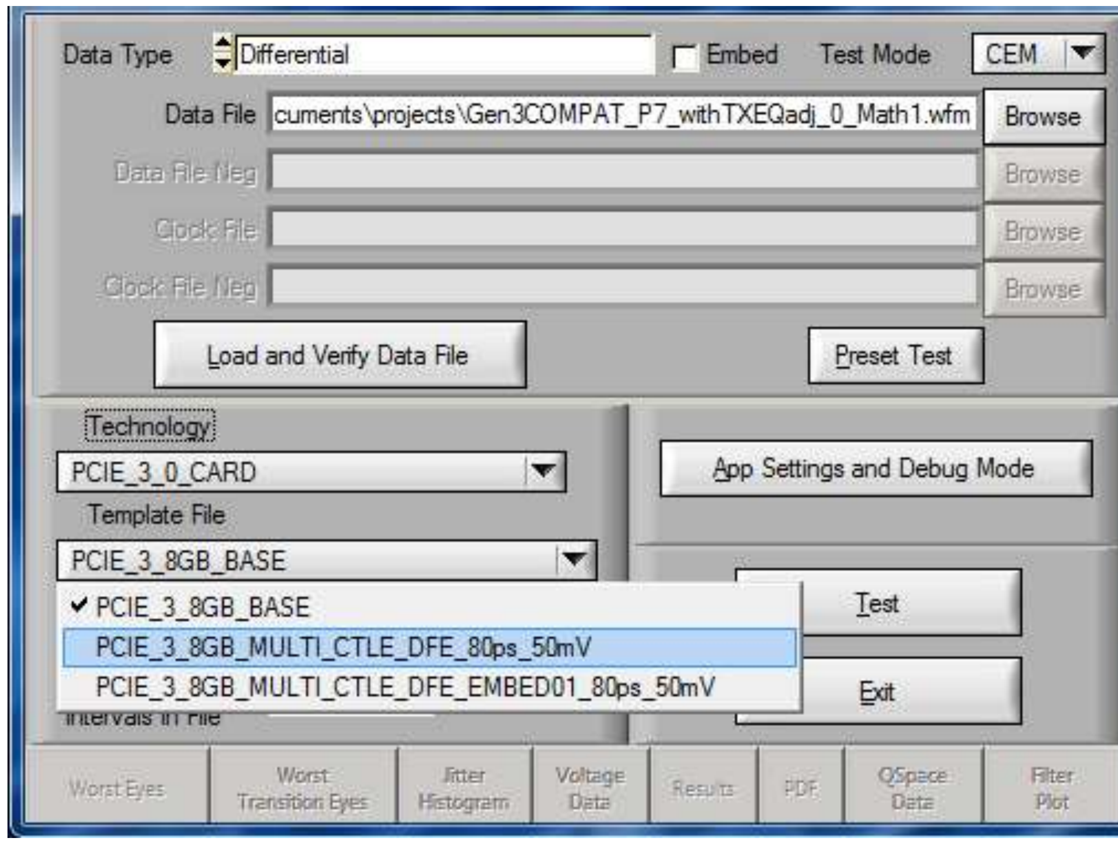
- DSO/DSA70000シリーズでのPCI Express、DisplayPortなどのコンプライアンス・テスト、デバッグ、バリデーションに
- 当社の標準コンプライアンス・テスト・ソフトウェア
- コンプライアンス・モジュール、セットアップ・ファイル、リミット・ファイルの提供で標準規格に対応
  - DisplayPort
  - PCI Express Gen1/2/3
  - USB3.0
  - MIPI
- SigTestとの使い分けは
  - プリテスト/解析・デバッグはDPOJETで
  - ワークショップでのフォーマット出力はSigTestで



Tektronix

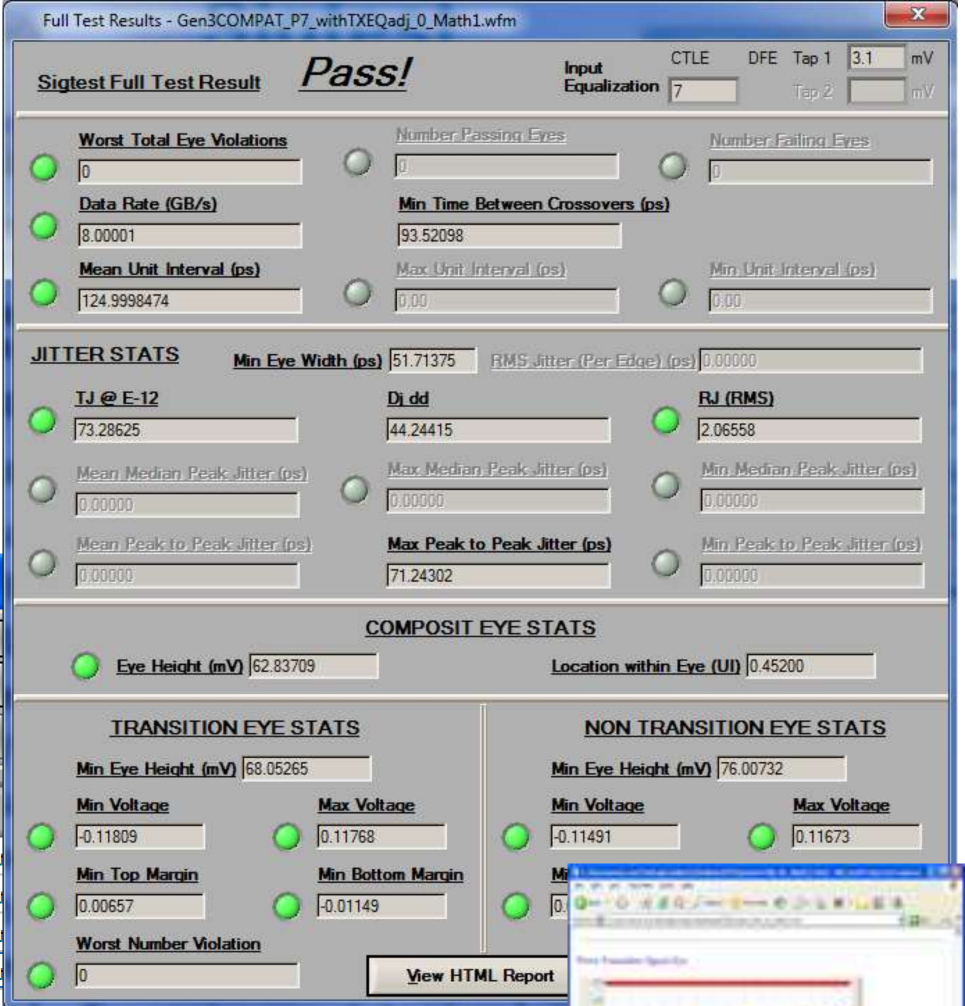
Sigtestによるコンプライアンス・テスト

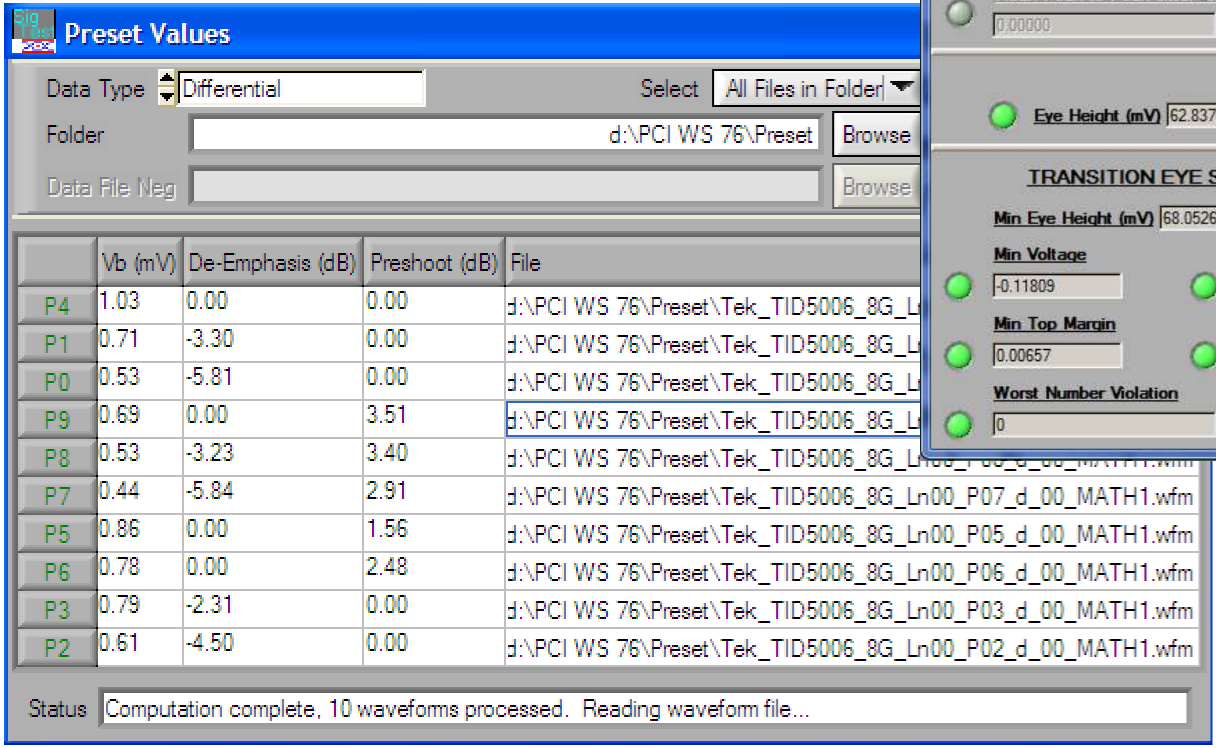
- Windowsベースの測定ツール
- Pass/Fail判定付の ジッタ / アイ振幅測定
- 各測定器ベンダ・サポート
  - 差動、シングルエンド波形を指定
- 測定機能
  - チャネル・エンベッディング
  - CTLE/DFE
  - プリセット測定
  - Rj/Dj分離
  - Dual Port 測定(System)

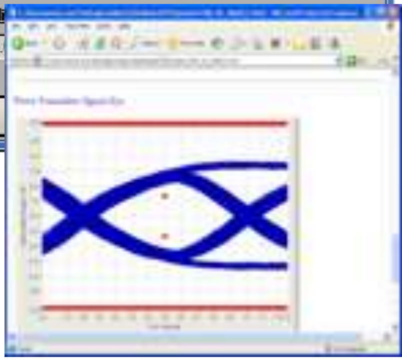


Tektronix

Sigtest測定結果例







ジッタ、アイ電圧測定

プリセット測定 – P0-P10のプリシュート/ディエンファシス測定

PCI Express Gen3用CLB/CBBテスト・フィクスチャ

変更点

- コンプライアンス・モート・トグルのためのRxへのパルス・バースト入力方法の変更
  - SMPケーブルで接続
  - 任意のRxレーンへ入力可能に
- クロック選択をジャンパからスイッチに変更
- RXテスト用の疑似チャンネル
  - CLB：パッケージ・トレース＋10cmトレース
  - CBB：メイン・ボード：10cmトレース。ライザ・ボード：パッケージ・トレース＋25cmトレース

CLB

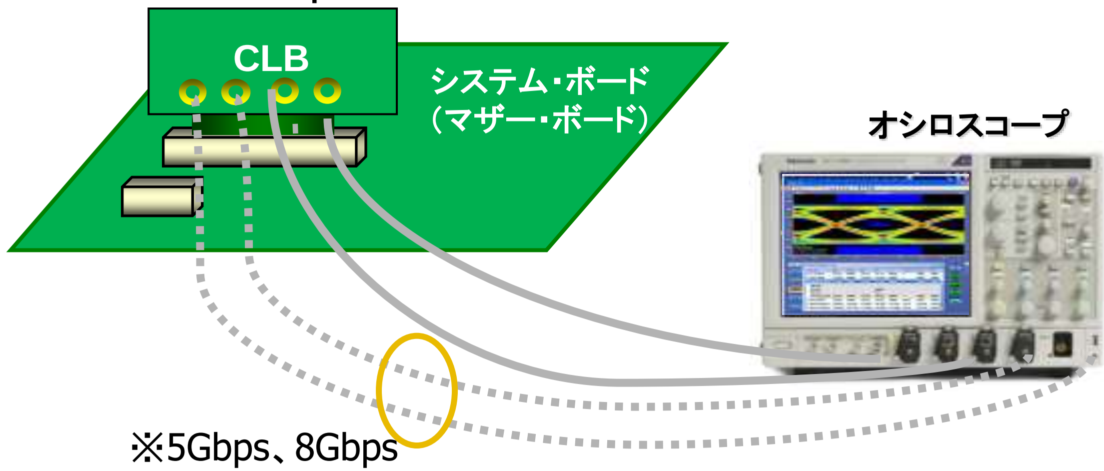
CBBライザボード

CBBメインボード

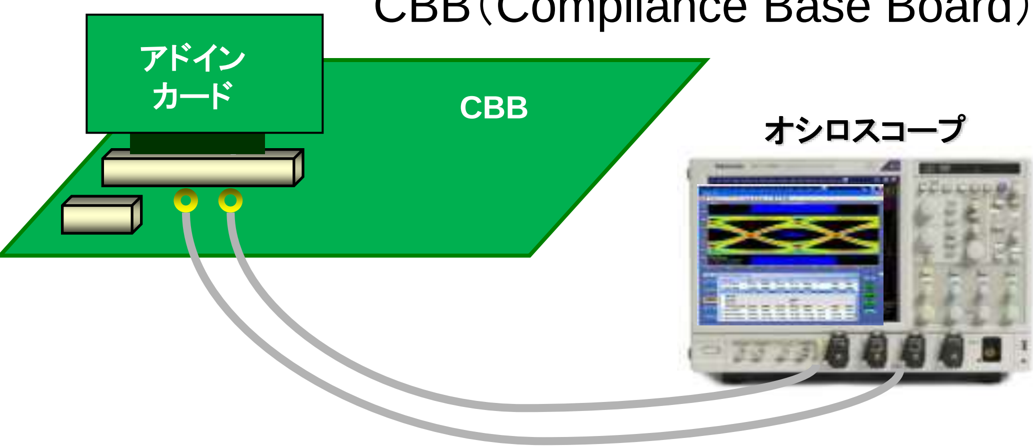
CBB

テスト・フィクスチャ使用形態

CLB（Compliance Load Board）

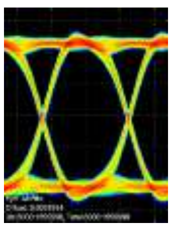


CBB（Compliance Base Board）



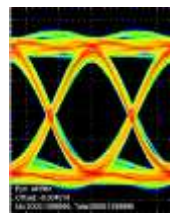
PCI Express Gen3 Base Spec
Tx 測定

- Base SpecはTxピンで規定
- ディ・エンベディィングはTxピンでの測定のため必須
  - テクトロニクス　PCIe 3.0 De-embed MOI
  - Sパラメータをレプリカ・チャネルで測定し、SDLAでディエンベッド・フィルタ生成



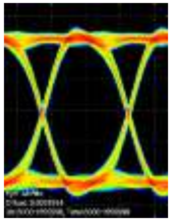
TX ピンでの波形

=

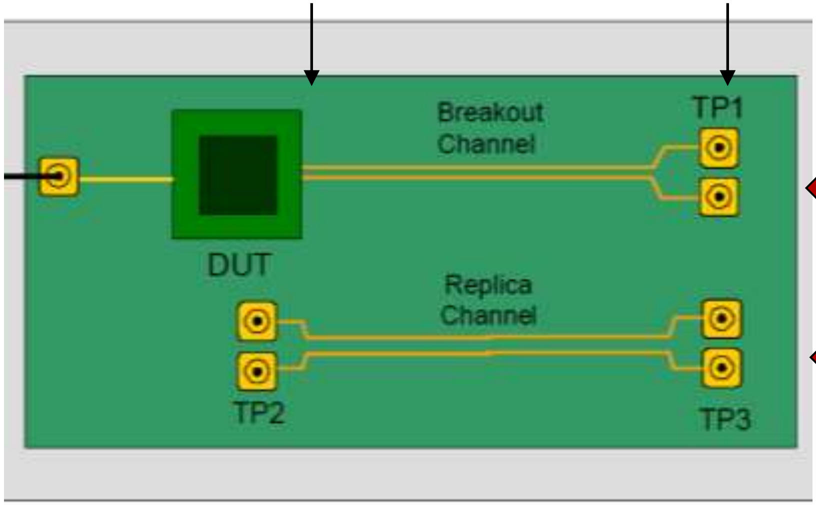


TP1での測定波形

Sパラメータの適用



チャネル・ロス
を補正



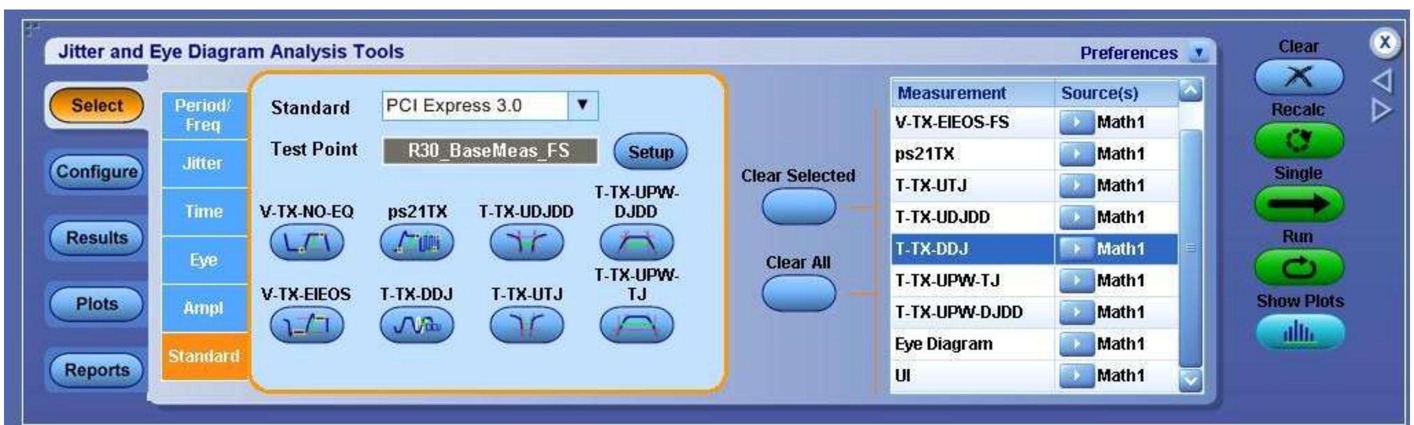
波形測定

Sパラメータ測定

PCI Express Gen3.0 Base Spec測定内容

- コンプライアンス・テストでないため、測定項目はCTS(CEM Specベース)で規定されていない
  - 全仕様の確認が必要
- 5Gbpsにない新しい項目　– **DPOJET op.PCE3でサポート**
  - TX Voltage with no TX Equalization
  - Minimum swing during EIEOS
  - Pseudo package loss
  - Data Dependent Jitter
  - TX **Uncorrelated** Deterministic Jitter
  - TX **Uncorrelated** Total Jitter
  - Deterministic DjDD **Uncorrelated** Pulse Width Jitter
  - Total **Uncorrelated** Pulse Width Jitter

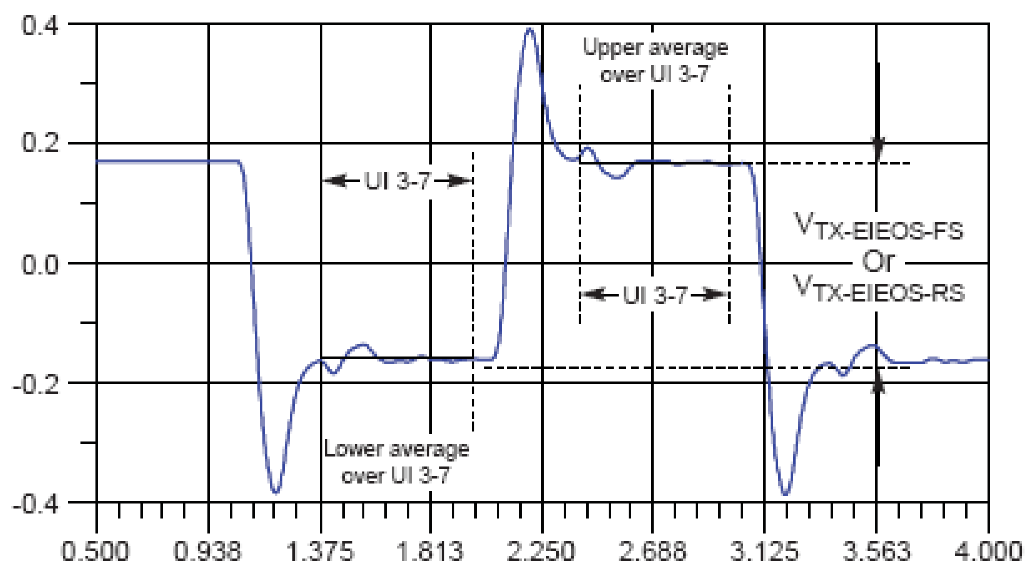
Correlated ジッタ(DDJ/ISI)はイコライザにより対策可能
Uncorrelated ジッタ(Pj/Rj/クロストークジッタ=BUJ)の測定、低減が重要



Tx電圧測定
VTX-EIEOS-FS / VTX-EIEOS-RS

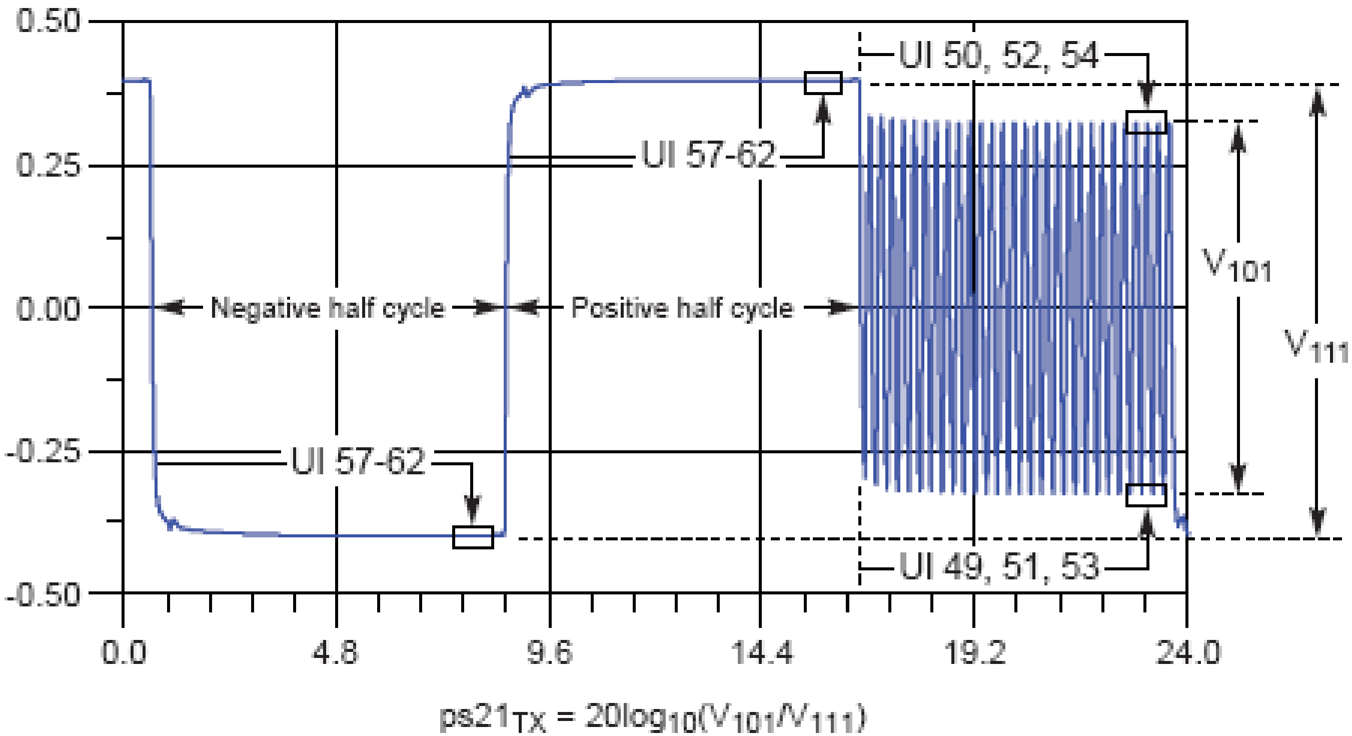
- Electrical Idle Exit Ordered Setの電圧振幅
- RxがElectrical IdleからのExitを正しく検出できるかの確認
- コンプライアンス・パターン中の0が8bit、1が8bitt連続する波形で測定
  - 安定している中央の5bitで測定I
- VTX-EIEOS-FS - Full Swing Signaling
  - Preset 10で測定
- VTX-EIEOS-RS – Reduced Swing Signaling
  - Preset 1で測定

$V_{TX-EIEOS-FS}$	Min swing during EIEOS for full swing	250 (min)	mVPP
$V_{TX-EIEOS-RS}$	Min swing during EIEOS for reduced swing	232 (min)	mVPP



Package Loss 測定
PS21

- TP1でのパッケージ・ロスとドライブ特性の測定
  - 0101パターン測定での高周波損失を補正するためにディエンベッドが必要
- 64bit 1/64bit 0パターンと1010パターンとのピーク電圧振幅の比較



(Correlated) Data Dependent jitter

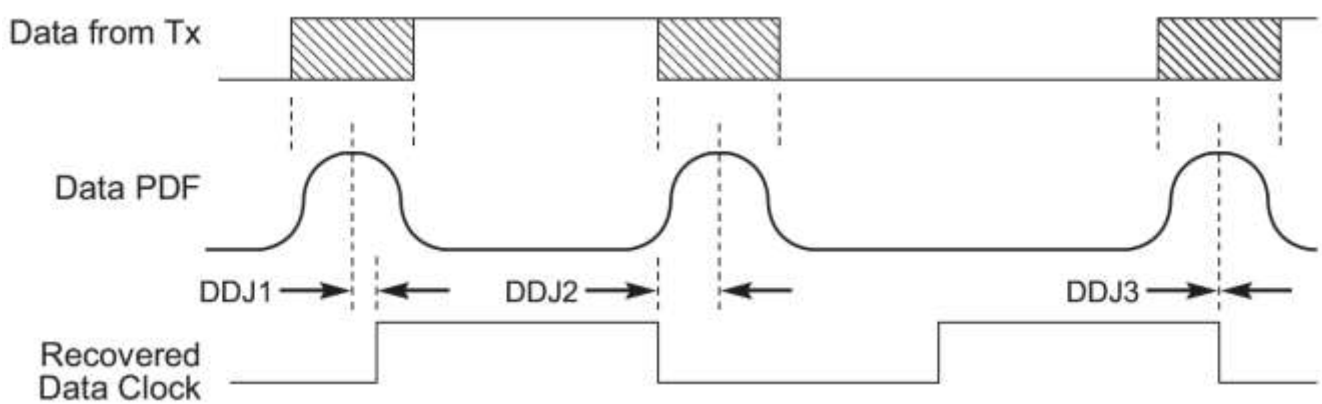
TTX-DDJ

DDJ 測定方法

- ハイ・パス・フィルタと等価の同じ1次オーダCDRを用いてコンプライアンス・パターンを繰り返し測定
- それぞれのコンプライアンス・パターンのエッジに対してPDF(Probability Density Function)を作成
- DDJはそれぞれのPDFとリカバリ・クロック・エッジとの差として計算

|DDJ(max) – DDJ(min)|

$T_{TX\text{-}DDJ}$	Data dependent jitter	18 (max)	ps PP



Uncorrelated Total and Deterministic jitter

TTX-UTJ / TTX-UDJDD

- DDJは各エッジのPDFから取り除かれる
- Q-Scaleへ変換
- Uncorrelated Deterministic Jitter Dual Dirac (UDJDD)
  - PJ(Periodic Jitter)とクロストークについてPDFから Q-Scaleへ変換
- RJ(Random Jitter)はUTJ(Uncorrelated Total Jitter)とUDJDD の差

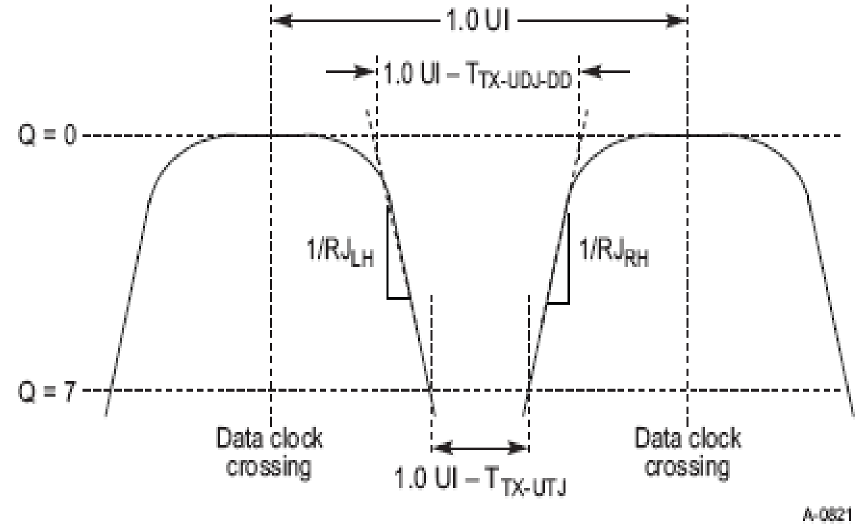


Figure 4-53: Derivation of T_{TX-UTJ} and $T_{TX-UDJDD}$

T_{TX-UTJ}	Tx uncorrelated total jitter	31.25 (max)	ps PP @ 10^{-12}
$T_{TX-UDJDD}$	Tx uncorrelated deterministic jitter	12 (max)	ps PP

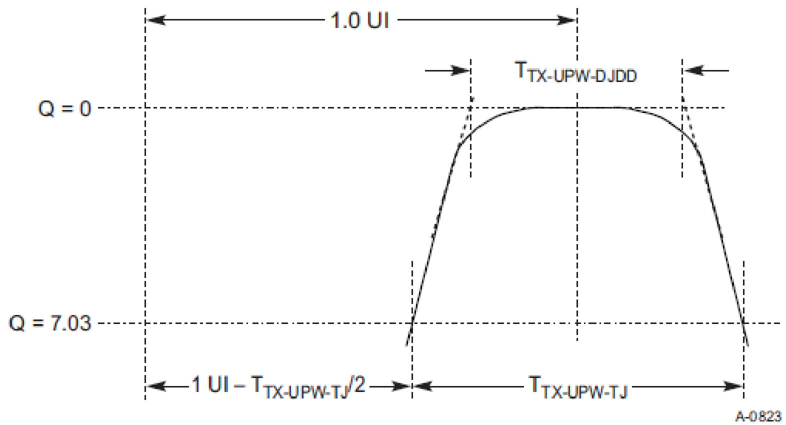
Tektronix

Uncorrelated Total and Deterministic PWJ

TTX-UPW-TJ / TTX-UPW-DJDD

- PWJ(Pulse Width Jitter)
  - チャネルロスの影響を受けやすく、ビット・エラーの原因となりやすいLone Bit(孤立ビット)を使用
- PWJを正確に定量化するためDDJとの差分をとる
- Q-scale PDF特性グラフから、Uncorrelated Pulse Width JitterとしてBER = 10^{-12} (Q= 7.03)における値を補外法により計算 (F/2 or Odd/Even Jitterが含む)

  Deterministic Pulse Width Jitterも同様
- 最終的な測定結果はPDFカーブの左側の特性により計算



$T_{TX-UPW-TJ}$	Total uncorrelated PWJ	24 (max)	ps PP @ 10^{-12}
$T_{TX-UPW-DJDD}$	Deterministic DjDD uncorrelated PWJ	10 (max)	ps PP

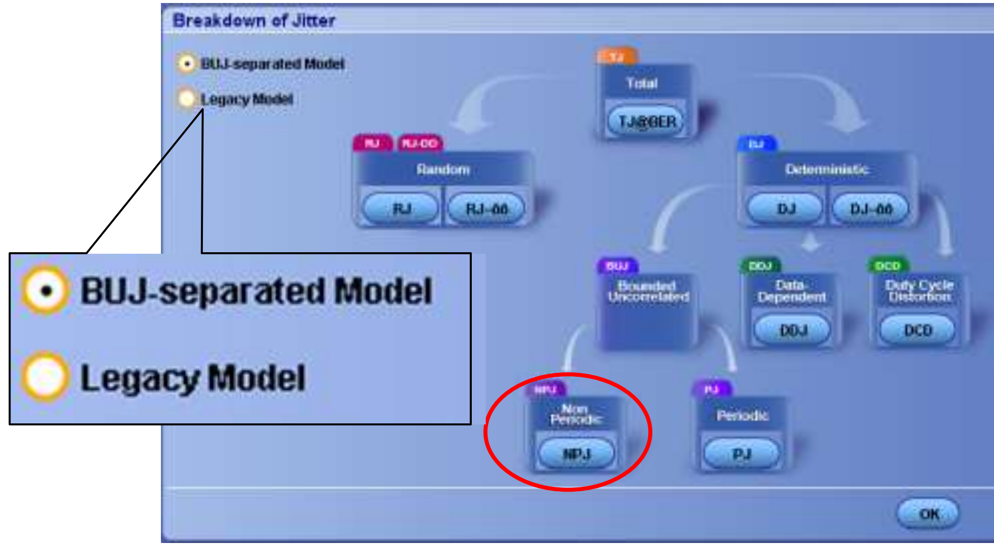
必要な機材(PCI Express Gen3: 8 Gbps)
コンプライアンス・テスト(信号品質)、物理層測定

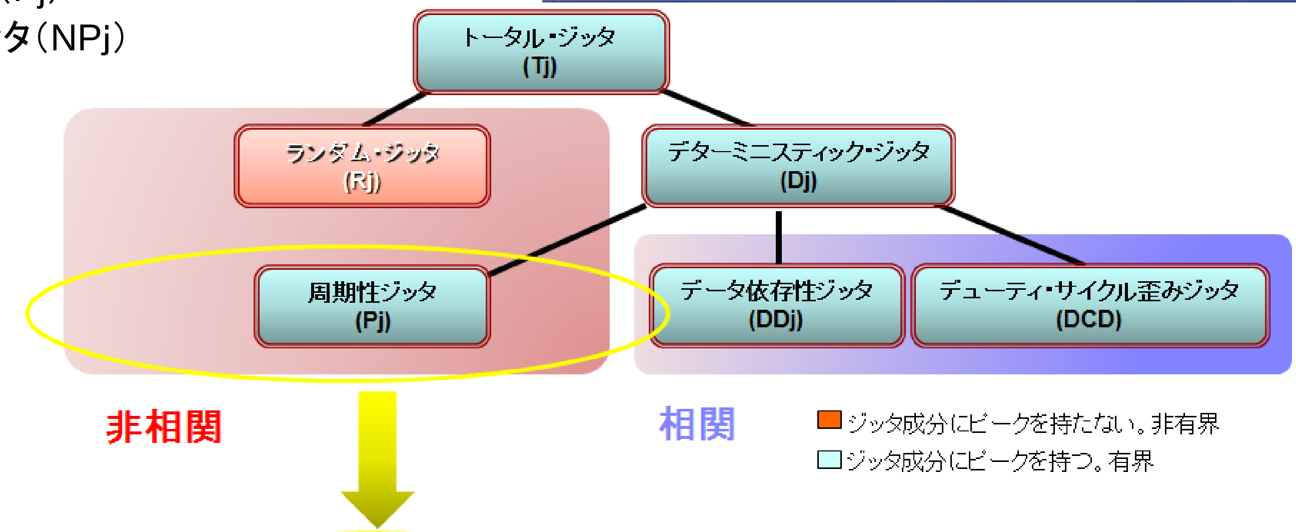
- デジタル・オシロスコープ:12GHz帯域、40GS/s以上。下記いずれかの機種
  - 推奨は16GHz
    - DSA73304D型　33GHz100GS/sデジタル・シリアル・アナライザ
    - DSA72504D型　25GHz100GS/sデジタル・シリアル・アナライザ
    - DSA72004C型　20GHz50GS/sデジタル・シリアル・アナライザ
    - DSA71604C型　16GHz50GS/sデジタル・シリアル・アナライザ
    - DSA71254C型　12.5GHz50GS/sデジタル・シリアル・アナライザ
- ケーブル(CLB3/CBB3)
  - SMAケーブル
    - SMA-SMP変換アダプタ
  - SMA-SMPケーブル
- コンプライアンス・テスト・ソフトウェア
  - 新SIGTEST
  - 新Clock Jitter Tool
    - SIGのWebよりダウンロード予定
  - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
  - opt.PCE3　PCI Expressモジュール
- シリアル・データ・リンク解析ソフトウェア
  - Opt.SLA SDLAシリアル・データ・リンク解析ソフトウェア

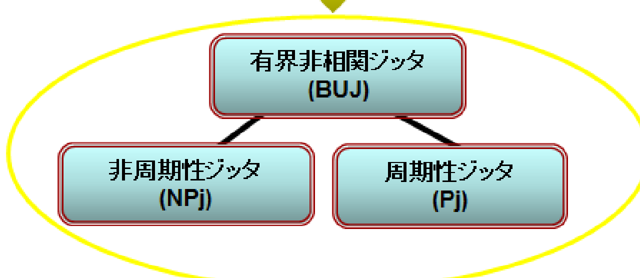
※1. DSAシリーズには標準付属

参考
DPOJETによるBUJの測定

- SAS-12Gbpsなど10Gbps以上の規格必須な測定
- クロストークの影響によるジッタ
  - BUJ：Bounded Uncorrelated Jitter（有界非相関ジッタ）
    - 周期性ジッタ（Pj）
    - 非周期性ジッタ（NPj）

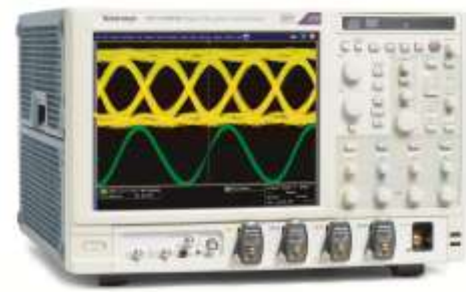






- Pj：従来同様にジッタ周波数スペクトラム分布上にピークを持つジッタ
- NPj：クロストークが原因。スペクトラム分布上にピークがない。分布はガウス曲線に類似、そのためRjと誤認識される

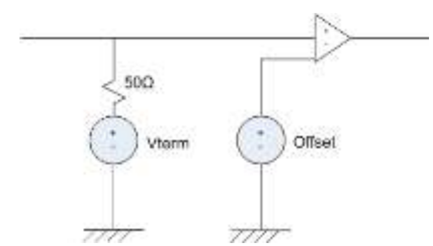
DSA70000Dシリーズ
デジタル・シリアル・アナライザ



- 「最高の波形特性」と「強力な解析能力」

型名	DSA7334D型	DSA72504D型
最高周波数帯域 2ch（RT）、4ch（ET、アンダー・サンプリング）	33GHz	25GHz
4ch（RT）	23GHz	
立上り時間（20%-80%）	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大レコード長	250Mポイント@4チャンネル	
垂直軸ノイズ （フルスケールに対するp-p）	0.58%	
フラットネス	±0.5dB（最高周波数帯域の半分までで）	
ジッタ・ノイズ・フロア(rms)	250fs	
デルタ時間測定確度(rms)	347fs	330fs
垂直軸感度	6.25mV/div～120mV/div （62.5mV～1.2Vフルスケール	
オフセット・レンジ 終端電圧レンジ	＋3.4～－3.4V	

IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現



終端電圧機能によりバイアスTee、DCブロックを併用することなく、DCバイアス回路を直結可能

DSA70000Cシリーズ
デジタル・シリアル・アナライザ

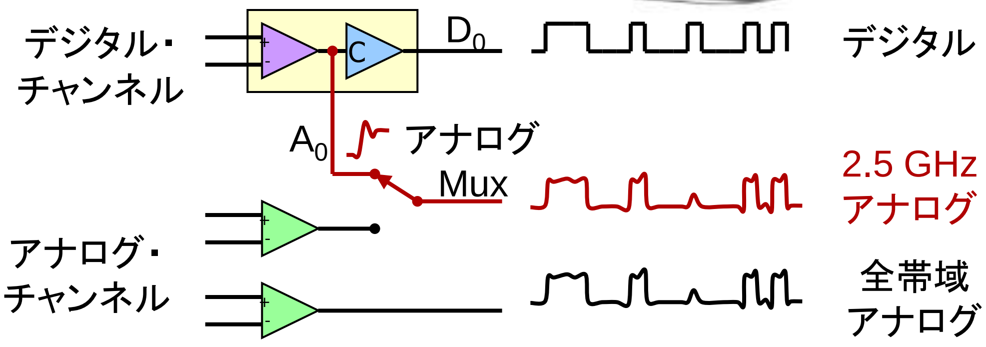
- 「最高の波形特性」と「強力な解析能力」

型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ（フルスケールに対するp-p）	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB（最高周波数帯域の半分までで）					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能（標準）	▪ サーチ＆マーク、コミュニケーション・マスク・テスト、ジッタ／アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ／プロトコル・デコード&サーチ					
主な機能（オプション）	▪ フレーム＆ビット・エラー・ディテクタ ▪ ビジュアル・トリガ ▪ I^2C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード＆トリガ ▪ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 ▪ 周波数帯域のアップグレード					
その他	▪ 毎秒30万波形取込みレート ▪ DSP特性補正、DSP帯域拡張（DSA72004C型） ▪ 周波数帯域選択機能、ArbFilter機能					

Tektronix

MSO70000Cシリーズ ― 業界唯一
高性能ミックスド・シグナル・オシロスコープ

- 業界唯一 ：MSO唯一のiCapture
  - *1回のプローブ接続でアナログとデジタルの信号の取込み*
- 任意のデジタル・チャンネルとアナログ・チャンネルをすばやく切り替え
  - *同時に観測可能*
- 汎用1GHzパッシブ・プローブと2.5GHzアクティブ差動プローブを用意



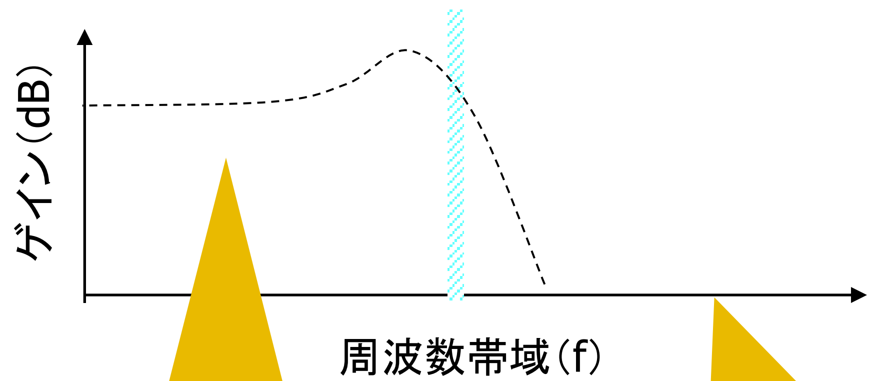
iCapture概念図

型名	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
アナログ・チャンネル	4					
デジタル・チャンネル	16					
サンプル・レート(アナログ)	50GS/s@4チャンネル、100GS/s@2チャンネル			25 GS/s@4チャンネル		
サンプル・レート(デジタル)	12.5 GS/s					
レコード長 *(全チャンネル)*	250 M ポイント			125 M ポイント		
バス・トリガ／デコード(オプション)	パラレル、I^{2}C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード＆トリガ					
iCapture®	○					
ロジック・クオリファイ・トリガ	○					
DSAパッケージ・オプション	DSAU			DSAH		

PLLループ帯域幅、ピーキング測定（アドイン・カード）

- アドイン・カードのトランスミッタはクリーン・クロックで測定
  - リファレンス・クロックの影響を含めない
- システムのリファレンス・クロックは別途測定し、ジッタを制御
- 残りはトランスミッタのPLLのジッタ伝達特性
  - ジッタを増加させるピーキングが3dB以内であること
  - 2.5Gbps:ループ帯域幅（-3dB）
    - ピーキング3dB以内：1.5-22MHz
  - 5Gbps:ループ帯域幅（-3dB）
    - ピーキング1dB以内：5-16MHz
    - ピーキング3dB以内：8-16MHz
  - 8Gbps：ループ帯域幅（-3dB）
    - ピーキング2dB以内：～4MHz
    - ピーキング1dB以内：～5MHz
- Rev.2.0よりコンプライアンス・テスト項目に
- 現在2種類の方法がSIGで承認
  - スペクトラム・アナライザ測定法
  - クロック・リカバリ法
- その他、弊社ではAWG任意波形ジェネレータを使用した方法も可能

ジッタ伝達関数
どこまでジッタを通すか

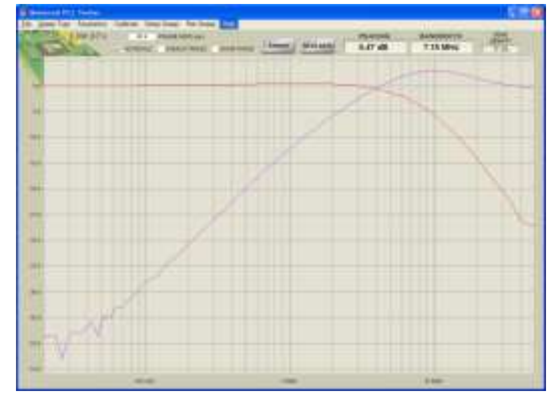


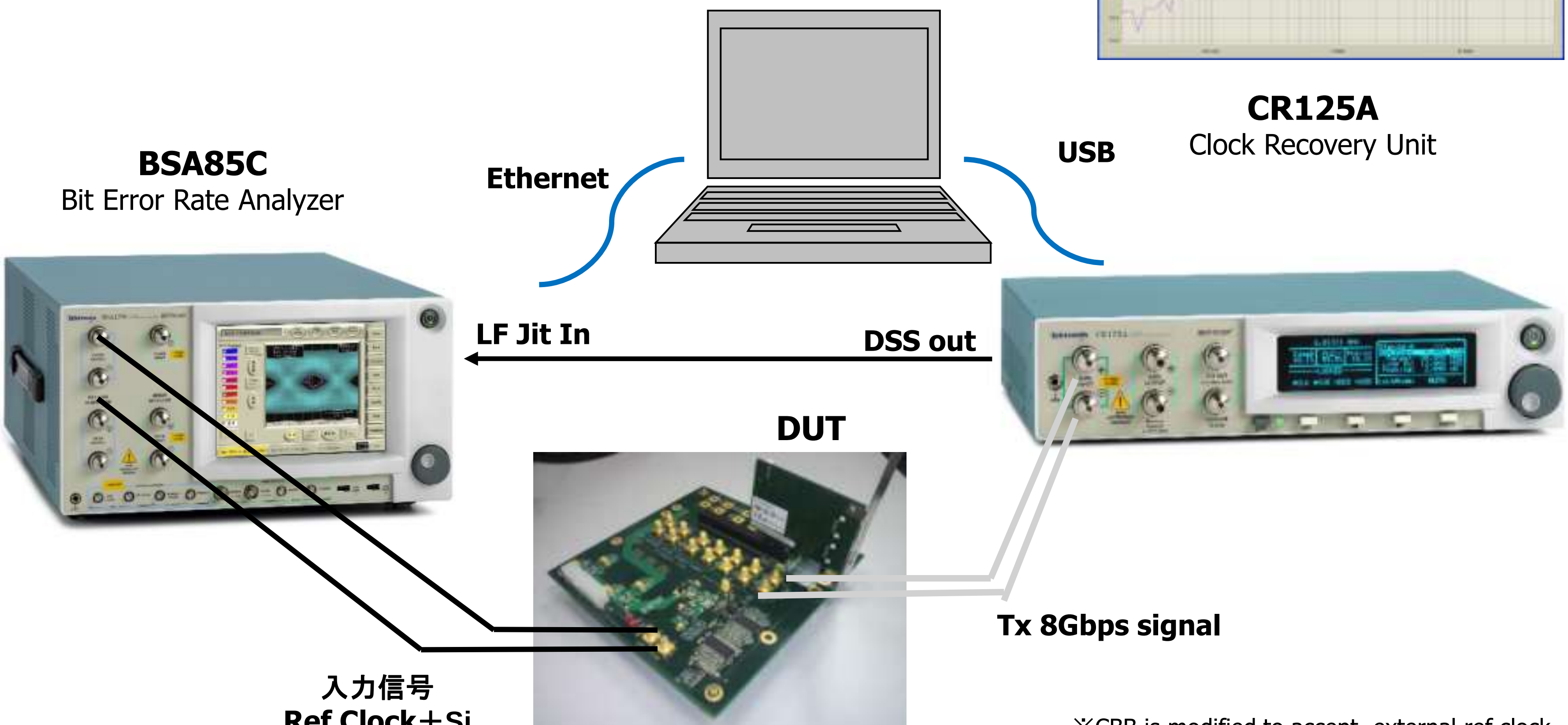
リファレンス・クロックの低周波ジッタに対してPLLは追従。その結果、リファレンス・クロックの低周波ジッタはそのままTx出力に重畳される形に

リファレンス・クロックの高周波ジッタに対してPLLは追従しない。その結果、リファレンス・クロックの高周波ジッタはTx出力に重畳されない

Universal PLL Tester
クロック・リカバリ法：BSA85C型 + CR125A型

- Tx PLLループ帯域幅テストの自動テスト
  - PCIe 2.5/5/8Gbps
  - 他のシリアル規格／PLL
    - 入出力の周波数／レート条件に柔軟に対応
  - 自動校正機能





※CBB is modified to accept external ref clock

PCI Express Gen3.0　レシーバ・テスト


New!

PCI Express 3.0 CEM Stressed Eye Calibration and Receiver Testing

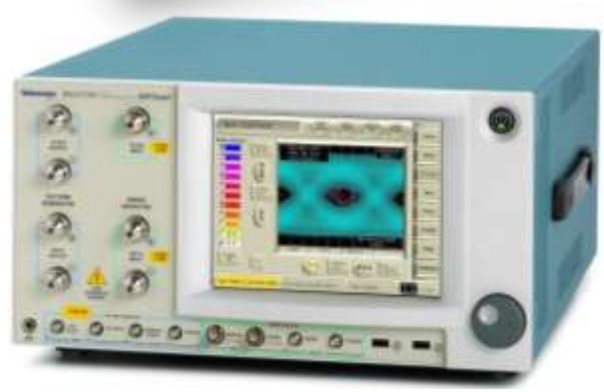
Methods of Implementation using Tektronix BERTScope BSA85C Analyzer, CR125A Clock Recovery, DPP125B De-Emphasis Processor, and Series 70000 Real-Time Oscilloscope

13 June 2011, Version 1.0

Tektronix Confidential

PCIe3 MOI

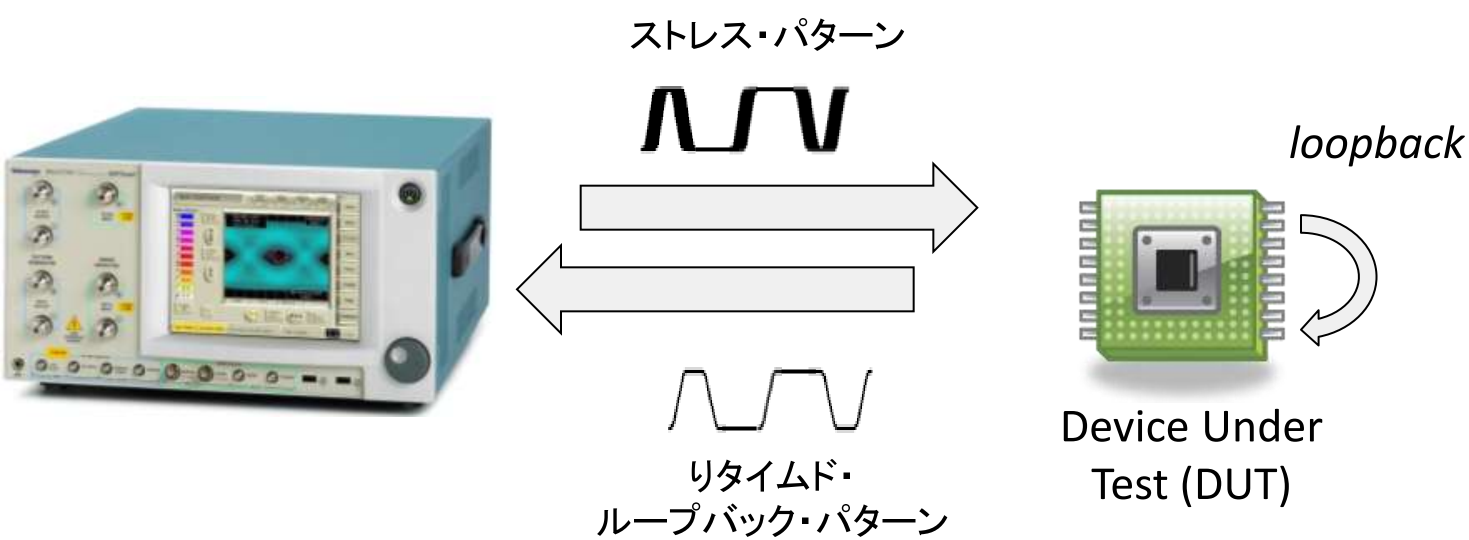
55W-27105-0



BSA Cシリーズ
ビット・エラー・レート・アナライザ

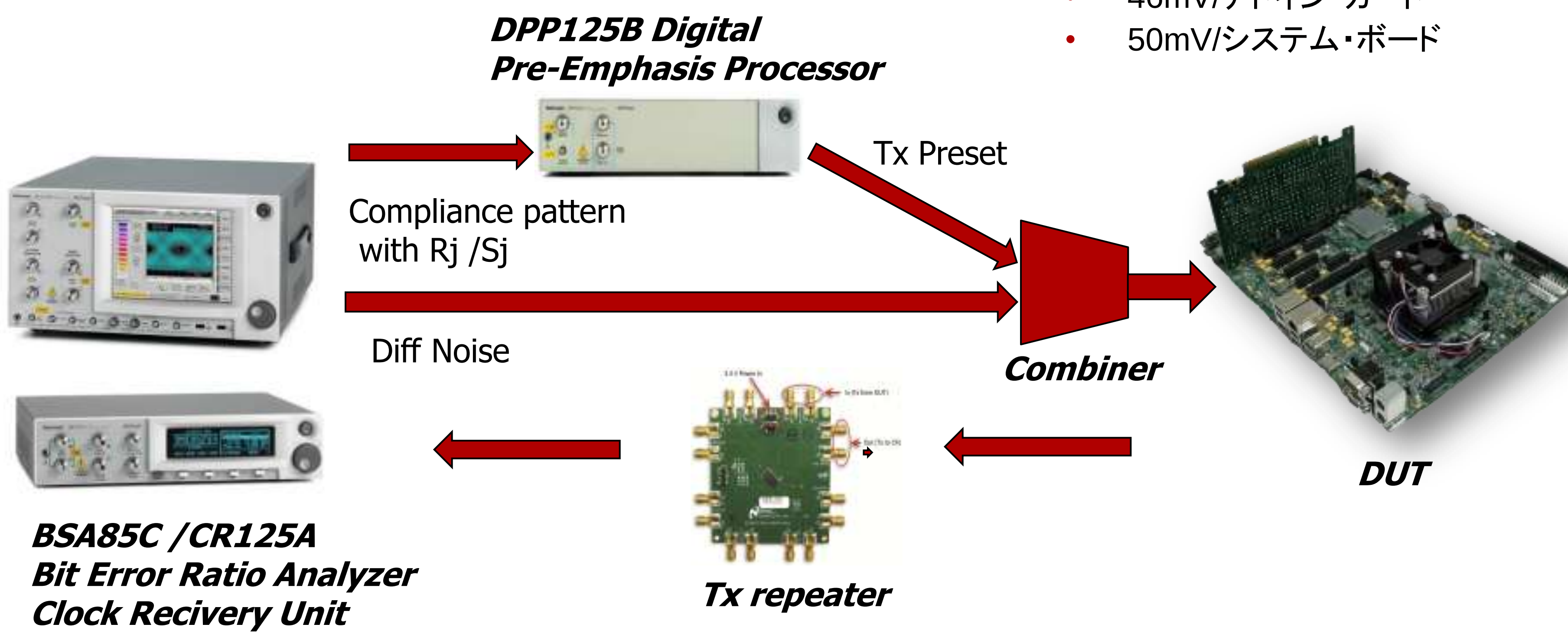
PCI Express Gen3 Rx テスト概要

- 高速化とチャネル損失により、システム・マージンは減少、Txテストのみでは相互接続性の検証には不十分
- Rx　テストは電圧振幅、ジッタ・ストレス含む必須のテスト
  - Tx Preset
  - チャネル損失　– テスト・フィクスチャ(CEM spec) 、Calibration channel (Base spec)
  - Rj/Sj
  - 差動、コモン・モード(Base specのみ)のインターフィアレンス印加は新規要求
- DUTをループバックに入れて、ストレスパターンをRxに入力、Txから出力されるパターンをエラーディテクタでBER測定　10E-12/信頼度95% =　6分15秒間エラーなし



PCI Express Gen3　CEM spec/コンプライアンス・テスト Rx　ジッタ・トレランス・テスト

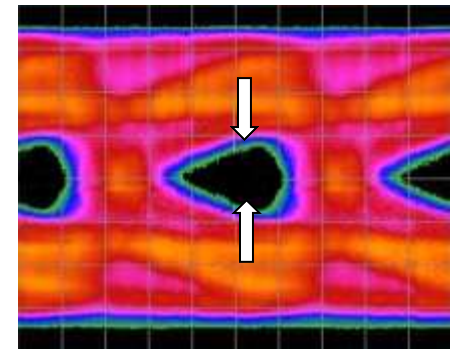
- CEMフォーム・ファクタのアドイン・カード、あるいは、システム・ボードのコンプライアンス・テスト
- テスト・フィクスチャ CLB3/CBB3のPCBトレースをレファレンス・チャネルとして使用
- 校正されたストレス条件
  - Tx　preset7（3.5dB preshoot/6dB deemphasis)
  - Rj　1.5ps
  - Sj　12.5ps@100MHz
  - Diff Noise　20mV@2.1GHz
  - Eye幅　Rjにより調整
    - 41.25ps/アドイン・カード
    - 45ps/システム・ボード
  - Eye高さ　DNにより調整
    - 46mV/アドイン・カード
    - 50mV/システム・ボード

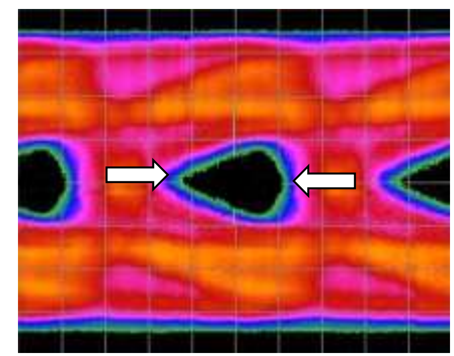


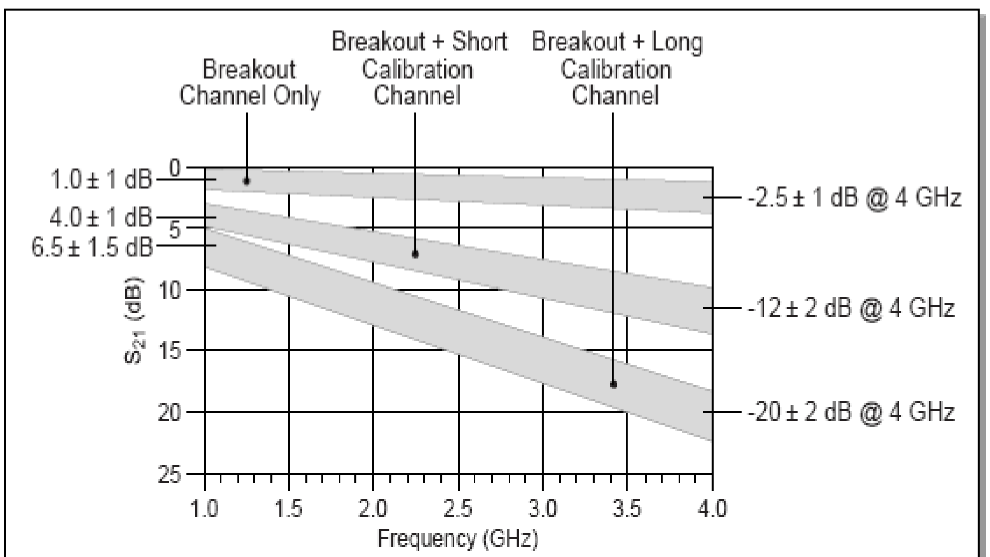
Tektronix

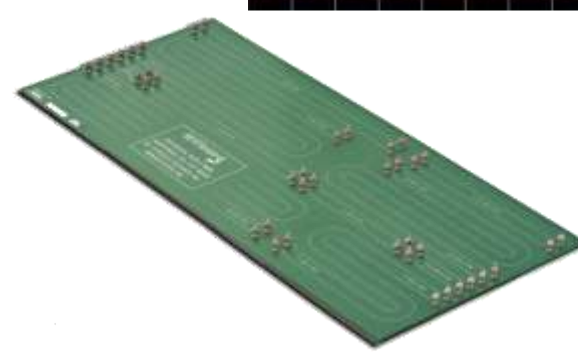
PCI Express Gen3　Base spec
Rx　Stress Voltage Eye / Stress Jitter Eye

- 2種類のテスト
  1. Stressed Voltage Eye
     - 最少のアイ高さでのテス
     - 3種類のCalibration channel
       (Long 20dB/ Medium 12dB/ Short 2.5dB @4GHz)
       Long はCTLE+DFE、MediumとShortはCTLE使用
     - Diff InterferenceでEye高さ(14mV)調整
  2. Stressed Jitter Eye
     - 最少のアイ幅でのテスト
     - Long Calibration channel使用
     - Eye高さは、PG振幅、Eye幅はRjで調整





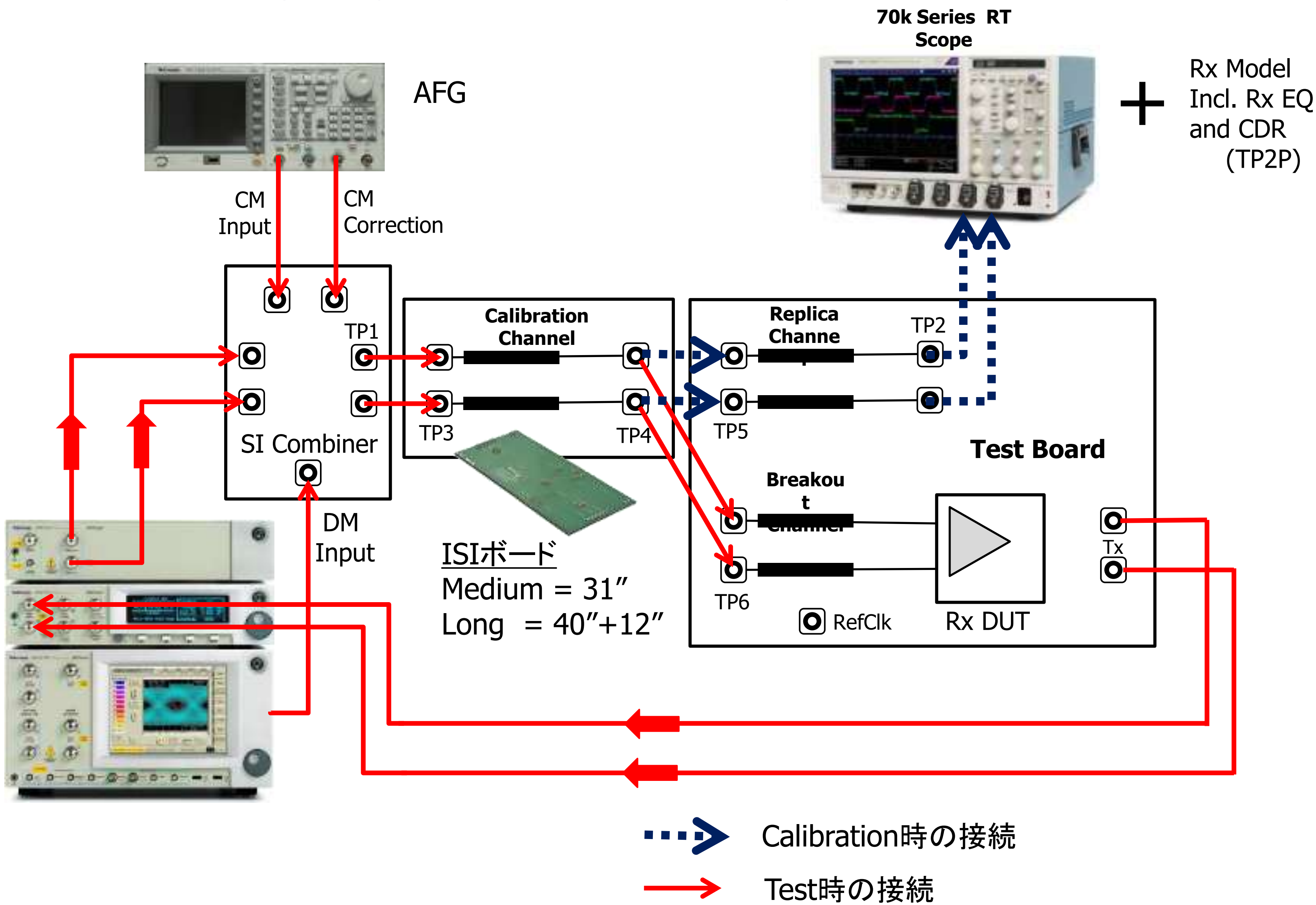




2.4″-40″までの9種類の差動トレース搭載の
ISIボードによりCalibration channel実現

Tektronix

PCI Express Gen3　Base spec
Rx　Stress Voltage Eye / Stress Jitter Eyeのシステム構成

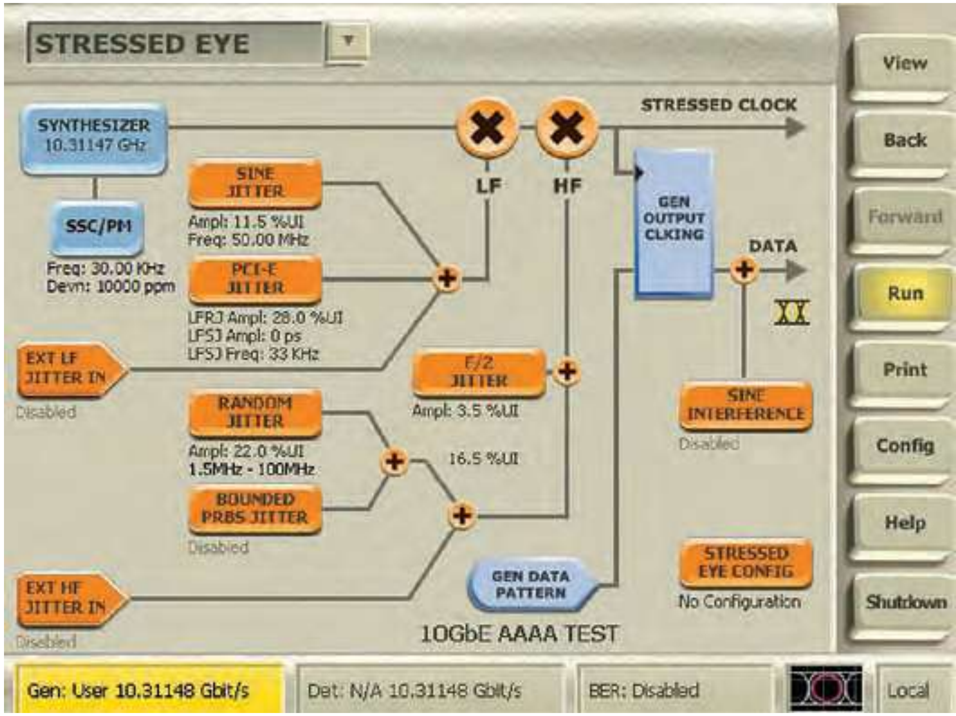


Tektronix

BSA Cシリーズ　ビット・エラー・レート・アナライザ
BSA CPGシリーズ　パターン・ジェネレータ

- 最高26Gbpsのパターン生成、高速BER／ジッタ測定、エラー解析が可能
  - 8.5Gbps、12.5Gbps、17.5Gbps、26Gbpsにパターン・ジェネレータ4機種、ビット・エラー・レート・アナライザ4機種
- ストレス生成機能※
- BERTScopeツールキット
  - 標準テスト・スイート
    - アイ・ダイアグラム、マスク・テスト：オシロスコープ・ライクなアイ・ダイアグラム解析
  - ジッタ・トレランス・コンプライアンス・テンプレート・テストとマージン・テスト※
  - 物理レイヤ・テスト・ソフトウェア・スイート※
    - ジッタ・ピーク、BER輪郭、Qファクタ解析
  - ジッタ分離（ジッタ・マップ）※
- 当社特許のError Location Analysis機能
  - エラー／データ相関など
- その他※
  - ストレス・ライブ・データ
  - エラー訂正符号化エミュレーション
  - シンボル・フィルタリング

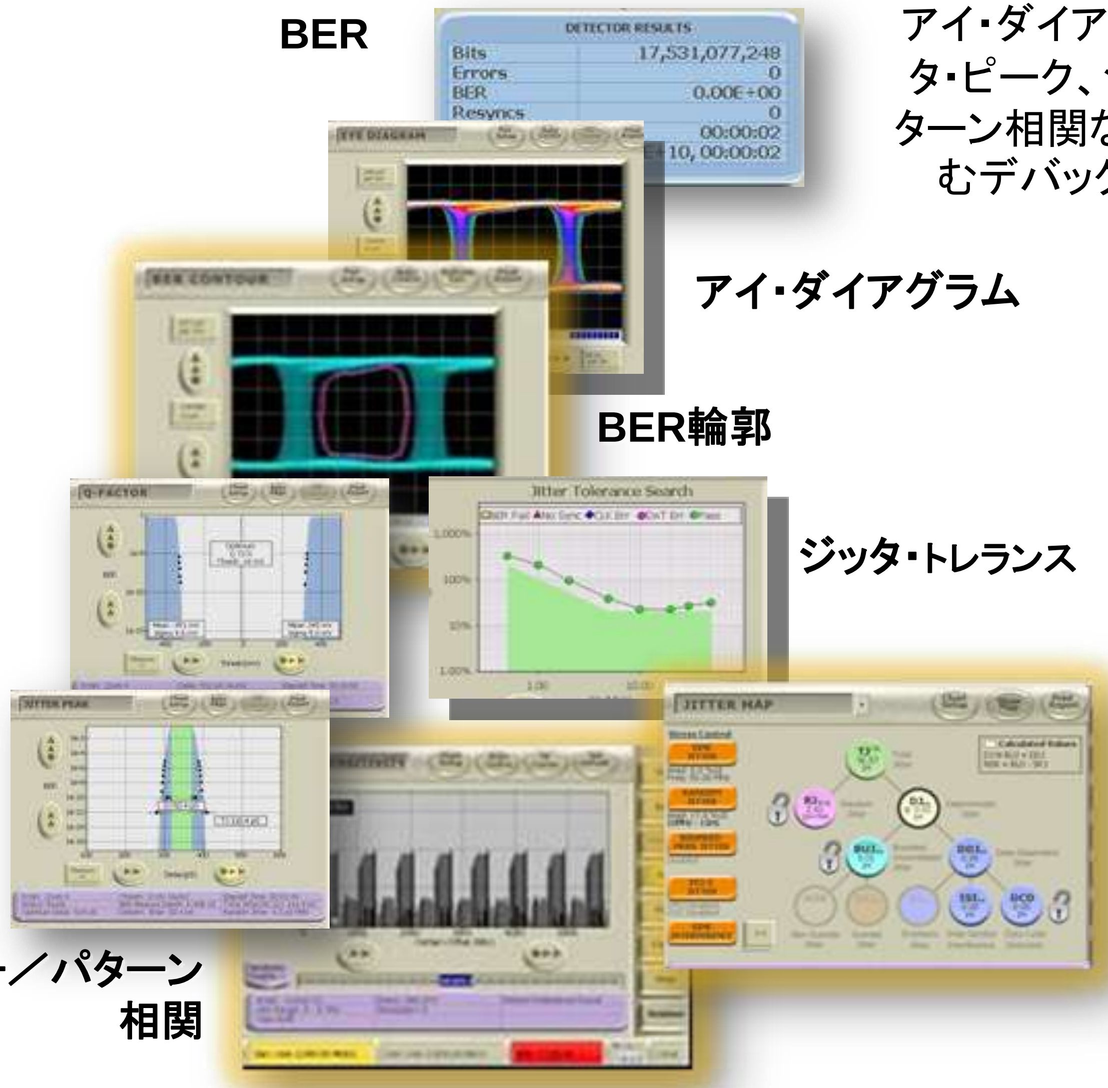
ストレス生成機能



- ハードウェア・ベースのジッタ信号生成（opt.STR）
  - リアルタイムでのジッタ生成と可変
- ジッタ要素
  - 周期性ジッタ
  - F/2ジッタ
  - 有界非相関ジッタ (BUJ)
  - ランダム・ジッタ
  - PCI Express Rev.2.0 Rx測定（オプション）
    - 低周波ランダム・ジッタ
    - 低周波周期性ジッタ
  - 外部ジッタ入力
- 正弦波干渉
  - 内部
  - 外部
- スペクトラム拡散クロック（SSC）

BERTScope解析ツール

アイ・ダイアグラム、BER輪郭、ジッタ・ピーク、ジッタ分離、エラー／パターン相関などテストからジッタに絡むデバッグまでを1台で容易に.



BER

アイ・ダイアグラム

BER輪郭

Qファクタ

ジッタ・トレランス

ジッタ・ピーク

ジッタ成分分離

エラー／パターン
相関

PCI Express Gen3　インターコネクト・テスト

DSA8300型デジタル・シグナル・アナライザ本体＋2チャンネル・サンプリング／TDRヘッド

PCI Express Gen3インターコネクト測定 (CEM 1.0 draft)

- 差動トレース・インピーダンス -　/ システム、アドインカード
  - 70-100ohm - Gen3 (68-105ohm - Gen2)
  - Test SpecではInformative
- 差動データ・トレース遅延時間 -　アドインカード
  - アドイン・カードのデータトレースのエッジからTx/Rxまでの遅延時間
  - 750ps以下
- Signal Integrity Requirements - コネクタ部
  - 差動インサーション・ロス(DDIL)
    - ≥ -0.5 dB up to 2.5 GHz;
    - ≥ -[0.8*(f-2.5)+0.5] dB for 2.5 GHz < f ≤ 5 GHz (for example, ≥ -2.5 dB at f = 5 GHz);
    - ≥ -[3.0*(f-5)+2.5] dB for 5 GHz < f ≤ 12 GHz
  - 差動リターン・ロス(DDRL)
    - ≤ -15 dB up to 3.0 GHz;
    - ≤ 5*f - 30 dB for 3.0 GHz < f ≤ 5 GHz;
    - ≤ -1 dB for 5.0 GHz < f ≤ 12 GHz
  - 対内スキュ
    - 5ps以下

差動インピーダンス、リターン・ロス測定

DSA8300型デジタル・シグナル・アナライザ本体＋2チャンネル・サンプリング／TDRヘッド

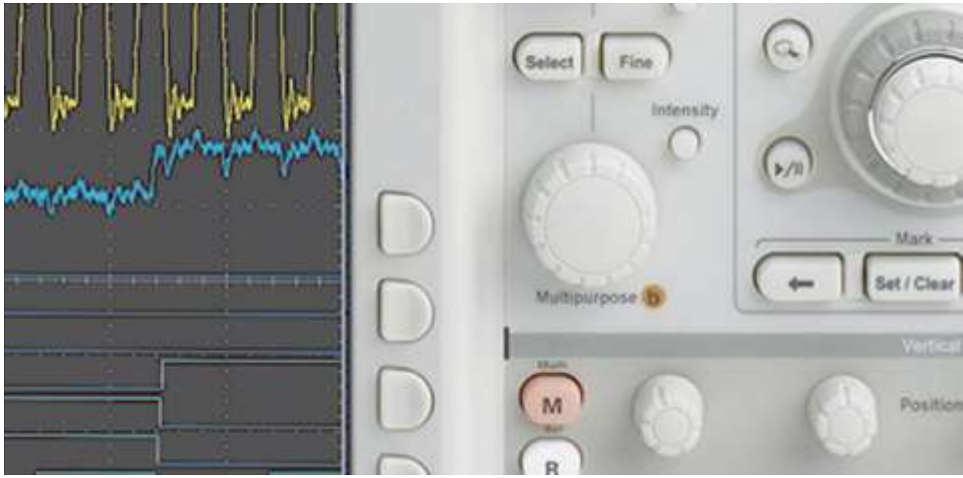
- 差動伝送路の解析に有効な真の差動TDR/TDT
- 任意の立上り時間でのシミュレーションが可能なフィルタ機能
- 測定項目
  - インピーダンス
  - 伝播遅延時間、スキュー
  - クロストーク
  - インサーション・ロス、リターン・ロス*
  - Sパラメータ*
  - SPICEパラメータ抽出*
  - モデリングとアイ・ダイアグラム・シミュレーション*

型名	周波数帯域	TDRシステム立上り時間（入射／反射）
80E10型	50/40/30GHz	12ps/15ps
80E08型	30/20GHz	18ps/20ps
80E04型	20GHz	23ps/28ps

*IConnectソフトウェアが必要

Tektronix

ありがとうございました。



Twitter　@tektronix_jp
Facebook　http://www.facebook.com/tektronix.jp