

PCI-Eの規格認証試験と測定ソリューション



テクトロニクス・イノベーション・フォーラム2011

薩摩泰文

www.tektronix.com/ja

本日の内容

1. 規格レビュー
2. PCI Express物理層コンプライアンス(信号品質テスト)および測定
3. PCI Express Rev.2.0 (5Gbps)
4. PCI Express Rev.3.0 (8Gbps)
5. 注意事項

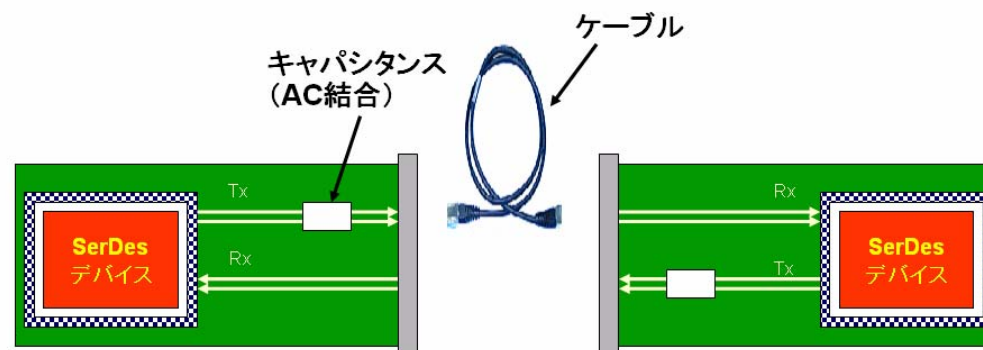
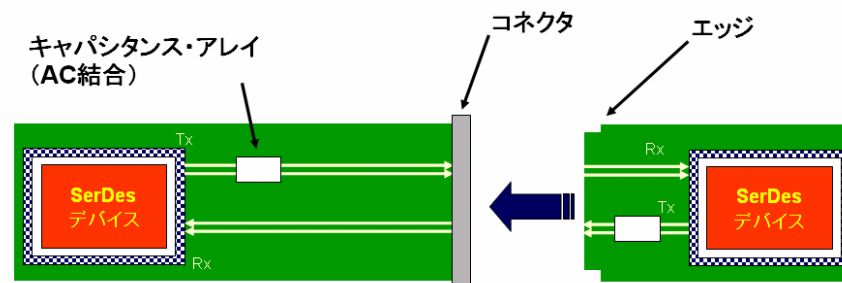
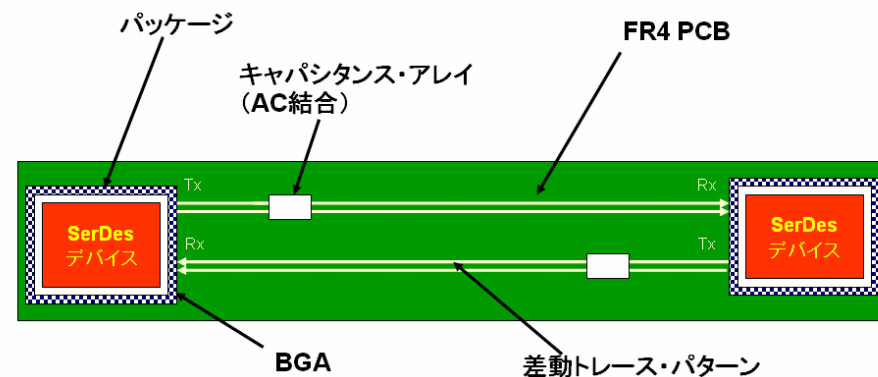
規格レビュー

PCI Expressの特徴

- 物理層:
 - シリアル化
 - パラレル・レーンでのスキュー問題を解消
 - クロック共有/非共有(data driven)
 - スケーラブルなデータ・レート
 - Rev 1.x: 2.5 Gbps
 - Rev 2.x: 5 Gbps
 - Rev 3.0: 8 Gbps
 - Rev 4.0: 16 Gbps?
 - スケーラブルに拡張可能なマルチレーン (1, 2, 4, 8, 12, 16, 32)
 - コネクタ、ケーブルもサポート
 - 他の規格への展開 (Rev 3.0: 8 Gbpの物理層採用)
 - SATA Express
 - SAS over PCI Express

PCI Expressのインタコネク

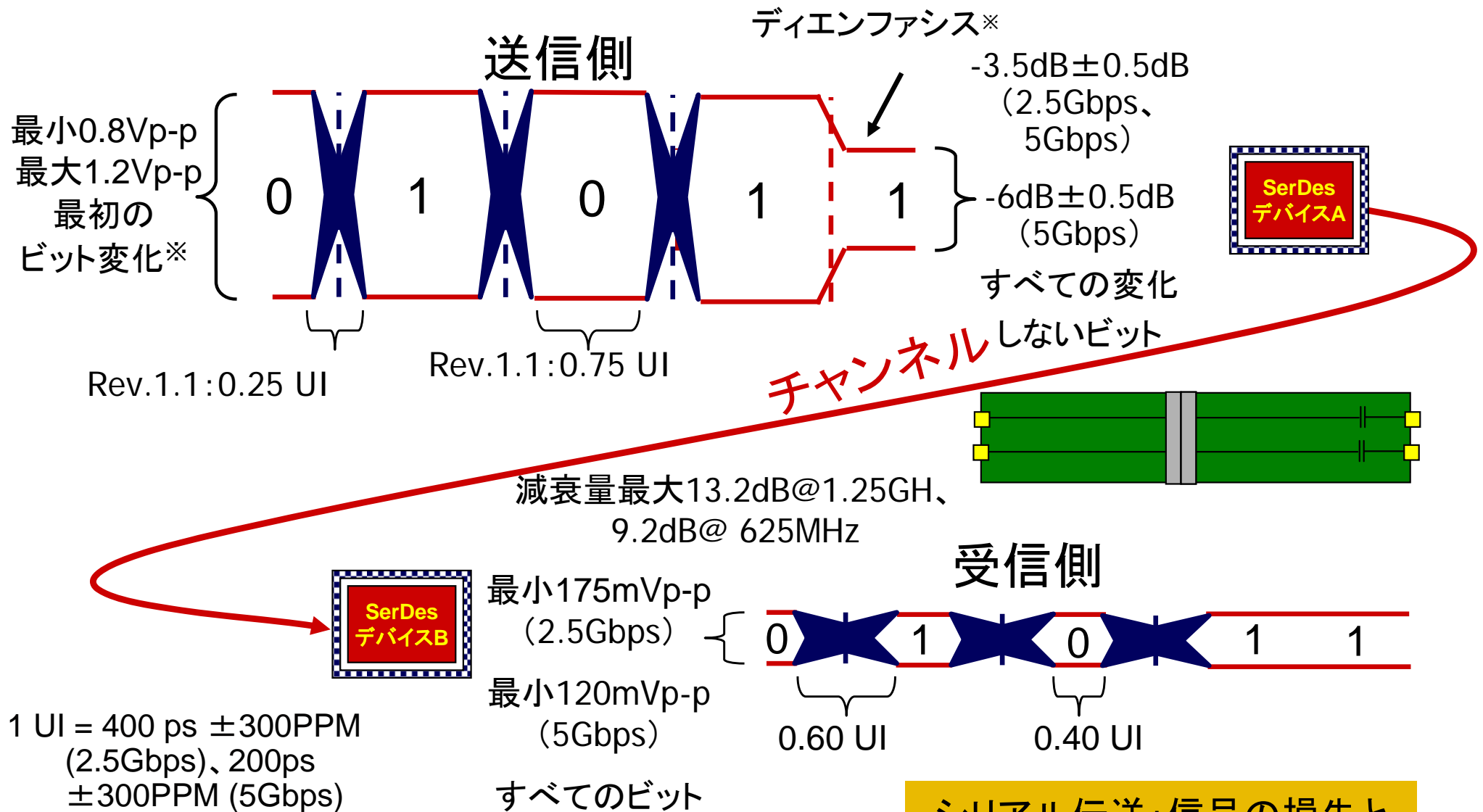
- 3種類に分類
 1. コネクタなし - Base
 2. コネクタあり - CEM
 3. ケーブル接続 - Cable



どの測定ポイントの規格を使うかを決定

PCI Express: 電氣的仕様

Base Specification



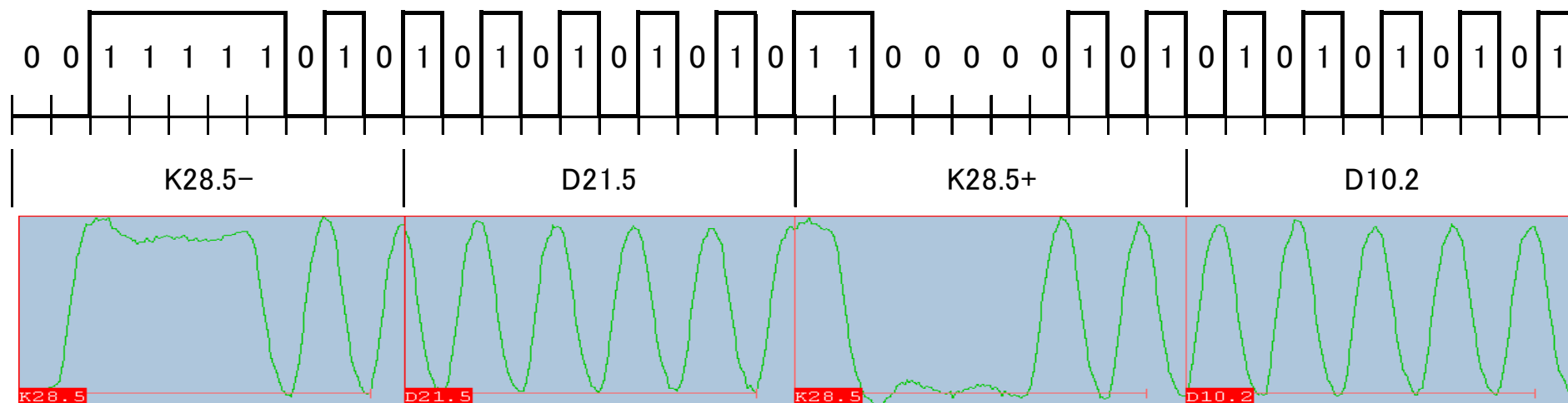
シリアル伝送: 信号の損失とジッタの評価が重要

*Rev.2.0から低電力モードが正式に規格化。差動振幅は1.2V~0.4V、ディエンファシスなし

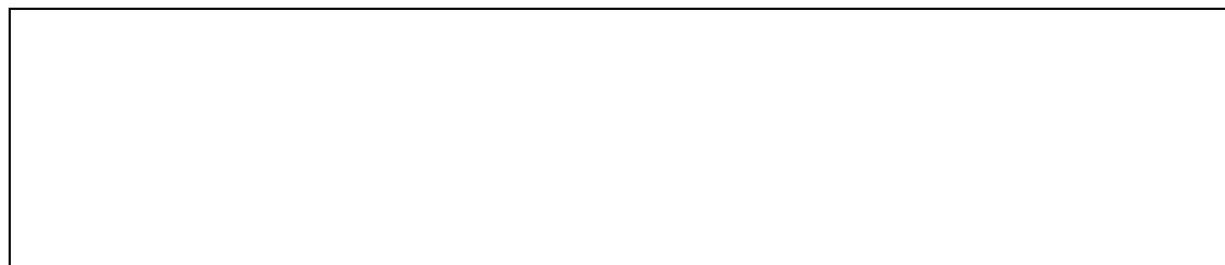
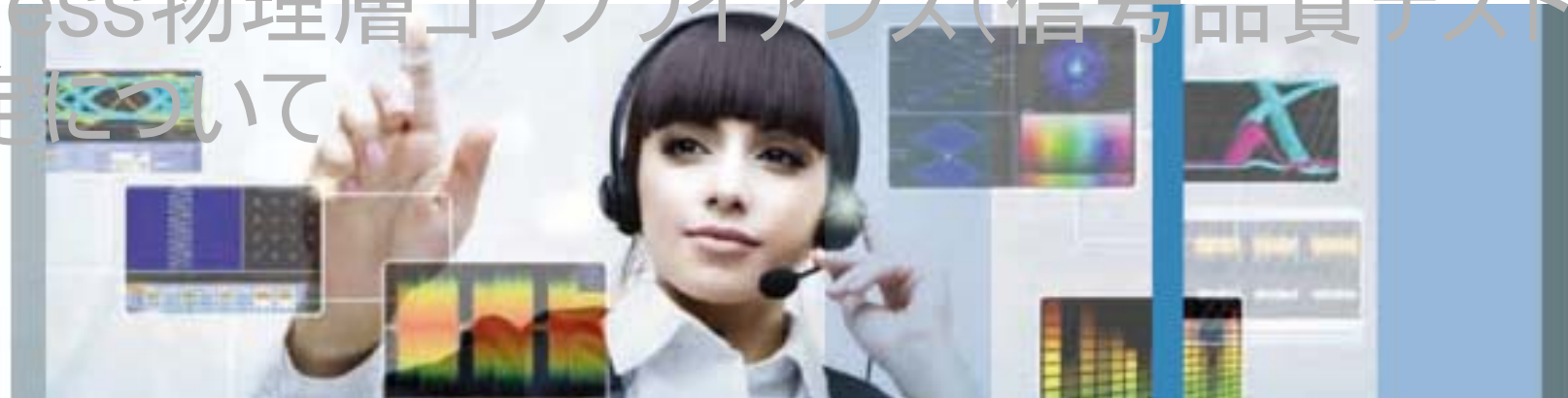
規格適合性はコンプライアンス・パターンで測定

- 規格はすべてコンプライアンス・パターンにて指定の測定点で終端した状態で測定
 - レシーバ検出後、トランスミッタからのトレーニング・シーケンスに応答がない場合、コンプライアンス・パターンの出力を義務づけ

シンボル	K28.5-	D21.5	K28.5+	D10.2
現在のデイスパリティ	0	1	1	0
パターン	0011111010	1010101010	1100000101	0101010101



PCI Express物理層コンプライアンス(信号品質テスト) および測定について



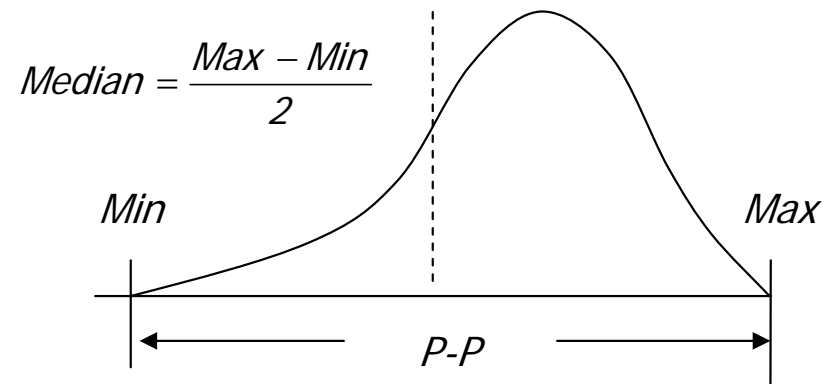
トランスミッタ測定項目例: PCI Express Rev.1.1 (コンプライアンス・テスト)

物理層

- アイ・ダイアグラム
 - 遷移ビット、非遷移ビット(ディエンファシス)を分離してのアイ・ダイアグラム評価
 - アイ高さ
 - アイ幅@1M-UI
 - マスク・テスト: マスク・ヒット
- ユニット・インターバル(UI): 周期
- ジッタ
 - Median-to-Maxジッタ

リファレンス・クロック(システム・ボード)

- ジッタ



ジッタ分布

必要な機材 (Rev.1.1:2.5 Gbps)

コンプライアンス・テスト(信号品質)、物理層測定

- デジタル・オシロスコープ: 6GHz帯域、20GS/s以上。下記いずれかの機種
 - DSA70804C型 8GHz25GS/sデジタル・シリアル・アナライザ
 - DSA70604C型 6GHz25GS/sデジタル・シリアル・アナライザ
- SMAケーブル (CLB10/CBB11)
- コンプライアンス・テスト・ソフトウェア
 - SIGTEST
 - Clock Jitter Tool (Rev.1.1システム・ボードのみ)
 - SIGのWebよりダウンロード
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - opt.PCE、あるいはopt.PCE3 PCI Expressモジュール
- プローブ: 必要に応じて下記いずれかの機種
 - P7580型 8GHz差動プローブ
 - P7560型 6GHz差動プローブ
 - P7380SMA型 8GHz SMA入力差動プローブ

※1. DSAシリーズには標準付属

必要な機材 (Rev.2.0:5 Gbps)

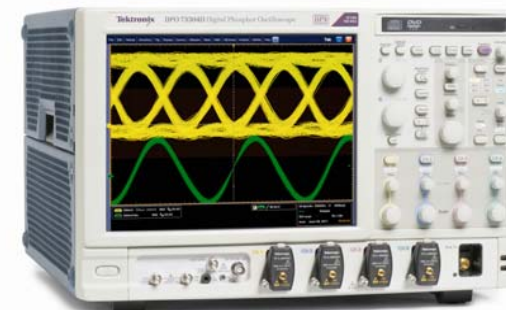
コンプライアンス・テスト(信号品質)、物理層測定

- デジタル・オシロスコープ: 12.5GHz帯域、40GS/s以上。下記いずれかの機種
 - DSA72004C型 20GHz50GS/sデジタル・シリアル・アナライザ
 - DSA71604C型 16GHz50GS/sデジタル・シリアル・アナライザ
 - DSA71254C型 12.5GHz50GS/sデジタル・シリアル・アナライザ
- ケーブル (CLB2/CBB2)
 - SMAケーブル
 - SMA-SMP変換アダプタ
 - SMA-SMPケーブル
- コンプライアンス・テスト・ソフトウェア
 - SIGTEST
 - Clock Jitter Tool
 - SIGのWebよりダウンロード
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - opt.PCE、あるいはopt.PCE3 PCI Expressモジュール
- シリアル・データ・リンク解析ソフトウェア※2
 - Opt.SLA SDLAシリアル・データ・リンク解析ソフトウェア

※1. DSAシリーズには標準付属

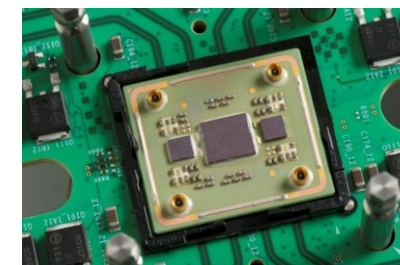
※2. Base Specificationでのトランスミッタ測定でディエンベッドする場合

DSA70000Dシリーズ *New!* デジタル・シリアル・アナライザ

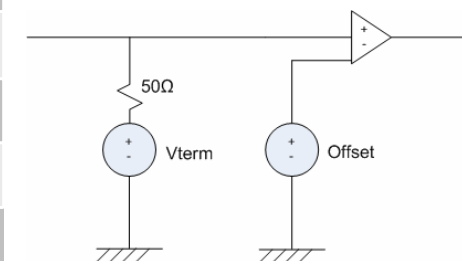


- 「最高の波形特性」と「強力な解析能力」

型名	DSA7334D型	DSA72504D型
最高周波数帯域 2ch(RT)、4ch(ET、アンダー・サンプリング)	33GHz	25GHz
4ch(RT)	23GHz	
立上り時間(20%-80%)	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大レコード長	250Mポイント@4チャンネル	
垂直軸ノイズ (フルスケールに対するp-p)	0.58%	0.58%
フラットネス	±0.5dB(最高周波数帯域の半分まで)	
ジッタ・ノイズ・フロア(rms)	250fs	
デルタ時間測定確度(rms)	347fs	330fs
垂直軸感度	6.25mV/div~120mV/div (62.5mV~1.2Vフルスケール)	
オフセット・レンジ 終端電圧レンジ	+3.4~-3.4V	



IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現



終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

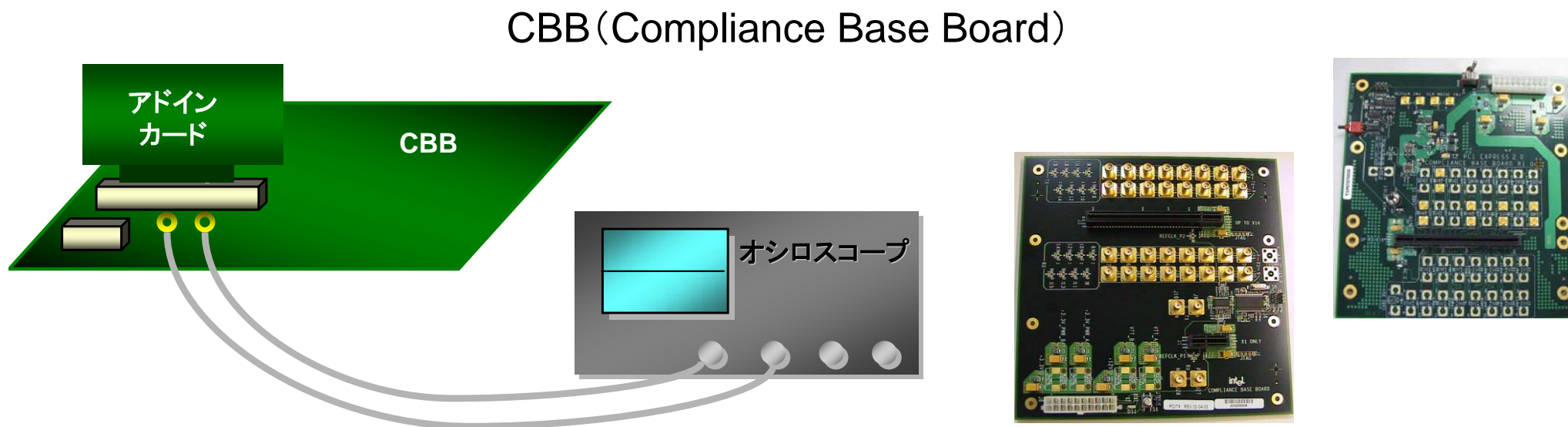
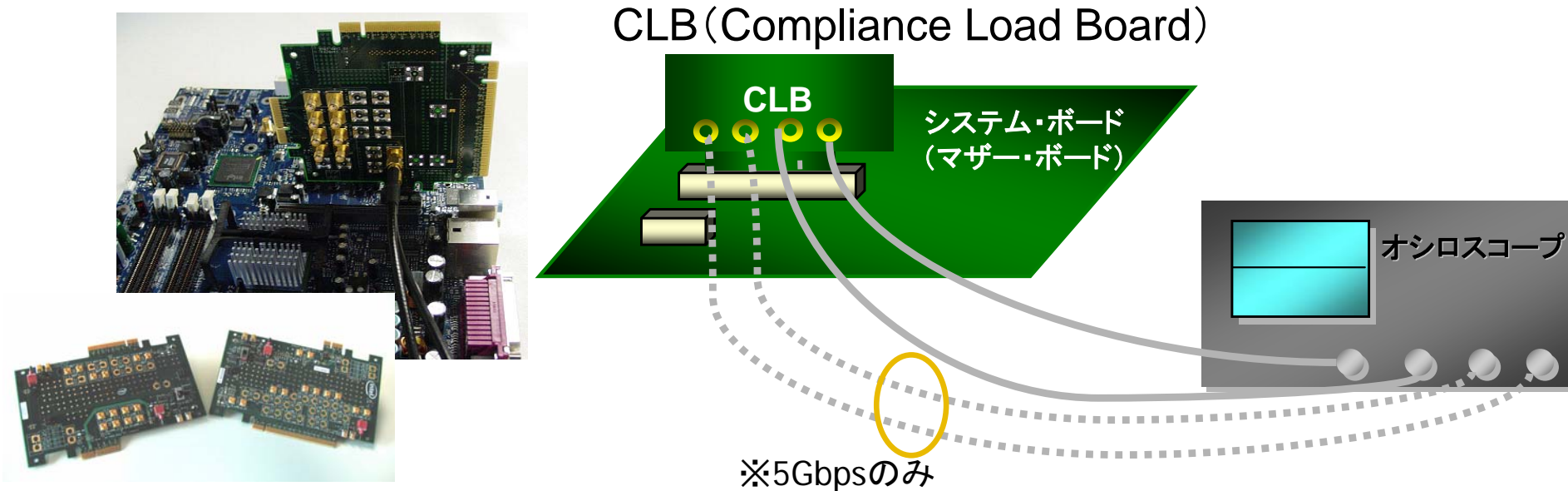
DSA70000Cシリーズ *New!* デジタル・シリアル・アナライザ



- 「最高の波形特性」と「強力な解析能力」

型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ(フルスケールに対するp-p)	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB(最高周波数帯域の半分まで)					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能(標準)	<ul style="list-style-type: none"> サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ/アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード&サーチ 					
主な機能(オプション)	<ul style="list-style-type: none"> フレーム&ビット・エラー・ディテクタ ビジュアル・トリガ I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 周波数帯域のアップグレード 					
その他	<ul style="list-style-type: none"> 毎秒30万波形取込みレート DSP特性補正、DSP帯域拡張(DSA72004C型) 周波数帯域選択機能、ArbFilter機能 					

テスト・フィクスチャ使用形態 (CEM Specification)



Compliance Workshopでの標準 コンプライアンス・テスト・ソフトウェア SigTest

- PCI-SIGが各社のオシロスコープ用に用意(テクトロニクス、アジレント・テクノロジーズ、レクロイに対応)
 - PCI-SIGサイトから無料でダウンロード可能
- Microsoft Windows XP/2000上で動作
- テスト手順書(Signal Quality Test Methodology)を用意
- 遷移ビット、非遷移ビットを識別し、各ビット別に測定(電圧)とアイ・ダイアグラムとマスク・テストを実行
- 一連の測定項目を自動的に測定し、規格に対して測定結果のパス/フェイル判定を表示
- 結果をHTML形式で出力
- 波形データをいったんファイルに落とす必要がある
 - 作業性が悪い*

最新バージョン&対応		
データ・レート	現状	将来
2.5Gbps	2.1	3.1.9
5Gbps	3.1.9	

SigTest

Signal Test

Data File: c:\PCIEXPSEQ_Data\test data m2.csv

Data File 2: [Browse]

Separate Files Per Channel

Full Test Results

Full Test Result *Pass!*

Worst Total Eye Violations	Number Passing Eyes	Number Failing Eyes
0	465	0

Data Rate (GB/s)	DC Common Mode
2.50012	0.00000

Mean Unit Interval (ps)	Max Unit Interval (ps)	Min Unit Interval (ps)
399.9814347	400.04	399.92

JITTER STATS

Mean Median Peak Jitter (ps)	Max Median Peak Jitter (ps)	Min Median Peak Jitter (ps)
24.42376	41.41608	19.04903

Mean Peak to Peak Jitter (ps)	Max Peak to Peak Jitter (ps)	Min Peak to Peak Jitter (ps)
37.30918	65.43074	27.05199

TRANSITION EYE STATS		NON TRANSITION EYE STATS	
Min Voltage	Max Voltage	Min Voltage	Max Voltage
-0.49000	0.48014	-0.48500	0.48014
Min Top Margin	Min Bottom Margin	Min Top Margin	Min Bottom Margin
0.23775	-0.25298	0.14046	-0.14955
Worst Number Violation		Worst Number Violation	
0		0	

[View HTML Report](#)

測定画面

Test Results for 040520_224529

Required Tests:

- Overall Result: **Pass!**
- Data Rate: 2.499723 GB/s
Data Rate Pass!
- Median to Peak Jitter: 41.416081 ps
Median to Peak Jitter Pass!
- Worst Non Transition Signal Eye
- Worst Transition Signal Eye

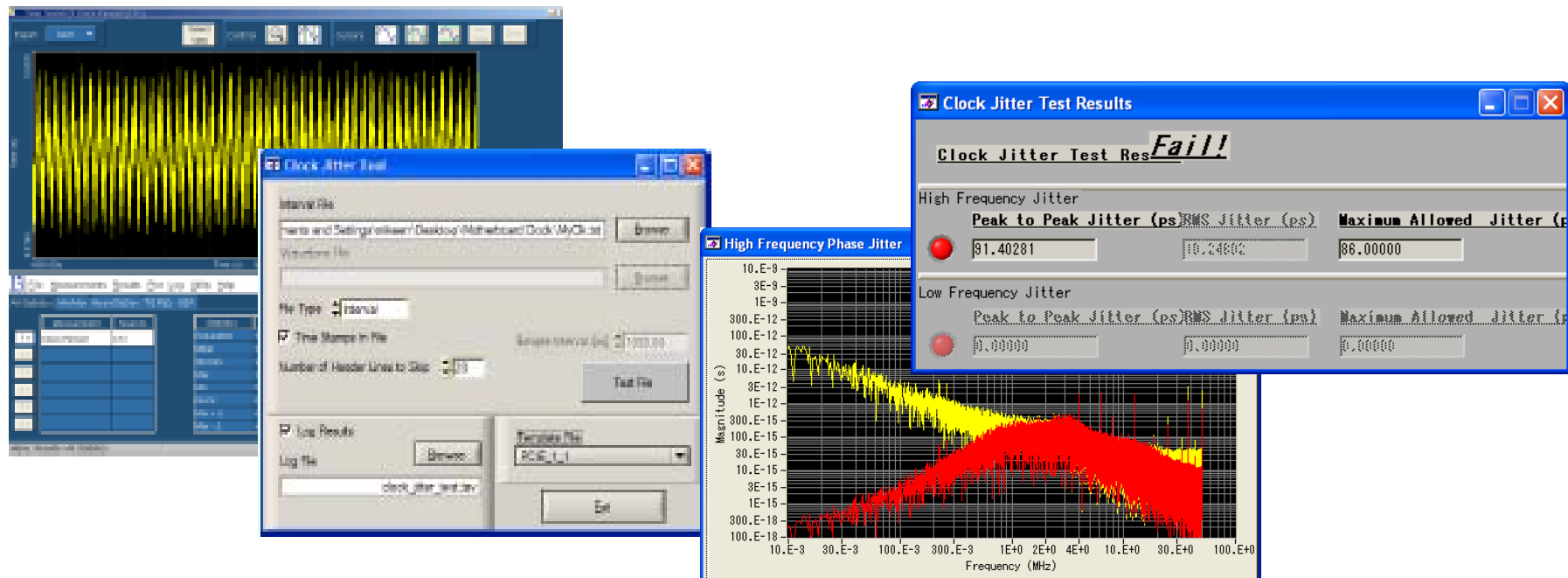
Worst Non Transition Signal Eye

Worst Transition Signal Eye

レポート

Compliance Workshopでの標準 リファレンス・クロック・テスト・ソフトウェア Clock Jitter Tool

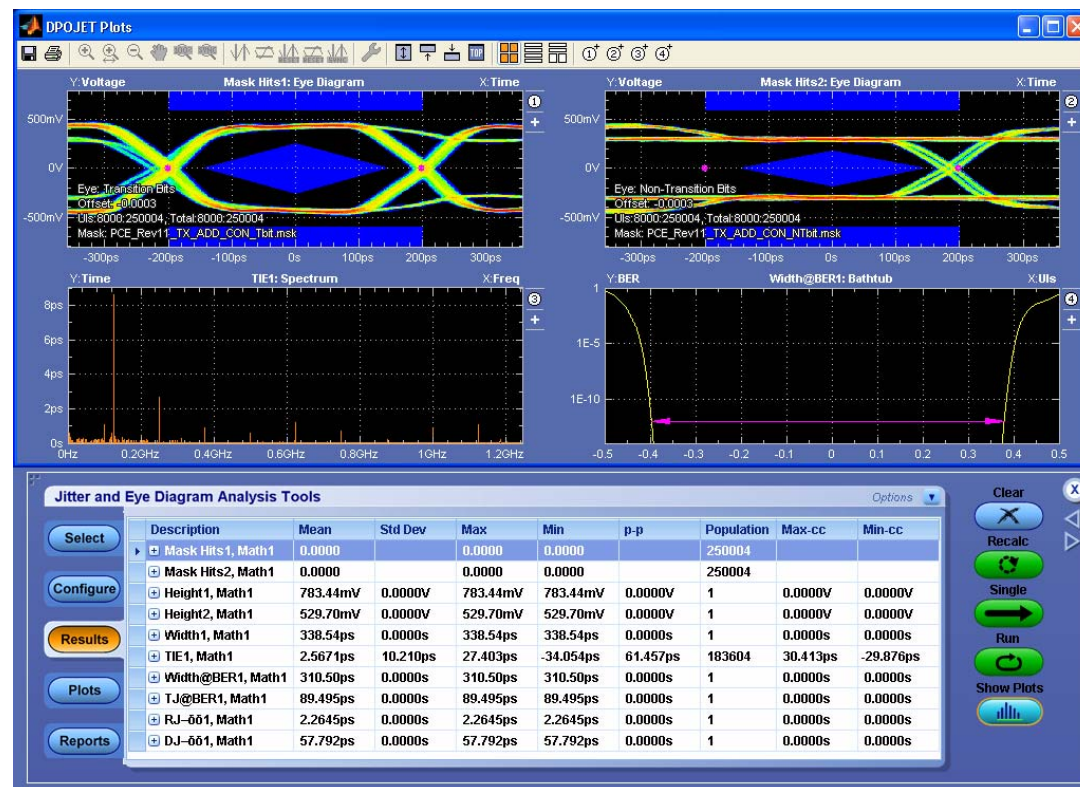
- 規格指定のジッタ伝達関数(フィルタ)を適用し、パス/フェイルを判定
 - 入力ファイル
 - 各社のジッタ解析ソフトウェアからのPeriod、Crossover測定ファイル
 - 波形データ
- PCI-SIGサイトから無料でダウンロード可能
 - 最新版はVer.1.3
- Microsoft Windows XPで動作



DPOJET

ジッタ&アイ・ダイアグラム解析ソフトウェア

- DSO/DSA70000シリーズでのPCI Express、DisplayPortなどのコンプライアンス・テスト、デバッグ、バリデーションに
- 当社の標準コンプライアンス・テスト・ソフトウェア
- コンプライアンス・モジュール、セットアップ・ファイル、リミット・ファイルの提供で標準規格に対応
 - DisplayPort
 - PCI Express
 - USB3.0
 - MIPI
- 参考: SigTestとの使い分けは？
 - プリテストはDPOJETで
 - コーナ・ケースをSigTestで評価



PCI Express Rev.2.0 (5Gbps)



Rev.2.0(5Gbps)での変更点(CEM測定上)

*参考テストのみ

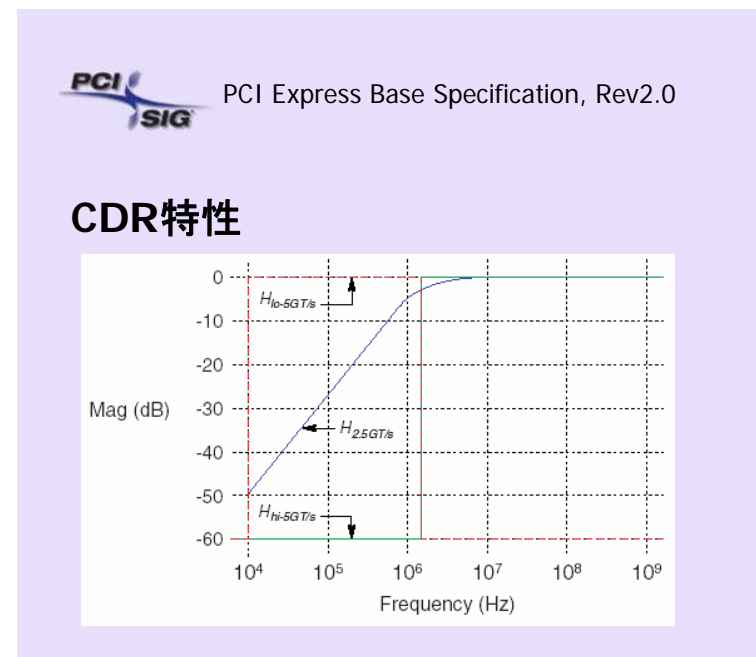
- 測定に必要なオシロスコープの周波数帯域を明確に第5次高調波で規定
 - 2.5Gbps: 6.25GHz
 - 5Gbps: 12.5GHz
- 新しいTx測定
 - Rj/Dj ($\delta - \delta$) 分離
 - Tj@BER 10^{-12}
 - 新しいCDR関数(1.5MHzブリックウォール)
 - システム・テストではデュアル・ポート測定
 - リファレンス・クロック・ベースでのデータのアイ・ダイアグラムとジッタ測定
- リファレンス・クロック測定
 - Rev.2.0からはBase Specificationに
 - 指定のジッタ伝達関数適用後にて
- PLLループ帯域幅測定

TDR*

- 伝送線路は85 Ω 差動インピーダンスに
- Tx/Rx終端抵抗は変更なし(100 Ω 差動)

レシーバ・テスト*

- ジッタ・ストレス・テストとエラー・カウント



PCI Express Rev.2.0物理層信号測定項目 (コンプライアンス・テスト)

1. アイ・ダイアグラム

- 遷移ビット、非遷移ビット(ディエンファシス)を分離してのアイ・ダイアグラム評価
- アイ高さ
- アイ幅@1M-UI(2.5Gbps)
- アイ幅@BER10⁻¹²(5Gbps)
- マスク・テスト: マスク・ヒット(2.5Gbps)

2. ユニット・インターバル(UI): 周期(SSC)

3. ジッタ

- 2.5Gbps: Median-to-Maxジッタ
- 5Gbps: ランダム・ジッタ($Rj_{(\delta-\delta)}$)、デターミニステック・ジッタ($Dj_{(\delta-\delta)}$)、トータル・ジッタ@BER10⁻¹²測定

※以上1から3は1M-UI捕捉し、ソフトウェアでリカバリされたクロックを基準に測定

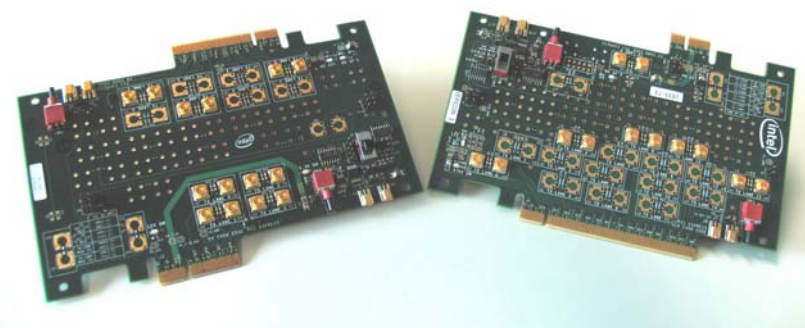
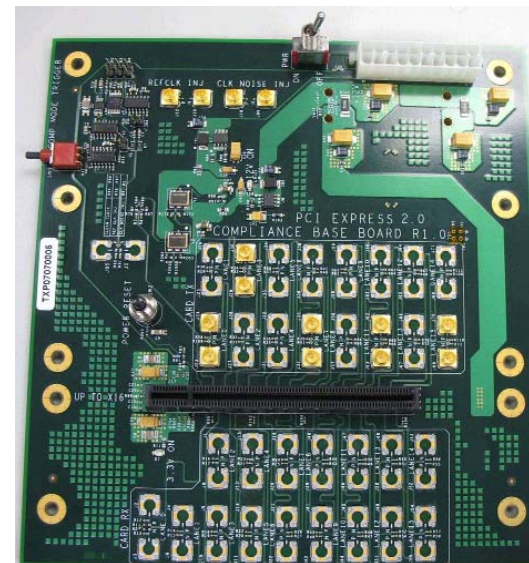
4. リファレンス・クロック・ジッタ(システム・ボード)

5. PLLループ帯域幅、ピーキング測定(アドイン・カード)

Rev.2.0用CLB/CBBテスト・フィクスチャ

変更点

- アドイン・カード(CBB): Rev1.1と同等
 - － オンボード・クリーン・クロックによるテスト
- システム・ボード(CLB)
 - － x16/x1カードとx4/x8カードの2構成に
- レセプタクルをSMAからSMPに変更
 - － SMP(SMA): 挿抜回数1000回以上(500回) 40 GHz帯域(18GHz) 占有面積6.5 mm²(12.7mm²)
- 85 Ω 差動トレース・インピーダンス
- モード・スイッチ(Rxにパルス・バーストを入力)
 - － 2.5Gbps 3.5dBディエンファシス
 - － 5Gbps 3.5dBディエンファシス
 - － 5Gbps 6dBディエンファシス



発注に関する詳細http://www.pcisig.com/developers/main/boards_waitlist/

テスト・フィクスチャ資料

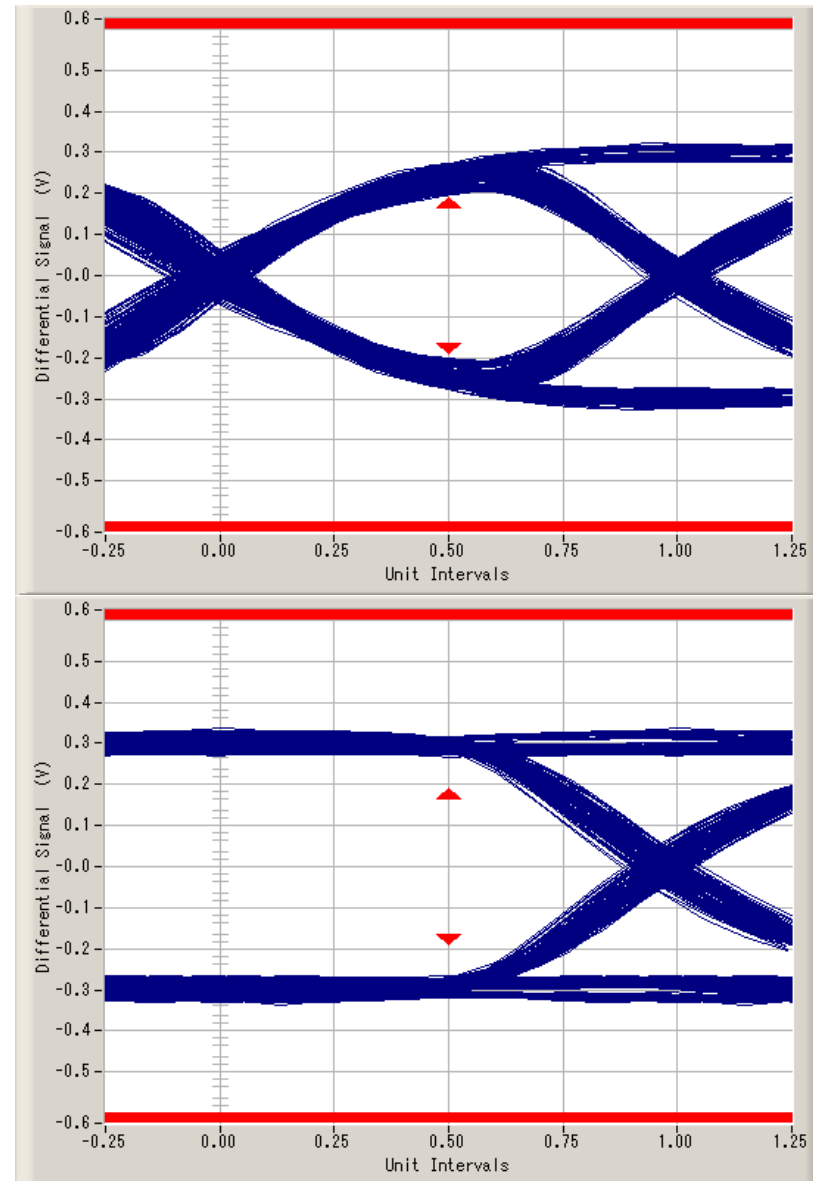
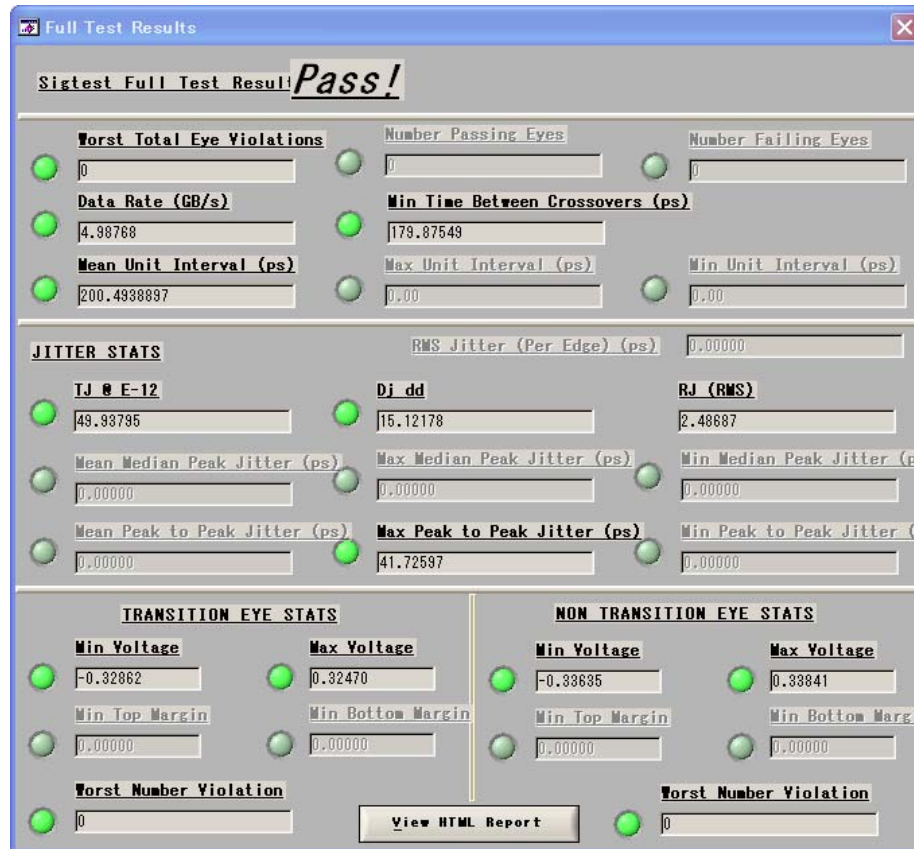
http://www.pcisig.com/members/downloads/specifications/testprocedures/CLB2.0_Test_Fixture_Users_Document_r1.0.pdf

http://www.pcisig.com/members/downloads/specifications/testprocedures/CBB2.0_Test_Fixture_Users_Document_2_rev_1.0.pdf

コンプライアンス・テスト・ソフトウェア

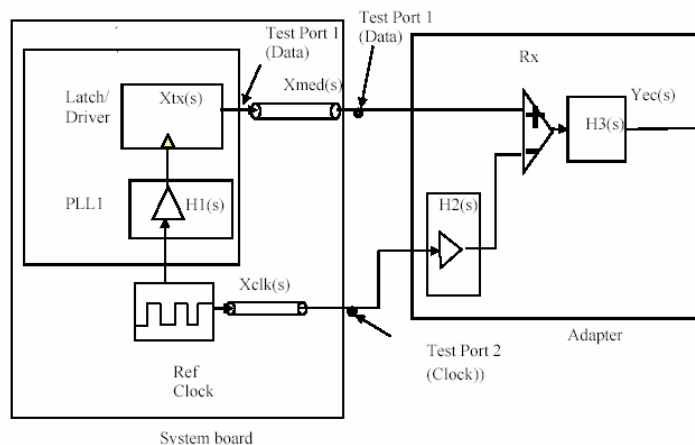
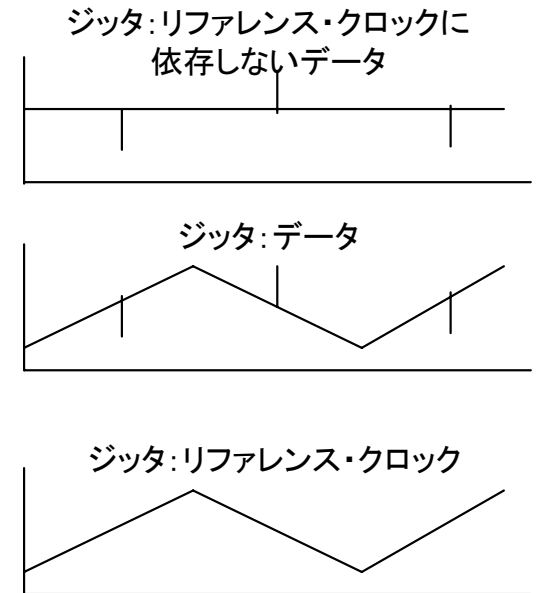
SigTest 3.1.9

- 5Gbps用新機能
 - Rj、Dj(Dual Dirac)測定
 - Tj@BER 10⁻¹²測定
 - デュアル・ポート測定



デュアル・ポート測定

- PCI Express CEM Specification Rev.2.0のシステム・ボードでのジッタ測定方法
- データ、クロックを別々に測るのではなく、同時に測定
 - クロック・ジッタの影響を受けて発生するデータ・ジッタを除去
 - SSC
 - システムでは「クリーン・クロック」入力が困難なため
- データ、クロックを40GS/s以上で同時に捕捉する必要あり
 - 擬似差動の場合には4チャンネル必要
- 1M-UI長の単発捕捉



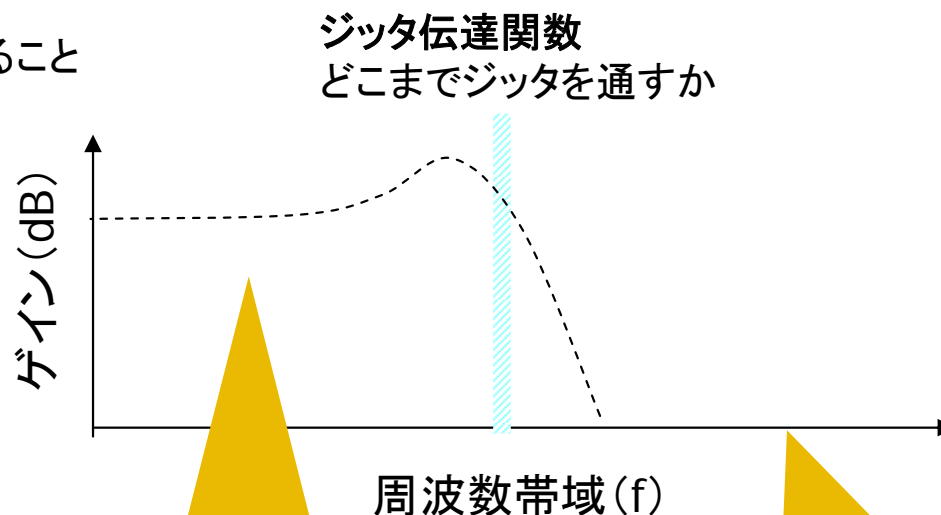
リファレンス・クロック

データ(レーン0)



PLLループ帯域幅、ピーキング測定(アドイン・カード)

- アドイン・カードのトランスミッタはクリーン・クロックで測定
 - リファレンス・クロックの影響を含めない
- システムのリファレンス・クロックは別途測定し、ジッタを制御
- 残りはトランスミッタのPLLのジッタ伝達特性
 - ジッタを増加させるピーキングが3dB以内であること
 - 2.5Gbps:ループ帯域幅(-3dB)
 - ピーキング3dB以内:1.5-22MHz
 - 5Gbps:ループ帯域幅(-3dB)
 - ピーキング1dB以内:5-16MHz
 - ピーキング3dB以内:8-16MHz
 - 8Gbps:ループ帯域幅(-3dB)
 - ピーキング2dB以内:~4MHz
 - ピーキング1dB以内:~5MHz



- Rev.2.0よりコンプライアンス・テスト項目に

- 現在2種類の方法がSIGで承認
 - スペクトラム・アナライザ測定法
 - クロック・リカバリ法

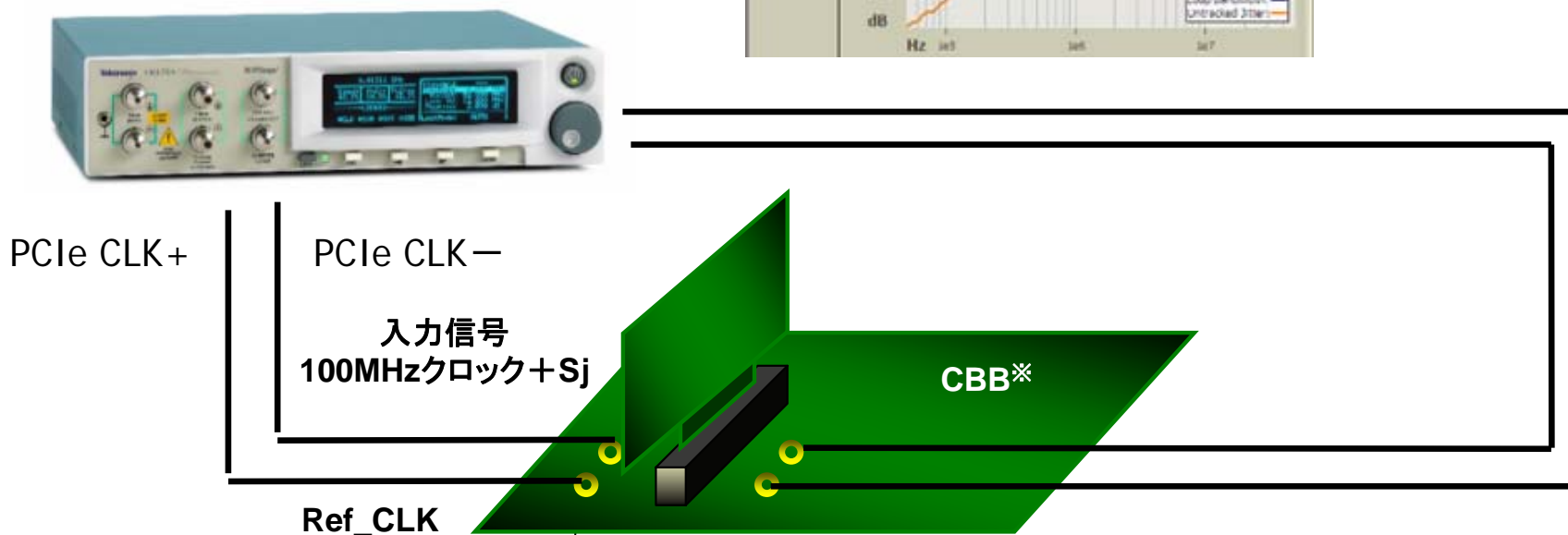
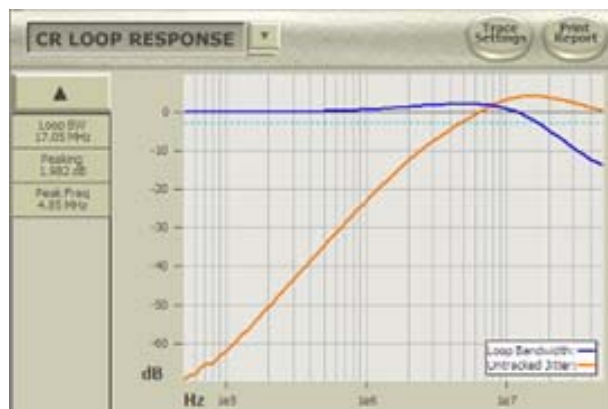
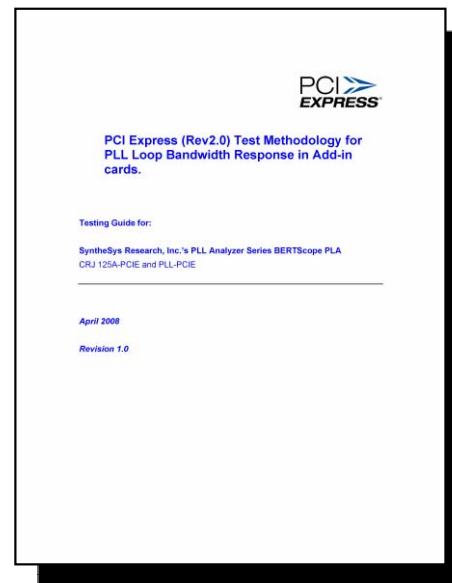
リファレンス・クロックの低周波ジッタに対してPLLは追従。その結果、リファレンス・クロックの低周波ジッタはそのままTx出力に重畳される形に

リファレンス・クロックの高周波ジッタに対してPLLは追従しない。その結果、リファレンス・クロックの高周波ジッタはTx出力に重畳されない

- その他、弊社ではAWG任意波形ジェネレータを使用した方法も可能

クロック・リカバリ法 : BERTScope CR125A

- Tx PLLループ帯域幅テストが1台(+PC)で可能
 - PCI Express用100MHz変調クロックを発生(オプション)
 - 25MHzまでジッタを重畳



※外部クロックを入力できるように改造が必要

PCI Express Rev.3.0 (8Gbps)



PCI Express 3.0: 8GT/s (8Gbps)

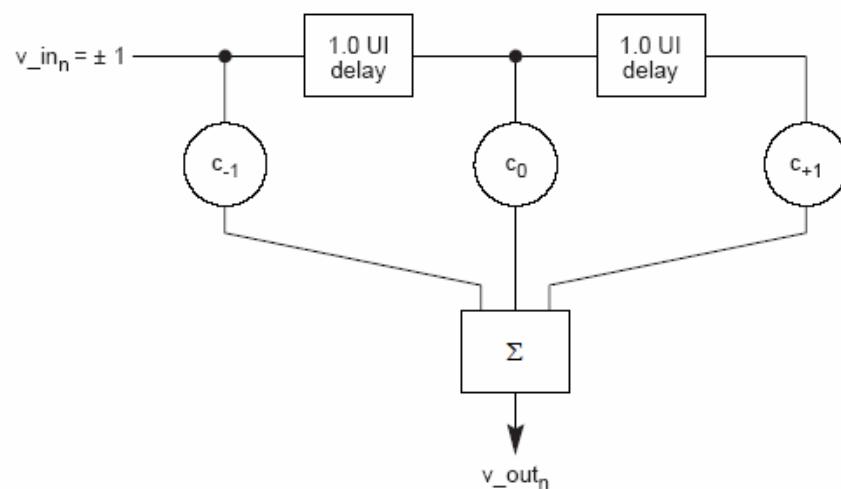
大きな変更点: 128b/130b符号化の採用

- 128ビット(16バイト)ペイロードに対し、シンク・ヘッダ2ビット(“10”、あるいは“01”)を付加。ペイロード部分のみにスクランブルを適用。各レーンごとにスクランブラを備える
 - シンク・ヘッダ
 - “10”: データ・ブロック
 - “01”: オーダード・セット・ブロック
 - 23ビット・スクランブラ
 - スクランブラ多項式: $X^{23} + X^{21} + X^{16} + X^8 + X^5 + X^2 + 1$
 - EIOS (Electrical Idle Exit Ordered Set) により初期化
- スクランブルだけでデータ遷移密度を向上させる方法により、オーバーヘッドを低減。物理層の速度を2倍に上げなくても、実質的に2倍のデータ転送レートが可能に
 - 消費電力の抑制
 - コスト・アップにつながる基板への低損失素材やバック・ドリル・ビア、ブラインド・ビアなどの採用が不要

トランスミッタ側の物理層の変更点:プリシューートの追加

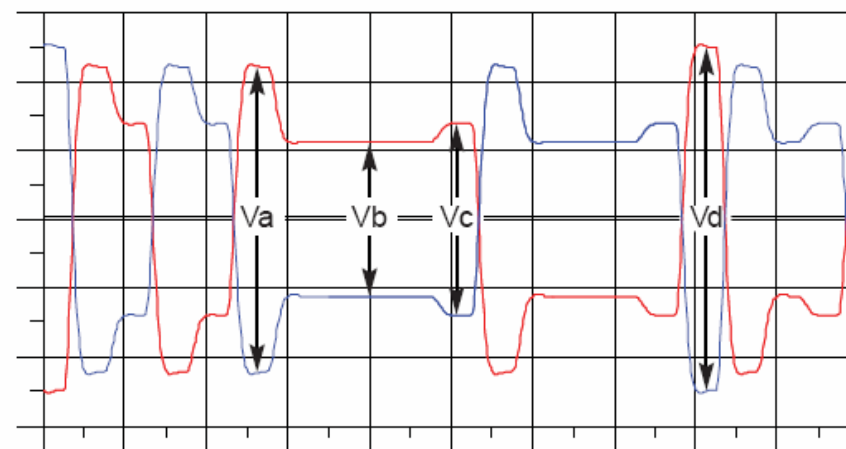
- ディエンファシスのみならずプリシューートも適用(3タップFIR)
 - 11通りのプリセット値(P0からP10)を使用
 - リンク・アップ時に最適な設定を選択

Preset Number	Preshoot (dB)	De-emphasis (dB)
P4	0.0	0.0
P1	0.0	-3.5 ± 1 dB
P0	0.0	-6.0 ± 1.5 dB
P9	3.5 ± 1 dB	0.0
P8	3.5 ± 1 dB	-3.5 ± 1 dB
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB
P5	1.9 ± 1 dB	0.0
P6	2.5 ± 1 dB	0.0
P3	0.0	-2.5 ± 1 dB
P2	0.0	-4.4 ± 1.5 dB
P10	0.0	See Note 2.



$$v_{out_n} = v_{in_{n-1}}c_{n-1} + v_{in_n}c_n + v_{in_{n+1}}c_{n+1}$$

$$|c_{-1}| + |c_0| + |c_{+1}| = 1 \quad c_{+1} \leq 0 \quad c_{-1} \leq 0$$



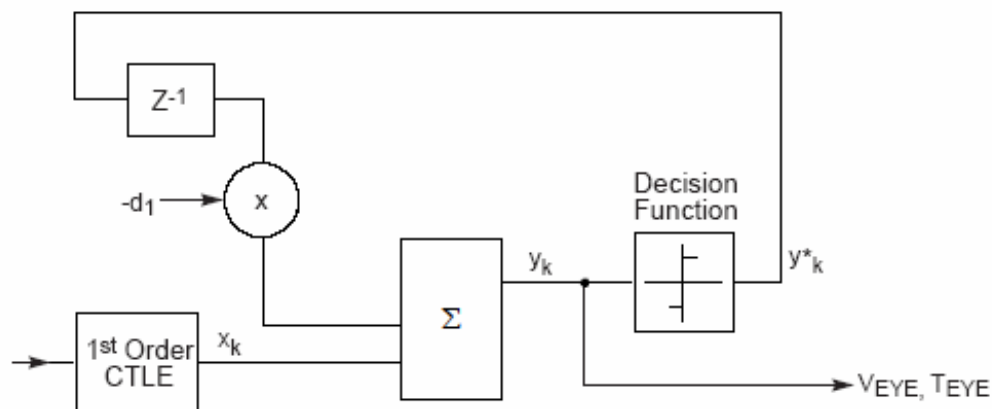
$$\text{De-emphasis} = 20\log_{10} V_b/V_a$$

$$\text{Preshoot} = 20\log_{10} V_c/V_b$$

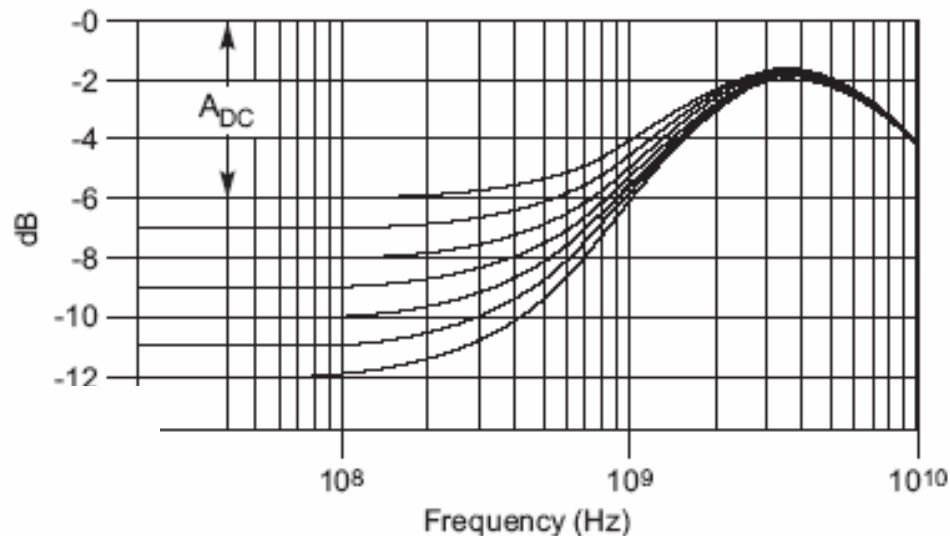
$$\text{Boost} = 20\log_{10} V_d/V_b$$

レシーバ側の物理層上の変更: イコライザを併用

- CTLE
 - DCゲイン-6~-12dB、1dBステップ
 - 極周波数: 2GHz、8GHz(2極)
- 1タップDFE(オプション)



$y_k = x_k - d_1 \text{sgn}(y_{k-1})$
 y_k = DFE summer differential output voltage.
 y^*_k = decision function output voltage. $|y^*_k| = 1$
 x_k = DFE differential input voltage
 d_1 = feedback coefficient
 k = sample index in UI

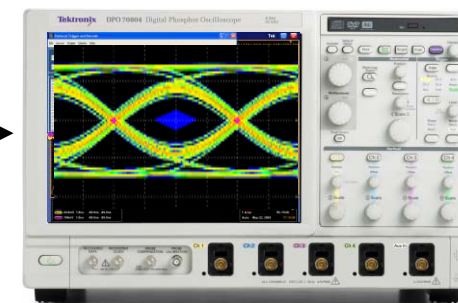
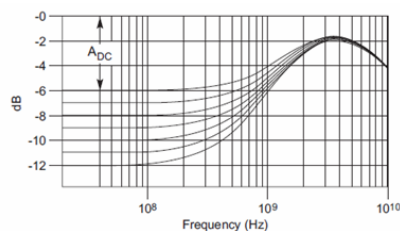
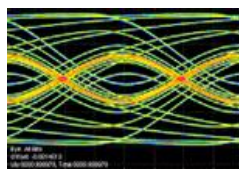
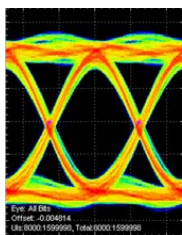


$$H(s) = \omega_{P2} \frac{s + \omega_{P1} * A_{DC}}{(s + \omega_{P1}) * (s + \omega_{P2})}$$

ω_{P1} = pole 1 = $2\pi * 2$ GHz
 ω_{P2} = pole 2 = $2\pi * 8$ GHz
 A_{DC} = dc gain

8Gbps CEM コンプライアンス・テスト概略 (Rev.0.5)

- CBB/CLBで取込んだデータに対し、遠端+イコライザをシミュレーションしてのアイ、ジッタの評価
- コンプライアンス・チャンネルを適用
- イコライザを最適化
 - 最適なプリセットを使用(1プリセットさえパスすればOK)
 - 最適なプリセットをが既知でない場合、プリセットごとの評価が必要



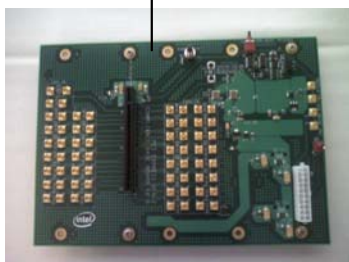
CBB・CLBからの
データの取得
(従来と同様)

疑似コンプライアンス・
チャンネルの
特性を
印加
(エンベッド)

コンプライアンス・
チャンネルにより
損失を受け、
閉じたアイ

CTLE、DFEの適用

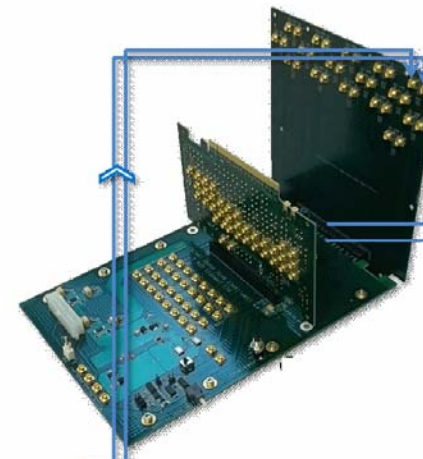
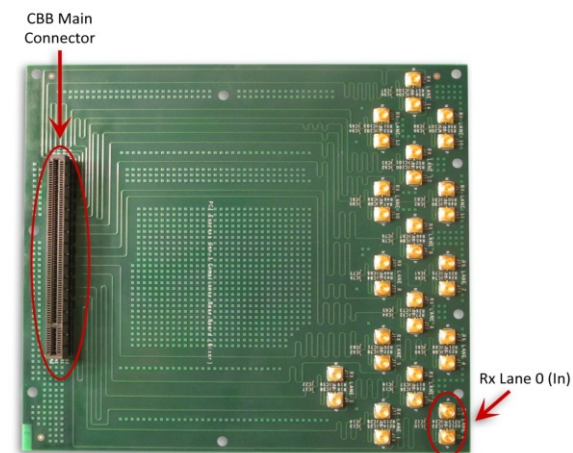
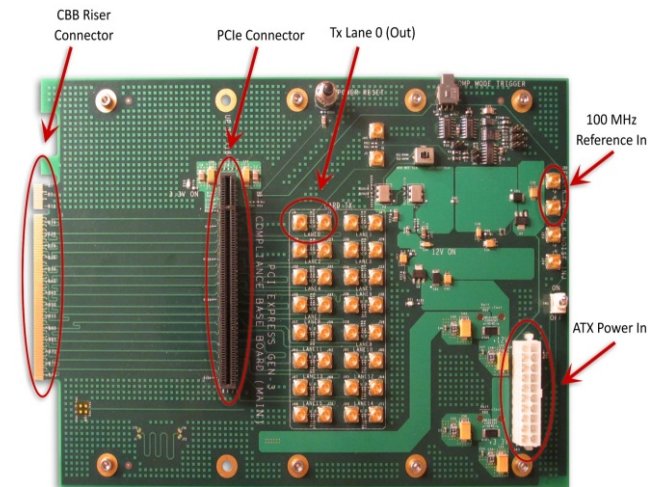
開いたアイの観測



Rev.3.0用CLB/CBBテスト・フィクスチャ

変更点

- コンプライアンス・モート・トグルのためのRxへのパルス・バースト入力方法の変更
 - SMPケーブルで接続
 - 任意のRxレーンへ入力可能に
- クロック選択をジャンパからスイッチに変更
- RXテスト用の疑似チャンネル
 - CLB: パッケージ・トレース+10cmトレース
 - CBB?



必要な機材 (Rev.3.0: 8 Gbps)

コンプライアンス・テスト(信号品質)、物理層測定

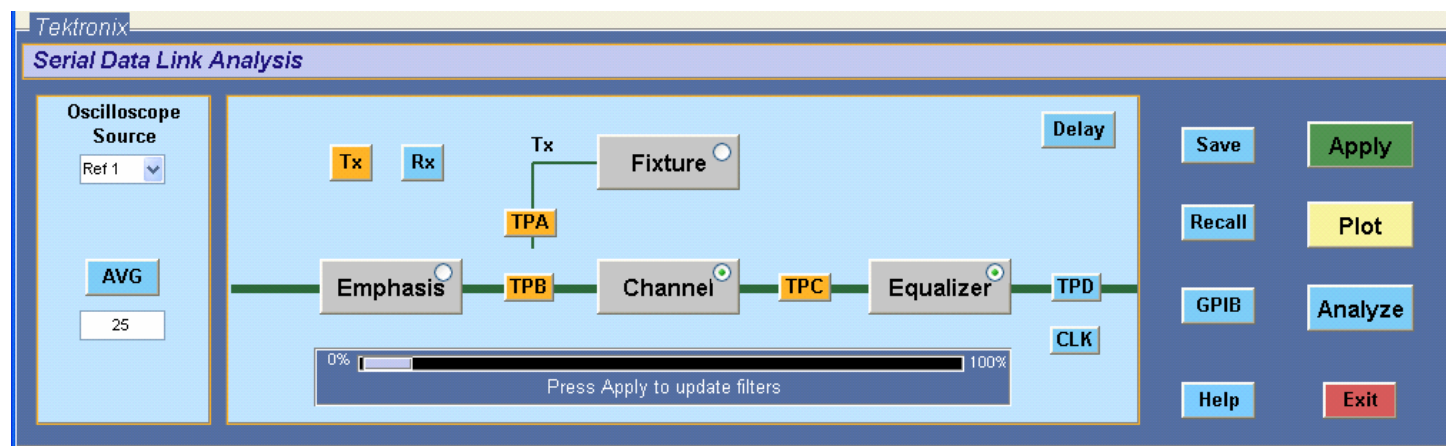
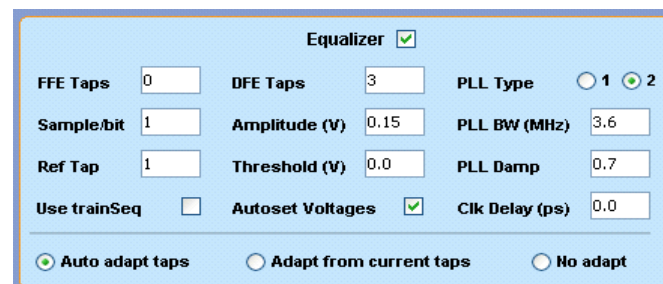
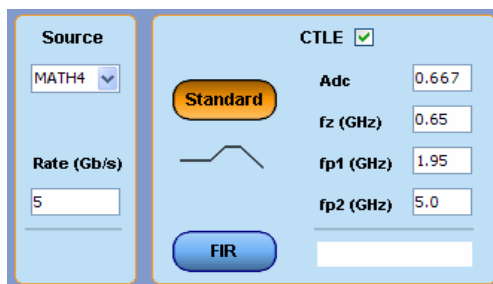
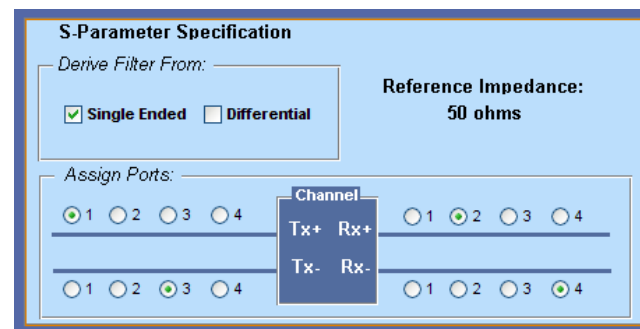
- デジタル・オシロスコープ: 12GHz帯域、40GS/s以上。下記いずれかの機種
 - 推奨は16GHz
 - DSA72004C型 20GHz50GS/sデジタル・シリアル・アナライザ
 - DSA71604C型 16GHz50GS/sデジタル・シリアル・アナライザ
 - DSA71254C型 12.5GHz50GS/sデジタル・シリアル・アナライザ
- ケーブル (CLB3/CBB3)
 - SMAケーブル
 - SMA-SMP変換アダプタ
 - SMA-SMPケーブル
- コンプライアンス・テスト・ソフトウェア
 - 新SIGTEST
 - 新Clock Jitter Tool
 - SIGのWebよりダウンロード予定
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - opt.PCE3 PCI Expressモジュール
- シリアル・データ・リンク解析ソフトウェア
 - Opt.SLA SDLAシリアル・データ・リンク解析ソフトウェア

※1. DSAシリーズには標準付属

ソリューション:SDLA

シリアル・データ・リンク解析ソフトウェア

- 高速シリアル信号テストのための波形処理ツール
 - フィクスチャ・ディエンベッド
 - チャンネル・エンベッド
 - レシーバ・イコライゼーション(CTLE、FFE、DFE)
- Sパラメータ (TouchStone)をArbFilterに変換可能
 - *.S1p、*.S2p、*.S4p (差動、シングルエンド)
- 処理結果をプロットで確認可能
- DPOJETと連動し、アイ、ジッタなど自動テスト、判定可能



PCI Express Rev.3.0 トランスミッタ・テストでの レシーバ・イコライザの最適化

- SDLAにより、最適CTLE(アイ開口=EW*EH 最大)の自動選択、DFE

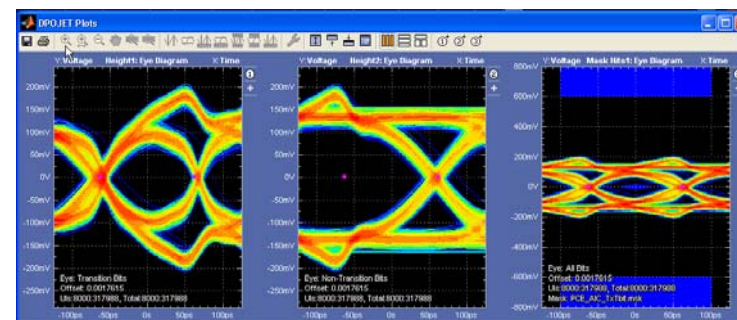
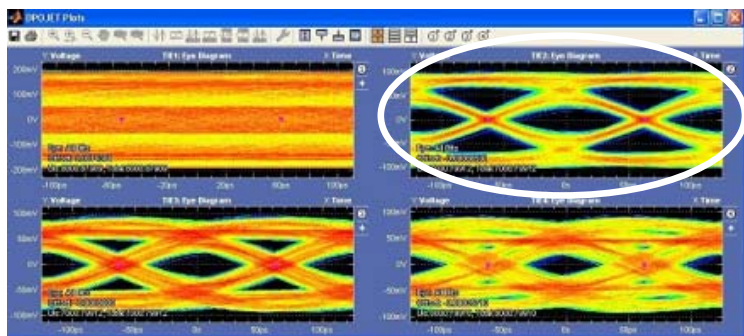
CTLE/DFE 設定

CTLE選択結果

```

# PCIE equalizer adaptation results
# Time: 31-Mar-2011 22:30:30

# CTLE(db), CTLE(lin), DFE Tap(mv), Eye Area(UI*mv), Eye Height(mv), Eye width(UI)
-6          0.501      30.00      57.56      92.32      0.62
-7          0.447      30.00      76.73      111.78     0.69
-8***      0.398      29.63      83.59      118.24     0.71
-9          0.355      29.34      76.77      113.90     0.67
-10         0.316      25.58      63.72      102.26     0.62
-11         0.282      20.51      48.37      87.88      0.55
-12         0.251      16.73      35.60      73.99      0.48
    
```



PCI Express基板設計上の課題:レシーバ・テストが重要に

- PCI Expressではレシーバ側で受ける影響に対し、根本的にセンシティブ
 - 8Gbpsという高速信号を従来と同じトレース長伝送を想定
 - LSIパッケージ+50cmFR4
 - その結果、高周波損失の影響を受けた信号を受信
 - イコライザを使用し、減衰した信号の品質を改善
 - 受信側で受けた影響は増強される可能性がある
 - クロストーク、反射、ノイズ、電源...
- 結果的にトレース・パターン、電源等が注意深く設計される必要がある
- 以上の性質から、トランスミッタ・テストだけで相互運用性(インターオペラビリティ)を保証することは不十分

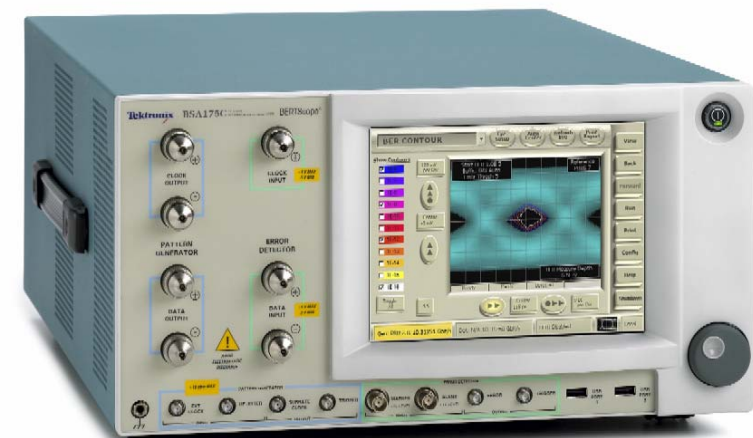
⇒ レシーバ・テストが重要に

- 他のSATA、USB3.0ではコンプライアンス・テスト項目
 - PCI Express Rev.2.0までではFYIテストという位置づけだった
- ※相互運用性の保証とは特定BER(BER 10^{-12})での通信を保証すること

BSA Cシリーズ ビット・エラー・レート・アナライザ

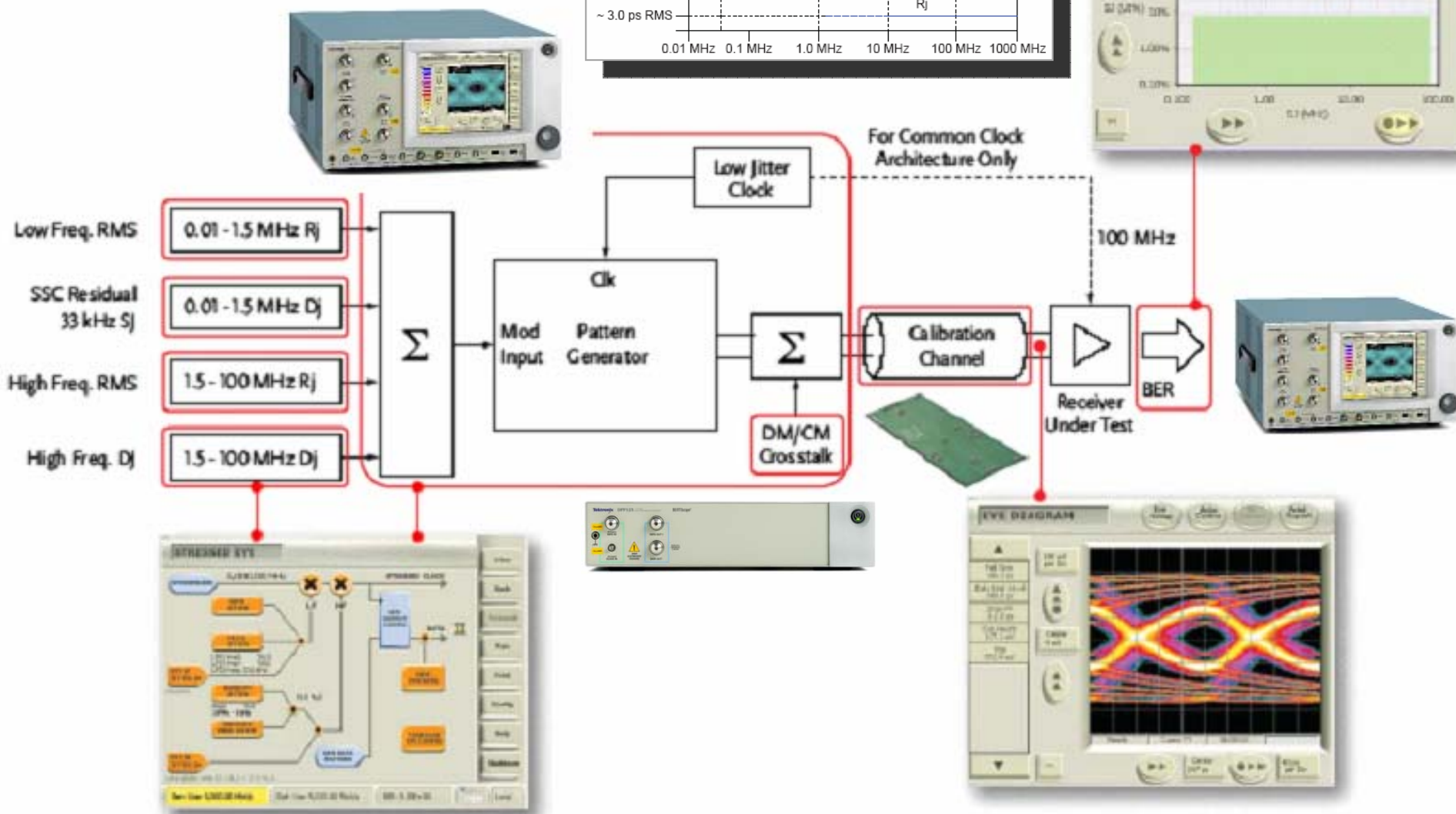
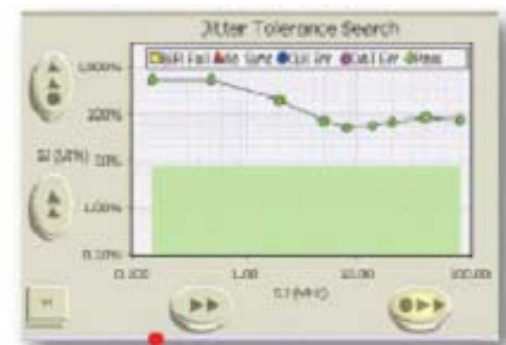
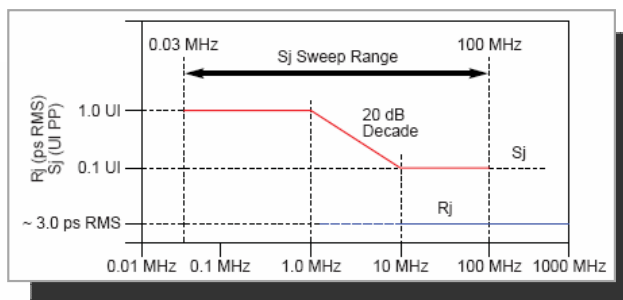
BSA CPGシリーズ パターン・ジェネレータ

- 最高26Gbpsのパターン生成、高速BER／ジッタ測定、エラー解析が可能
 - － 8.5Gbps、12.5Gbps、17.5Gbps、26Gbpsにパターン・ジェネレータ4機種、ビット・エラー・レート・アナライザ4機種
- ストレス生成機能※
- BERTScopeツールキット
 - － 標準テスト・スイート
 - アイ・ダイアグラム、マスク・テスト:オシロスコープ・ライクなアイ・ダイアグラム解析
 - － ジッタ・トレランス・コンプライアンス・テンプレート・テストとマージン・テスト※
 - － 物理レイヤ・テスト・ソフトウェア・スイート※
 - ジッタ・ピーク、BER輪郭、Qファクタ解析
 - － ジッタ分離(ジッタ・マップ) ※
- 当社特許のError Location Analysis機能
 - － エラー／データ相関など
- その他※
 - － ストレス・ライブ・データ
 - － エラー訂正符号化エミュレーション
 - － シンボル・フィルタリング



PCI Express Rev.3.0よりコンプライアンス・テスト化 アドイン/システム・エラー・レート測定

- ストレス・アイ(ジッタのみならず電圧に対するストレス)
- BSA85C型によるソリューション



PCI Express Gen 3 RXテストMOI

- 当社Webで公開

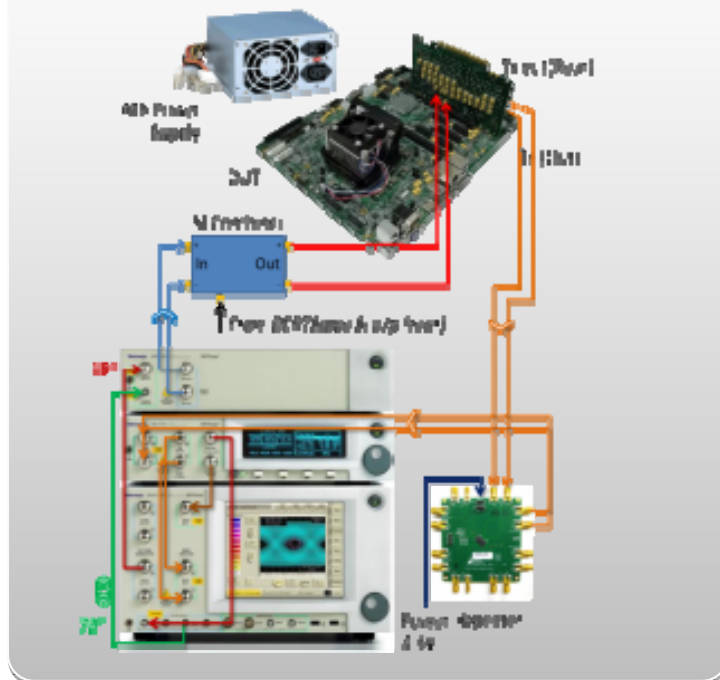
PCI Express 3.0 CEM Stressed Eye Calibration and Receiver Testing
Methods of Implementation using
Tektronix BERTScope BSAS5C Analyzer,
CR125A Clock Recovery,
DPP125B De-Emphasis Processor, and
Series 70000 Real-Time Oscilloscope

01 June 2011, Version 1.0

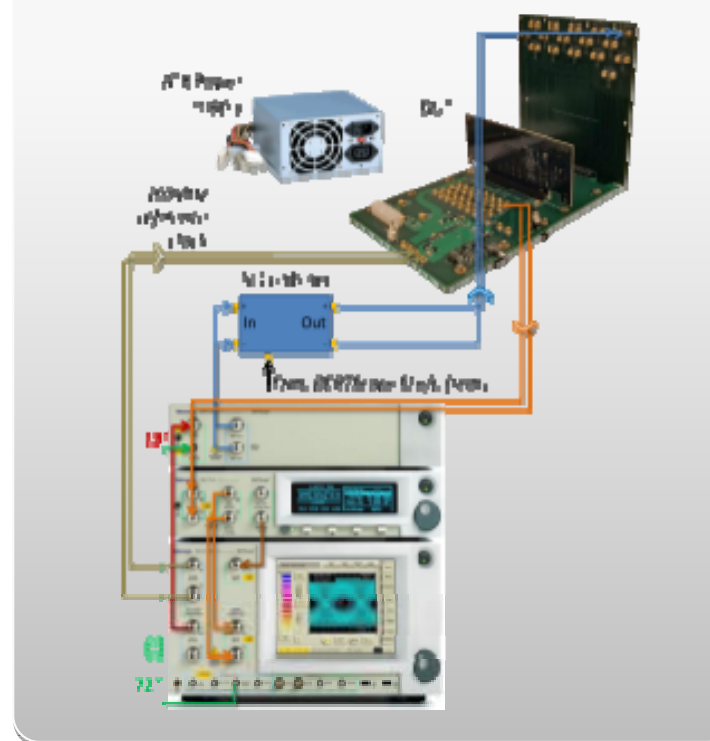
Extremely Confidential

Page 1 of 11

Host Testing



Add-in Card Testing

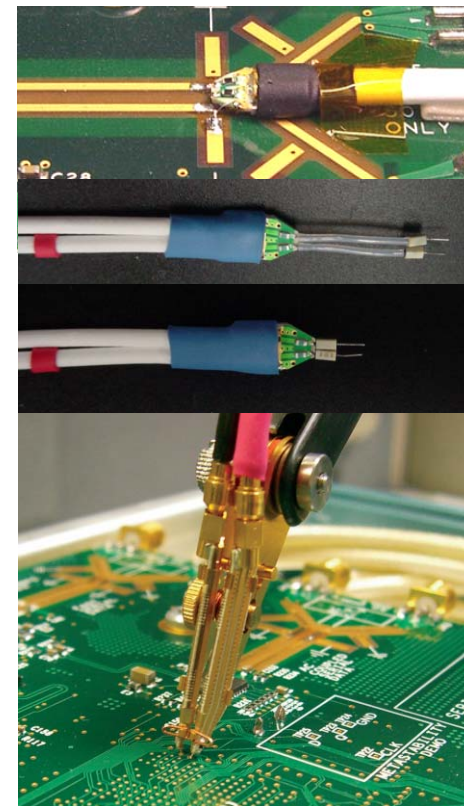


測定上の注意事項



コンプライアンスはケーブル直結。デバッグ、トラブルシューティングにはプローブが必要 P75xxシリーズTriMode差動プローブ

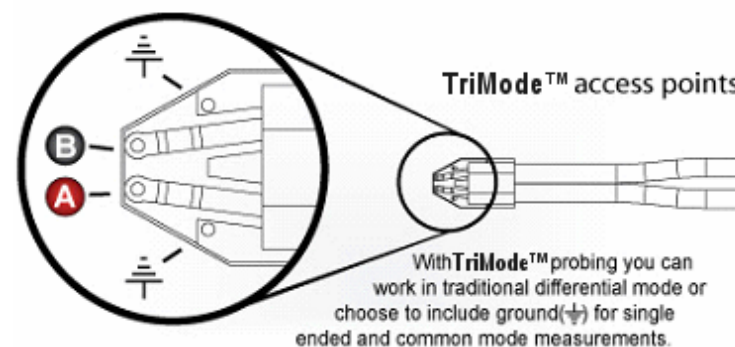
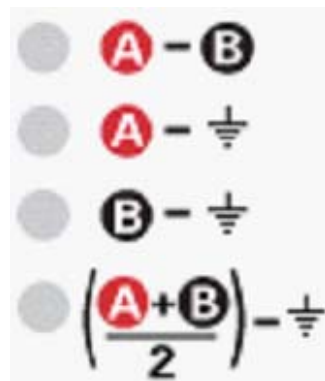
型名	P7520型	P7516型	P7513A型	P7508型	P7506型	P7504型
周波数帯域	20 GHz	16 GHz	13 GHz	8 GHz	6GHz	4GHz
10～90%立上り時間 (代表値)	27ps以下	31ps以下	40 ps以下	55 ps以下	75ps以下	105ps以下
20～80%立上り時間 (代表値)	18ps以下	23ps以下	30 ps以下	35 ps以下	50 ps以下	75ps以下
差動動作入力レンジ	±625mV(5:1)、 ±1.6V(12.5:1)	±625mV(5:1)、±1V(12.5:1)				
オフセット・レンジ	+3.7～-2V	+4～-3V				
ケーブル長	1m		1.3m			



- 業界初
 - Z-Active™ プローブ・アーキテクチャ
 - TriMode
- 接続形態
 - 標準: はんだ付け
 - オプション:
 - P75PDPM型ハンドヘルド／プロービング・アーム
 - 抵抗ソルダ・チップ
 - ロング・リーチ・ソルダ・チップ
 - 恒温槽その他

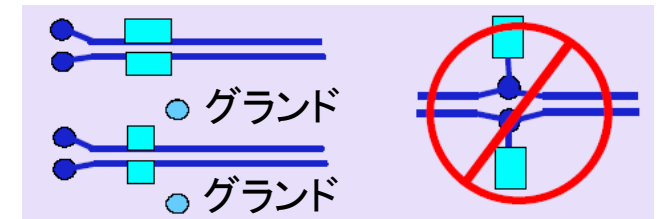
TriMode差動プローブ

- 1本のプローブだけで接続を変更することなく、差動信号に対して下記を切り替えて測定
 - 差動: $A - B$
 - シングルエンド: A あるいは B (2チャンネル・マルチプレクサとして使用可能)
 - コモン・モード: $(A + B) / 2$
- コモン・モード: 差動信号間の非対称性、スキュー、コモン・モード・ノイズの確認

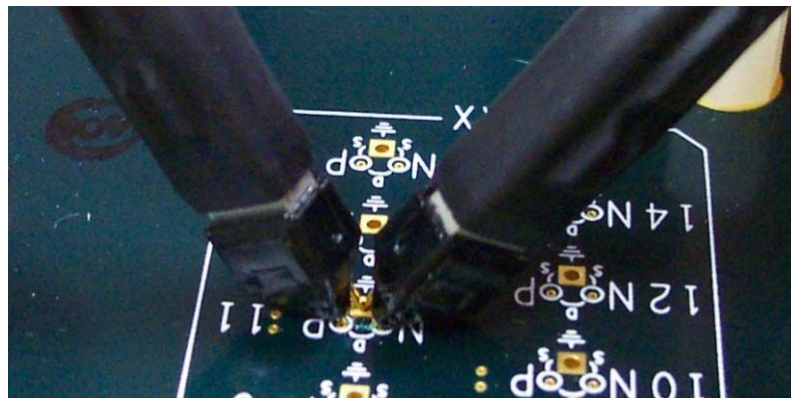
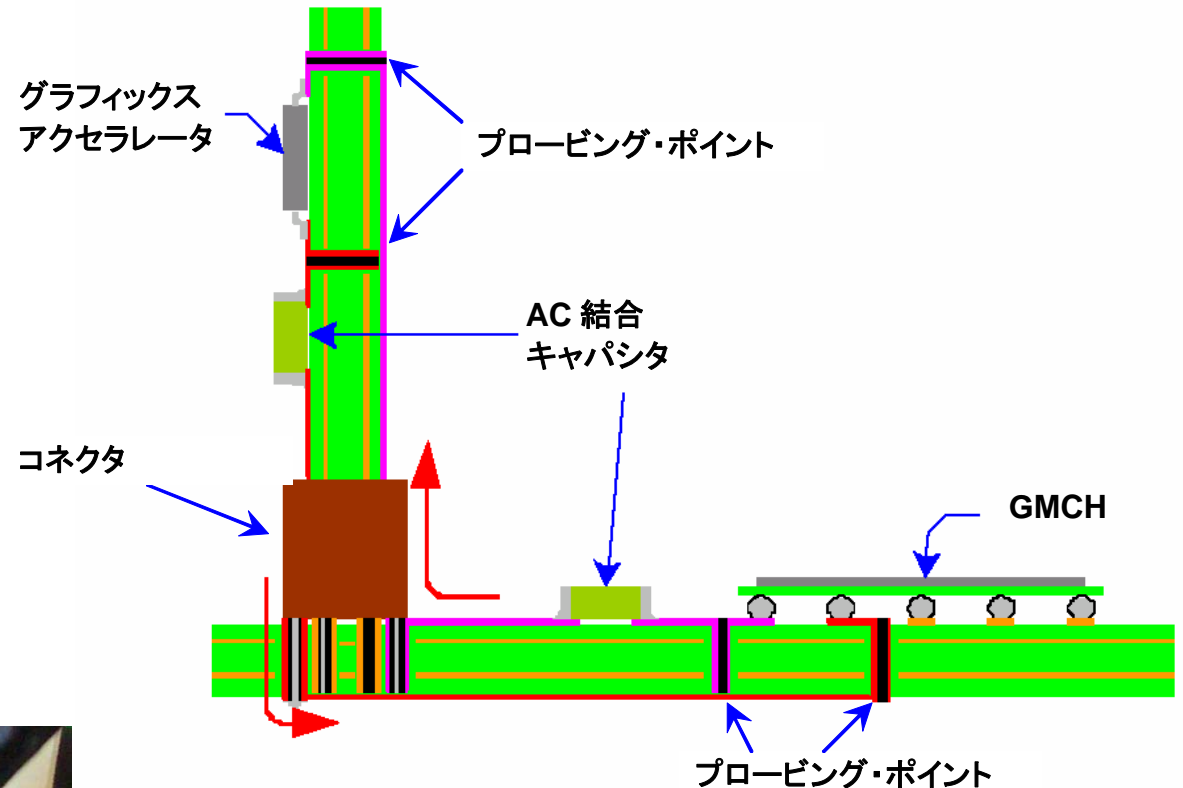


プローブ使用上の注意点

基板にプロービング・ポイントを用意すること



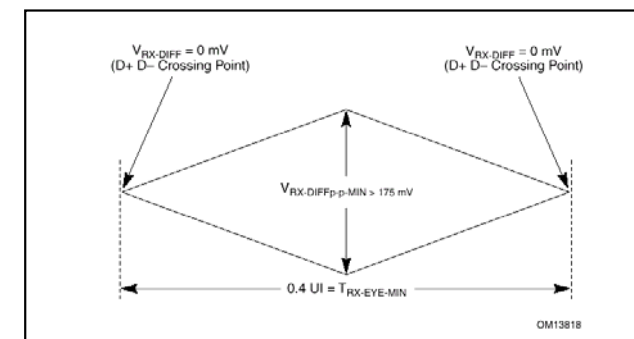
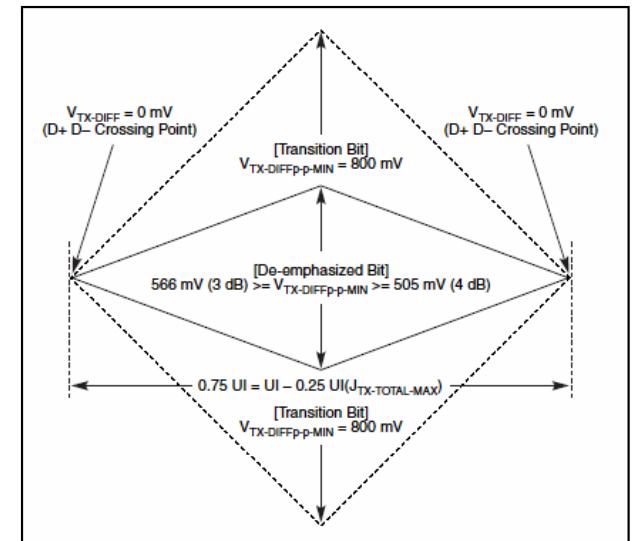
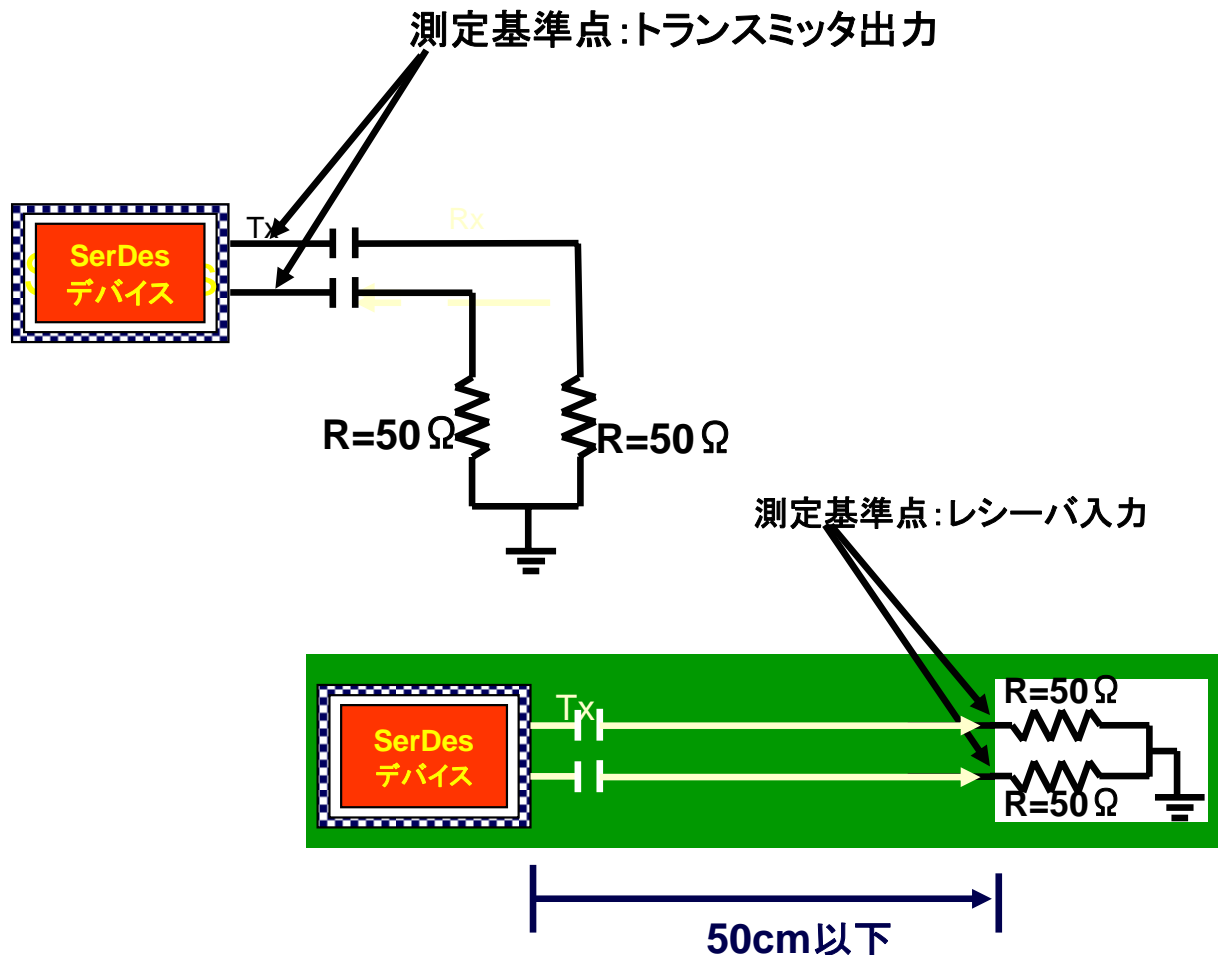
- スタブ(分岐配線)は最小に
 - ロジック・アナライザ用、プロトコル・アナライザ用のMidbusプローブ・パッドはトレースに対し直列に入るように
 - 差動ペア内で対称に配置
 - ヘッダ・ピン等を使わない
- シングルエンド測定のためにはグランド端子も近傍に設置
- 波形観測のための測定点は、伝送路効果を考慮し、受信端直近に設ける
- ビアのレジストは抜いておくこと



引用: "Board Design Guidelines for PCI Express Architecture", Zale Schoenborn Co-Chair, PCI Express Electrical WG, PCI-SIG APAC Developers Conference

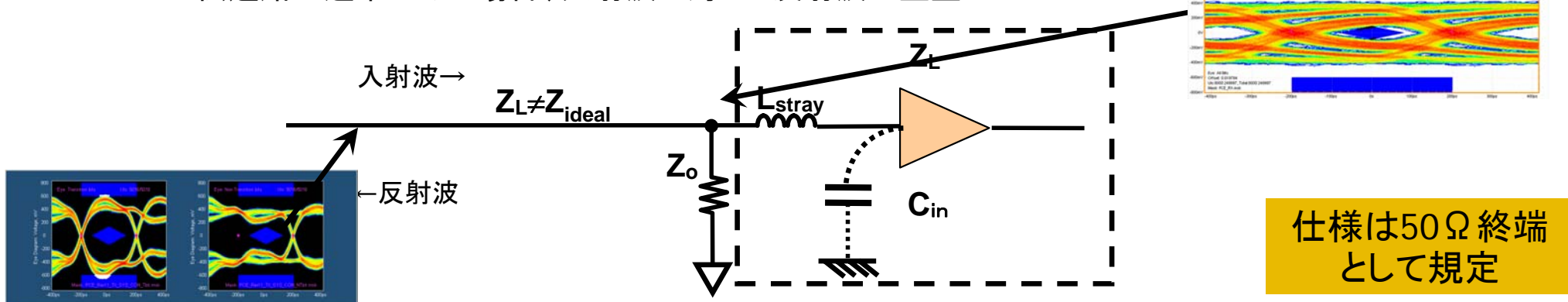
プローブを使っての測定。受信端のアイがエラーとなる

- 仕様は50オーム終端時にレシーバ接続状態ではない
例: PCI Express Base Specification Rev.1.1 (送信端・受信端)



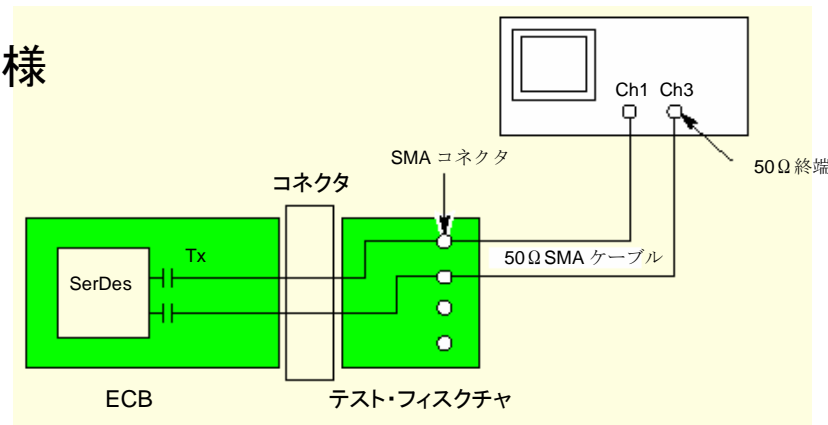
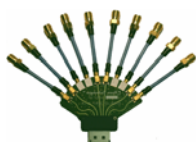
レシーバ・ピンでのプローブ測定はあくまでも参考測定

- マルチギガ・ビット超のシリアル・インタフェースでは高周波に対するインピーダンスが変動
 - 伝送路との不整合をリターン・ロスで仕様
 - プローブ負荷が加算
- その結果、
 - 規格は一般的に理想終端での仕様のため信号振幅も変動(一般的に下がる)
 - 伝送路の途中でみた場合、入射波に対して反射波が重畳



仕様は50Ω終端として規定

- ゆえに規格は実デバイスではなく、理想終端での仕様
 - オシロスコープの50Ω入力で終端
 - テスト・フィクスチャを併用
 - デバッグや参考測定ではプローブを使用

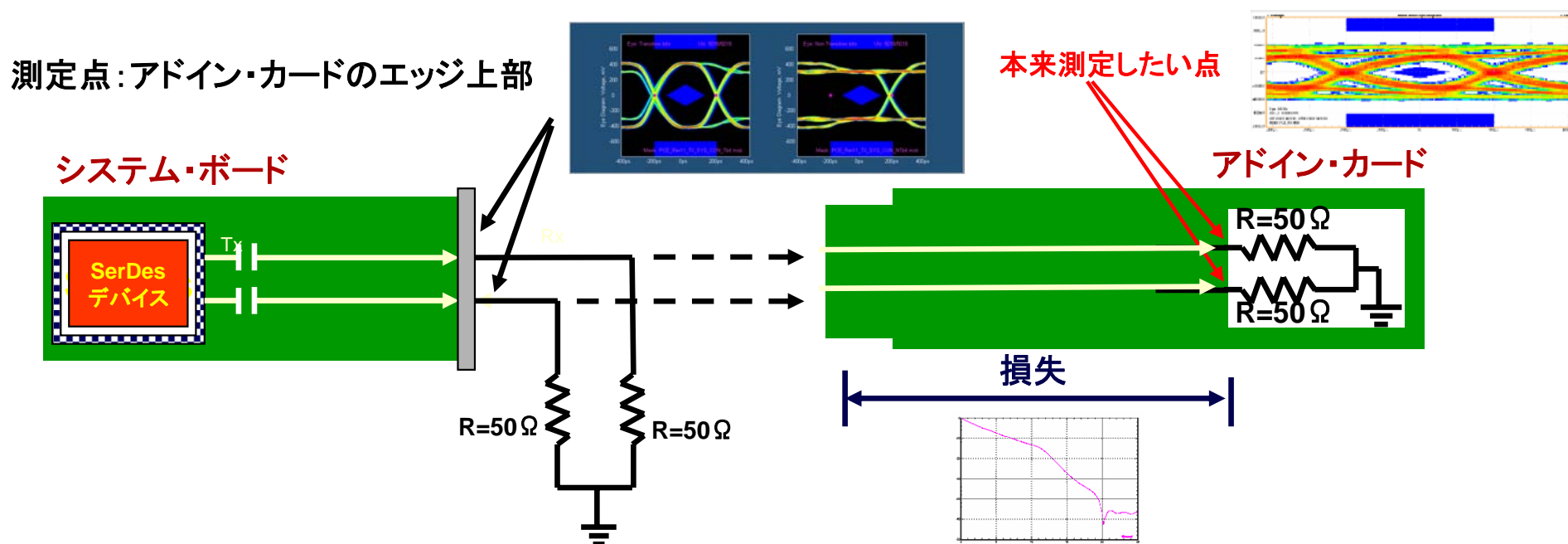


市販テスト・フィクスチャ例 (SATA, DisplayPort, PCI Express)

シリアル・データ・リンク解析:エンベッド

レシーバ端波形の規格照合

- レシーバ端の規格は実デバイスではなく、理想終端での仕様
- レシーバを実装した状態での測定結果と規格は一致しない
 - あくまでも参考測定
- 例としてPCI Expressでは、手前の測定ポイント(例:CEMのシステム、External Cable Rx)で測定した結果をアドイン・カード、サブシステムのレシーバ・パッドまでのトレースの損失特性を加算(エンベッド)することで測定可能
 - 損失特性(Sパラメータ)は、VNA、TDRで測定したり、シミュレーションで求めておく



当社社員執筆・編著書籍・記事紹介

- CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計，機能実装まで」、2010年4月
 - A5判 336ページ(4C:8ページ)
 - 定価2,625円(税込)
 - JANコード: JAN9784789846417
 - 内容
 - 第1章 PCI Expressの基礎知識: 共同執筆
 - 第2章 伝送方式とプリント・パターン設計
 - 第3章 PHYチップを使った基板設計
 - 第4章 アドイン・カードの電源設計
 - 第5章 FPGA用IPコアの選び方
 - 第6章 IPコアを使ったFPGA設計入門
 - 第7章 IPコアを使ったLSI設計事例
 - 第8章 信号品質の評価方法とコンプライアンス・テスト: 執筆
 - 第9章 ジッタ仕様と測定環境: 執筆
 - 第10章 ソフトウェアの階層構造とハードウェアとの関連付け
 - 第11章 PCI Expressソフトウェアの役割
 - 第12章 ハードウェア接続時の初期化処理: 共同執筆
- マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」
 - <http://journal.mycom.co.jp/series/serialif/001/index.html>



ありがとうございました。



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>