

最新のSATAコンプライアンス・テストと測定ソリューション



テクトロニクス・イノベーション・フォーラム2011

ADSC 鈴木克彦

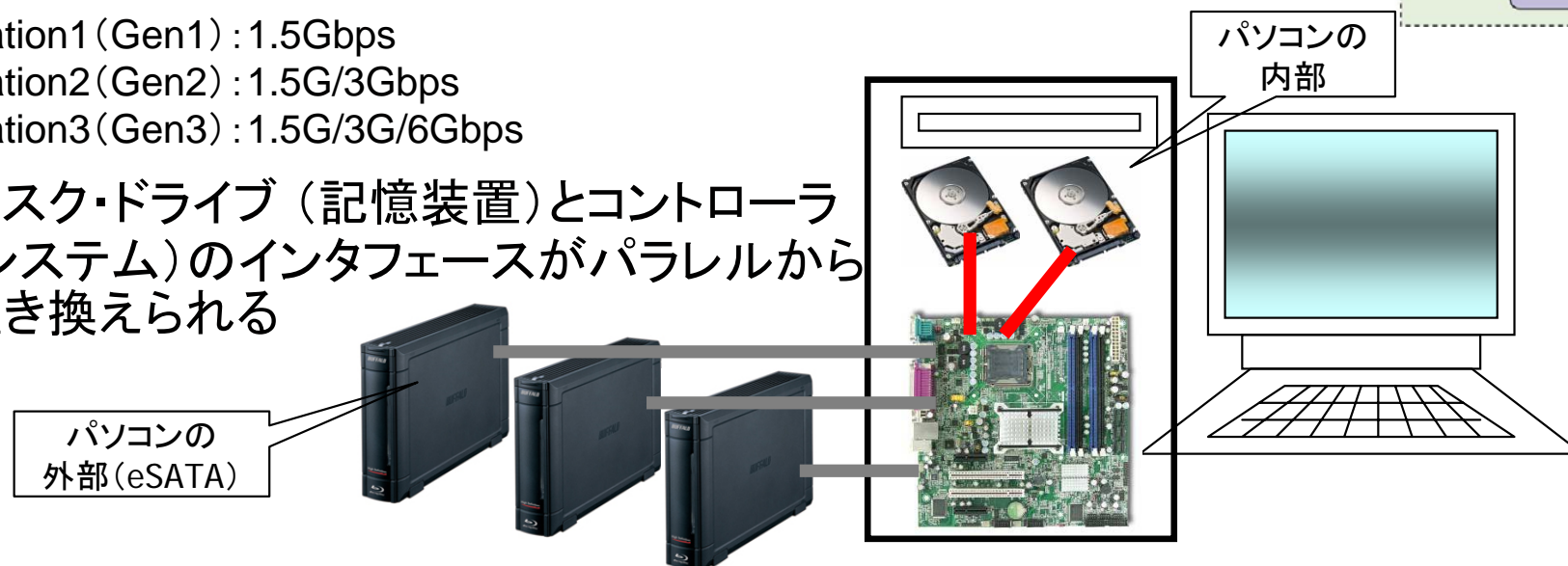
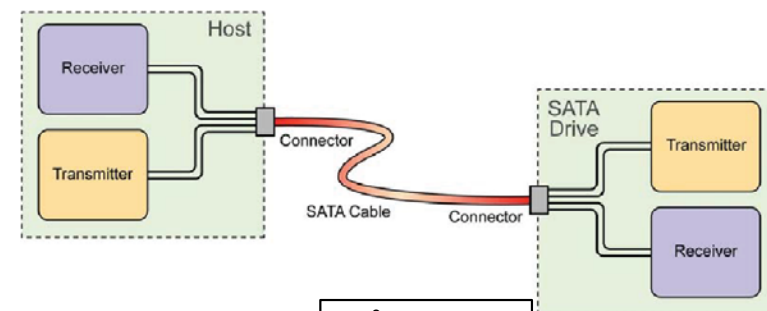
www.tektronix.com/ja

内容

- SATAの概要
- SATAのコンプライアンス・テストについて
- SATAのコンプライアンス・テストの課題と当社のソリューション
- 測定内容のアップデートについて
- 障害解析
- 補足資料
 - SATAのコンプライアンス・テストに必要な機材
 - 主な測定項目

SATA 概要

- ATA: Advanced Technology Attachment
 - ハードディスクとコンピュータの平行・インタフェース規格として1989年に規格化される
- SATA: Serial Advanced Technology Attachment
 - 平行 ATAの置換技術として2001年8月に規格化される
 - クロックをデータ・ラインへ多重化
 - スキューによるタイミングのばらつきを解消
 - 高速化
 - ピン数の削減
 - PC筐体内のエア・フローの妨げを減らし、機構設計を容易に
 - 基板占有面積の削減
- スピード
 - Generation1 (Gen1) : 1.5Gbps
 - Generation2 (Gen2) : 1.5G/3Gbps
 - Generation3 (Gen3) : 1.5G/3G/6Gbps
- 全てのディスク・ドライブ (記憶装置) とコントローラ (ホスト/システム) のインタフェースが平行から SATA に置き換えられる



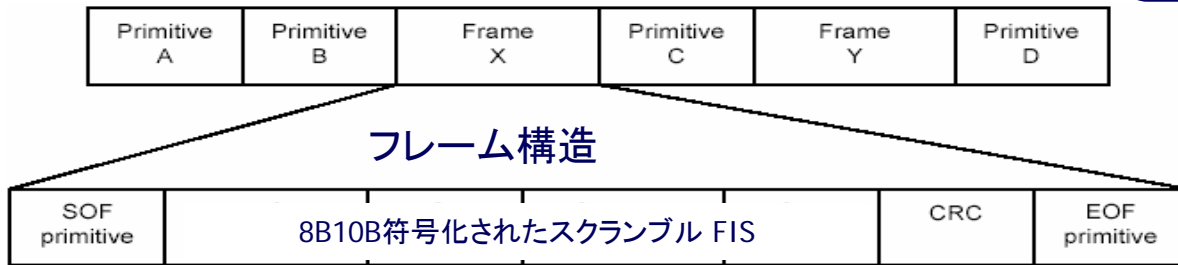
SATAの電氣的な仕様

規格	Gen1	Gen2	Gen3
データ・レート	1.5Gbps	1.5Gbps,3Gbps	1.5Gbps,3Gbps,6Gbps
符号化	8B/10B		
スクランブラ多項式 (Polynomial)	$X^{16} + X^{15} + X^{13} + X^4 + 1$		
電圧レベル※1 (トランスミッタ)	i/m: 0.4V~0.6V x: 0.4V~1.6V	i/m: 0.4V~0.7V x: 0.4V~1.6V	0.24V~0.9V
立上り／立下り時間	i/m: 100ps~273ps x: 67ps~273ps	67ps~136ps	33ps~68ps
リファレンス・クロック	送／受信側に別々のリファレンス・クロック・ソース		
周波数偏差	+350~−5350PPM(SSC含む)		
DC結合コモン・モード 電圧	i/m: 0.2V~0.45V	AC結合	AC結合
スピード・ネゴシエーション	OOB(Out of Band) (Calibration)		

※1:ディエンファシスの規定はない

SATAのデータ構造

- トランスポート層
- リンク層



- 物理層

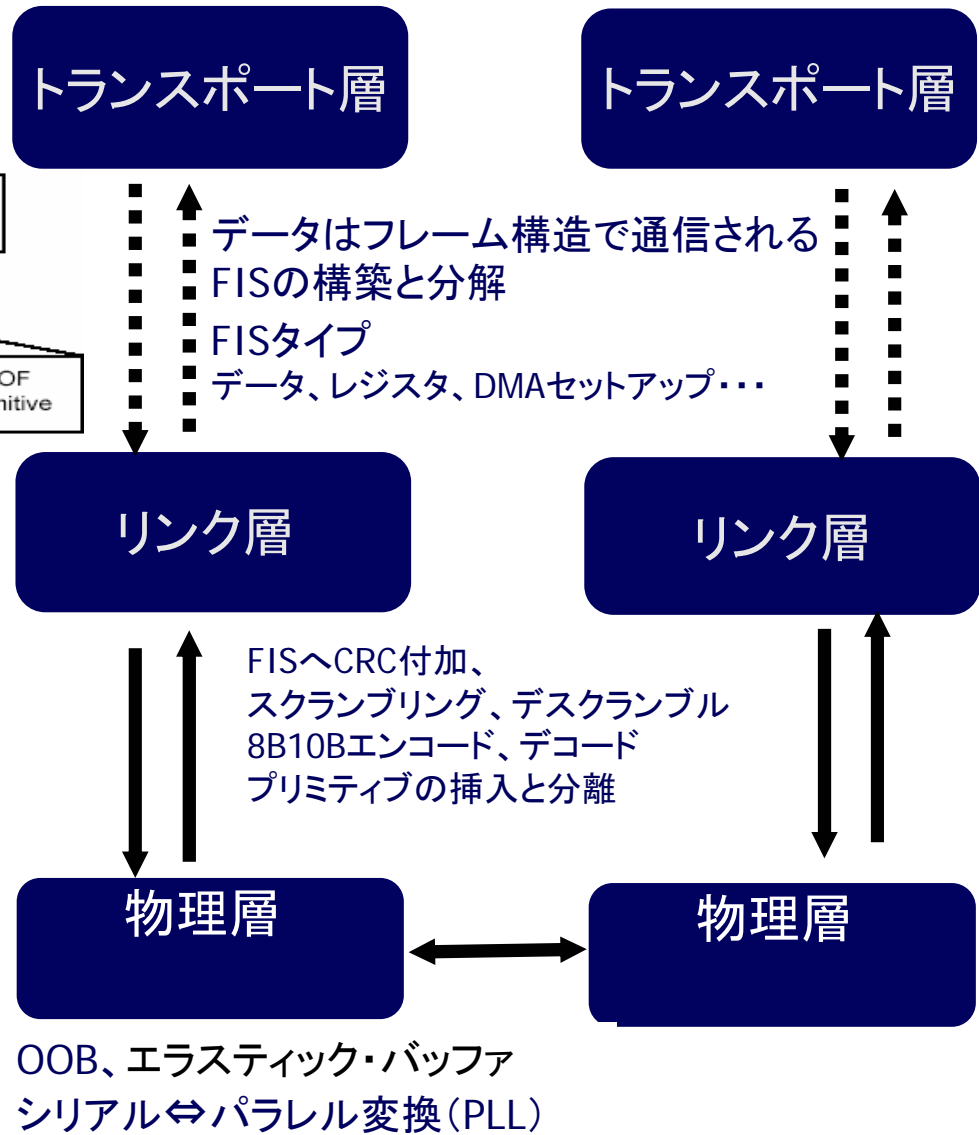
	Host driver	Device driver
40ビット	SYNC	SYNC
40ビット	SYNC	SYNC
40ビット	X_RDY	SYNC
.	X_RDY	SYNC
.	X_RDY	R_RDY
.	X_RDY	R_RDY
	SOF	R_RDY
	Hdr 0	R_RDY
	Hdr 1	R_IP

実際のコマンド転送例

デュアル・シンプレックス
(双対単方向伝送)
仕様書にはFull duplexと記載

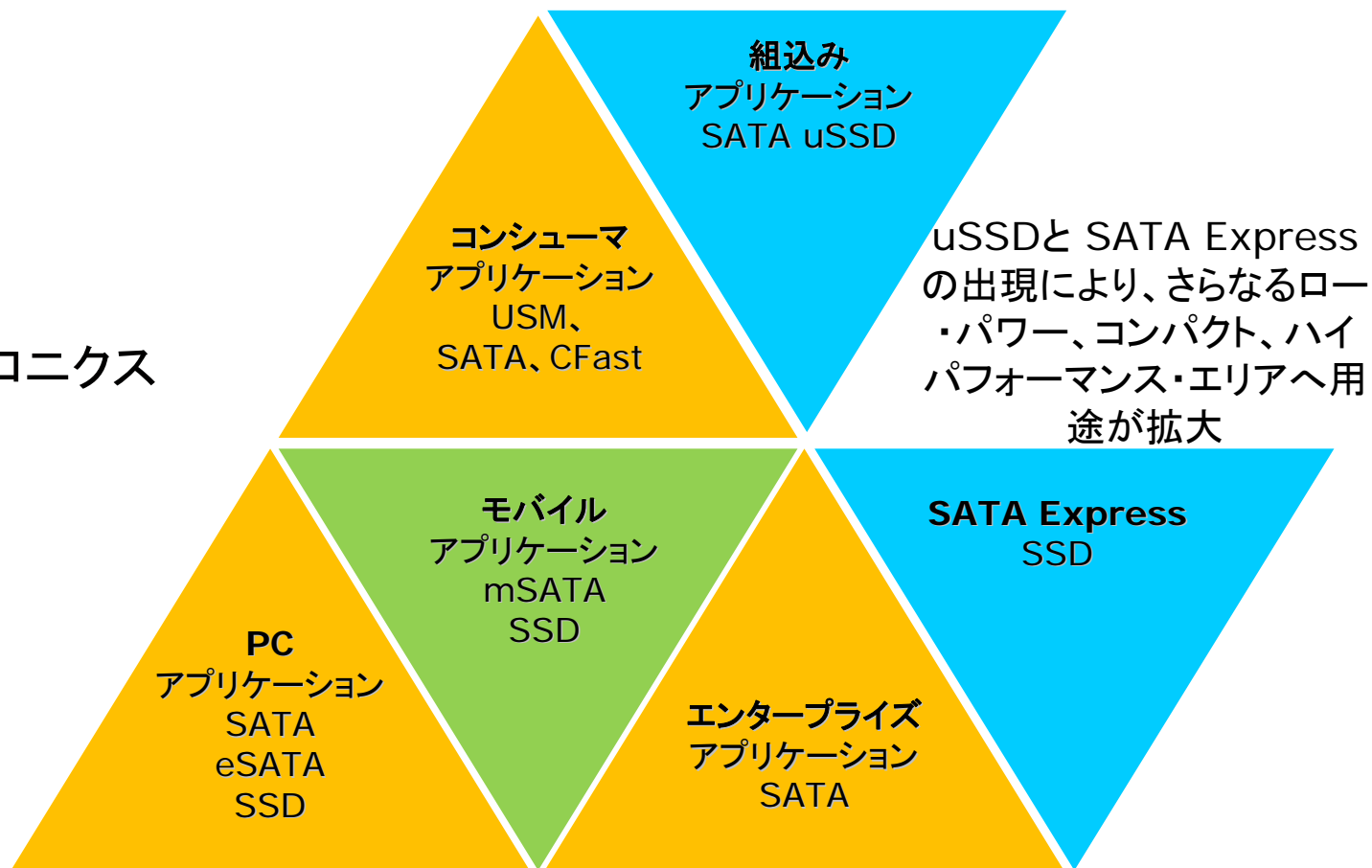
例：BIST FIS構造

0	Reserved (0)	Pattern Definition T A S L F P R V	R R R	Reserved (0)	FIS Type (58h)
1	Data [31:24]	Data [23:16]	Data [15:8]	Data [7:0]	
2	Data [31:24]	Data [23:16]	Data [15:8]	Data [7:0]	



SATAアプリケーションの拡大

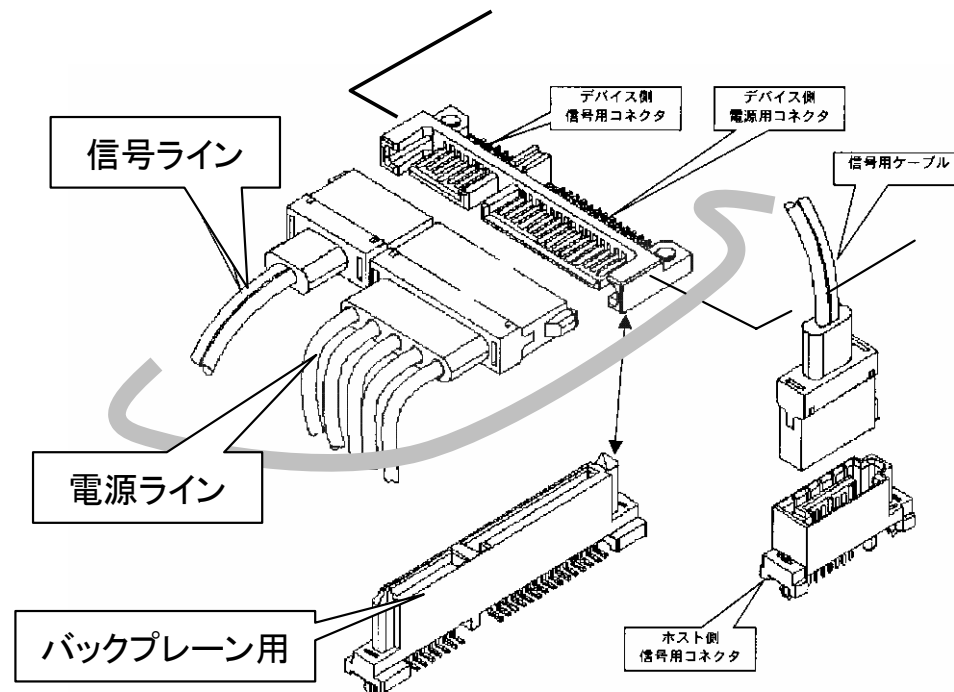
- PC(デスクトップ、ラップトップ)
 - SATA
 - eSATA
 - SSD
- エンタープライズ
 - SATA
- コンシューマ・エレクトロニクス
 - SATA、eSATA
 - CFast
 - USM
- モバイル
 - mSATA
 - SSD
- 組み込み
 - SATA uSSD
- SATA Express
 - SSD



PC、モバイル、エンタープライズ、コンシューマ・エレクトロニクスの市場で、SATAはHDD、ODD、SSD、ハイブリッド・ドライブなどのインタフェースとして使用されている

SATAのコネクタ形状-1

- iSATA(一般的なコネクタ)
 - 3.5/2.5型 共通コネクタ
 - ケーブルを介さずに 直接接続可能なバックプレーン用コネクタ
 - コスト削減に寄与
- eSATA
 - 2m以内のケーブルを使用したホストと外部ドライブを接続するコネクタ
 - コンポコネクタでは、片面にUSB用の端子を、もう片面にeSATA用の端子を実装することで、USBケーブルとeSATAケーブルの両方を排他接続可能
- スリムライン・コネクタ
 - 薄型光ディスク・ドライブ用



全てSATA規格として測定できるため、フィクスチャを入手(または自作していただければ測定可能)



SATAのコネクタ形状-2

- USM (Universal Storage Module)
 - 外部ストレージとTV、STB、ゲーム機器などホストとのインタフェース
 - 電源供給可能
 - 既存バック・プレーン・コネクタにスプリング・コネクタなどを追加したフォームファクタ、SATAの電気規格を使用



USMの例



バック・プレーン・コネクタ・テスト・フィクスチャ

- CFast
 - コンパクト・フラッシュ・カードのシリアル・インタフェース版
 - デジタル・カメラ業界で利用される



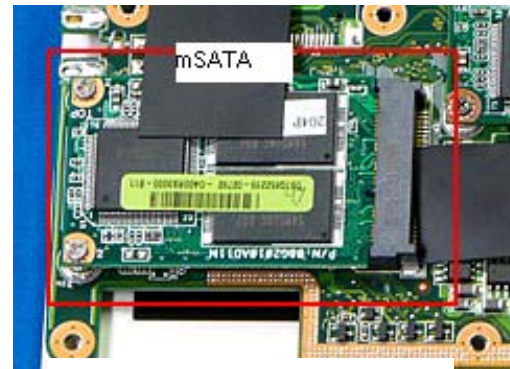
CFast - SATA 変換

全てSATA規格として測定できるため、フィクスチャを入手(または自作)していただければ測定可能

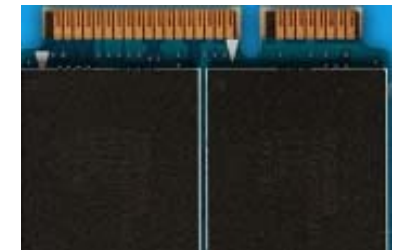
SATAのコネクタ形状-3

■ mSATA

- ノート/サブ・ノートPCのマザーボードとSSD(NANDフラッシュ・メモリ)のインタフェース規格
- PCIe Mini Card のフォームファクタ、SATAの電気規格を使用



mSATA ホスト側コネクタ



mSATAドライブ側コネクタ



mSATA ホスト・テスト・フィクスチャ

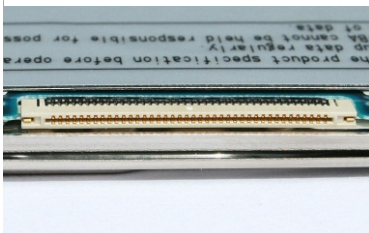


mSATA デバイス・テスト・フィクスチャ

■ LIF SATA

- 携帯端末など1.8型HDDのインタフェース
- ケーブルはFPCのみ

LIF SATAドライブ側コネクタ



全てSATA規格として測定できるため、フィクスチャを入手(または自作)していただければ測定可能

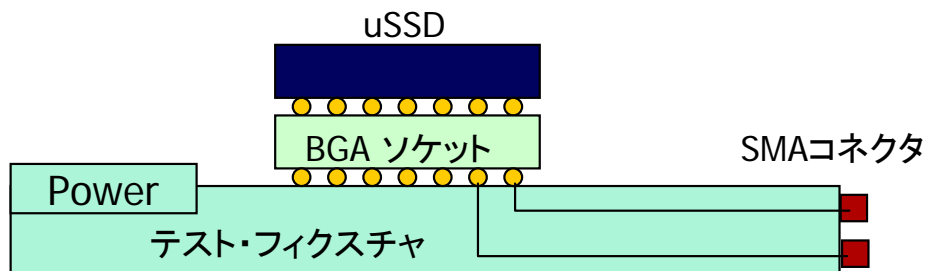
SATAの新しい形態- SATA uSSD

■ SATA uSSD

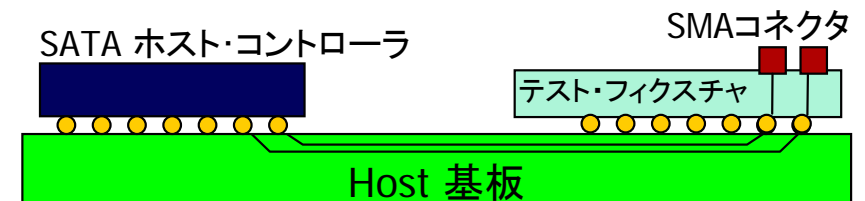
- 組込ホスト用のアプリケーション
- ボードに実装するSSD (NANDフラッシュ・メモリ) のインタフェース規格
- SATAのコネクタ形状ではなく、BGAを採用



- テスト・フィクスチャ

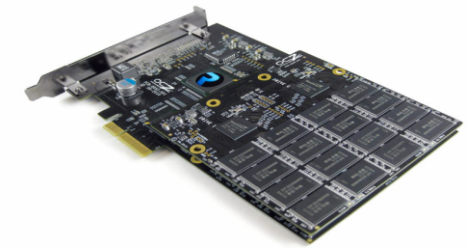


BGA SSD デバイスのテスト・フィクスチャ例



BGA SSD ホストのテスト・フィクスチャ例

全てSATA規格として測定
できるため、フィクスチャを
入手(または自作)してい
ただければ測定可能

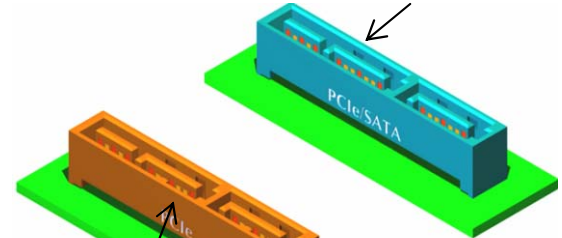


SATAの新しい形態- SATA Express

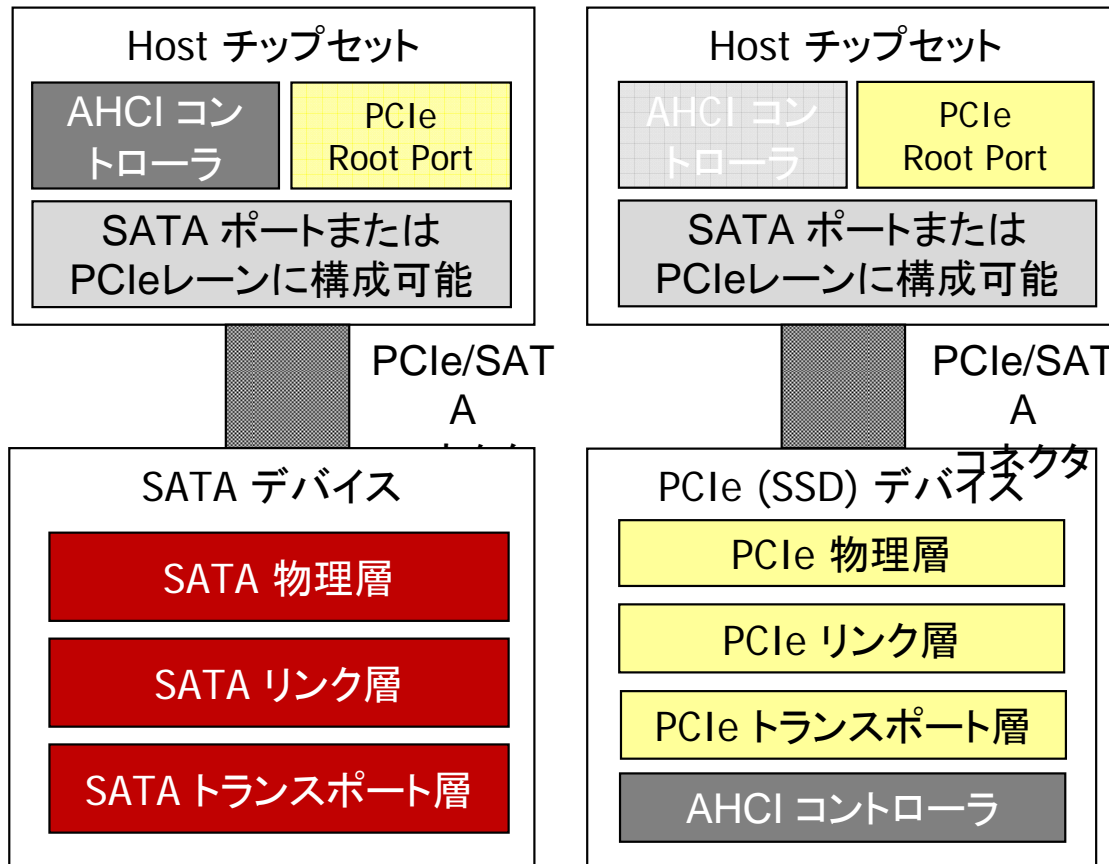
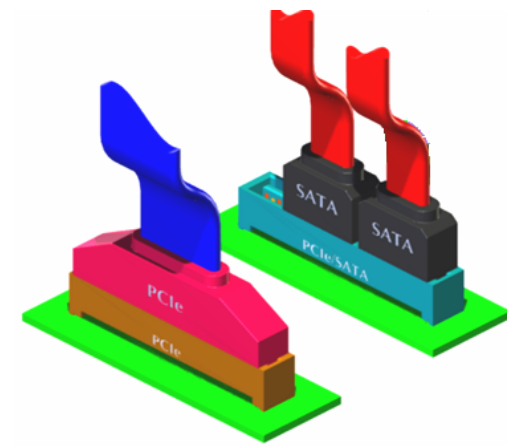
SATA Express

- 高速化するSSD(NANDフラッシュ・インタフェース:ONFI)に対応可能なインタフェース
 - 例: OCZ Technology 社のRevoDrive x2は706MB/s
- PCI Express Rev.3.0(8Gbps)のx1またはx2
 - x1: 8Gbps → 1GB/s
 - x2: 16Gbps → 2GB/s

PCIe/SATA コネクタ
 x2またはx1 PCIeケーブル、または
 SATAケーブルを2本まで接続可能



PCIe コネクタ
 x2またはx1 PCIeケーブル
 を接続可能



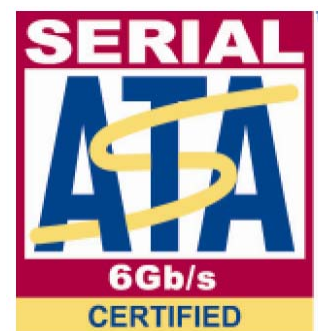
・ SATAデバイス:
従来通りのインタ
フェース

・ PCIeデバイス:
ソフトウェア互換
性確保のため、
AHCIコントローラ
を持つ

SATAのコンプライアンス・テスト

- SATA-IO インターオペラビリティ・プログラム(事実上のコンプライアンス・テスト)
 - 規格適合性、互換性を確認するためのテスト
 - 年2回開催されるインターオペラビリティ・ワークショップで実施
 - 2011年5月に最新のIW#10とPF#15が開催される。
 - Allion社など民間規格認証企業でも受けられる

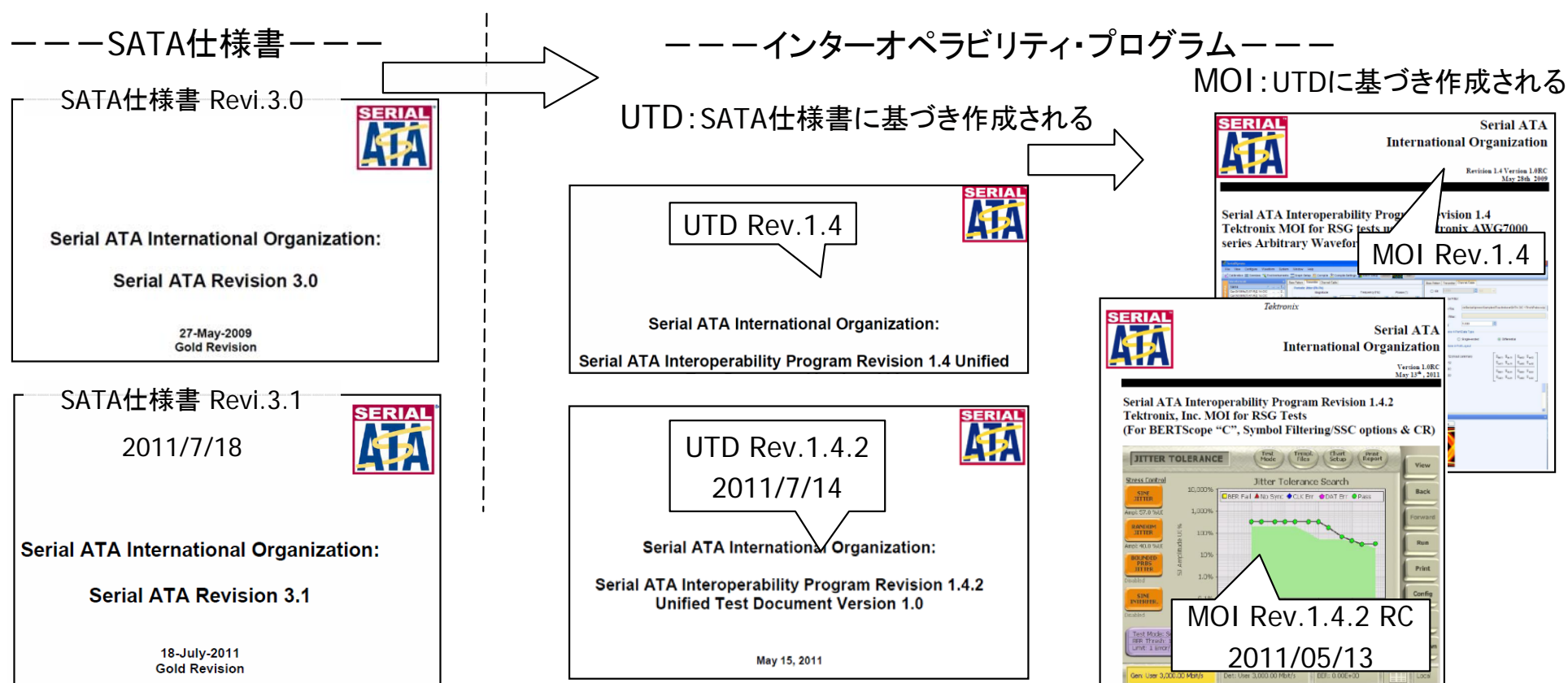
- コンプライアンス・テストに合格すると
 - インテグレーターズ・リストに登録される
 - サーティファイド・ロゴが取得できる



- インテグレーターズ・リストへの登録、サーティファイド・ロゴの取得のためにはコンプライアンス・テストを受ける必要がある
 - リストに登録する必要がなく、サーティファイド・ロゴを取得しないのであれば必要なし
 - ただし社内保証・製品保証のためには同等テストの実行を推奨

コンプライアンス・テストの仕様書

- テスト内容はInteroperability Program Unified Test Document(UTD)に規定
- 各計測機器ベンダーはこのドキュメントに従い、Method of Implementation (MOI、手順書)を作成
 - http://www.serialata.org/developers/interop_14.asp よりダウンロード可能



SATAのコンプライアンス・テスト

■ テスト内容

– PHYクラス

- 一般要件 (PHY 1~4)、送信信号要件 (TSG 1~12)、アウト・オブ・バンド要件 (OOB 1~7)

- トランスミッタ要件 (TX 1~6)、レシーバ要件 (RX 1~6)

- 受信信号要件 (RSG 1~3、RSG 5、6)

– CabConクラス

- ケーブル・アセンブリ・メカニカル (MCI-1~5)、
- ケーブル・アセンブリ・電気リカル (SI-1~9)
- デバイス・メカニカル (MDI-1~2)、(MDP-1~2)

– Digital_Tests

– System_Interoperability

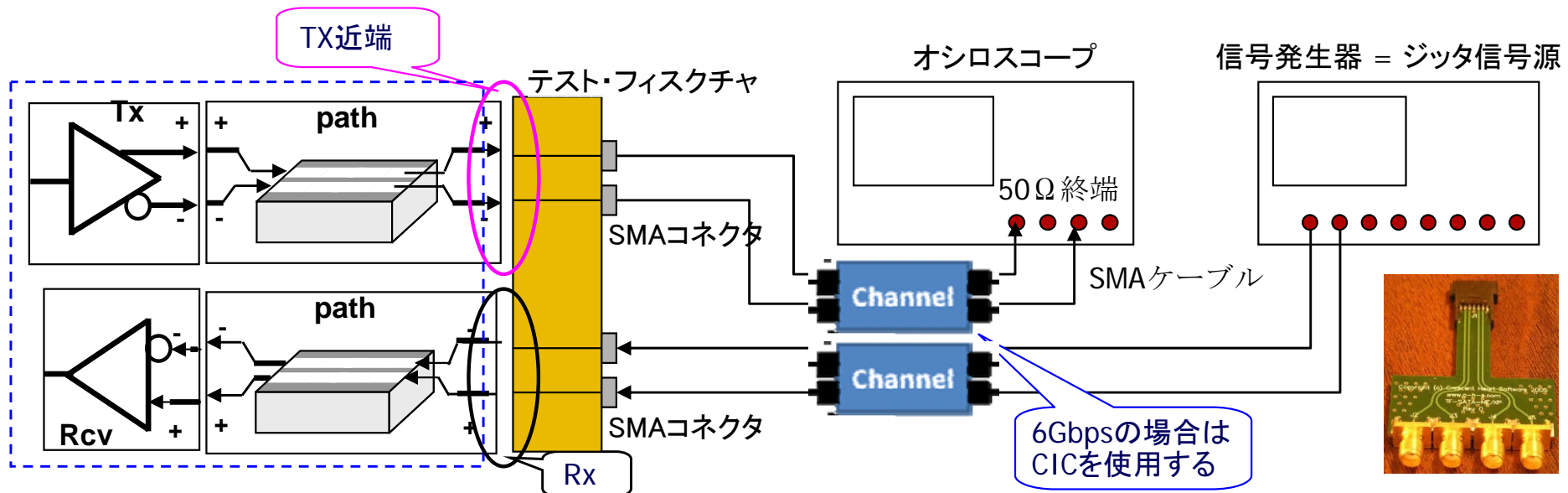
オシロスコープ/
信号発生器

サンプリング・オシロスコープ/TDR

ジッタ信号発生器

コンプライアンス・テスト(インターオペラビリティ・プログラム)のプロービング

- トランスミッタ(Tx)
 - 近端での信号取り込みのみ(遠端の取込みは不要)
- レシーバ(Rx)
 - レシーバ端でジッタ/振幅耐性テストの信号の調整を行い、DUTへ入力する
- CIC(Compliance Interconnect Channel)の適応
 - 規格で規定された最大損失の特性を持った伝送路を経由したテストを実施する
 - トランスミッタ:6Gbpsのテストに使用、 レシーバ:全てのスピードのテストに使用
 - オシロスコープや任意波形ジェネレータのソフトウェアで処理することも可能
- プロービングはSMA接続 ⇒ 装置単体でテストを行う → テスト・モードが必要になる



SATA コンプライアンス・テストの課題

- テスト・モードへの設定
 - 測定項目によってパターンが規定されている ⇒ テスト・モードに設定して固有のパターンを出力させる
- 多大な測定項目
 - コンプライアンス・テストに時間がかかる ⇒ 生産性の向上が必要
- 最大損失伝送路 = ハードウェア・チャンネル(CIC)
 - Gen3のトランスミッタ・テスト(ジッタと差動電圧振幅)とGen1/2/3のレシーバ・テストでは規格で規定された最大損失伝送路を通した測定が必要
- 多くの機材(アクセサリ)と手間がかかる手順を必要とするレシーバ・テスト
 - 接続ミスの発生や段取り時間の増加が問題になる
- テスト・モードに設定できないDUTの場合は？

テスト・モードへの設定

テスト・モードに設定できない DUTはコンプライアンス・テストが実施できない

- 測定項目によってパターンが規定されている ⇒ テスト・モードに設定して固有のパターンを出力させる

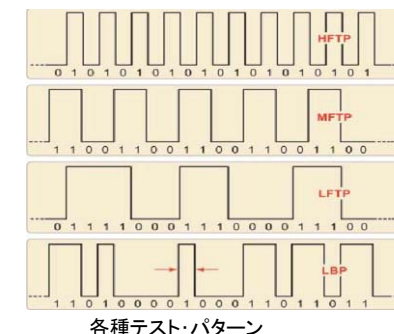
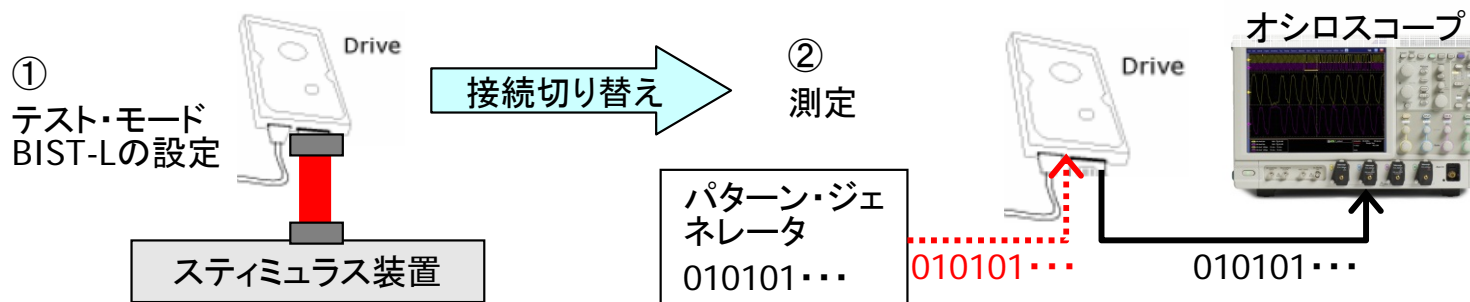
- HFTP (High Frequency Test Pattern): 1010101010 1010101010b
- MFTP (Mid Frequency Test Pattern): 1100110011 0011001100b
- LBP (Lone bit pattern) : 00110110111101000010...
- LFTP (Low Frequency Test Pattern): 0111100011 1000011100b

差動電圧出力	HFTP、MFTP、LBP or LFTP
立上り/立下り時間	LFTP
ACコモン・モード信号テスト	MFTP
差動スキュー	HFTP、MFTP

テスト項目と必要になるパターンの例

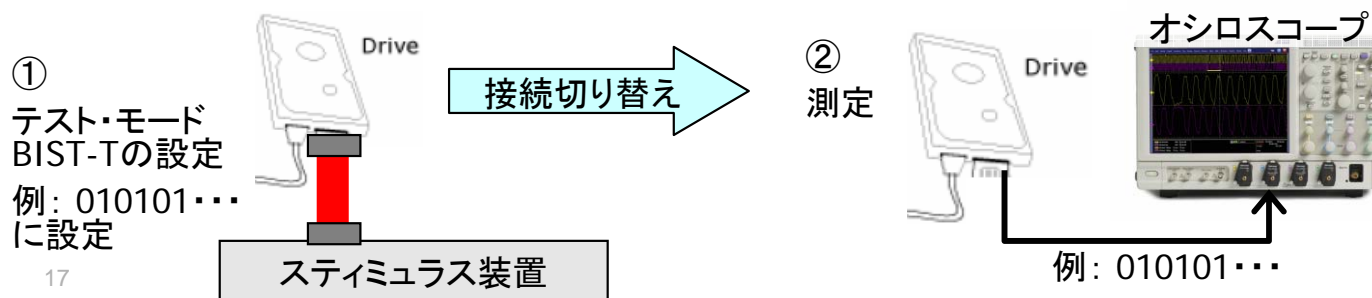
手間のかかる作業

- スティミュラス装置(プロ・アナのエキササイザなど)によりテスト・モードに設定するためのコマンド送出
- BIST-L: リタイムド・ループバック
 - DUTのレシーバに入力した信号と同じパターンがトランスミッタから出力される



各種テスト・パターン

- BIST-T: トランスミット・オンリ・モード
 - スティミュラス装置でDUTに設定したパターンがトランスミッタから連続出力される



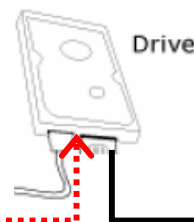
テスト・モードへの設定 – 当社のソリューション

- AWG7000Cシリーズ任意波形ジェネレータによる、テスト・モードへの設定
- 手間いらずの作業
 - 任意波形ジェネレータからテスト・モード(BIST-L)に設定するためのコマンドを送出したのち、固有のパターンを連続出力させる
 - 接続切替え不要
 - BIST-L: リタイムド・ループバック
 - DUTのレシーバに入力した信号と同じパターンがトランスミッタから出力される

AWG任意波形ジェネレータ:
テスト・モード(BIST-L)の設定と
固有パターンの送付



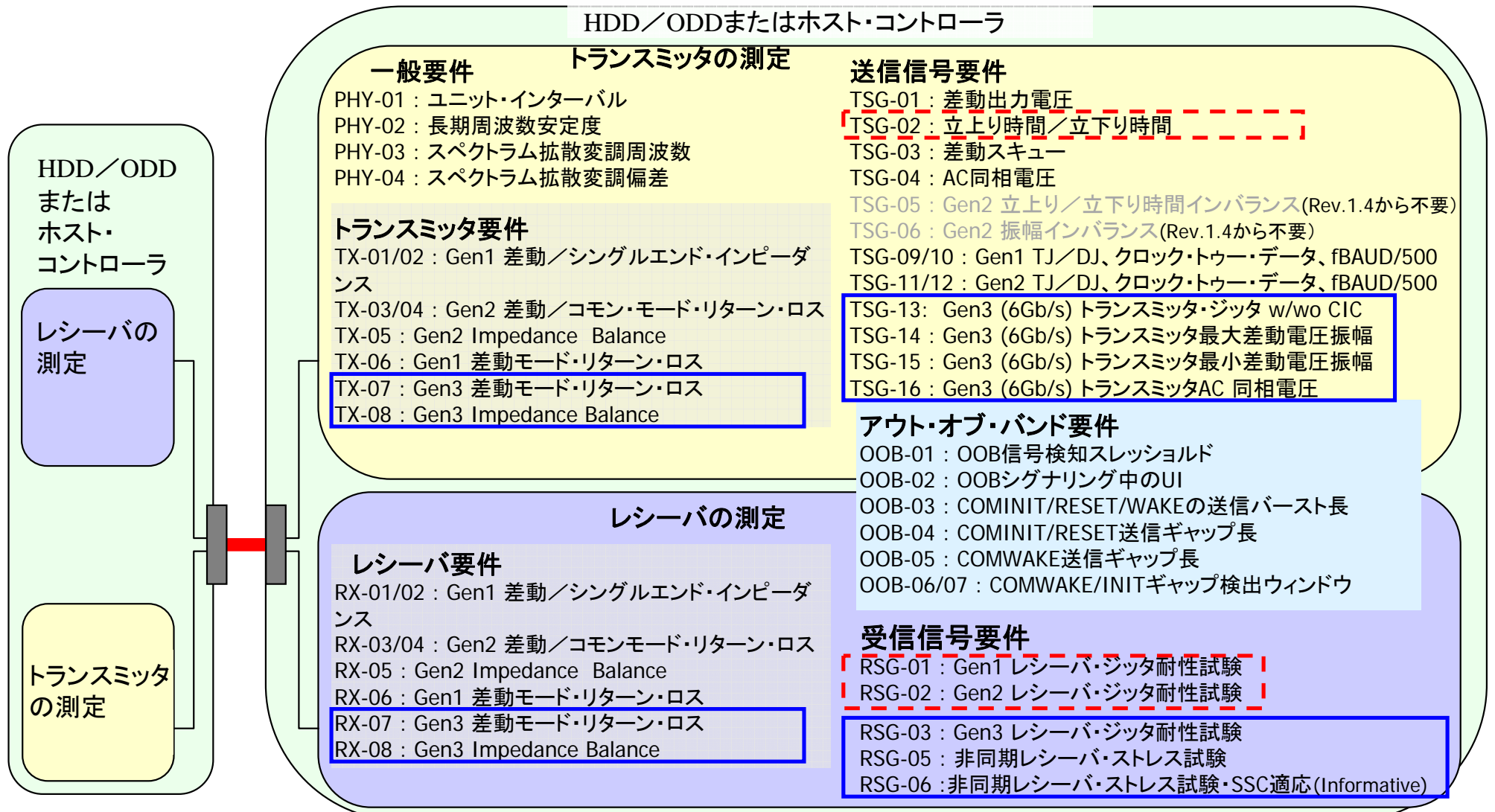
BIST-Lコマンドの送
出後、固有のパタ
ーン送付 010101...



010101...

多大な測定項目

- トランスミッタ(PHY/TSG/OOB)、レシーバ(RSG)、チャンネル(RXTX)合計48項目の測定に多大な時間がかかる ⇒ 生産性の向上が必要



Rev.1.4から測定Methodが変更された項目
Rev1.4から追加された項目

多大な測定項目 - 当社のソリューション - 1

■ TekExpress SATA 自動コンプライアンス・テスト・アプリケーション

▶ 簡単操作

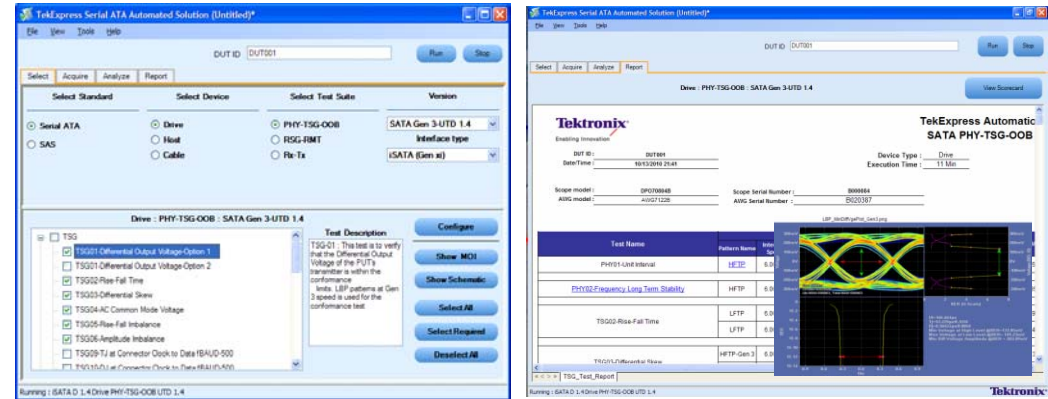
- 世界初、SATA Gen1/Gen2/Gen3 のための完全自動化コンプライアンス・テスト
- ワン・ボタンでコンプライアンス・テストの設定、実行、合否判定まで可能

▶ 効率的

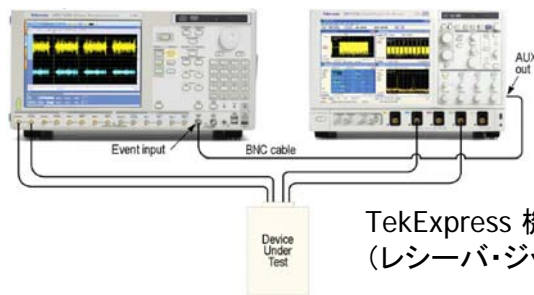
- テスト時間の削減
- 計測器の設定は自動化

▶ 統合システム

- 当社計測器(オシロスコープなど)とサードパーティの機器(フレーム・エラー・アナライザなど)を統合制御可能
- 将来の規格のコンプライアンス・テストに対応可能なモジュラ・プラットフォーム



従来の手法	TekExpress
<ul style="list-style-type: none"> ■ 機器は個々に設定 	<ul style="list-style-type: none"> ■ 設定、制御は自動
<ul style="list-style-type: none"> ■ <u>テスト結果は手作業でスコア・カードにまとめる</u> 	<ul style="list-style-type: none"> ■ <u>テスト結果は合否判定された上で自動的に表示、さらにスコア・カードへ自動記入</u>
<ul style="list-style-type: none"> ■ <u>DUTの設定(テスト・モード)は別作業</u> 	<ul style="list-style-type: none"> ■ <u>DUTの設定(テスト・モード)は計測器の設定といっしょに実行(自動化)</u>
<ul style="list-style-type: none"> ■ それぞれのテスト波形データを保存する場合は手動作業が必要 	<ul style="list-style-type: none"> ■ それぞれのテスト波形データは自動保存され、将来のレポート/比較のためにデータベース化できる
<ul style="list-style-type: none"> ■ SATAインターオペラビリティ・プログラムにかかる時間は8~9時間 	<ul style="list-style-type: none"> ■ すべてのSATAインターオペラビリティ・プログラムは2.5時間以内に完了

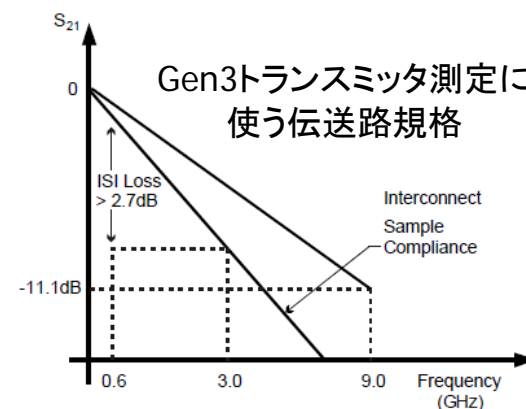
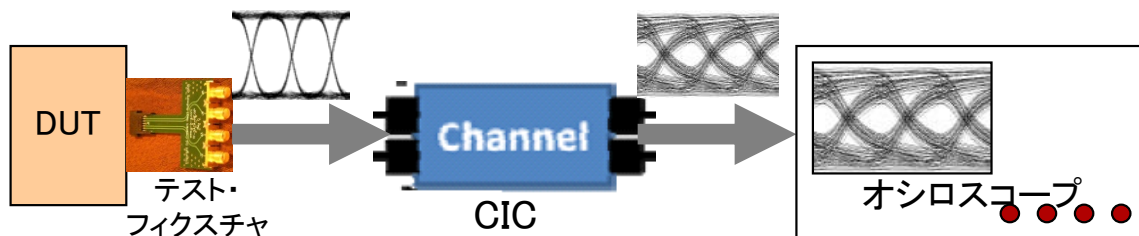


TekExpress 機器構成例
(レシーバ・ジッタ耐性テスト)

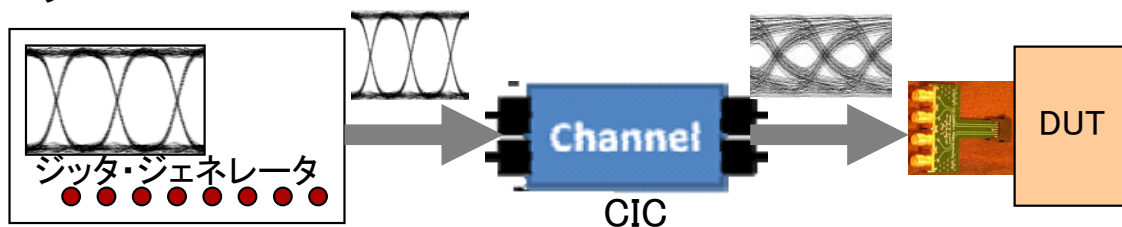
最大損失伝送路

- Gen3のトランスミッタ・テスト(ジッタと差動電圧)と、Gen1/2/3のレシーバ・テストでは、規定された最大損失伝送路(CIC: Compliance Interconnect Channel)を通して測定する ⇒ 測定用のハードウェア・チャンネル(CIC)が必要

- Gen3トランスミッタ: 規定伝送路通過後のアイ・ダイアグラムの閉じた信号を測定する

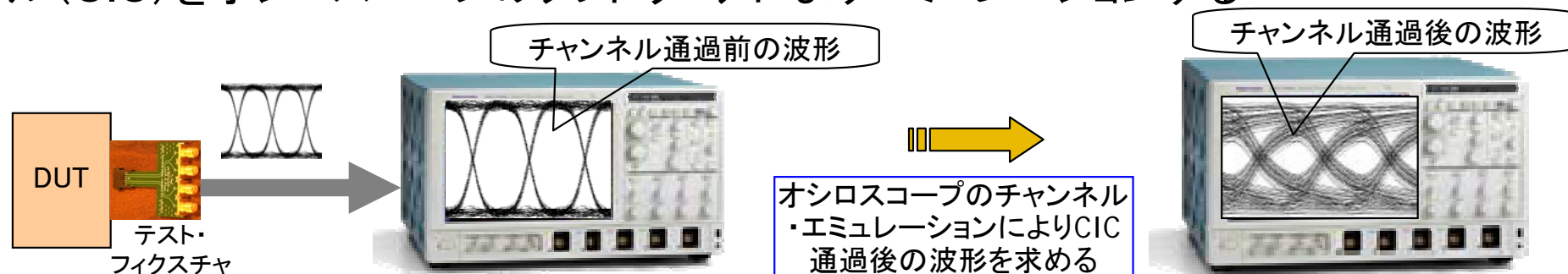


- Gen1/2/3レシーバ・テスト: 規格伝送路通過後のアイ・ダイアグラムの閉じた信号をレシーバ・テストに使う

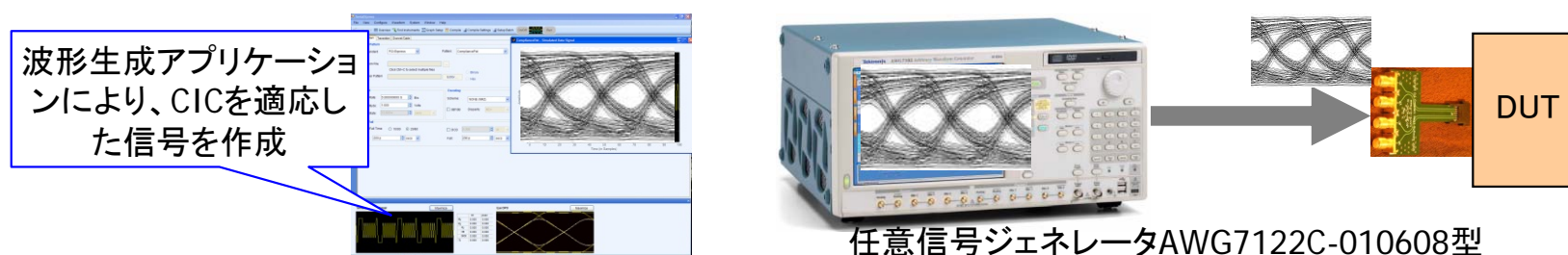


最大損失伝送路の使用 – 当社のソリューション

- Gen3トランスミッタ・テスト(ジッタと差動電圧振幅): 測定用のハードウェア・チャンネル(CIC)をオシロスコープのソフトウェアによりエミュレーションする



- Gen1/2/3レシーバ・テスト: 測定用のハードウェア・チャンネル(CIC)を任意波形ジェネレータAWG7122C-010608型によりエミュレーションする



多くの機材(アクセサリ)と手間がかかる手順を必要とするレシーバ・テスト

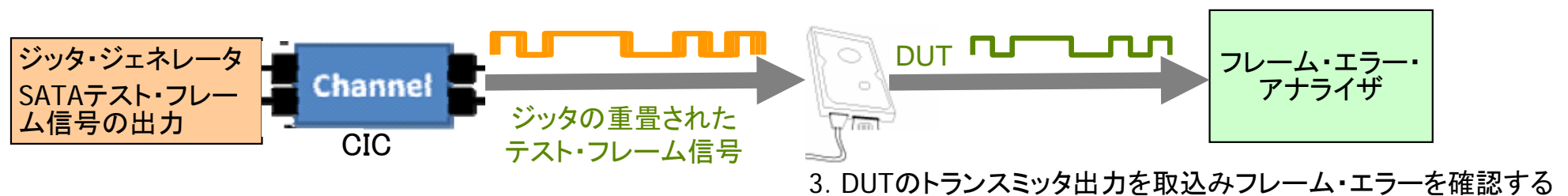
- 必要になる機材
 - ジッタ・ジェネレータ、ジッタ電圧振幅調整機器、ステミュラス装置、CIC、フレーム・エラー・アナライザ
- 接続ミスが発生しやすく、段取り時間が増加する
 - 一般的なレシーバ・テストの手順
 1. オシロスコープによるジッタ振幅、電圧振幅の調整



2. テスト・モード(BIST-L)の設定



3. DUTにジッタ・ジェネレータとフレーム・エラー・アナライザを接続し、フレーム・エラーを確認する

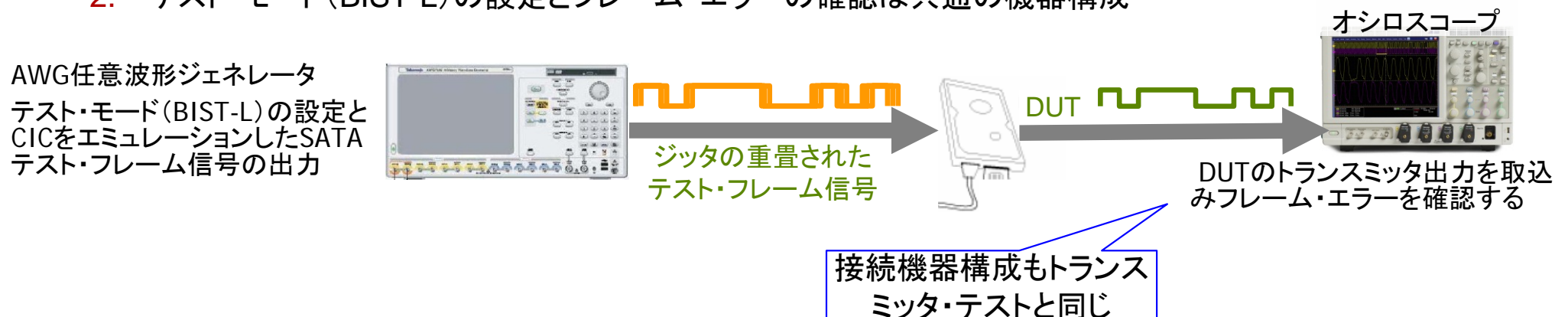


多くの機材(アクセサリ)と手間のかかる手順を必要とするレシーバ・テスト – 当社のソリューション

- AWG任意波形ジェネレータによるスティミュラス装置とCICのエミュレーション、フレーム&ビット・エラー・ディテクタ内蔵オシロスコープによるフレーム・エラーの確認
 - 必要になる機材: ジッタ・ジェネレータとオシロスコープのみ
- スマートなテスト機器構成で、トランスミッタ・テストと共通な接続で測定できる
 - 接続ミスが無くなるうえ、段取り時間も削減できる
 - AWGとオシロスコープのフレーム&ビット・エラー・ディテクタによるレシーバ・テストの手順
 1. オシロスコープによるジッタ振幅、電圧振幅の調整

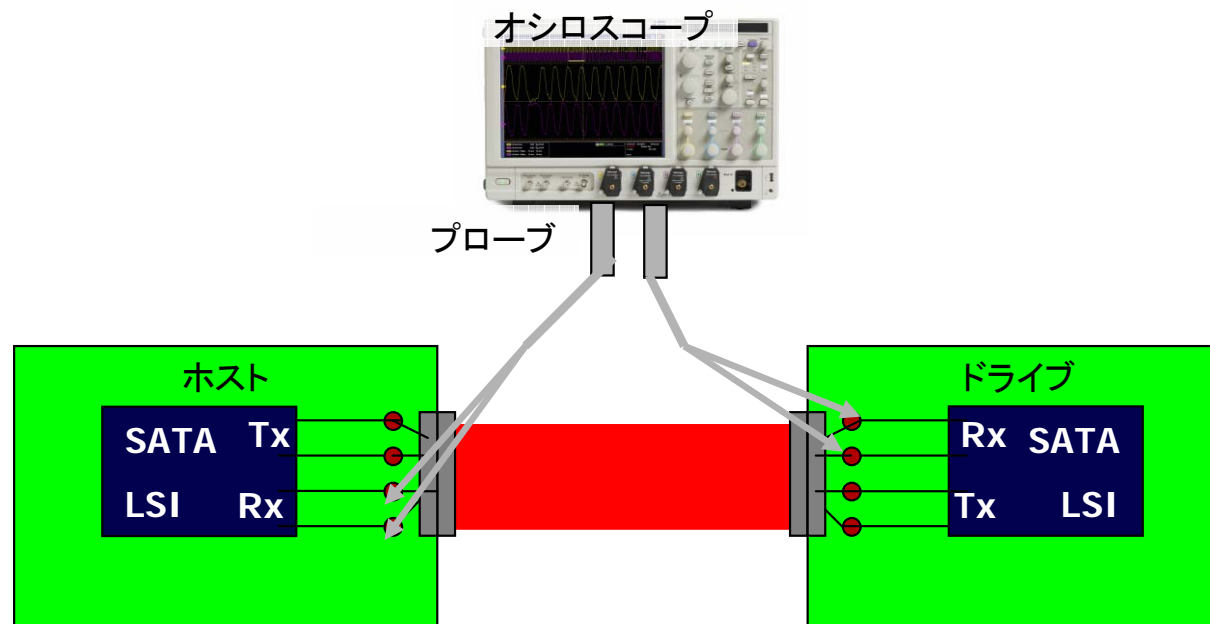


2. テスト・モード(BIST-L)の設定とフレーム・エラーの確認は共通の機器構成



テスト・モードに設定できないDUTの場合は？

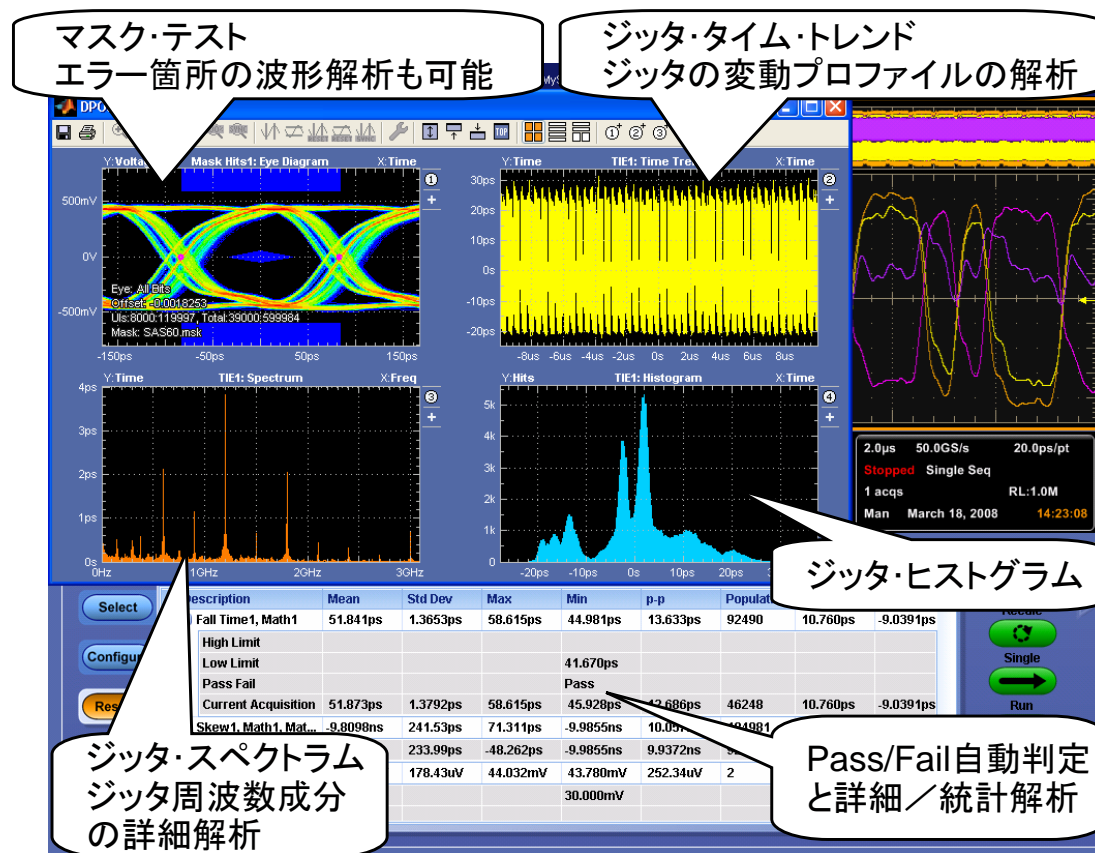
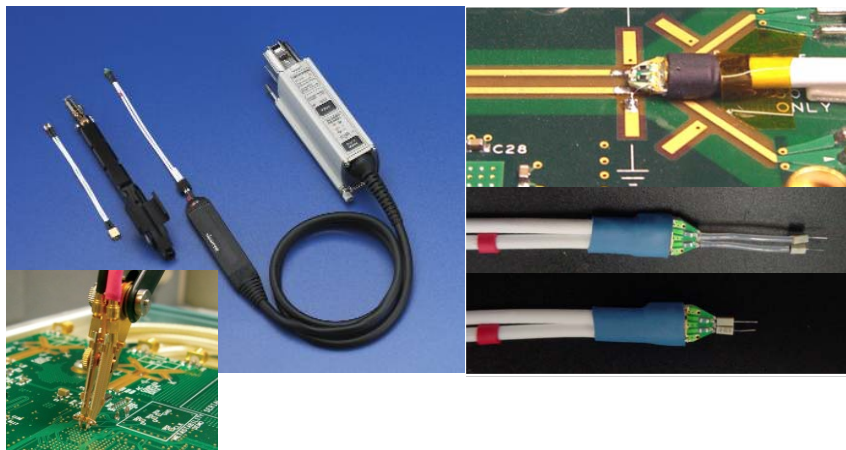
- テスト・モードに設定できないDUTはコンプライアンス・テストができない
- ドライブとホストの実インタフェースをリンク・アップさせた後、プロービングによりオシロスコープに取込んだ信号で評価する



テスト・モードに設定できないDUTの場合は？ - 当社のソリューション

- DPOJETジッタ&アイ・ダイアグラム解析アプリケーションによる各種検証・評価とデバッグ

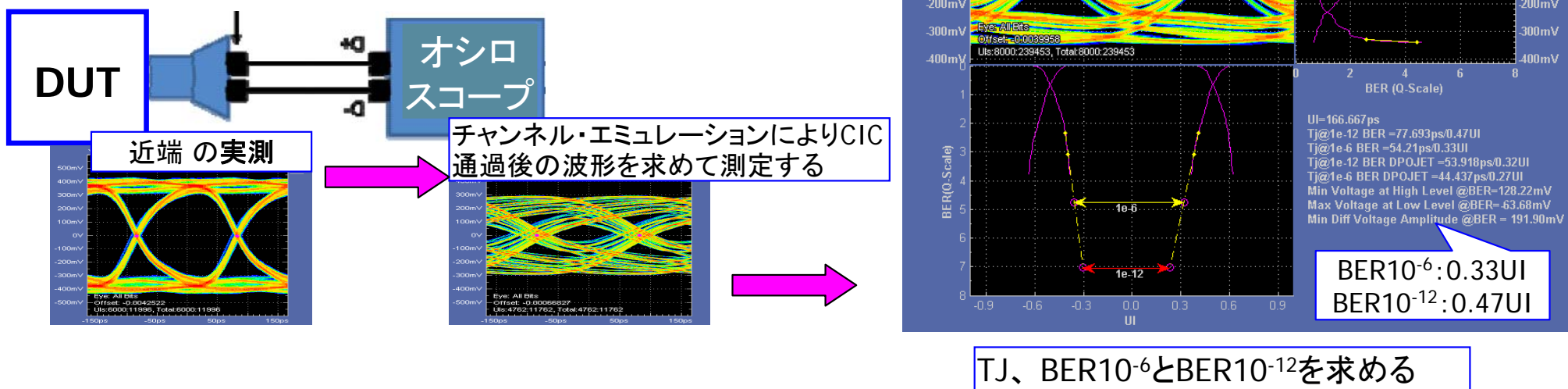
- 実インタフェースの測定やデバッグに最適な高性能差動プローブ



PHYクラス・トランスミッタの測定 送信信号要件テストの要点－ TSG13 ECN39

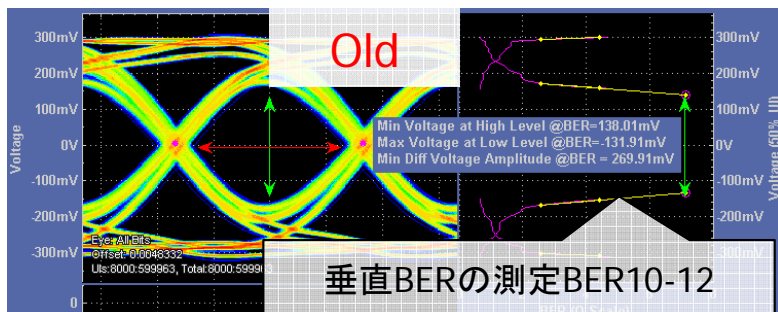
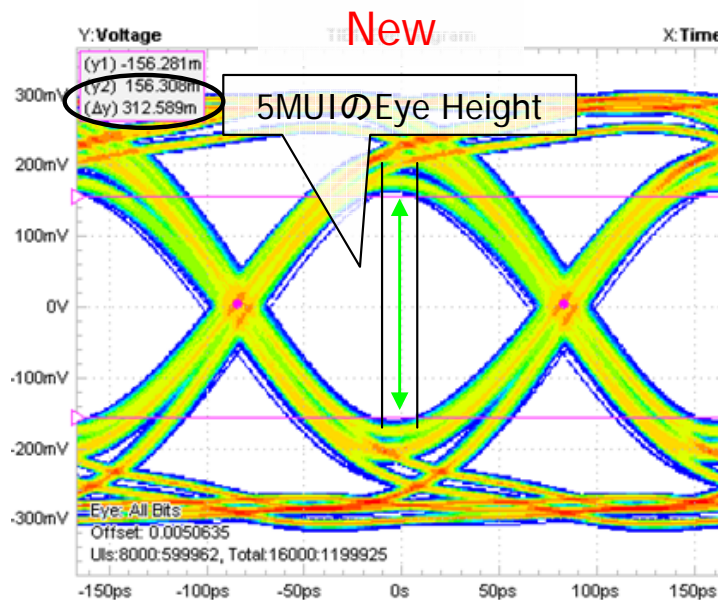
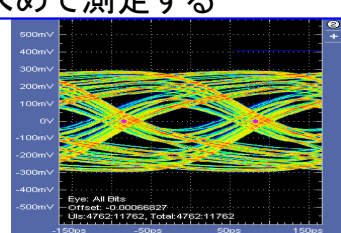
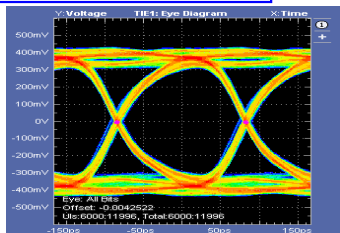
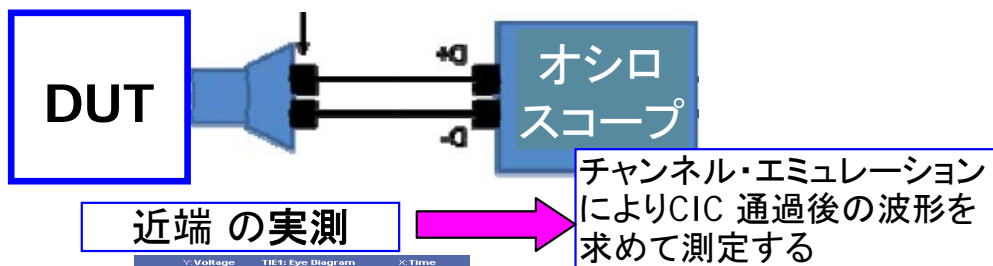
- TSG-13: Gen3 (6Gb/s) トランスミッタ・ジッタ － ECN39
 - － TJ、BER10⁻⁶とBER10⁻¹²の測定
 - － T_{JWCIC}(BER10⁻⁶): 0.46UI、T_{JWCIC}(BER10⁻¹²): 0.52UI
 - － CIC通過後の測定
 - オシロスコープのチャンネル・エミュレーション機能で対応可能

従来のRJとTJの測定ではなく、BER10⁻⁶、BER10⁻¹²のTJ測定する



PHYクラス・トランスミッタの測定 送信信号要件テストの要点 – TSG15

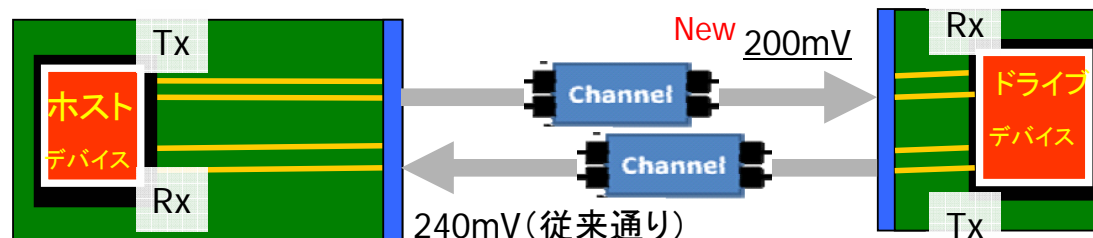
- TSG-15 : Gen3 (6Gb/s) トランスミッタ最小差動電圧振幅の測定方法が変更される
 - 5MUIのアイ・ダイアグラム測定によりEYE Height を求める(従来は垂直BERの測定)
 - クロック・リカバリ条件はJTF (従来通り)
 - CIC通過後の測定: オシロスコープのチャンネル・エミュレーション機能で対応可能(従来通り)



PHYクラス・トランスミッタの測定 送信信号要件テストの要点 – TSG15

- TSG-15: Gen3 6Gbps最小差動電圧振幅の判定基準がドライブとホストで区別される

- 実際の伝送路に合った電圧振幅
- ドライブ: 240mV(従来通り)
- ホスト: 200mV(マージンが緩和)



- 仕様書には、ドライブ／ホストが分けて規定される
- さらにUHostの規定も追加
 - UHost: ケーブルを介さずドライブを接続する形態
 - UHost の場合はCICを使用しない

ドライブとホストの差動出力電圧規定

Parameter	Units	Limit	Electrical Specification				Detail Cross-Ref Section	Measurement Cross-Ref Section
			Gen1i	Gen1m	Gen2i	Gen2m		
$V_{diffTXdevice}$ TX Differential Device Output Voltage	mVppd	Min	400	-	400	-	ドライブ	7.4.6
		Min	-	-	-	240		7.4.4 7.4.4.3
		Nom	500	-	-	-		7.4.6
		Max	600	-	700	-		
		Max	-	-	-	900		
$V_{diffTXhost}$ TX Differential Host Output Voltage	mVppd	Min	400	-	400	-	ホスト	7.4.6
		Min	-	-	-	200		7.4.4 7.4.4.3
		Nom	500	-	-	-		7.4.6
		Max	600	-	700	-		
		Max	-	-	-	900		7.4.4

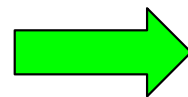
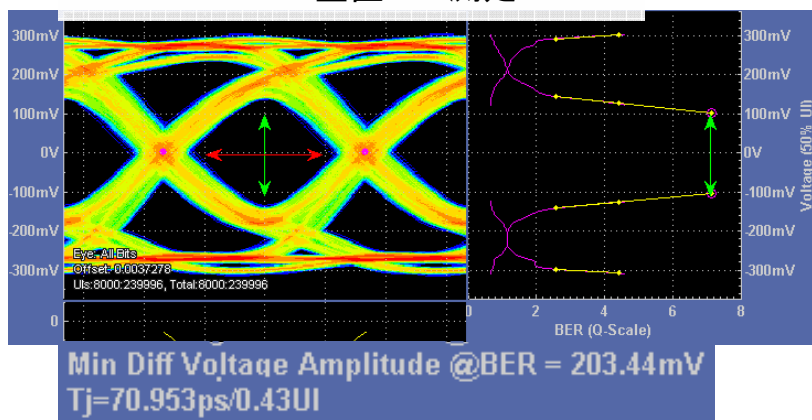
UHost の差動出力電圧規定 Requirements

Parameter ¹	Units	Limit	Electrical Specification			Detail Cross-Ref Section ^{2,3}	Measurement Cross-Ref Section ^{2,3}
			Gen1i	Gen2i	Gen3i ²		
V_{diffTX} TX Differential Output Voltage	mVppd	Min	325	275	-	7.2.2.3.1	7.4.6
		Min	-	-	200		
		Nom	400	-	-		
		Max	600	750	-		
		Max	-	-	900		

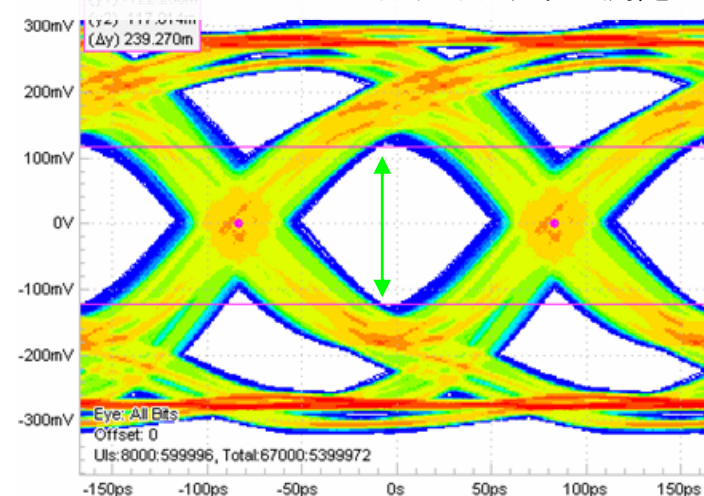
PHYクラス・レシーバの測定 受信信号要件テストの要点ー RSG-1~6

- RSG-1~6 Gen1/2/3 レシーバ耐性テスト: 電圧振幅調整方法とパターンが変更される
 - 調整方法
 - **old** 垂直BER 10^{-12} → **New** 5MUI のアイ・ダイアグラム (Eye Height) 、中央の0.1 UI 幅を測定
 - TSG-15の測定方法に対応。但しクロック・リカバリ条件は平均クロック法に従う(TSG-15はJTF法)
 - 従来の調整方法よりマージンが厳しくなる
 - 調整に使用するパターン
 - **old** Long Frame Composite Pattern (FCOMP、実際のレシーバ・テストに使うテスト・パターン) → **New** LBP (Lone Bit Pattern、TSG-15の測定に使用するパターン)

Old: 垂直BER測定

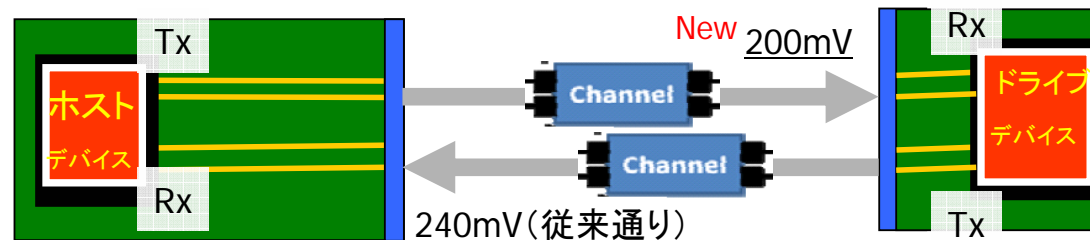


New: 5MUIのアイ・ダイアグラム測定



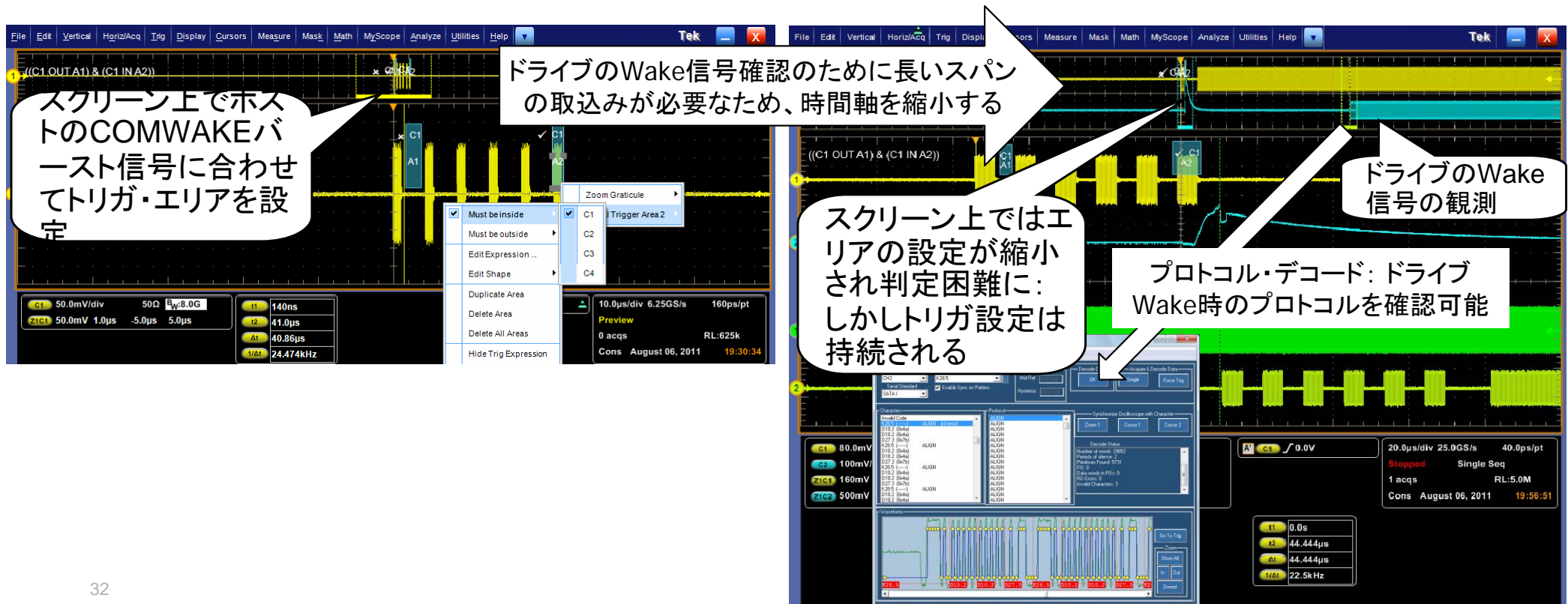
受信信号要件テストの要点ー RSG-1～6

- RSG-1～6 Gen1/2/3 レシーバ耐性テスト: 調整する電圧振幅値をドライブとホストで区別する
 - ドライブ: 200mV(マージンが厳しくなる)
 - ホスト: 240mV(従来通り)



解析機能 ビジュアル・トリガ

- オシロスコープのスクリーン上で実波形に合わせてトリガ・エリア(最大8個)を設定
 - エリアは三角形、長方形、六角形、不等辺四角形から選択可能
 - 各チャンネルにそれぞれのエリアのイン/アウト設定、エリア間ロジック設定(AND、OR、EXOR)可能
 - Pinpointトリガ機能との組み合わせにより最大4レベルのシーケンス・トリガ設定可能
 - Aトリガ → Bトリガ → ビジュアル・トリガ → サーチ&マーク・トリガ
 - エリアは自由に移動、サイズ変更、時間軸の設定変更可能
- ⇒ パワー・マネージメント/スランバー状態から復帰するまでの長いスパンの信号を取込みが可能



解析機能

プロトコル・トリガ／デコード

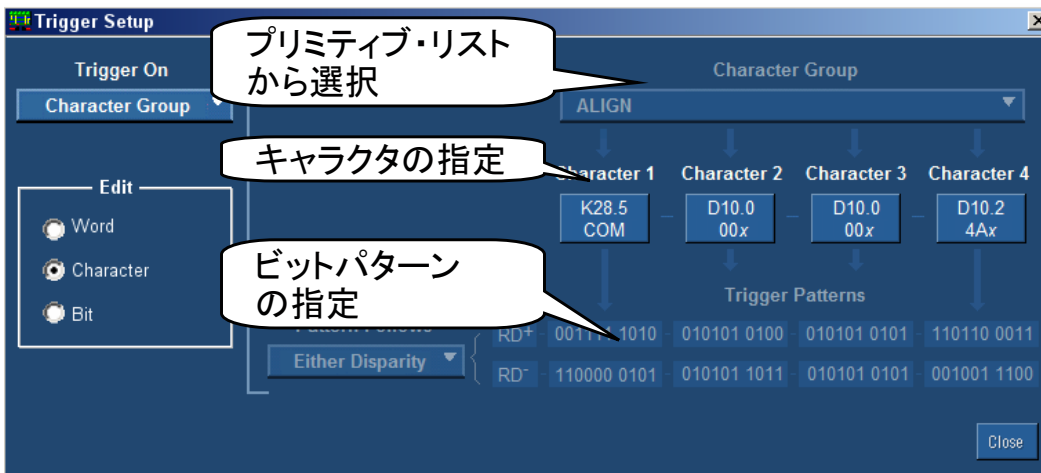
(DSA70000シリーズ:標準、DPO/MSO70000シリーズ:オプション)

■ プロトコル・トリガ

- プロトコル・プリミティブとキャラクタによるリアルタイム・トリガ
- 標準仕様、カスタムのプリミティブ・リストからパターンの選択が可能
- 特定の8B/10B符号化キャラクタおよびシーケンスによるトリガ
 - 連続した4ワードでトリガ(例 ALIGN: K28.5 D10.2 D10.2 D27.3)
- 8B/10B符号化エラーでのトリガ(ディスパリティやキャラクタ・エラー、シンク・ロス)

■ プロトコル・デコード

- 8B/10B符号化シリアル信号をデコード
 - キャラクタ、デ・スクランブリング、プリミティブ、FIS
- 物理層およびリンク層に渡って発生するイベントを相関表示(信号とトラフィック)
- プロトコルの動きを見たい箇所どこへでもプロービング可能

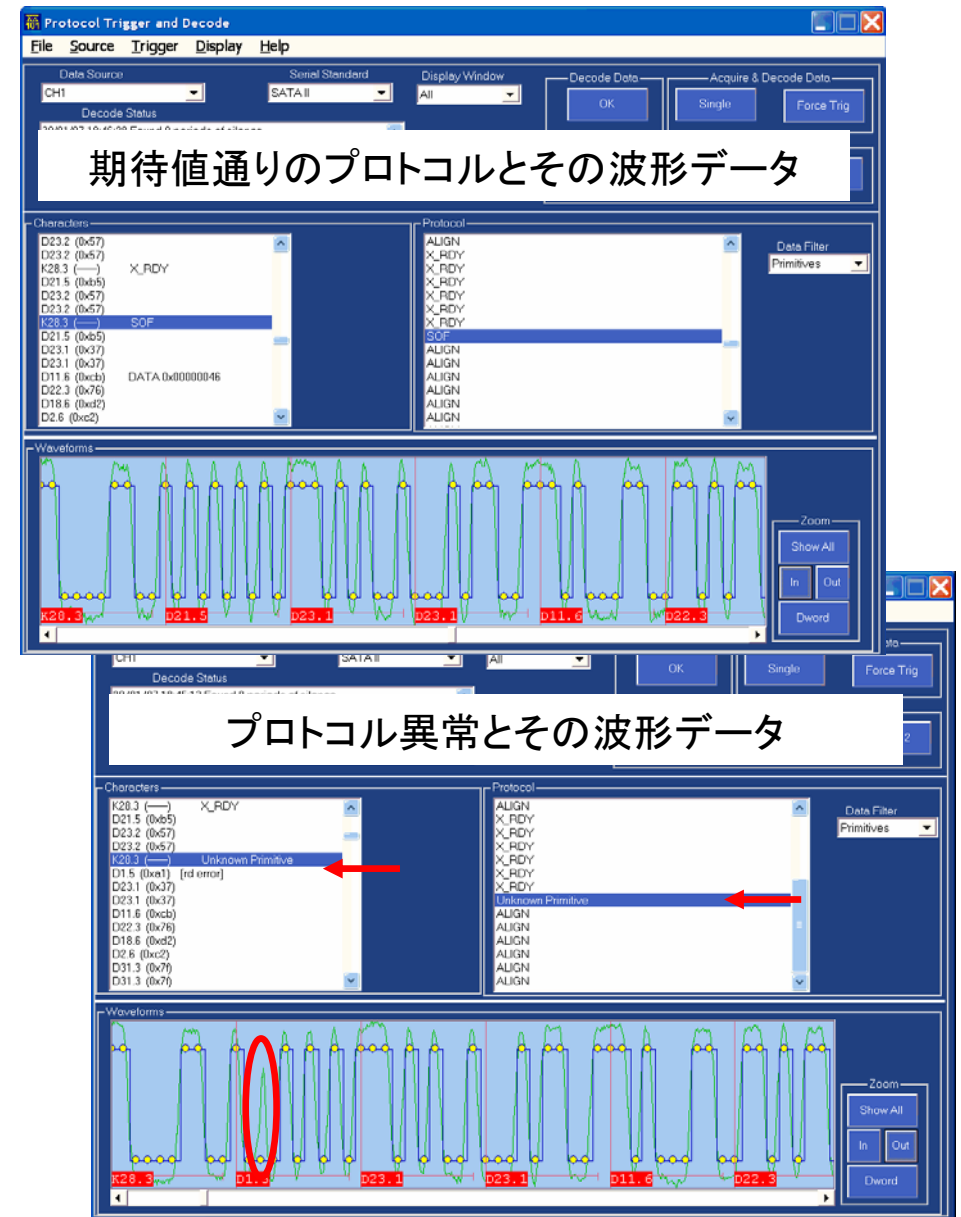
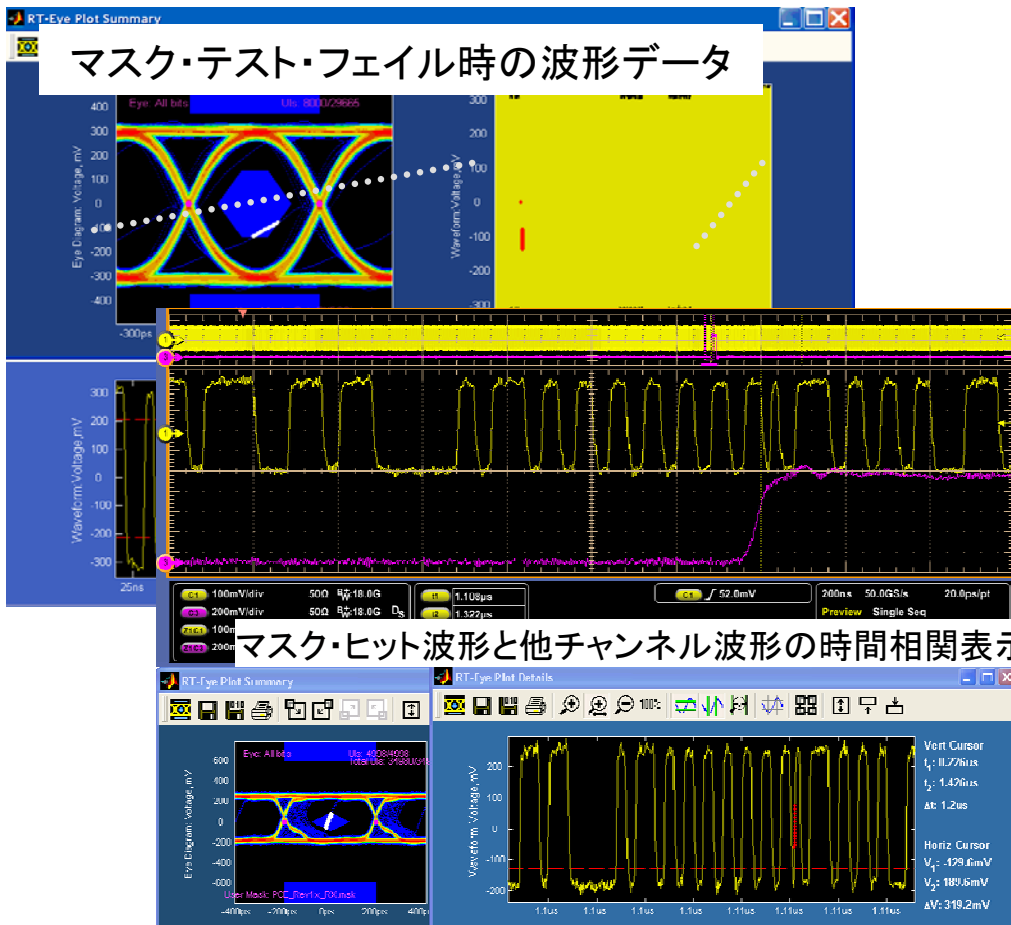


リアルタイム・プロトコル・トリガ機能を備えた業界唯一のオシロスコープ

解析機能

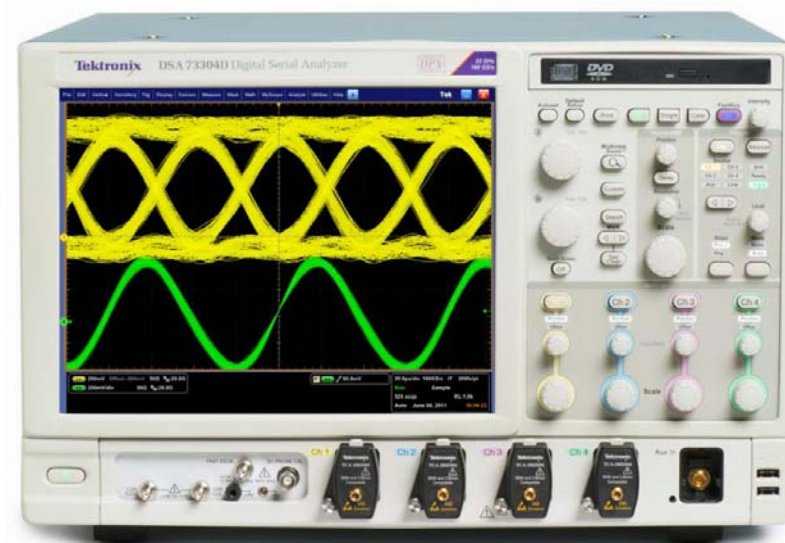
ビット・エラー・ファインダー とプロトコル・デコードの融合

- アナログ信号およびプロトコルの動きを同時に表示
- 異常プロトコル出現時の波形データ解析
- マスク・テスト・フェイル時のプロトコル確認



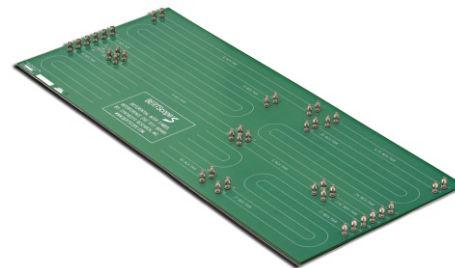
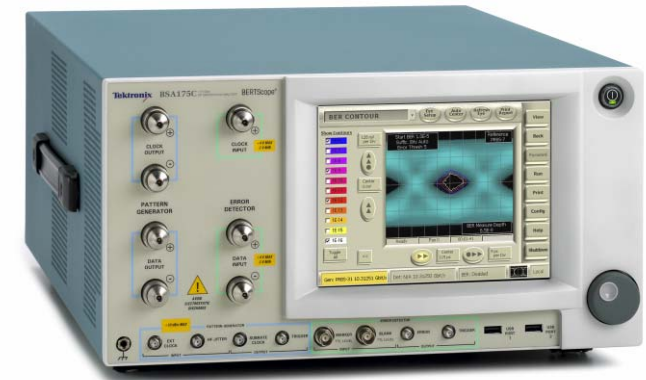
NEW DSA70000Dシリーズ デジタル・シリアル・アナライザ

- **業界初** 4チャンネル・33GHz周波数帯域 (DSA73304D型)と10TS/sの等価時間サンプリング
- **業界最高** 9psの立上がり時間性能 (DSA73304D型)
 - 信号の正確な特性評価が可能
- 25GHzと33GHzの2機種
- 2ch同時最高100GS/s (4ch同時最高50GS/s)
- **業界ベスト** 62.5mVフル・スケール (6.25mV/div)
- 優れた信号忠実度を実現
 - 低垂直軸ノイズ
 - 周波数平坦性
 - 高有効ビット
- 高速シリアル解析向け機能を標準装備
 - シリアル・パターン・トリガ
 - 8B/10Bプロトコル・トリガ／デコード (標準: 3.125Gbps、オプション: 6.25Gbps)
 - ジッタ&アイ・ダイアグラム解析
 - BUJ (Bounded Uncorrelated Jitter、有界非相関ジッタ) のジッタ分離が可能
- 購入後でも周波数帯域アップグレード可能
 - 投資効率を最大化



BSAシリーズ BERTScope™ ビット・エラー・レート・テスタ

- 8.5GHzから26GHz全4機種
- 最高26Gbpsのパターン生成、エラー解析、高速BER測定
- ジッタ・トレランス・テストとマージン・テスト
- ストレス信号生成
 - ランダム・ジッタ
 - 正弦波ジッタ
 - 有界非相関ジッタ(BUJ)
 - F/2サブ・レートジッタ
- 物理レイヤ・テスト
 - マスク・テスト、ジッタ・ピーク(TJ@BER)
 - BER輪郭、
 - Qファクタ(アイ高さ@BER)



まとめーSATAコンプライアンス・テスト・ソリューション

- SATAのコンプライアンス・テスト(インターオペラビリティ・プログラム)はUTDの仕様書に従い、SATA仕様書とは別に規定されている
- テストに必要なパターンが規定されているため、テストモードに設定することが必須
- トランスミッタ・テストの6GbpsではCICを適応したジッタと差動振幅測定が必要
- レシーバ・テストはCICを適応したフレーム・エラー(CRCエラーの検出)テスト
- 測定項目が多く、複雑だがTekExpress SATAによる自動測定が可能
 - － 真の全自動コンプライアンス・テスト
 - － テスト工数の大幅な改善
 - － イージー・ユーザ・インタフェース
- AWG7000Cシリーズ
 - － 切替不要のテスト・コンフィグレーションの実現
 - － ISI、SSC、プリ・エンファシスなどにも対応可能な任意波形ジェネレータ
- MSO70000Cシリーズ、DSA70000C/Dシリーズ
 - － オプションのフレーム&ビット・エラー・ディテクタにより、測定効率が大幅に向上する
 - － 各種解析とコンプライアンス・テストの生産性向上

当社社員執筆・編著書籍・記事紹介

- CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計，機能実装まで」、2010年4月

- A5判 336ページ(4C:8ページ)

- 定価2,625円(税込)

- JANコード: JAN9784789846417

- 内容

- 第1章 PCI Expressの基礎知識: 共同執筆
- 第2章 伝送方式とプリント・パターン設計
- 第3章 PHYチップを使った基板設計
- 第4章 アドイン・カードの電源設計
- 第5章 FPGA用IPコアの選び方
- 第6章 IPコアを使ったFPGA設計入門
- 第7章 IPコアを使ったLSI設計事例
- 第8章 信号品質の評価方法とコンプライアンス・テスト: 執筆
- 第9章 ジッタ仕様と測定環境: 執筆
- 第10章 ソフトウェアの階層構造とハードウェアとの関連付け
- 第11章 PCI Expressソフトウェアの役割
- 第12章 ハードウェア接続時の初期化処理: 共同執筆

- マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」

- <http://journal.mycom.co.jp/series/serialif/001/index.html>



当社社員監修・執筆インタフェース・デザイン・シリーズ第2弾

- 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」
- A5判、512ページ
- 9月末販売開始予定。乞うご期待ください
- 内容
 - 第1章 USBの概要
 - 第2章 USB 3.0の物理層と論理層
 - 第3章 デバイスとハブの動作
 - 第4章 コネクタとケーブルの形状と特性
 - 第5章 リンク層の詳細
 - 第6章 ハードウェア設計
 - 第7章 プリント基板の設計
 - **第8章 コンプライアンス・テスト:執筆しました**
 - 第9章 USBソフトウェアのしくみ
 - 第10章 USBホスト・コントローラの制御
 - 第11章 USBデバイス・コントローラ制御



補足資料



PHY/TSG/OOBテスト(一般要件、送信信号要件、アウト・オブ・バンド要件)

SATA のコンプライアンス・テストに必要な機材

デジタル・オシロスコープ

- DSA/DPO73304D型 33GHz 2Ch・100GS/s 4Ch・50GS/s デジタル・シリアル・アナライザ／デジタル・フォスファ・オシロスコープ
- DSA/DPO72504D型 25GHz 2Ch・100GS/s 4Ch・50GS/s デジタル・シリアル・アナライザ／デジタル・フォスファ・オシロスコープ
- DSA/DPO72004C型 20GHz 2Ch・100GS/s 4Ch・50GS/s デジタル・シリアル・アナライザ／デジタル・フォスファ・オシロスコープ
- DSA/DPO71604C型 16GHz 2Ch・100GS/s 4Ch・50GS/s デジタル・シリアル・アナライザ／デジタル・フォスファ・オシロスコープ
- DSA/DPO71254C型 12.5GHz 2Ch・100GS/s 4Ch・50GS/s デジタル・シリアル・アナライザ／デジタル・フォスファ・オシロスコープ
- DSA/DPO70804C型 8GHz25GS/s デジタル・シリアル・アナライザ／デジタル・フォスファ・オシロスコープ
- MSO72004C型 20GHz50GS/s ミックスド・シグナル・オシロスコープ
- MSO71604C型 16GHz50GS/s ミックスド・シグナル・オシロスコープ
- MSO71254C型 12.5GHz50GS/s ミックスド・シグナル・オシロスコープ
- MSO70804C型 8GHz25GS/s ミックスド・シグナル・オシロスコープ

コンプライアンス・テストには
6Gbps: 12GHz以上、3Gbps: 10GHz以上

SMAケーブル

- SMAケーブル2本組×3

テスト・ソフトウェア

- TEKEXP op.SATA-TSG
- DSA70000C/Dシリーズ 標準装備のDPOJETジッタ／アイ・ダイアグラム解析ソフトウェア
- DPO70000C/Dシリーズ opt.DJA(DPOJETジッタ／アイ・ダイアグラム解析ソフトウェア)
- MSO70000Cシリーズ opt.DSAU(>12.5GHz、デジタル・シリアル解析バンドル(含むDPOJET))
- MSO70804C opt.DSAH(デジタル・シリアル解析バンドル(含むDPOJET))

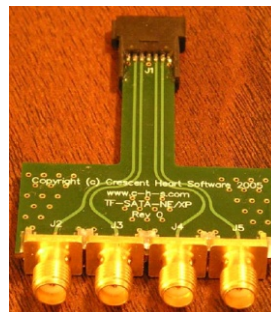
テスト・フィクチャ

- iSATA用: TF-SATA-SETIV/ZPまたはTF-SATA-TPA-PRC
- eSATA用: TF-ESATA-SETIV/ZP

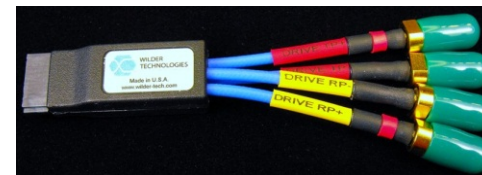
任意波形ジェネレータ

- AWG7000C シリーズ Opt.08

GPIBケーブルとMS-EXCEL



TF-SATA-NE-ZP



TF-SATA-TPA-R

SATA ジッタ耐性テストに必要な機材

- 任意波形ジェネレータ
 - AWG7122C型-Opt.010608
- オシロスコープ
 - MSO70000Cシリーズ ミックスド・シグナル・オシロスコープ + Opt. DSAU(>12.5GHz デジタル・シリアル解析バンドル)
 - MSO70804C型 ミックスド・シグナル・オシロスコープ(1.5Gbps以下に推奨) + Opt. DSAH(デジタル・シリアル解析バンドル)
 - DSA70000C/Dシリーズ デジタル・シリアル・アナライザ(3Gbps/6Gbpsには12.5GHz以上を推奨)
- フレーム・エラー・アナライザ
 - MSO70000Cシリーズ Opt. DSAU(>12.5GHz), ERRDT(6.25Gbps・フレーム & ビット・エラー・ディテクタ)
 - MSO70804C型 Opt. DSAH, ERRDT(6.25Gbps・フレーム & ビット・エラー・ディテクタ)
 - DSA70000C/Dシリーズ Opt. ERRDT(6.25Gbps・フレーム & ビット・エラー・ディテクタ)

または

 - Gen1/Gen2: SATA- II 型 (米国Crescent Heart Software社製)
 - Gen1-Gen3: SATA 6G型 (米国Crescent Heart Software社製)
 - Gen1-Gen3: Xgig-C042+Xgig-B860Sc (米国 Finisar社製)
- テスト・ソフトウェア
 - TEKEXP op.SATA-RSG
- 6dBアッテネータ × 2
 - 015-1001-01 × 2
- SMAケーブル × 6
 - 174-5771-00 (SMA 50Ω 同軸ケーブル2本組) × 3
- テスト・フィクスチャ
 - TF-SATA-SET IV/ZP (iSATA用、TF-SATA-NE/ZP、TF-SATA-FE/ZP × 2、TF-SATA-IS/ZPのセット)
 - TF-eSATA-SET IV/ZP (eSATA用、TF-eSATA-NE/ZP、TF-eSATA-FE/ZP × 2、TF-eSATA-IS/ZPのセット)
- GPIBケーブルとMS-EXCEL

SATA トランスミッタ／レシーバ要件に必要な機材

トランスミッタ／レシーバ要件

- サンプルング・オシロスコープ
 - DSA8300型デジタル・シグナル・アナライザ

- TDRサンプルング・モジュール × 1

モジュール	周波数 帯域	Ch数/ コネクタ	ステップ入射/ 反射立ち上り時間	アキュジション 立ち上り時間	RMSノイズ	デスクュ レンジ	リモートヘッド
80E10	50GHz	2/1.85mm	12ps/15ps	7ps	700uV	±250ps	Yes/2m
80E08	30GHz	2/2.92mm	18ps/20ps	11.7ps	410uV	±250ps	Yes/2m
80E04	20GHz	2/3.5mm	23ps/28ps	17.5ps	1.2mV		ケーブル2m

- Sパラメータ／Zライン・ソフトウェア
 - 80SICON（上位のソフトの80SICMXも使用可）
 - GPIB接続の外部PC、あるいは、オシロスコープ（XGAディスプレイ必要）上で動作可
- アッテネータとSMAケーブル
 - 6dBアッテネータ × 2
 - SMAケーブル × 2
- テスト・フィクスチャ
 - TF-SATA-NE/XP or /ZP あるいは、同等品

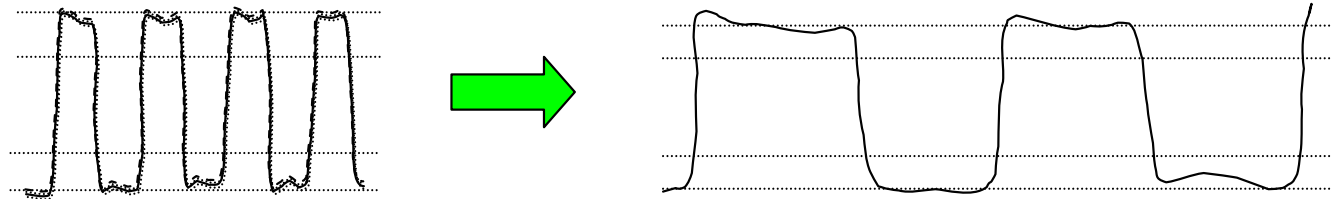


TSG-測定変更(追加)内容の要点

UTD rev.1.4 ~ 1.4.2

- TSG-02 : 立上り時間／立下り時間

- 立上り時間測定用のパターンがHFTPからLFTPへ変更(UTD Rev.1.4から)



- TSG-05 (Gen2 立上り／立下り時間インバランス)、TSG-06 (Gen2 振幅インバランス)が除外される(Rev.1.4から)

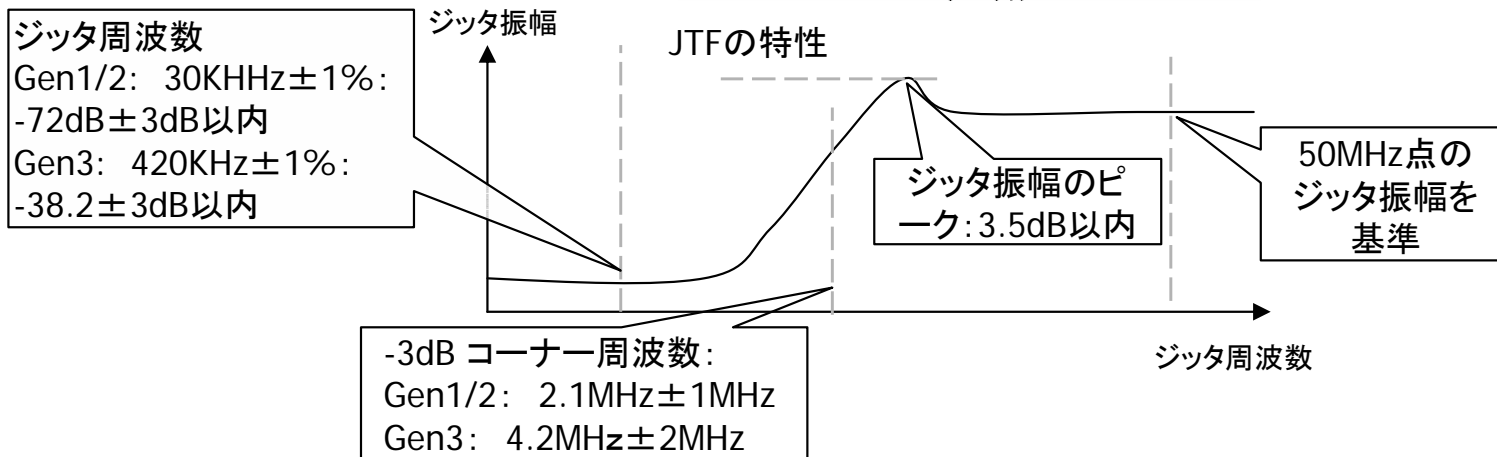
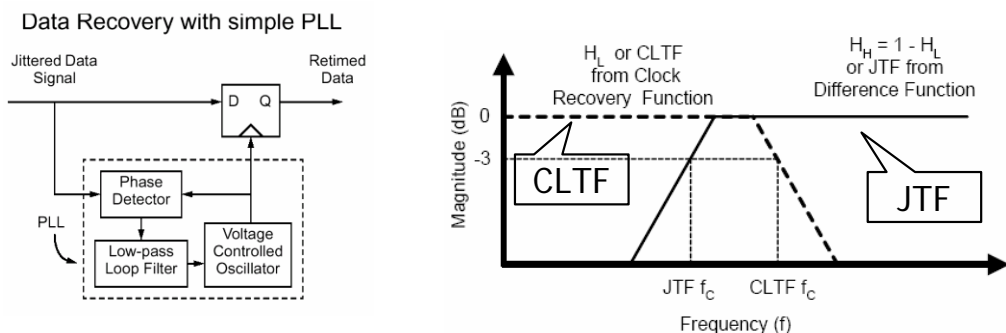
- Gen3 6Gbpsの測定項目の追加(Rev.1.4から)

- TSG-13 (JTFによるGen3 (6Gb/s) トランスミッタ・ジッタ)
- TSG-14 (Gen3 (6Gb/s) トランスミッタ最大差動電圧振幅)
- TSG-15 (Gen3 (6Gb/s) トランスミッタ最小差動電圧振幅)
- TSG-16 (Gen3 (6Gb/s) トランスミッタAC 同相電圧)

TSG-測定変更(追加)内容の要点

UTD rev.1.4 ~ 1.4.2

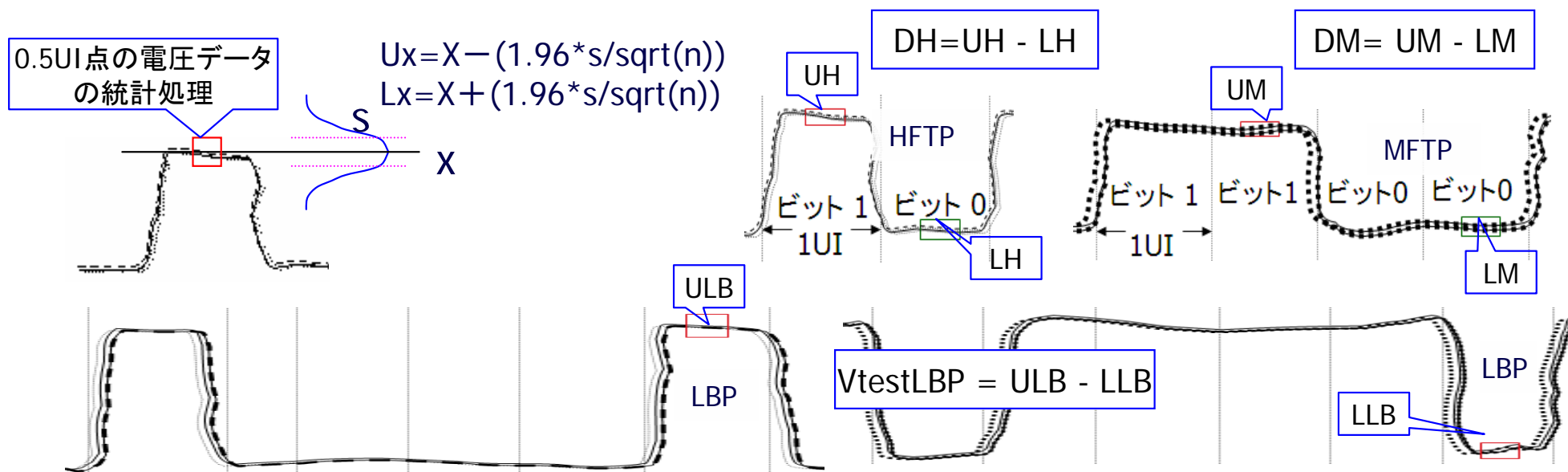
- ジッタ・トランスファー・ファンクション(JTF)によるトランスミッタ・ジッタの測定
 - クロック・トゥー・データによるジッタの測定
 - ハードまたはソフトウェアPLLにより求めた基準(理想)クロックに対するDataエッジの揺らぎ
 - PLLの特性をJTFで規定する



送信信号要件—TSG-01差動出力電圧

■ TSG-01 : 差動出力電圧

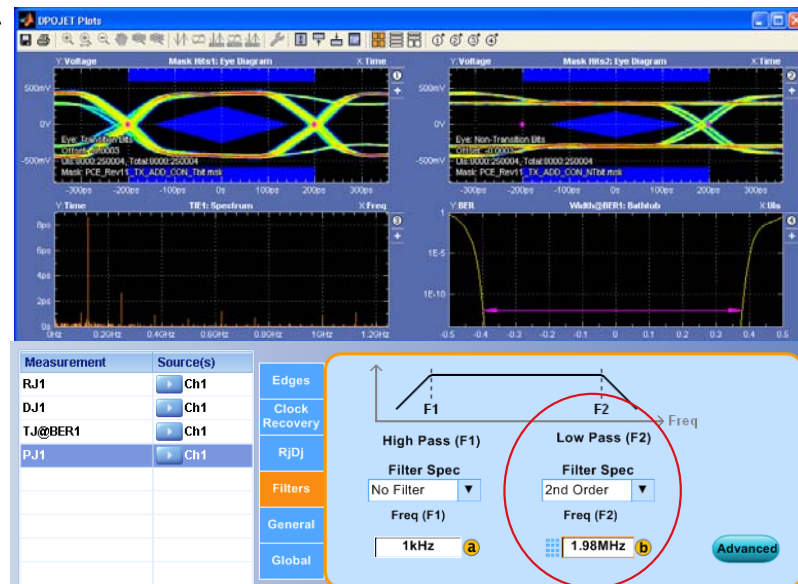
- 固有パターン、HFTP、MFTP と LBP または LFTP パターンの差動出力電圧測定
- 規定のビットの0.45UI から 0.55 UI の電圧レベルの測定
 - High Frequency Test Pattern (HFTP)
0101010101010101010101
 - Medium Frequency Test Pattern (MFTP)
00110011001100110011
 - Lone Bit Test Pattern (LBP)、ビット1の測定
1101000010001101101111010000100011011011
- $V_{test_Min} = \min(V_{testLBP}, DH, DM)$ が400mV以上、800mV以下*3であること



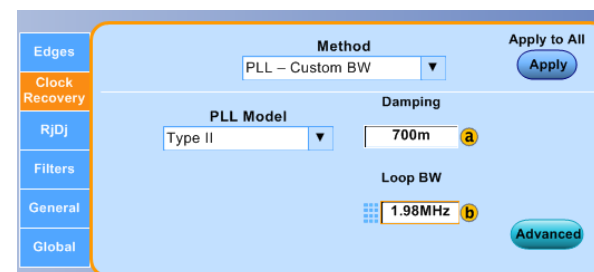
PHYクラス・トランスミッタの測定 一般要件、送信信号要件のテスト

- SSCの測定 ⇒ 信号周波数の測定結果をロー・パス・フィルタ処理する
 - PHY-01 : ユニット・インターバル
 - PHY-02 : 長期周波数安定度
 - PHY-03 : スペクトラム拡散変調周波数
 - PHY-04 : スペクトラム拡散変調偏差
- ソフトウェアPLLによる規格準拠のDJ/TJ測定
 - TSG-09/10 : Gen1 TJ/DJ、クロック・トゥー・データ、fBAUD/500
 - TSG-11/12 : Gen2 TJ/DJ、クロック・トゥー・データ、fBAUD/500
 - TSG-13: Gen3 (6Gb/s) トランスミッタ・ジッタ w/wo CIC
- DJ/TJ測定時のPLL特性はJTF (ジッタ・トランスファ・ファンクション) で規定する

SSCプロファイルの歪
が接続トラブルになる
ケースがある



ロー・パス・フィルタ設定 : 1.98MHz



ソフトウェアPLLのループ帯域設定

PHYクラス・トランスミッタ(レシーバ)の測定 アウト・オブ・バンド(OOB(Out Of Band))要件 - OOB-01-07

■ OOB-01~07 : OOBシグナリング・テスト

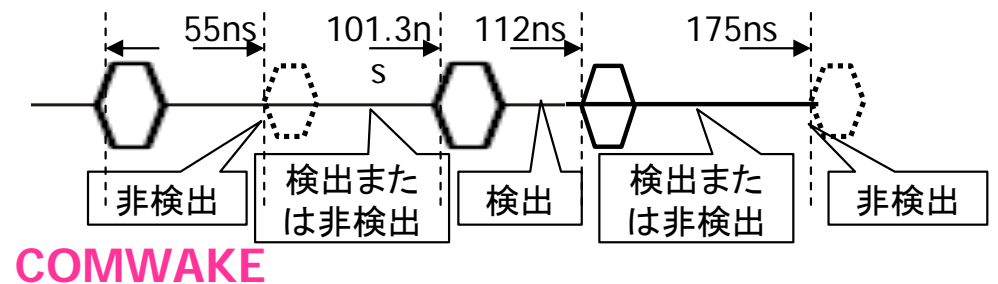
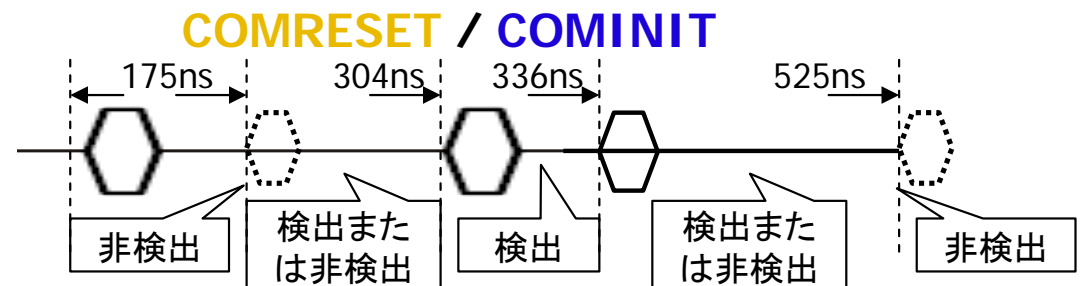
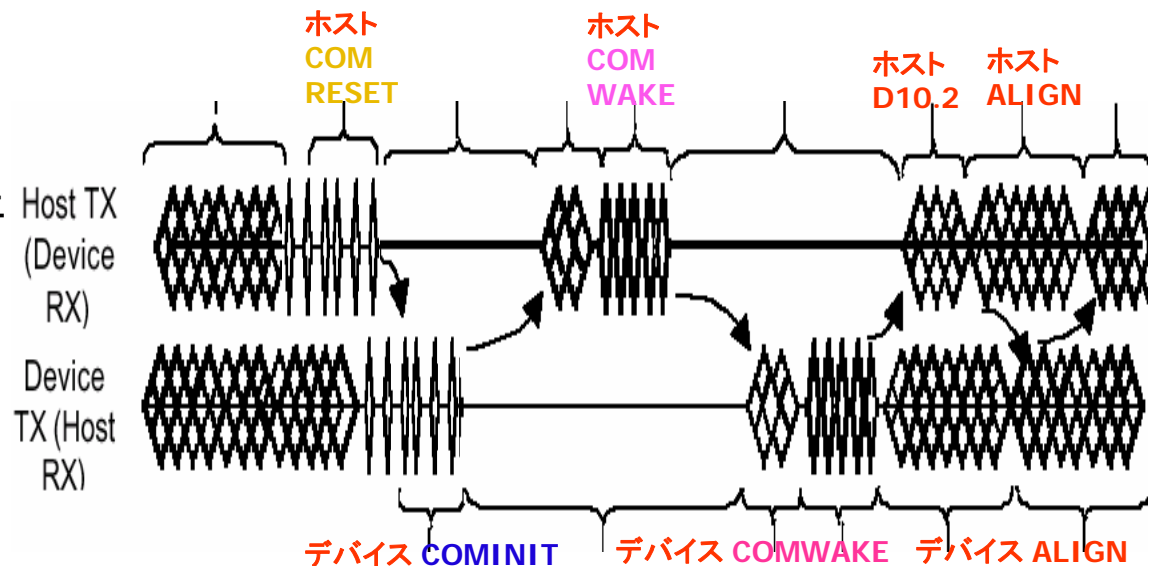
- ホスト(HBA / Host Bus Adapter)とデバイス間の適切な通信(ハンド・シェイク)を保証するためのテスト

- COMRESET / COMINITテスト

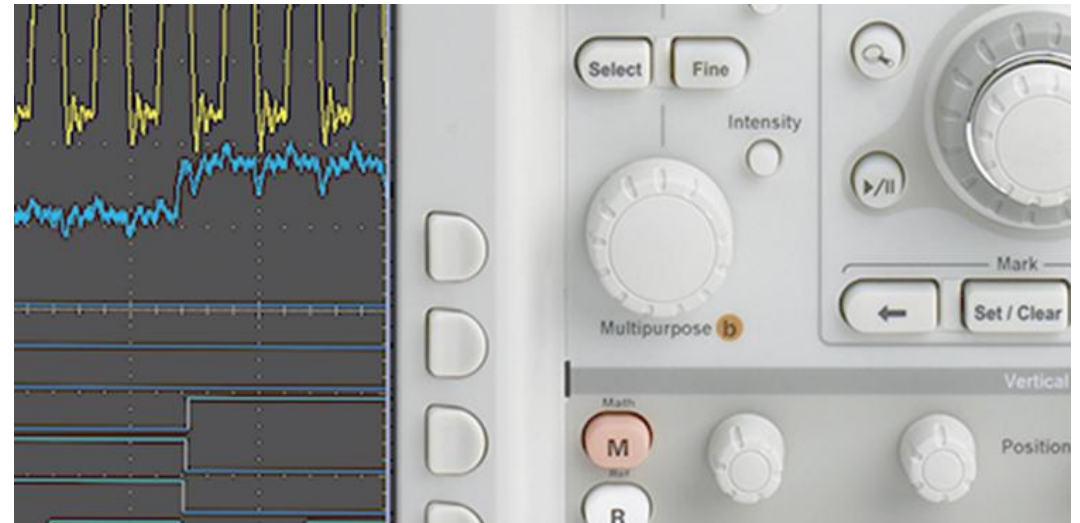
- COMRESETはホスト・コントローラから、COMINITはデバイスから発行
- それぞれハード・リセット信号とコミュニケーション初期化要求の信号
- 出力信号の6つのバースト幅とバースト間隔の確認
 - 304nsから336ns (公称値320ns)
- 検出されるべきバースト間隔
 - 304ns 以上 336ns 以下
- 検出されてはいけないバースト間隔
 - 175ns 未満 525ns 以上は COMRESET/INITを無効にする

- 同様にCOMWAKE テスト

- バースト幅とバースト間隔の確認
- 検出されるべきバースト間隔
- 検出されてはいけないバースト間隔



ありがとうございました。



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>