

USB3.0の規格認定試験と測定ソリューション



テクトロニクス・イノベーション・フォーラム2012

薩摩泰文

www.tektronix.com/ja

内容

1. USB3.0概要
2. USB3.0コンプライアンス・テストとは
3. USB3.0コンプライアンス・テスト詳細
 1. トランスミッタ・テスト
 2. レシーバ・テスト
 3. テクトロニクスソリューション

USB3.0: 概要

- USB3.0 Specification Version 1.0 (SuperSpeed) : 2008年11月に発表

- 狙い: 大容量化したデータ、ファイルの転送時間短縮化(10倍高速化)

- 特にフラッシュ・ストレージ

- 外付けHDD、SSD
- デジタル・カメラ
- MP3プレーヤ
- 携帯端末等

転送時間(USB-IFの資料を元に計算)

規格	データ・レート	フラッシュ・メディア容量				
		4MB	256MB	1GB	8GB	32GB
USB2.0	480Mbps	0.1s	8.5s	33s	4.4 分	17.6分
USB3.0	5Gbps	0.01s	0.8s	3.3s	26.4s	1.76分

- USB2.0と後方互換

- 構造的な互換性

- USB2.0⇔USB3.0接続可能

- 高速リンクのための接続Tx2線、Rx2線を追加(シールド・ツイスト・ペア)

- PCI Express 2.0とSATAの双方に類似した高速リンク

- ログで識別(当初の青色識別から変更)

- ケーブル長3mまで(ただし損失量だけで長さの規定はない)

- 共通のデバイス・モデル

- パイプ・モデル、フレームワーク、転送タイプ

- 電力管理機能の向上

- 高速化で増加する消費電力を抑えるためのより積極的な電力管理

- デバイス、ホスト、ポートのどちらからでも低電力モードに入れられる



USB3.0: 電気的な仕様

PCI Express 2.0との高い類似性

※1: 低電力モードにはない
 ※2: コモン・クロックのためSSCクロックは含まず
 ※3: Low Frequency Periodic Signaling

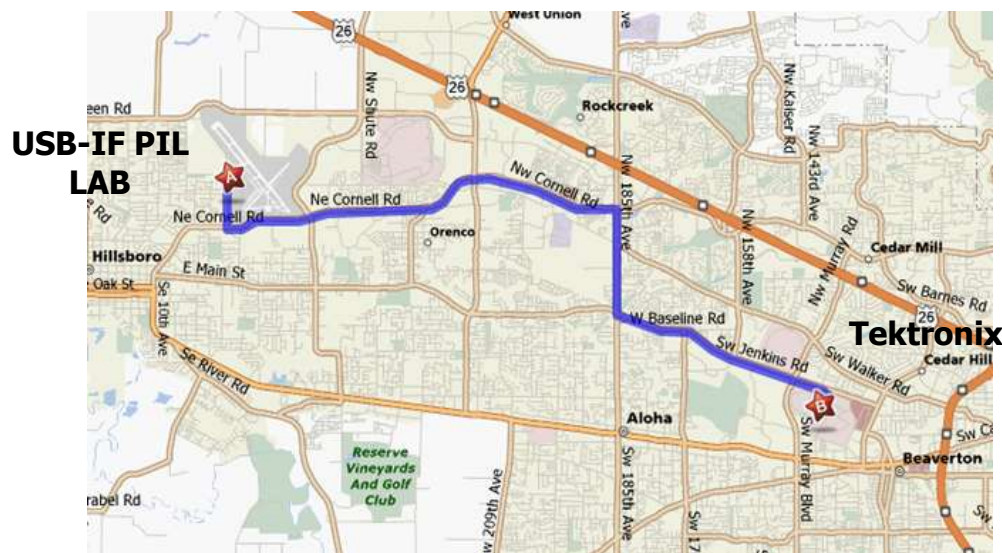
規格	SuperSpeed USB	PCI Express
データ・レート	5Gbps	5Gbps, 2.5Gbps
符号化	8B/10B	
スクランブラ多項式 (Polynomial)	$X^{16} + X^5 + X^4 + X^3 + 1$	
電圧レベル	1.2V~0.8V(遷移ビット)、1.2V~0.4V(低電力モード)	
ディエンファシス※1	3.5dB±0.5dB	3.5dB±0.5dB (5Gbps, 2.5Gbps) 6dB±0.5dB (5Gbps)
クロッキング	フォワード	コモン
周波数偏差	+300~-5300PPM	±300PPM※2
レーン数	1	1,2,4,8,12,16,32 (CEM/ケーブル:1,4,8,16)
レシーバ・イコライザ	必須	規定なし
レシーバ検出	負荷時定数の変化を検出	
サイドバンド信号	× (LFPS※3)	○ (CEM:PERST#, WAKE#, PRSNT1/2#)

USB3.0コンプライアンス・テストとは

- コンプライアンス・テストはインテグレーターズ・リストに掲載する場合に必要
 - USB3.0としての規格・相互運用性を確認したというUSB-IFからのお墨付き
- コンプライアンス・テストをうけるには
 - コンプライアンス・ワークショップ
 - USB-IFが公式のコンプライアンス・テストを開始(2010/4/26)
 - 民間テスト会社ではアリオン株式会社(東京・五反田)がサービス開始
 - 当社の測定機材を導入
 - 米国オレゴン州ヒルズボロ市にあるPILにて随時実施
- テスト仕様(CTS)はいまだ策定中
 - 2009年9月Rev.0.9(現在公開中)になってから大幅に変更
- USB-IFのテスト・フィクスチャ(ハードウェア・リファレンス・チャンネル)販売開始(2010/5/27)
 - 公式のレシーバ・テストに必要
- コンプライアンスを取得しなくとも製品保証の観点からコンプライアンス・テストに準じた測定は重要

USB-IF Platform Interoperability Lab (PIL)

- 公式コンプライアンス・テスト開始に先立ち、USB開発者のためにホストとデバイスのインターオペラビリティの確認とUSB3.0物理層のテストを目的として開設
- 当社米国本社はPILからおよそ16kmの近距離！
- 当社はPILで機材貸与で協力
 - PILに関する情報・予約はhttp://www.usb.org/developers/ssusb/ssusb_pil
- 日本国内では当社T&M Center of Excellence (高速シリアル測定センター: 東京、大阪)にてPILと同じ環境で物理層テスト・測定をお試しいただけます(ただし認証試験に代わるものではありません)
 - 担当営業へお問合せください



USB3.0:コンプライアンス・テスト(物理層)

1. トランスミッタ

- TD.1.1 :LFPS
- TD.1.3 :アイ・ダイアグラム、ジッタ測定
- TD.1.4 :SSCプロファイル測定

2. レシーバ

- TD.1.2 :LFPS
- TD.1.5 :ジッタ耐性テスト

3. その他

- USB30CV(Command Verifier)を使っての
コマンド・ベリファイ・テスト(デバイス)、
インターオペラビリティ・テストなど
- USB2.0コンプライアンス・テスト

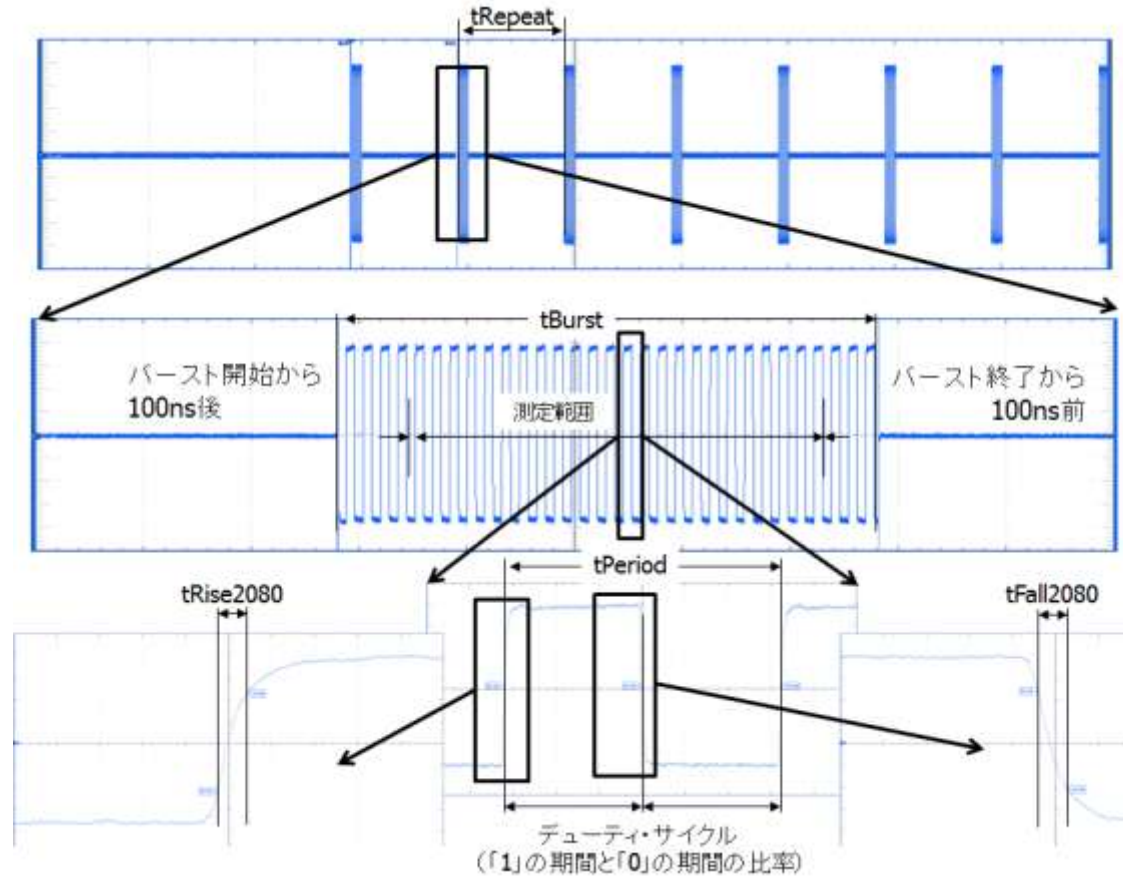
SuperSpeed

- [Cable Assemblies & Connectors](#)
- [Embedded Hosts](#)
- [Hubs](#)
- [Hubs Silicon](#)
- [IP Building Blocks](#)
- [OTG Device](#)
- [OTG IP Building Blocks](#)
- [OTG Silicon](#)
- [Peripheral Silicon](#)
- [Peripherals](#)
- [System Silicon](#)
- [Systems](#)

トランスミッタ・テスト

LFPS:TD.1.1

- 最初のPolling.LFPSを5バースト取込む
- ブレークアウト・フィクスチャを使用
- 測定項目
 - tburst,
 - Trepeat
 - Tperiod※
 - tRiseFall2080 ※
 - デューティ・サイクル※
 - $V_{CM-AC-LFPS}$ ※
 - $V_{TX-DIFF-PP-LFPS}$ ※

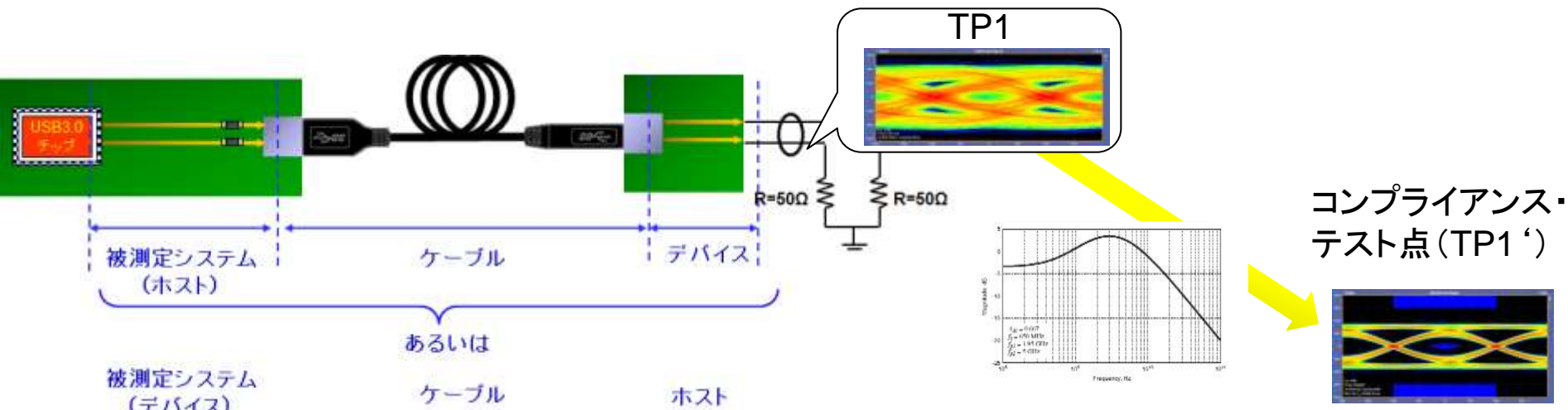


※測定範囲:バースト開始から100ns
後~バースト終了から100ns前

トランスミッタ・テスト

アイ・ダイアグラム、ジッタ測定:TD.1.3、SSCプロファイル測定:TD.1.4

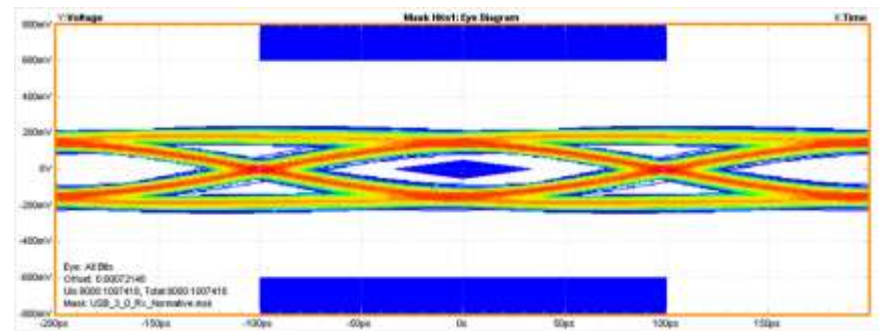
- 受信端TP1での波形捕捉
 - 50Ω終端した状態での規定
 - オシロスコープ入力に直接接続してテスト(送信側でAC結合されている)
- 40GS/s以上で1M-UI(Unit Interval)を捕捉
- リファレンス・チャンネルの適用: 想定最長伝送路でテスト
 - ホスト・テスト : デバイス(17.5cm) + 3mケーブル
 - デバイス・テスト : ホスト(27.5cm) + 3mケーブル
 - ソフトウェア的にフィルタを適用
- リファレンス・イコライザを適用 (CTLE: Continuous Time Linear Equalization)
- 上記結果のアイ・ダイアグラム、ジッタ、SSCプロファイル測定(TP1')



トランスミッタ・テスト

アイ・ダイアグラム、ジッタ測定(TD.1.3) : 測定項目

- アイ高さ(CP0)
- ジッタ(Dual Diracモデル)
 - $R_{j(\delta-\delta)}$: ランダム・ジッタ(CP1)
 - 熱雑音やショット雑音などに起因。発生確率の広がりは無量大でP-Pがない。実効値、あるいは σ で表現。極めて低い頻度でも大きなゆらぎが発生し、長期間の通信品質(BER)に影響
 - $D_{j(\delta-\delta)}$: デターミニスティック・ジッタ(CP0)
 - 隣接オシレータや伝送系の高周波損失などに起因。発生確率の広がり有限。ジッタ・マージンを低下させる
 - T_j : トータル・ジッタ
 - 1兆ビットに1回のエラー(BER 10^{-12})を保証するために必要となる R_j の等価的なP-P値と D_j の和
 - $T_j = D_{j(\delta-\delta)} + 14.068 \times R_{j(\delta-\delta)}$
 - R_j と D_j 測定結果から上記式で算出
- 4.9MHz、2次PLL、ダンピング・ファクタ0.7のジッタ伝達関数を持つPLLで再生されたクロックを基準に測定



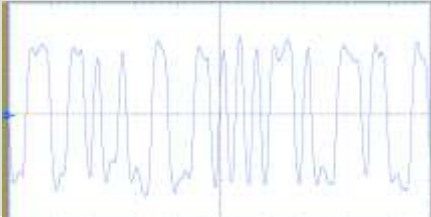
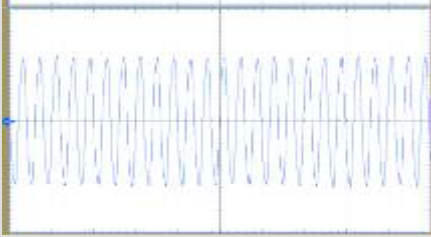
パラメータ	仕様
アイ高さ	100mV~1200mV
$R_j(\delta-\delta)$	46ps@BER 10^{-12} (3.27ps rms) 以下
$D_j(\delta-\delta)$	86ps以下
T_j	132ps@BER 10^{-12} 以下

R_j : Random Jitter
 D_j : Deterministic Jitter
 T_j : Total Jitter
※以上参考資料参照
BER: Bit Error Rate

※USB3.0, Electrical Compliance Test Specification
Rev.0.9 RCより

コンプライアンス・パターン

- 一度、コンプライアンス・モードに入った場合、レシーバへのPing.LFPSの入力によりトランスミッタは9種類のコンプライアンス・パターンを順次出力
 - 現時点では下記のCP0とCP1のみ使用

パターン	シンボル	内容	波形※
コンプライアンス・テストに使用するパターン			
CP0	D0.0 (スクランブルされた)	論理アイドル状態と同じ疑似ランダム・パターン。SKIPオーダー・セットは含まない	
CP1	D10.2	ナイキスト周波数 (1ビット「0」、1ビット「1」の繰り返し)。ビット・レートの1/2 : 2.5GHz)	

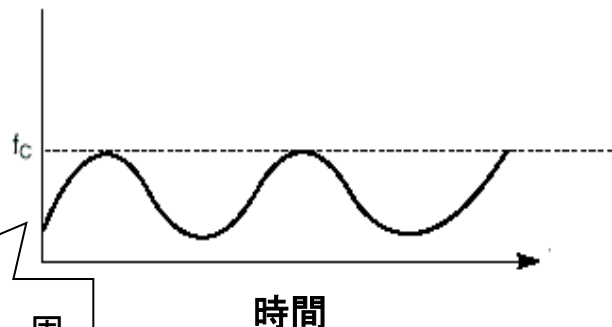
※垂直軸: 120mV/div、水平軸: 1ns/div

引用: Universal Serial Bus Specification 3.0, Rev.1.0, Nov.12, 2008

SSC: ダウンスプレッド、センタ/アッパースプレッド

- センタ/アッパースプレッドのPC、マザーボードが市販
 - 規格はダウンスプレッドを採用
 - 突発的に周波数が飛ぶSSCGも存在
- インターオペラビリティ問題の原因の1つに
 - リンク・アップしない
 - データの取りこぼし、データのダブリ

周波数
ダウンスプレッド

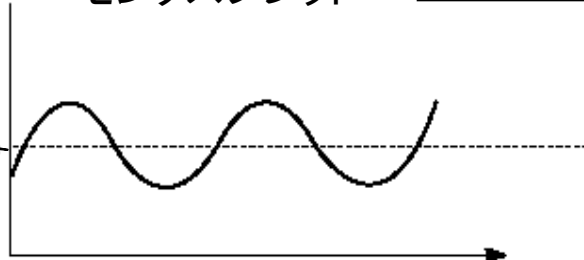


元のクロック (f_c) に対し、周波数が下がるように変調

センタスプレッド

元のクロック (f_c) を中心に上下に変調

周波数

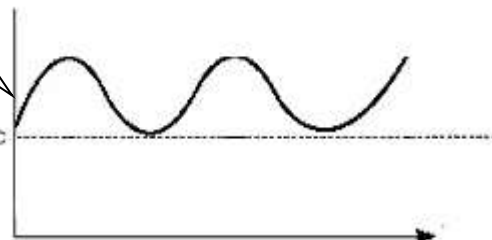


時間

元のクロック (f_c) に対し、周波数が上がるように変調

アッパースプレッド

周波数



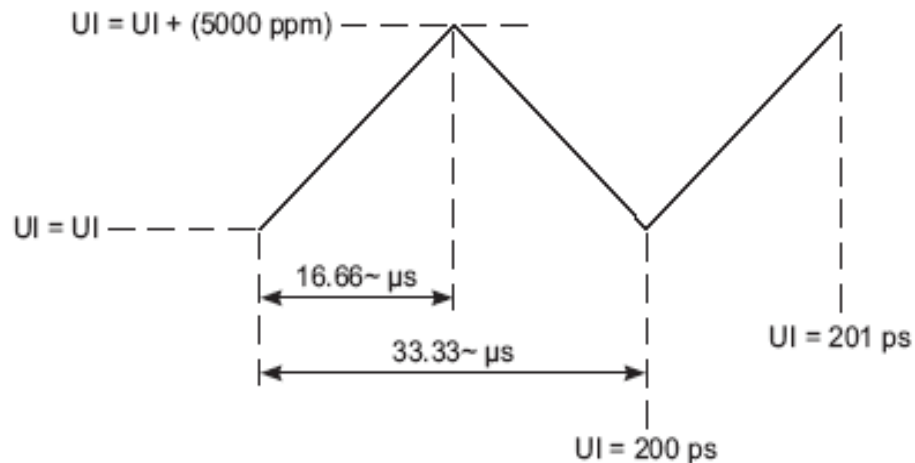
時間

どちらも周波数がクロック (f_c) より高くなるため、回路の時間余裕度を低下させる

トランスミッタ・テスト

SSCプロファイル測定: TD.1.4

- 変調周波数: 30~33kHz
- 変移: 0~-0.5%
- 位相ジッタ: 1.2ns以内
 - 600UI内
- CP1にて測定



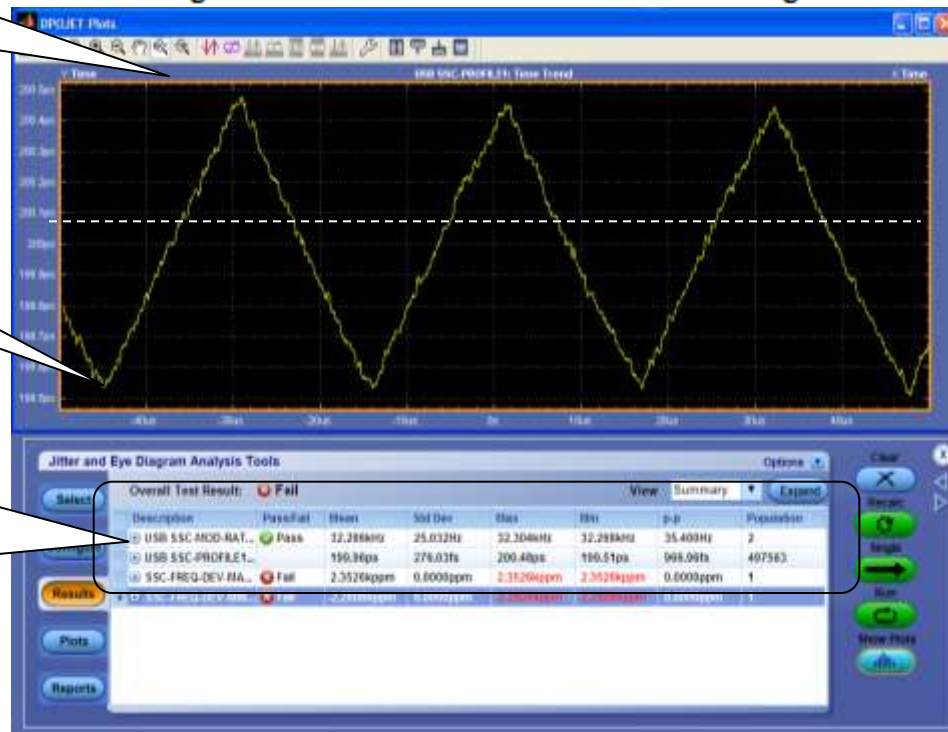
U-022

周期変動のタイム・
トレンド表示

周期の下限
(200ps - 300PPM =
199.94ps)

変調周波数、周期
偏差の測定・規格値
との判定結果

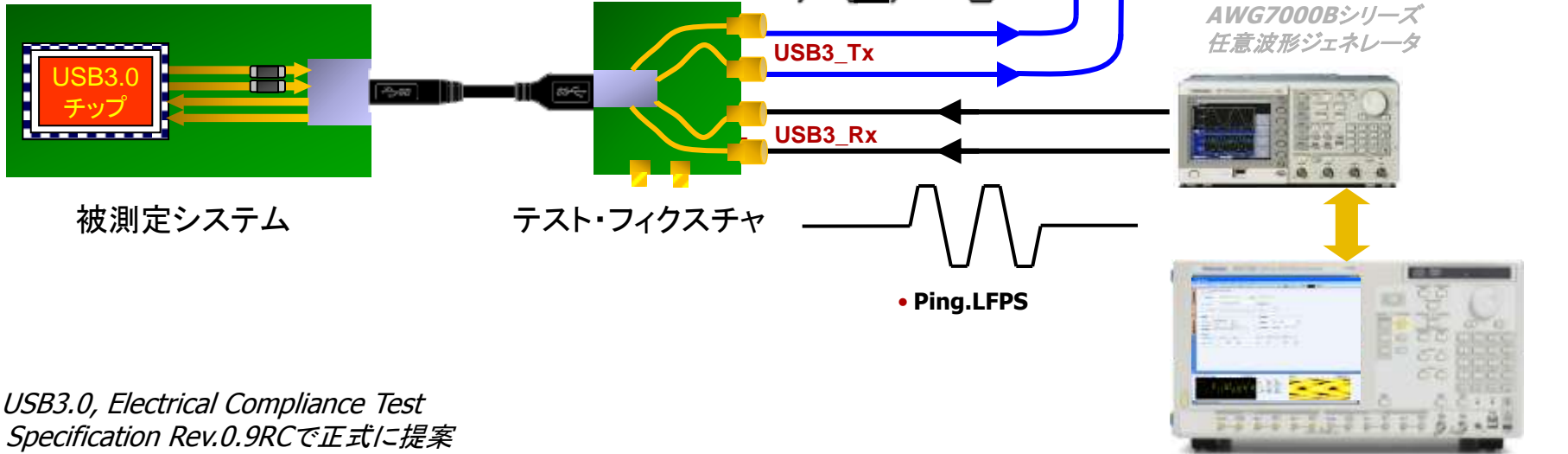
Figure 6-10. Period Modulation from Triangular SSC



トランスミッタ・テスト

ソフトウェア・チャンネル・エミュレーションによる

- ブレークアウト・テスト・フィクスチャを使用し、シリコン／コネクタのできる限り近傍で信号を捕捉 (TP2)
- Txチャンネル・エミュレーションにより TP1波形を算出※
- イコライザ・エミュレーション
- 自動／半自動でのPing.LFPS入力
 - コンプライアンス・パターンの切替え

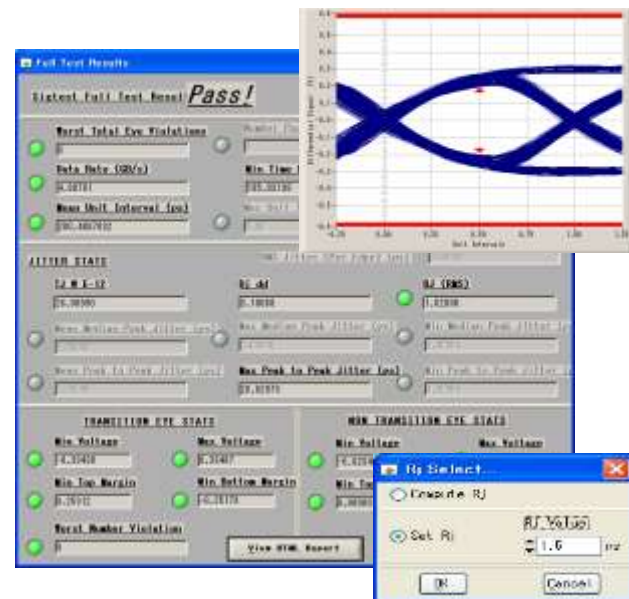


トランスミッタ・テスト

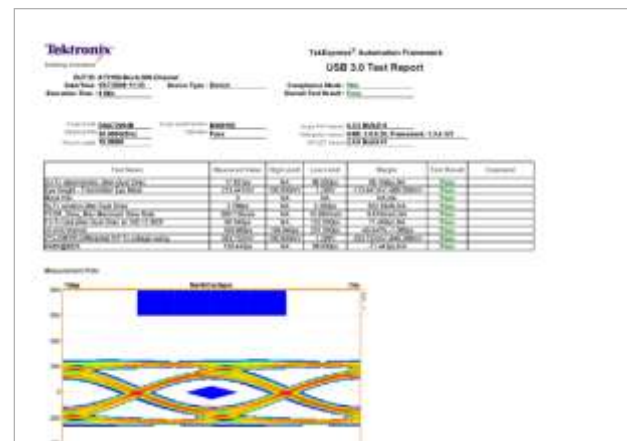
コンプライアンス・テスト・ソフトウェア

- 公式のコンプライアンス: アイ・ダイアグラム、ジッタ (TD.1.2) ⇒ SigTestコンプライアンス・テスト・ソフトウェア
 - PCI-SIGのPCI Express Rev.2.0用のSigTestを改版
 - リファレンス・イコライザを追加
 - PLLの変更
 - 最初にRjを測定。次にDjを測定し、最初のRjの測定結果をUIに入力することでTjを演算
 - 2回測定が必要に
 - 要コンプライアンス・パターンの変更
 - 無償
- 準コンプライアンス、プリコンプライアンス+SSCプロファイル測定 (TD.1.4)、LFPS (TD.1.1) ⇒ 各計測器メーカーのツール
 - 例: 弊社TekExpress opt.USB-Tx

SigTest

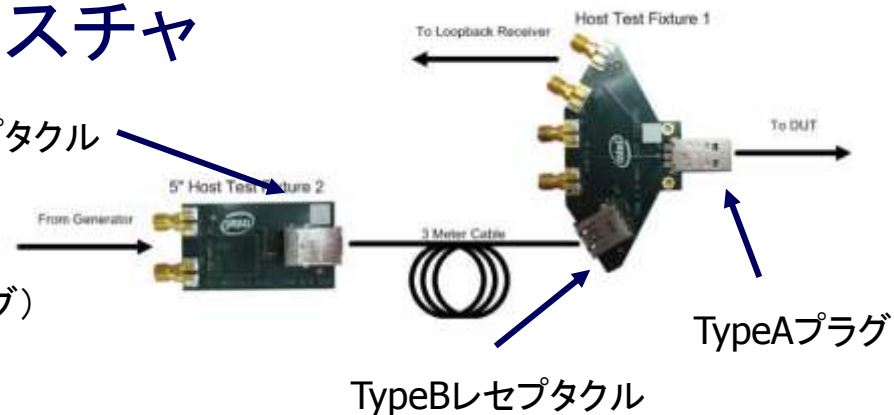


TekExpress opt.USB-Tx

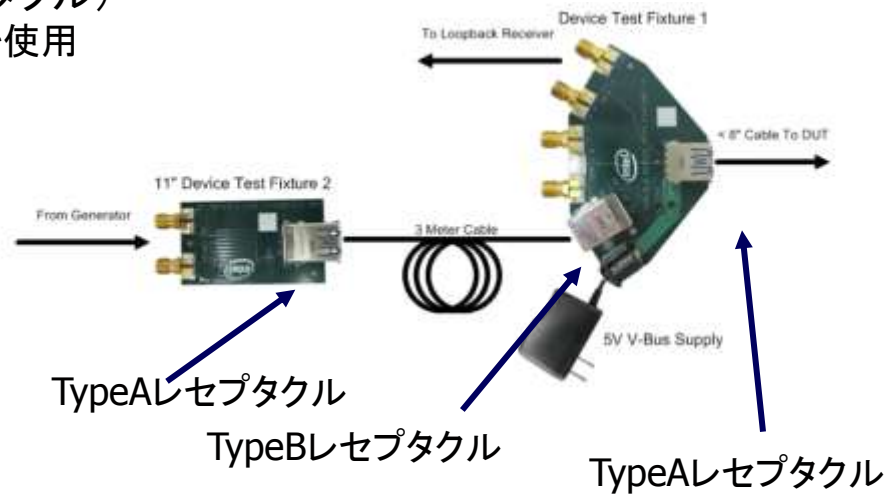


USB-IF USB3ETテスト・フィクスチャ

- ホスト・テスト・フィクスチャ
 - デバイス・チャンネル(12.5cmトレース)
 - ホスト・ブレイクアウト・フィクスチャ(TypeAプラグ)
- デバイス・テスト・フィクスチャ
 - バックパネル・チャンネル(27.5cmトレース)
 - デバイス・ブレイクアウト・フィクスチャ(TypeALレセプタクル)
- デバイス・テストCALフィクスチャ(TypeBLレセプタクル)
 - ホストはデバイス・ブレイクアウト・フィクスチャを使用
- VBUS用5V電源
- ケーブル
 - TypeA-TypeB 3mケーブル
 - TypeA-TypeB ショート・ケーブル(10cm)
 - TypeA-MircoB ショート・ケーブル(10cm)
- 購入先
 - <http://www.usb.org/developers/estoreinfo/>
- トポロジ・ダイアグラム
 - http://www.usb.org/developers/estoreinfo/USB30_ElectricalTestFixture_Topologies.pdf



ホスト・テスト・フィクスチャ



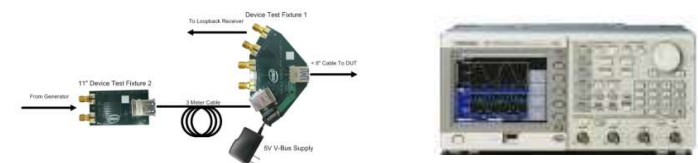
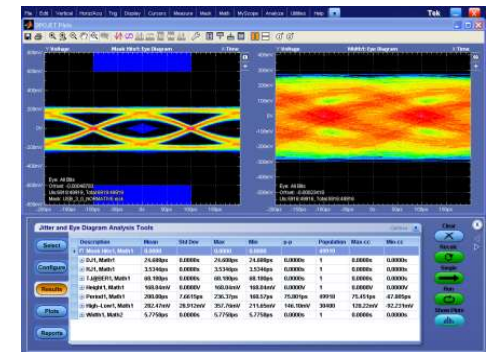
デバイス・テスト・フィクスチャ

デバイス・テストCALフィクスチャ

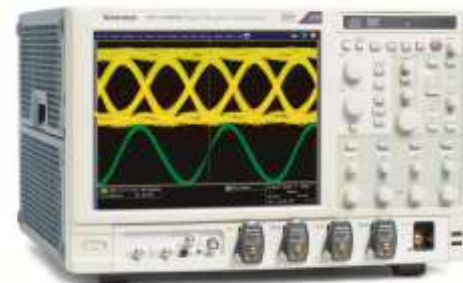


トランスミッタ・テスト構成

- 12.5GHz 以上のDSA70000Cシリーズ、あるいはMSO70000Cシリーズ
 - 最低DSA71254C型、MSO71254C型
 - MSO70000CシリーズにはOpt.DSAUが必要
- TekExpressワンボタン自動測定ソリューション (opt.TekExp、opt.USB-TX)
- USB3ET テスト・フィクスチャ(USB-IF)
- AWG7122C-010608型 任意波形ジェネレータ(レシーバ・テストと共用)、あるいはAFG3252型 任意波形／ファンクション・ジェネレータ
- その他
 - SigTestソフトウェア(USB-IF)
 - SMA-SMAペア・ケーブル 2対
 - デスクユ用アクセサリ
 - VBUS用電源(デバイスの場合)
 - その他



DSA70000Dシリーズ デジタル・シリアル・アナライザ

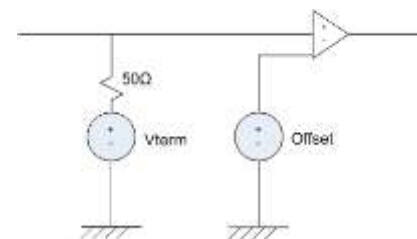


- 「最高の波形特性」と「強力な解析能力」

型名	DSA7334D型	DSA72504D型
最高周波数帯域	33GHz	25GHz
2ch(RT)、4ch(ET、アンダー・サンプリング)		
4ch(RT)	23GHz	
立上り時間(20%-80%)	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大記録長	250Mポイント@4チャンネル	
垂直軸ノイズ (フルスケールに対するp-p)	0.58%	0.58%
フラットネス	±0.5dB(最高周波数帯域の半分まで)	
ジッタ・ノイズ・フロア(rms)	250fs	
デルタ時間測定確度(rms)	347fs	330fs
垂直軸感度	6.25mV/div~120mV/div (62.5mV~1.2Vフルスケール)	
オフセット・レンジ 終端電圧レンジ	+3.4~-3.4V	



IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現



終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

DSA70000Cシリーズ デジタル・シリアル・アナライザ



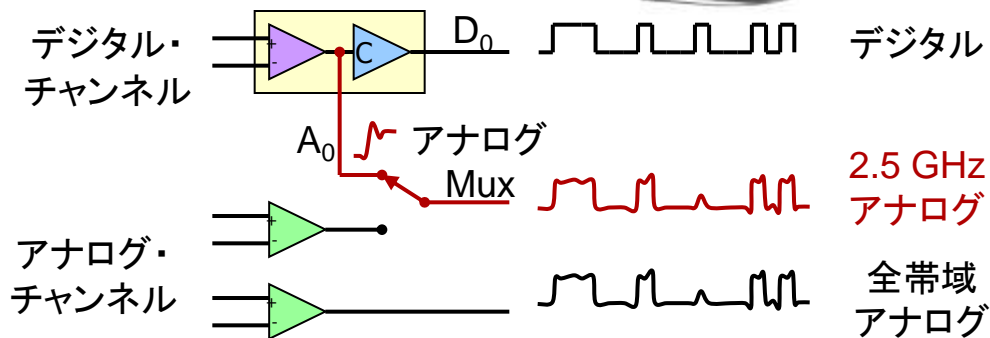
- 「最高の波形特性」と「強力な解析能力」

型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ(フルスケールに対するp-p)	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB(最高周波数帯域の半分まで)					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能(標準)	<ul style="list-style-type: none"> サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ/アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード&サーチ 					
主な機能(オプション)	<ul style="list-style-type: none"> フレーム&ビット・エラー・ディテクタ ビジュアル・トリガ I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 周波数帯域のアップグレード 					
その他	<ul style="list-style-type: none"> 毎秒30万波形取込みレート DSP特性補正、DSP帯域拡張(DSA72004C型) 周波数帯域選択機能、ArbFilter機能 					

MSO70000Cシリーズ – 業界唯一 高性能ミックスド・シグナル・オシロスコープ



- 業界唯一 : MSO唯一のiCapture
 - 1回のプローブ接続でアナログとデジタルの信号の取込み
- 任意のデジタル・チャンネルとアナログ・チャンネルをすばやく切り替え
 - 同時に観測可能
- 汎用1GHzパッシブ・プローブと2.5GHzアクティブ差動プローブを用意



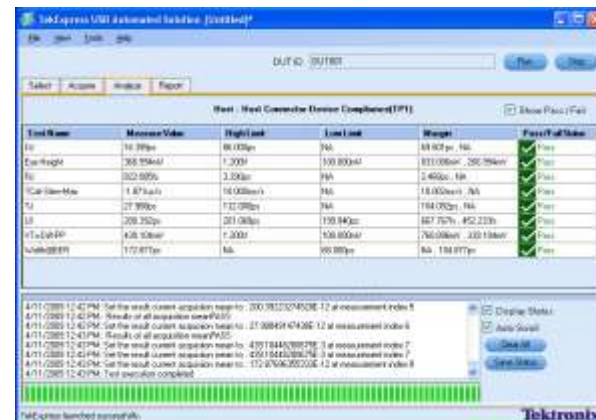
iCapture概念図

型名	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
アナログ・チャンネル	4					
デジタル・チャンネル	16					
サンプル・レート(アナログ)	50GS/s@4チャンネル、100GS/s@2チャンネル			25 GS/s@4チャンネル		
サンプル・レート(デジタル)	12.5 GS/s					
レコード長 (全チャンネル)	250 M ポイント			125 M ポイント		
バス・トリガ/デコード(オプション)	パラレル、8B/10B、I ² C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ					
iCapture®	○					
ロジック・クオリファイ・トリガ	○					
DSAパッケージ・オプション	DSAU			DSAH		

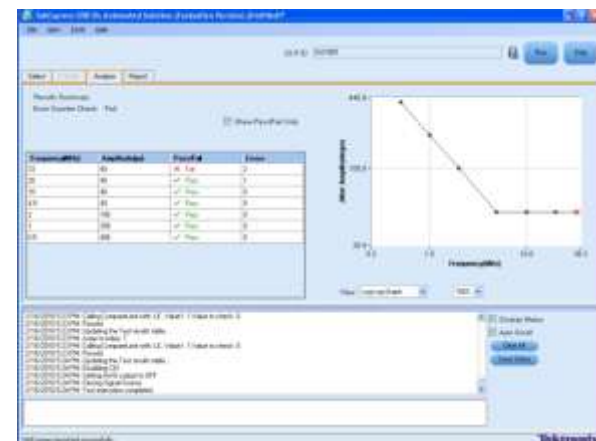
自動USB 3.0コンプライアンス・テスト

TekExpress自動テスト・ソフトウェア

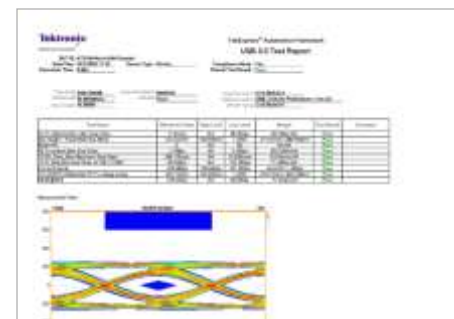
- ユーザの手間をかけない、記憶、勘に頼らないワンボタンによる設定からレポートまでの自動USB 3.0ノーマティブ/インフォーマティブ・トランスミッタ/レシーバ・テスト
- ホスト、デバイスに依存したチャンネルを設定
 - ソフトウェア・エミュレーション
 - ハードウェア・チャンネル
- 解析パラメータの完全制御により、コンプライアンスとデバッグ環境間のシームレスな統合
- トランスミッタ・テスト
 - TD.1.1 :LFPS
 - TD.1.3 :アイ・ダイアグラム、ジッタ測定
 - TD.1.4 :SSCプロファイル測定
 - コンプライアンス・パターンの自動切替
 - SigTestおよびDPOJETの双方をサポート
- レシーバ・テスト
 - TD.1.2 :LFPS(予定)
 - TD.1.5 :ジッタ耐性テスト
 - ジッタ・マージン・テスト
 - 規定振幅以外でのテスト
 - オシロスコープ内蔵エラー・ディテクタをサポート



トランスミッタ・テスト



レシーバ・テスト

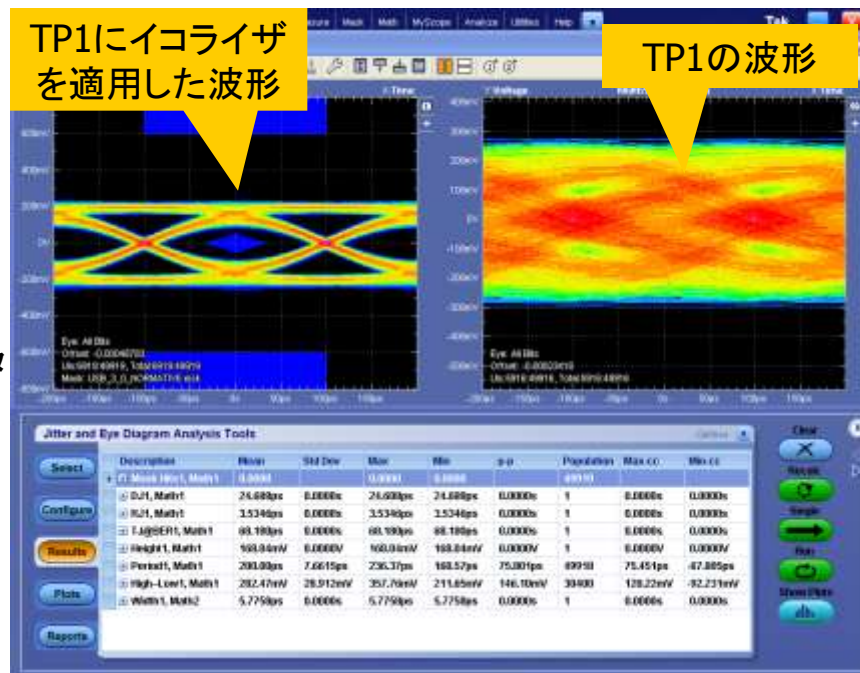


レポート
(MHTML形式)

DPOJET

ジッタ&アイ・ダイアグラム解析ソフトウェア

- 周波数／周期、振幅、タイミングおよびジッタとアイ・ダイアグラム測定
 - データ、クロックおよびクロック-データ間
- 同時に99測定まで
 - 別々の信号に対する測定も可能
- Rj/Dj測定、特定BERでのアイ開口幅とトータル・ジッタ予測
 - 唯一の規格・業界団体に認定されたリアルタイム・オシロスコープでのRj/Dj分離方法 (ANSI T11.2 FC-MJSQ)
 - 真のRj/Dj測定と $Rj_{(\delta-\delta)}/Dj_{(\delta-\delta)}$ 測定
 - Diの成分をPj、DCDj、DDjに分離測定
- 様々なデータ解析を可能にする複数のプロットを表示可能
 - アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンド
- 外部クロック逡倍を含む様々なクロック・リカバリ・モデル
 - PCI Express Gen2(システム)、LVDSパネル・インタフェース、DDR2/3に不可欠
- 汎用+特定用途(DDR、PCI Express、USB3.0など)



- レポート生成機能
 - MHTML形式 (MIME Encapsulation of aggregate HTML)*

*HTML ファイルや画像データを単一のアーカイブにまとめて保存できる形式

USB3.0基板設計上の課題:レシーバ・テストが重要に

- USB3.0ではレシーバ側で受ける影響に対し、根本的にセンシティブ
 - 5Gbpsという高速信号を比較的長距離伝送することを想定
 - LSIパッケージ+45cmFR4(ホスト+デバイス)+3mケーブル
 - その結果、高周波損失の影響を受けて減衰した信号をイコライザで改善
 - しかしながらイコライザは受信端近傍で受けた影響を増強
 - クロストーク、反射、ノイズ、電源...
 - 特にタイプBレセプタクルを使用するデバイスは、
 - Rxに対するTxからの近端クロストーク(Differential Near-end Crosstalk :DDNEXT)の影響が大きくなりがち
 - インピーダンス・コントロールがむずかしいため、リターン・ロスが大きくなりがち
 - 導体がタイプAレセプタクルより約5mm長い
- 結果的にトレース・パターン、電源等が注意深く設計される必要がある
 - ケーブル、レセプタクルも注意深く選択される必要がある
 - 特にデバイスでは、差動ペア・スキューやリターン・ロス、近端クロストークが大きいレセプタクルを避ける
- 以上の性質から、トランスミッタ・テストだけで相互運用性(インターオペラビリティ)を保証は不可能
 - ※相互運用性の保証とは特定BER(BER 10^{-12})での通信を保証すること

⇒ レシーバ・テストが重要に

Universal Serial Bus 3.0 Connectors and Cable
Assemblies Compliance Document Revision 1.0 Draft,
October 20, 2010より(

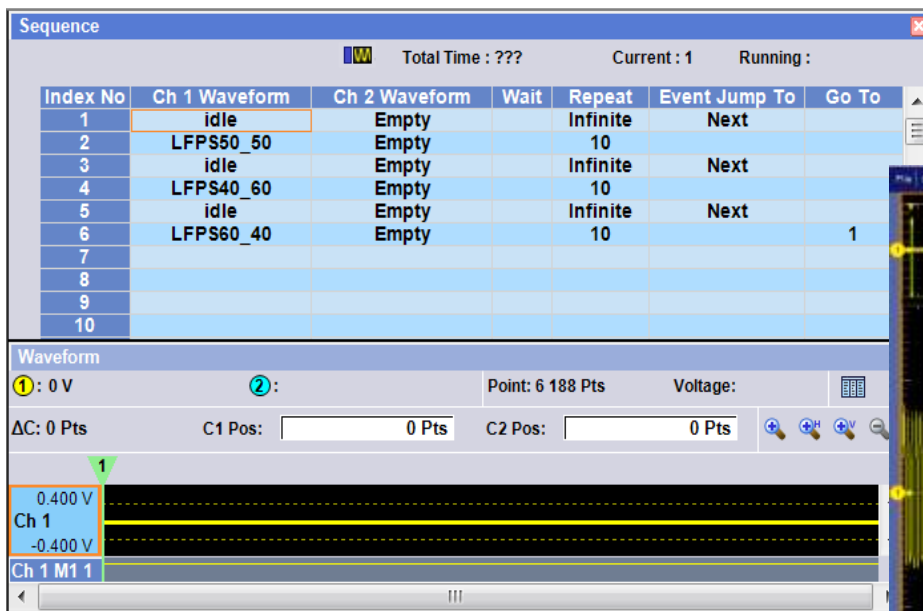
http://www.usb.org/developers/devclass_docs/CabConn_3_0_Compliance_Document_20101020.pdf)

レシーバ・テスト

LFPS:TD.1.2

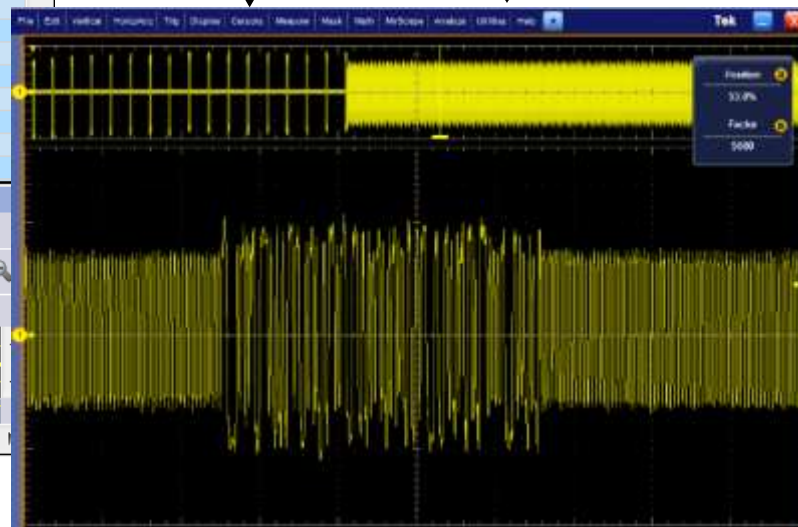
- LFPSをRxに入力し、DUTがTSEQを応答すること
 - tPeriod 50 ns, $V_{TX-DIFF-PP-LFPS}$ 800 mV, Duty Cycle 50%.
 - tPeriod 50 ns, $V_{TX-DIFF-PP-LFPS}$ 1200 mV, Duty Cycle 50%.
 - tPeriod 50 ns, $V_{TX-DIFF-PP-LFPS}$ 1000 mV, Duty Cycle 40%.
 - tPeriod 50 ns, $V_{TX-DIFF-PP-LFPS}$ 1000 mV, Duty Cycle 60%.
- AWGからLFPS信号をRxに入力、Txの応答をオシロ・スコープで確認

AWGによるLFPS印加シーケンス



オシロ・スコープによるTSEQ応答確認

LFPS → TSEQ



レシーバ・テスト

ジッタ耐性テスト: TD.1.5

- ジッタ周波数、ジッタ量を変えた数種類のパターンを使用(次スライド参照)
 - 低周波(PLLカットオフ周波数以下): クロック・リカバリ回路のジッタ吸収の度合いの確認
 - 高周波: データ・リカバリ回路のセンス・アンプの時間方向余裕度の確認
- TP1として入力
 - ディエンファシス、SSCを適用
 - リファレンス・チャンネルの損失を適用
 - デバイス: ホスト+3mケーブル
 - ホスト: デバイス+3mケーブル
 - TP1+CTLEでジッタを校正
 - 信号振幅: SSCオンにて
 - ホスト: 180mV
 - デバイス: 145mV
 - CP0にて S_j : SSCオフにて40.0 ps +0/-10% @50MHz(記載?)
 - CP1にて R_j : SSCオフにて2.42 ps \pm 10% RMS、30.8ps \pm 10% p-p

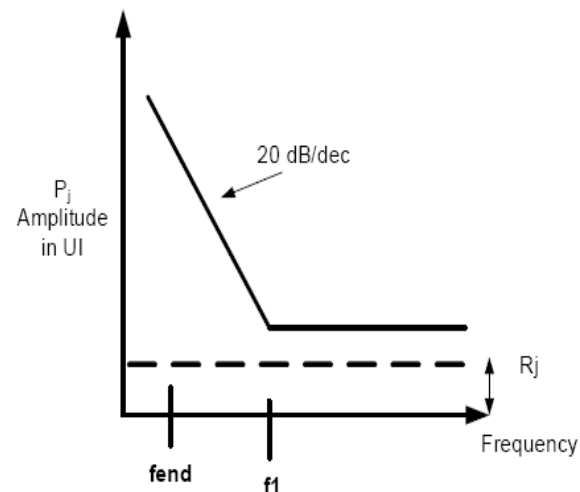
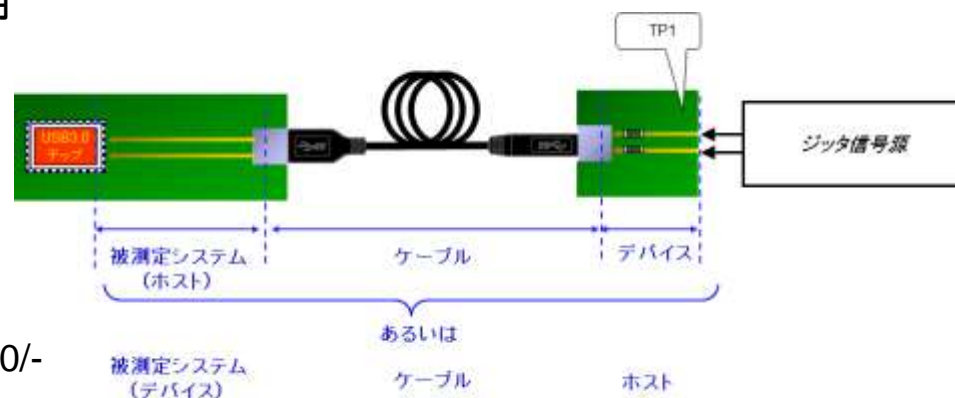


Figure 6-19. Jitter Tolerance Curve



レシーバ・テスト: ジッタ周波数 / 振幅

- 測定時間※

- 仕様はBER 10^{-12}
- 測定時間短縮のため、BER 10^{-10} として測定
- ジッタ周波数あたり600秒 → 6秒へ短縮 (計4200秒 → 42秒に短縮)
 - 2.996×10^{10} ビット長 (2.996×10^9 シンボル) でエラーがなければ95%の確かさでBER 10^{-10} とみなす

※引用: USB3.0, Electrical Compliance Methodology White Paper Rev.0.5
 USB3.0, Electrical Compliance Test Specification Rev.0.5

Rj _{RMS} (UI)	Pj			
	周波数		UI (0.9)	UI (~0.9RC)
	~0.9RC	0.9		
0.0121 (2.4ps)	500kHz		2 (400ps)	2.265 (453ps)
	1MHz		1 (200ps)	1.132 (226.4ps)
	2MHz		0.5 (100ps)	0.566 (113.2ps)
	4.9MHz		0.2 (40ps)	0.232 (46.4ps)
	50MHz	10MHz		
		20MHz		
		33MHz		
50MHz				

レシーバ・テスト:エラー検出手法

1. ループバックBERT

- シリコンに内蔵したエラー・ディテクタによりエラーをカウント
- Rxが受信したデータの一部(BERCオーダード・セット)をカウンタ値(BCNTオーダード・セット)に置き替えて、ループバック・モードでTxよりを出力し、外部機器で読み取る
- **規格化されたがテスト仕様から削除**。また2010年6月付けのErrataでオプション化。ただしすでに多くのチップに搭載され、早期開発・出荷に貢献
 - μ PD720200、MB86C30A、TUSB1310Aなどに実装

2. 外部エラー・ディテクタ

- レシーバが受信したデータをループバック・モードでトランスミッタより出力し、外部機器でエラーをカウント
- テスト仕様で規定された方法

レシーバ・テスト構成1

AWG + オシロスコープ・エラー・ディテクタ

- データ・ジェネレータ、任意波形ジェネレータで、電気的アイドル、SSC、ディエンファシス、Rj、Dj(Sj)を加えたデータを生成
- ハードウェア・チャンネルで信号を劣化
- ループバック・パターンのエラーをオシロスコープ内蔵のエラー・チェッカで確認—業界初!
 - 波形観測をしながらエラー・チェックが可能



オシロスコープ

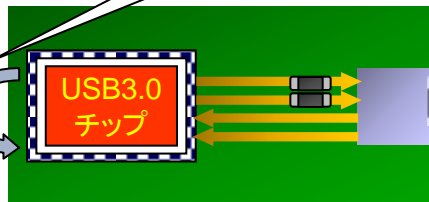


シンボル・エラー

AWG7000Bシリーズ
任意波形ジェネレータ



受信したデータを
内部でループバック



USB3_Rx

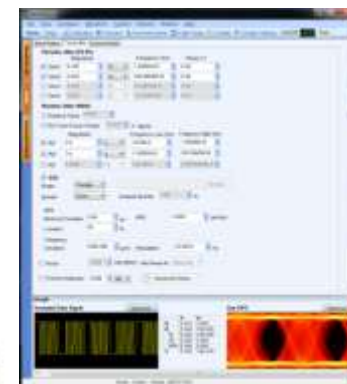
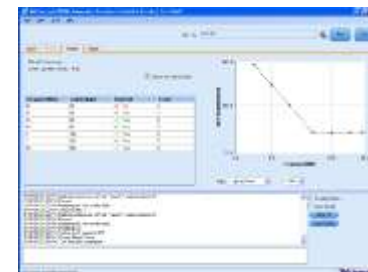
- SSC
- Rj
- Pj

USB3_Tx

レシーバ・テスト構成1

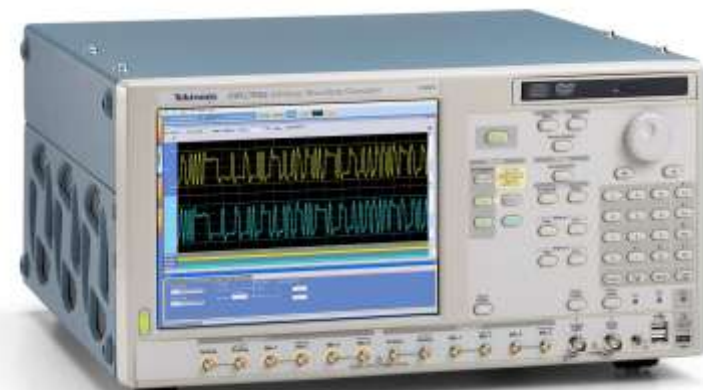
AWG + オシロスコープ・エラー・ディテクタ

- 12.5GHz 以上のDSA70000Cシリーズ、あるいはMSO70000Cシリーズ
 - 最低DSA71254C型
 - MSO70000CシリーズにはOpt.DSAUが必要
- フレーム & ビット・エラー・ディテクタ
 - Opt. ERRDT フレーム & ビット・エラー・ディテクタ
- TekExpressワンボタン自動測定ソリューション (opt. USB RMT)
- AWG7122C-010608型 24GS/s任意波形ジェネレータ
- SDX100 SerialXpress™ ジッタ生成ソフトウェア
 - Opt. ISI Sパラメータ・フィルタ/ISI生成
 - Opt. SSC スペクトラム拡散クロック生成
- USB3ETテスト・フィクスチャ (USB-IF)
- その他
 - SMA-SMAペア・ケーブル 2対以上
 - その他



AWG7122C型 任意波形ジェネレータ

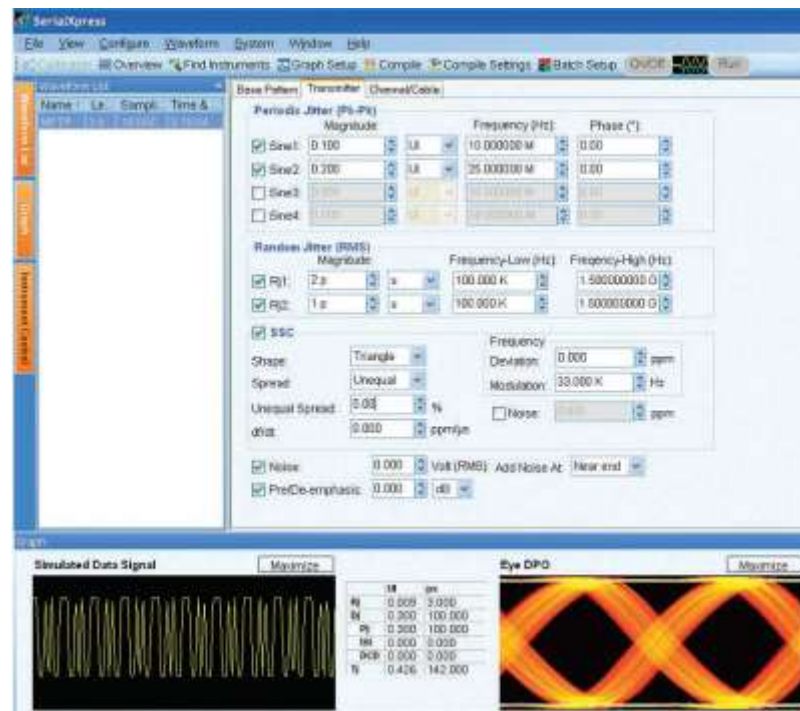
- 任意のジッタ、プリエンファシス、ノイズを印加してのシリアル・データが発生可能
- 直接にジッタを生成し合成(ダイレクト・シンセシス)
 - 損失のためのハードウェア・リファレンス・チャンネルが不要
 - 高い再現性
- 最高サンプリング・レート
 - 12GS/s@2チャンネル
 - 24GS/s@1チャンネル
- 10ビット垂直分解能
- マーカ出力
 - 2チャンネル／アナログ出力
- メモリ長
 - 標準: 32M @2チャンネル、64M @1チャンネル
 - オプション: 64M @2チャンネル、128M @1チャンネル



応用例

- レシーバ・ジッタ・トレランス・テスト
- SSC df/dtストレス・テストを実現
- PLLループ帯域幅
- チャンネル・エミュレーション

- AWGシリーズ任意波形ジェネレータで任意のジッタ、プリアンファシス、ノイズを印加してのシリアル・データが直接に発生可能に(ダイレクト・ジッタ・シンセシス)
- レシーバ・ジッタ耐性／マージン・テスト、SSC df/dtストレス・テストを実現
- ジッタ要素
 - 周期性ジッタ(正弦波4ソース)
 - ランダム・ジッタ(3ソース)*
 - シンボル間干渉(ISI)
 - デューティ・サイクル・ディストーション(DCD))
- スペクトラム拡散クロック(SSC)要素
 - プロファイル、拡散方式、周波数偏移、拡散周波数、df/dt、ノイズ
- S-パラメータ・フィルタによるチャンネル・エミュレーション
 - TouchStone形式ファイルをインポートして、基板、ケーブル、**クロストーク***をシミュレーション可能
 - シンボル間干渉(ISI)などを生成のための外付けハードウェアが不要

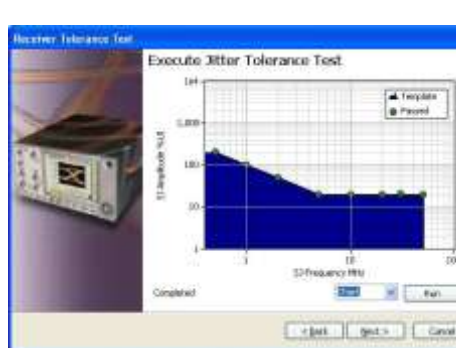


※バージョン3.0より

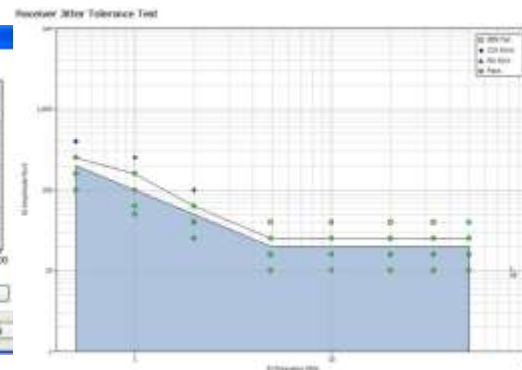
レシーバ・テスト構成2

BERTScope BSA Cシリーズ

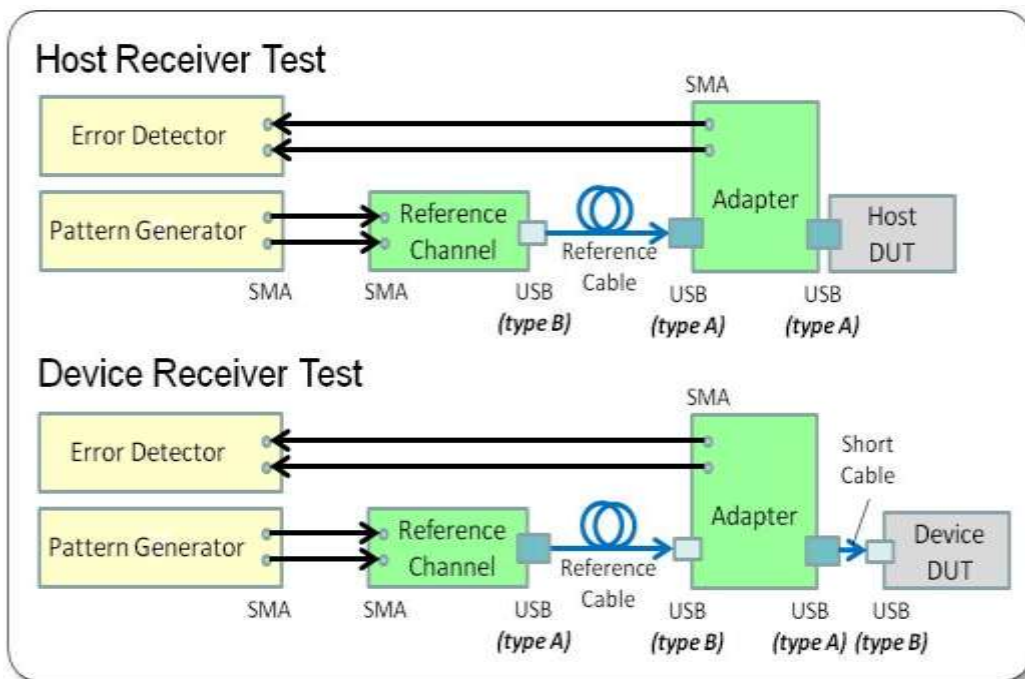
1. ストレス・パターン発生
RJ/SJ/SSC
Pre-emphasis
プログラム・コントロールによるデバッグ、解析
ストレス・パターン発生
2. 12.5/17.5/28Gbps選択可能CR(クロック・リカバリ)
3. シングル・クリックによる簡単ループバック設定
4. 高速コンプライアンス・テスト、ジッタ・サーチ
ジッタ周波数ごとに柔軟なサーチ範囲指定可
信頼度、BER指定による実行指定
5. 自動ソフトウェア
DSA70Kオシロとの連携による自動校正
HTMLテスト・レポート
校正データ、測定結果のデータ・ベース管理



コンプライアンス・テスト



ジッタ・サーチ



BSA Cシリーズ ビット・エラー・レート・アナライザ

- 最高26Gbpsのパターン生成、高速BER／ジッタ測定、エラー解析が可能
 - 8.5Gbps、12.5Gbps、17.5Gbps、26Gbpsにパターン・ジェネレータ4機種、ビット・エラー・レート・アナライザ4機種
- ストレス生成機能※
- BERTScopeツールキット
 - 標準テスト・スイート
 - アイ・ダイアグラム、マスク・テスト:オシロスコープ・ライクなアイ・ダイアグラム解析
 - ジッタ・トレランス・コンプライアンス・テンプレート・テストとマージン・テスト※
 - 物理レイヤ・テスト・ソフトウェア・スイート※
 - ジッタ・ピーク、BER輪郭、Qファクタ解析
 - ジッタ分離(ジッタ・マップ) ※
- 当社特許のError Location Analysis機能
 - エラー／データ相関など
- その他※
 - ストレス・ライブ・データ
 - エラー訂正符号化エミュレーション
 - シンボル・フィルタリング



レシーバ・テスト・ソリューション比較

BERTScope



AWG

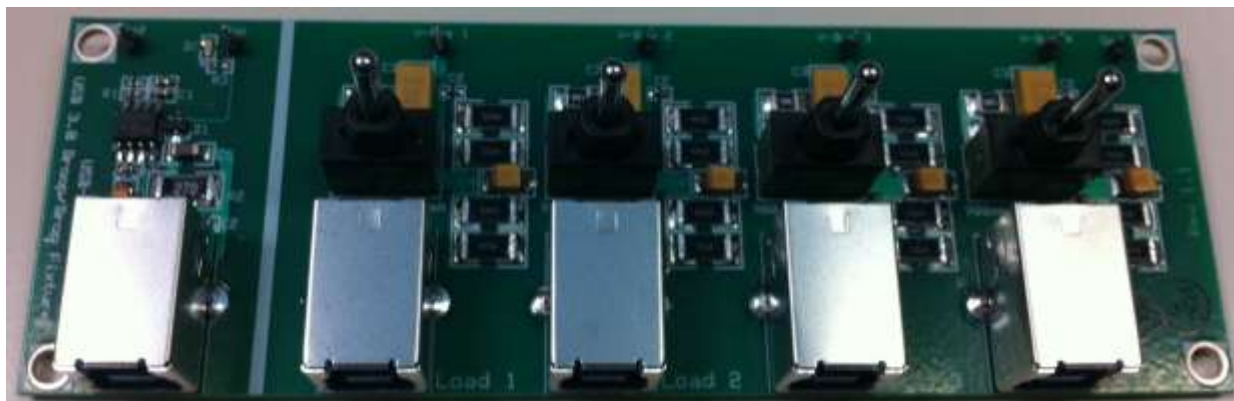


- テクトロニクス製の2つのレシーバ・テスト・ソリューションは
 - 完全自動のレシーバ・コンプライアンスとジッタ・トレランス・テストをサポート
 - SSC、ディエンファシスなどの柔軟なレシーバ・テスト条件印加
 - 広範囲な高速シリアル規格サポート
 - 非同期クロックのインターフェース・サポート (SKP オーダ・セット挿抜)
- **BERTScope**は
 - 26Gbpsまでの次世代高速シリアル規格に対応
 - Thunderbolt, DisplayPort 1.2, SATA/SAS, 10G KR, PCI Express 3.0
 - レシーバ・テスト条件の迅速な変更、確認
 - Rxエラー時のジッタ・エラー解析、デバッグ・ツールのサポート
 - 新のビット・エラー測定
- **AWG**は
 - MIPI, HDMI/MHL, USB 3.0, SATAなどの共通プラットフォーム
 - 柔軟なパターン・シーケンサ、マルチ・レベルサポートによるTxとRxの共通テスト・セットアップ、シームレスな自動測定
 - オシロ・スコープによるエラー・ディテクタ・オプション
 - SATA OOB、USB3 LFPSテストサポート
 - Sパラメータ・モデル(タッチストーン)を用いたチャネル・ロス解析(ISIボード不要)
 - ダイレクト・シンセシス法による高周波/振幅ジッタ印加可能

コンプライアンス・テスト変更点

USB 3.0 Droop / Drop Test

- USB-IF より購入可能な新テスト・フィクスチャ
 - 新しい150mA / 900mA 負荷
 - 従来は100mA / 500mA 負荷
- ハイ・パワー・デバイス対応のため最大負荷電流を500mA から 900mAに変更
- テスト・フィクスチャ入手先:
http://www.usb.org/developers/estoreinfo/USB_product_order_form.pdf



コンプライアンス・テスト変更点

テスト・フィクスチャのディエンベディング

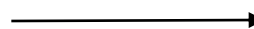
■ ディエンベッドの目的

- 実際の使用環境にはない測定環境の影響を除去
- Txテストフィクスチャ上のコネクタ、基板トレースの影響を除去し、Txピンでの特性を正確に測定

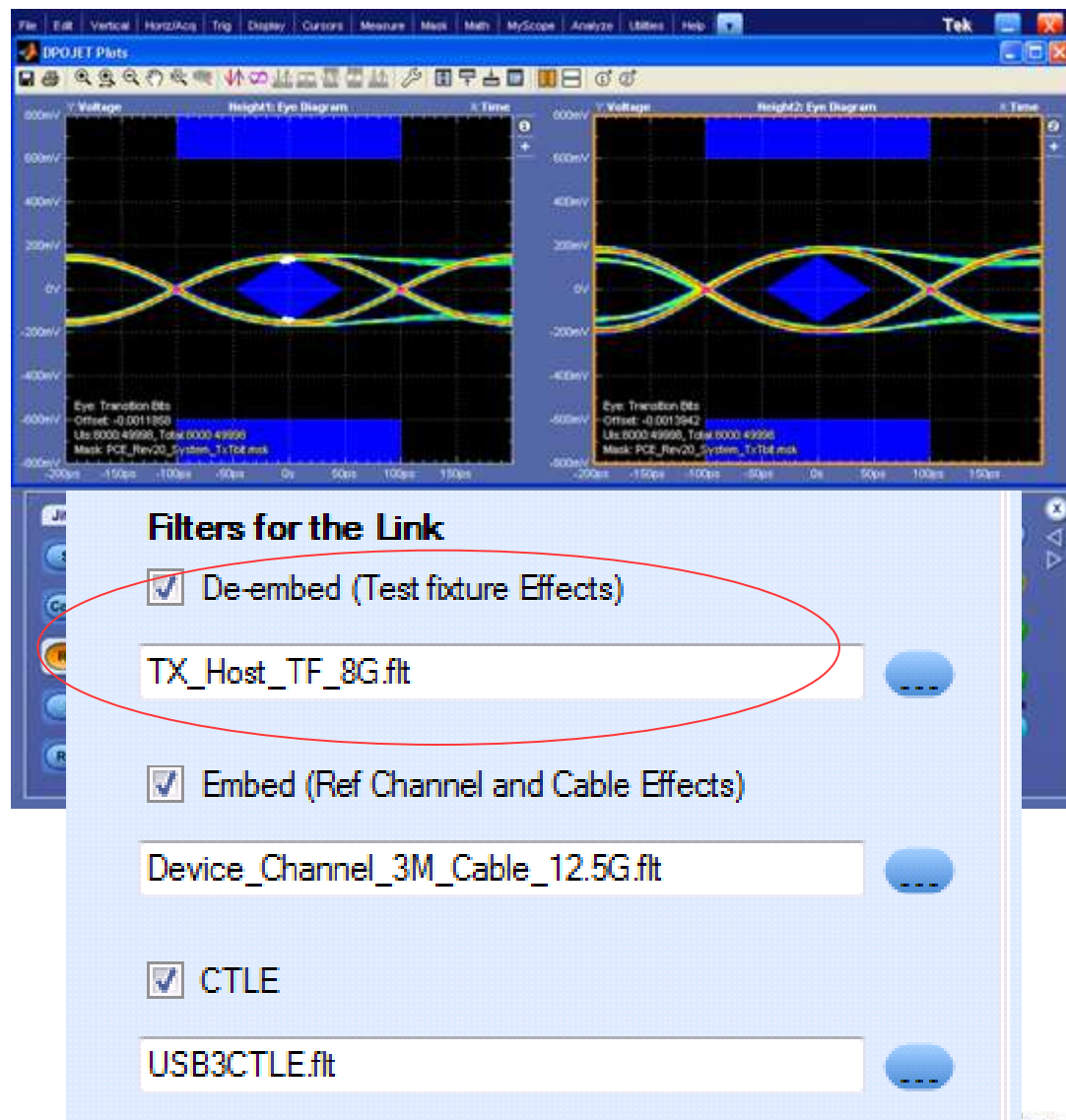
■ ディエンベッドの方法

- Txテスト・フィクスチャ上のチャネル特性をSパラメータファイルとして測定
- SDLA(Serial Data Link Analysis)ツールを用いて、オシロのMath機能で利用できるフィルタファイルを作成

Before



After



今後予定されているコンプライアンス・テスト変更点

- ECN 012 USB3.0 Reference Equalizer
 - ロング・チャンネル(3m cable + long host PCB)用のイコライザに加えて、ショート・チャンネル(No cable + short) host PCB)用のイコライザを追加
 - TD.1.3 : アイ・ダイアグラム、ジッタ測定/TD.1.5 : ジッタ耐性テストの対応
 - Rxテスト・フィクスチャの対応

Figure 6-17 is a plot of the Compliance EQ transfer functions with the values for each of the input parameters.

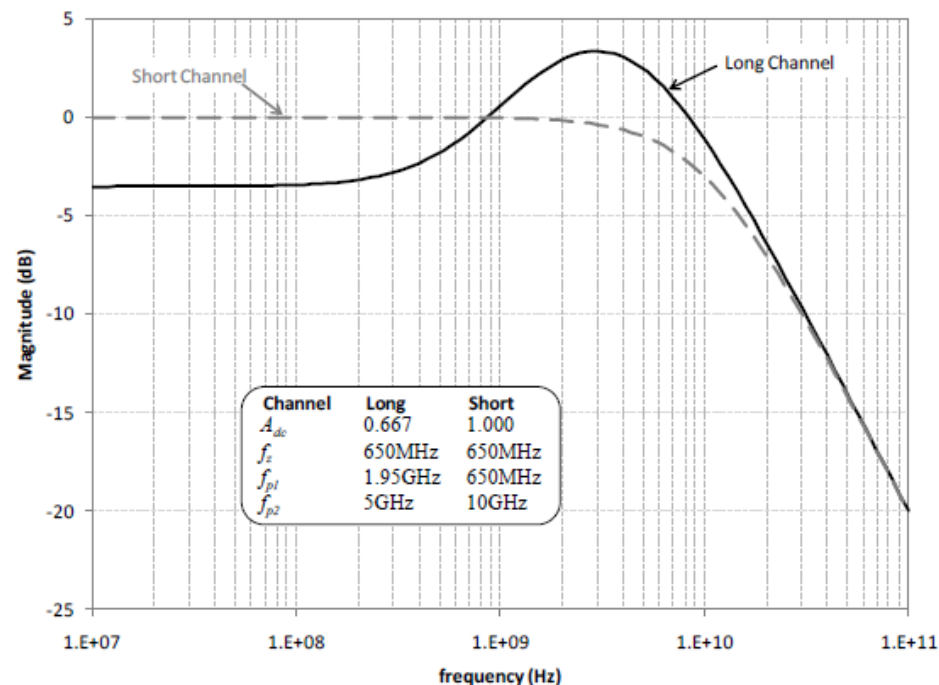


Figure 6-17. Tx Compliance Rx EQ Transfer Functions

USB3.0測定(Tx):まとめ

- オシロスコープで50Ω終端し、コンプライアンス・パターンで評価
 - コンプライアンス・パターン: CP0、CP1を使用※
 - Ping.LFPSの入力で切替え
- 2次PLL/4.9MHz帯域PLLでリカバリしたクロックを基準にアイ・ダイアグラムとジッタを評価
 - 1M-UIを測定
 - ジッタは $D_{j(\delta-\delta)}$ 、 $R_{j(\delta-\delta)}$ を測定
 - 前者はCP0、後者はCP1で測定
 - トータル・ジッタ@BER 10^{-12} を算出
 - $T_j = D_{j(\delta-\delta)} + 14.069 \times R_{j(\delta-\delta)}$
 - SSCの変調周波数、変移、位相ジッタ(600UI)を測定※
- デバイスはホスト+ケーブル、ホストはデバイス+ケーブルのチャンネルを加味したTP1(レシーバ入力)で評価
 - ソフトウェアによるリファレンス・チャンネル・エミュレーションを使用
- 規定のイコライザ(CTLE)を適用して測定

※USB3.0, Electrical Compliance Test Specification Rev.0.9 より

USB3.0測定 (Rx) : まとめ

- レシーバのジッタ耐性テスト
 - 規定のジッタ周波数とジッタ振幅を加えてのテスト
- 外部機器でTxデータのエラーを検出
 - ループバック・モードでRxが受信したデータをTxより出力し、外部機器(エラー・ディテクタ、BERT)でエラーをカウント
 - 当社ではオシロスコープ内蔵型のエラー・ディテクタも入手可能
 - TXテストと同じ接続・環境で、波形を確認しながらのRXテストが可能
- 規格はBER 10^{-12} 、ただし測定は1/100の時間で測定
- デバイスはホスト+ケーブル、ホストはデバイス+ケーブルのチャンネル損失を印加
 - ハードウェア・リファレンス・チャンネルを使用
 - ディエンファシス、SSCを適用
 - 2種類の自動Rxテスト・ソリューション
 - AWG + Scopeエラー・ディテクタ
 - シンプルで共通化されたTx/Rxテスト・セットアップ
 - 広範囲なシリアル規格にも対応
 - BERTScope
 - 豊富なRxエラー解析、デバッグ・ツール・サポート
 - 次世代高速シリアル規格にも対応

参考資料

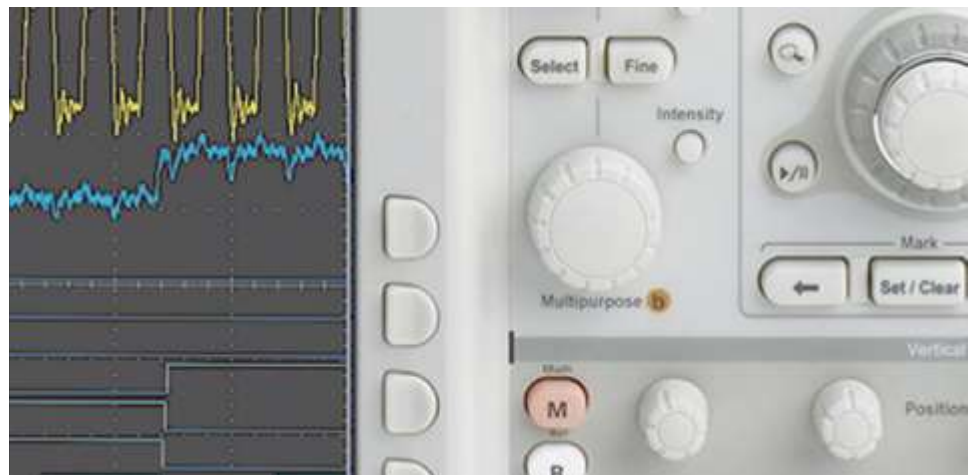
CQ出版様資料	リンク先	筆者
CQ出版組込みネット	USB 3.0規格のFAQ－信号波形からSuperSpeed USBを理解しよう http://www.kumikomi.net/archives/2009/08/usb_30faq1superspeed_usb.php USB 3.0規格のFAQ(2)――SuperSpeed USBはいかにして高速伝送を実現しているのか？ http://www.kumikomi.net/archives/2009/08/usb_30faq2superspeed_usb.php USB 3.0規格のFAQ(3)―― SuperSpeed USBのテストはどのように行うか？ http://www.kumikomi.net/archives/2009/09/usb_30faq3superspeed_usb.php	畑山 仁、日本テクトロニクス株式会社
	そこは覚えておきたい「USB 3.0 の高速性を実現するしくみをプロトコル・アナライザで覗いてみる」 http://www.kumikomi.net/archives/2009/04/usb_30.php	石井 潤一郎、東陽テクニカ株式会社
インタフェース、2010年3月号	今さら聞けないUSBの基礎知識(USB2.0)	桑野雅彦、藤原尚伸、パステルマジック
	USB3.0の特徴とUSB2.0との比較	大谷聡、NECエレクトロニクス株式会社
トランジスタ技術、2010年2月号	超高速通信規格 USB3.0の実際	野崎原生、NECエレクトロニクス株式会社
当社資料	リンク先	備考
ちらし	USB3.0計測／コンプライアンス・ソリューション USB3_factsheet_55Z-24071-1.pdf	
機器構成	USB3コンプライアンス必要構成01Feb10.pdf	
アプリケーション・ノート	USB 3.0設計の検証とデバッグの簡素化 USB3_AppNote_55Z-23452-0.pdf	
データシート	USB3_datasheet_55Z-23929-0.pdf	TekExpress opt.USB-Txをご紹介
ウェブ・ 세미나	USB 3.0設計の検証とデバッグの簡素化 http://www.tek.com/ja/forms/response/306283X318489/	視聴にあたって登録が必要
Web	http://tektronix.co.jp/usb	

当社社員監修・執筆インタフェース・デザイン・シリーズ第2弾

- 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」
- A5判、512ページ
- 近日中販売開始予定。乞うご期待ください
- 内容
 - 第1章 USBの概要
 - 第2章 USB 3.0の物理層と論理層
 - 第3章 デバイスとハブの動作
 - 第4章 コネクタとケーブルの形状と特性
 - 第5章 リンク層の詳細
 - 第6章 ハードウェア設計
 - 第7章 プリント基板の設計
 - **第8章 コンプライアンス・テスト:執筆しました**
 - 第9章 USB ソフトウェアのしくみ
 - 第10章 USBホスト・コントローラの制御
 - 第11章 USBデバイス・コントローラ制御



ありがとうございました。



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>