

D-5

MIPIの規格動向と測定ソリューション



宮崎 強

Tektronix[®]

KEITHLEY
A Tektronix Company

はじめに

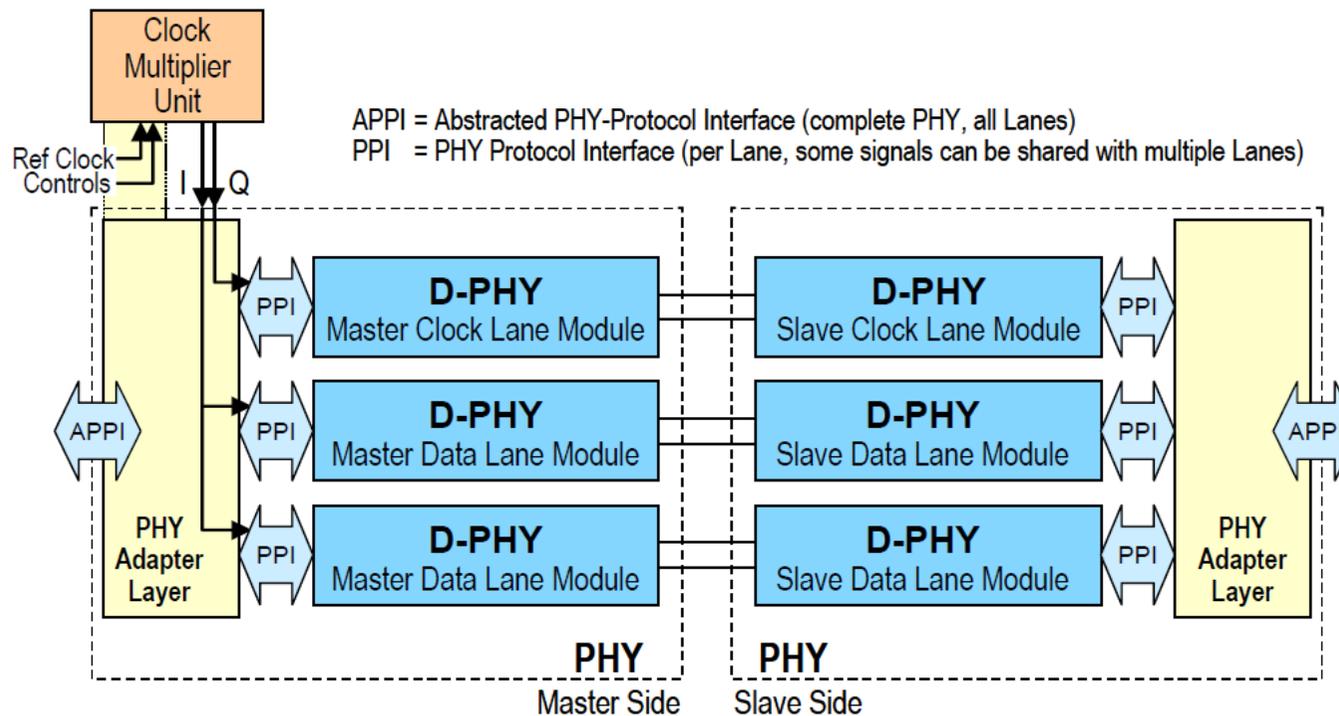
MIPI[®] 技術の概要



- MIPI AllianceはMobile Industry Processor Interface Allianceを意味する
- 特にMIPI D-PHY規格ではカメラやディスプレイとのインタフェースの物理層を規定
 - ディスプレイとのインタフェース・プロトコルはDSI規格 (Display Serial Interface) にて規定
 - カメラとのインタフェース・プロトコルはCSI-2規格 (Camera Serial Interface-2) にて規定
- MIPI M-PHY規格ではRF、フラッシュ・メモリ、モデム、ブリッジ・チップとのインタフェースも視野に入れた物理層を規定
 - プロトコルはDigRF、UniPro (Unified Protocol)、UFS (Universal Flash Storage)、LLI (Low Latency Interface)、CSI-3 など
- TektronixはMIPI AllianceのContributorメンバー

1. MIPI D-PHYの概要

- MIPI D-PHYは、電気仕様を定めた物理レイヤで、その上位に Display Serial Interface(DSI)やCamera Serial Interface(CSI-2)などのプロトコルが位置する。
- クロック 1レーン + 1レーン以上のデータ・レーン



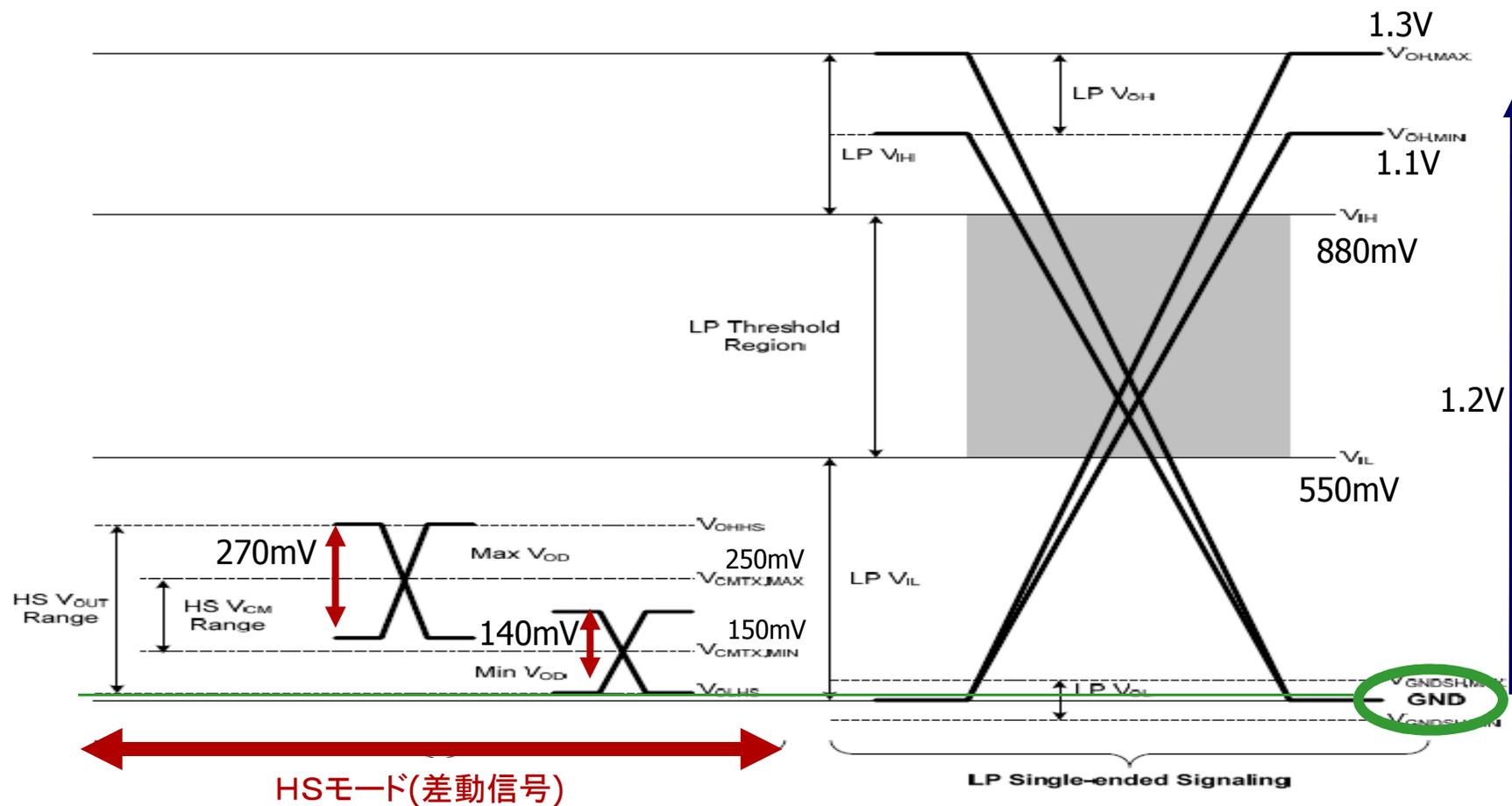
2Data Lane PHYの構成例

MIPI D-PHY概要

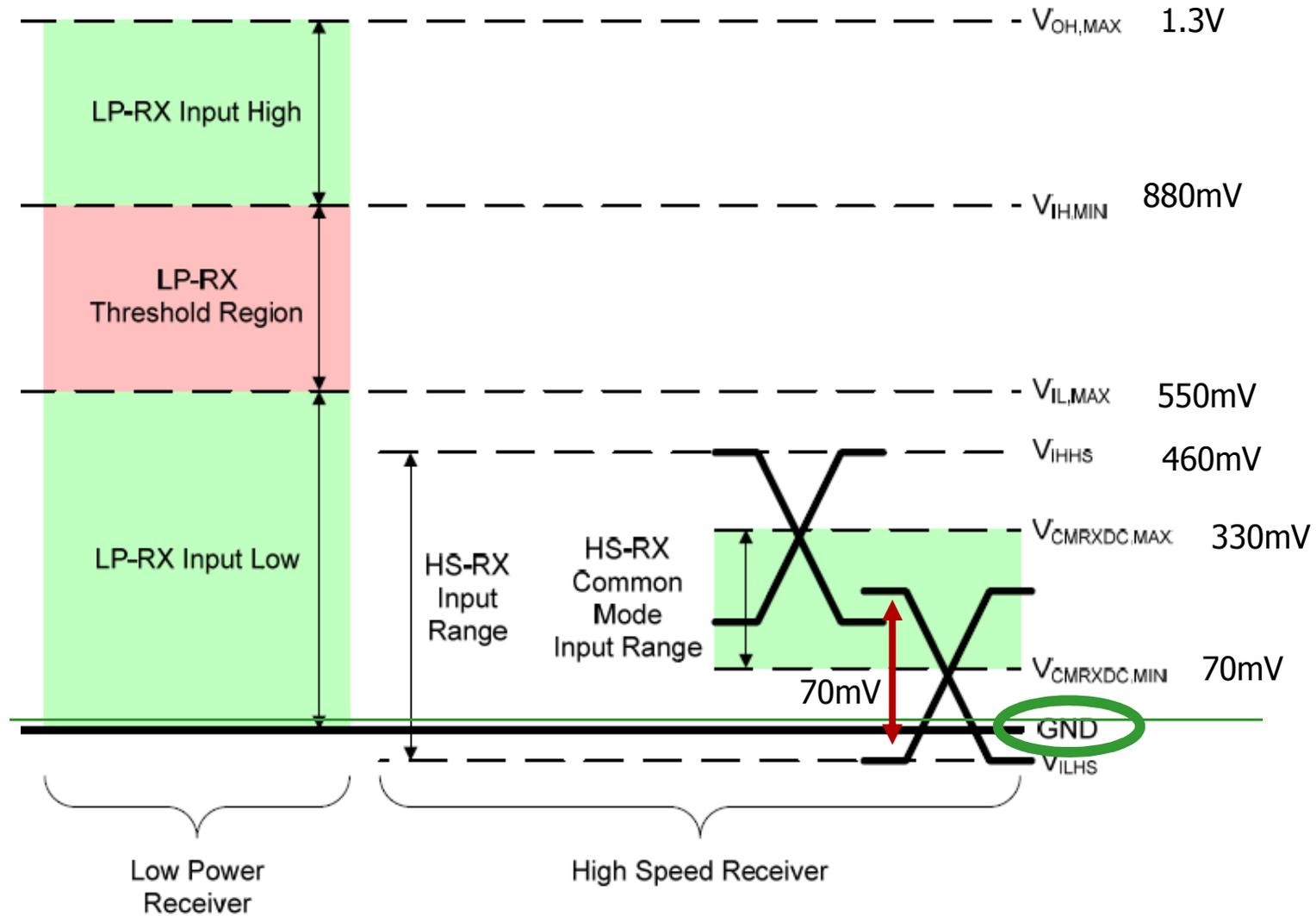
- 最大4データ・レーン + 1クロック・レーンによる伝送
- 各レーンの最大データ・レート
 - HSモードは80 Mbps ~ 1.5Gbps (D-PHY規格V.1.1)
(UIの変動は±10%以下、1Gbps超では±5%以下)
 - LPモードは10 Mbps以下(主にコマンドの伝送用だがデータ伝送もあり)
- HS信号のTr/Tf(20-80%立上り時間/立下り時間)は**最小150ps**と規定
1Gbps超のシステムでは**最小100ps** (D-PHY規格V.1.1)、**最大0.35UI**
- 信号方式は、HSとLPの各モードで異なる
 - HSモードは**LVDS**でCを介してGNDに**50Ω終端**(差動100Ω)
 - LPモードは**終端抵抗無し**の**シングルエンド**動作
- 双方向伝送または片方向伝送

最近の高分解能ディスプレイや高分解能カメラの採用により
4Dataレーン+ 1Clockレーン構成の採用が増えています。
また、4レーン×2-Linkシステム(8レーン)も検討されています。

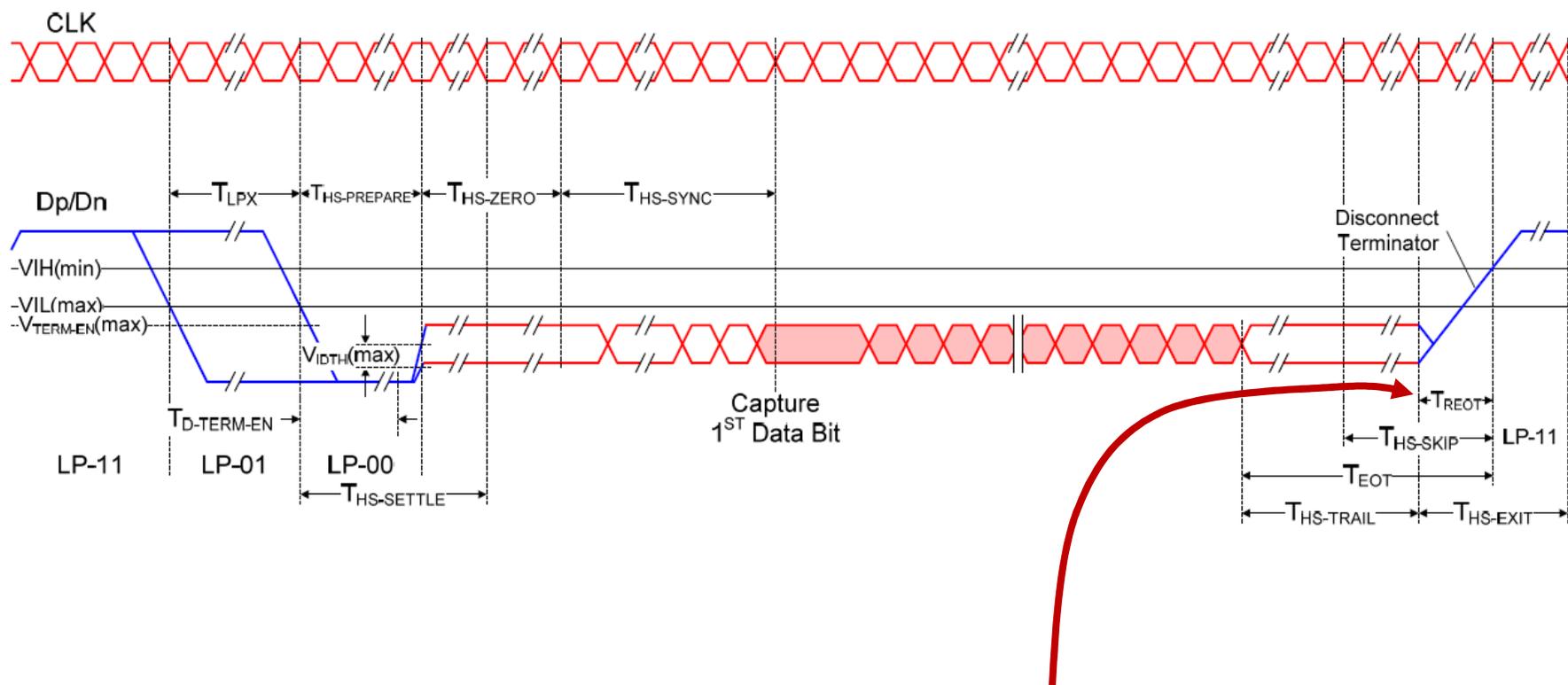
D-PHY Tx信号レベル



D-PHY Rx信号レベル

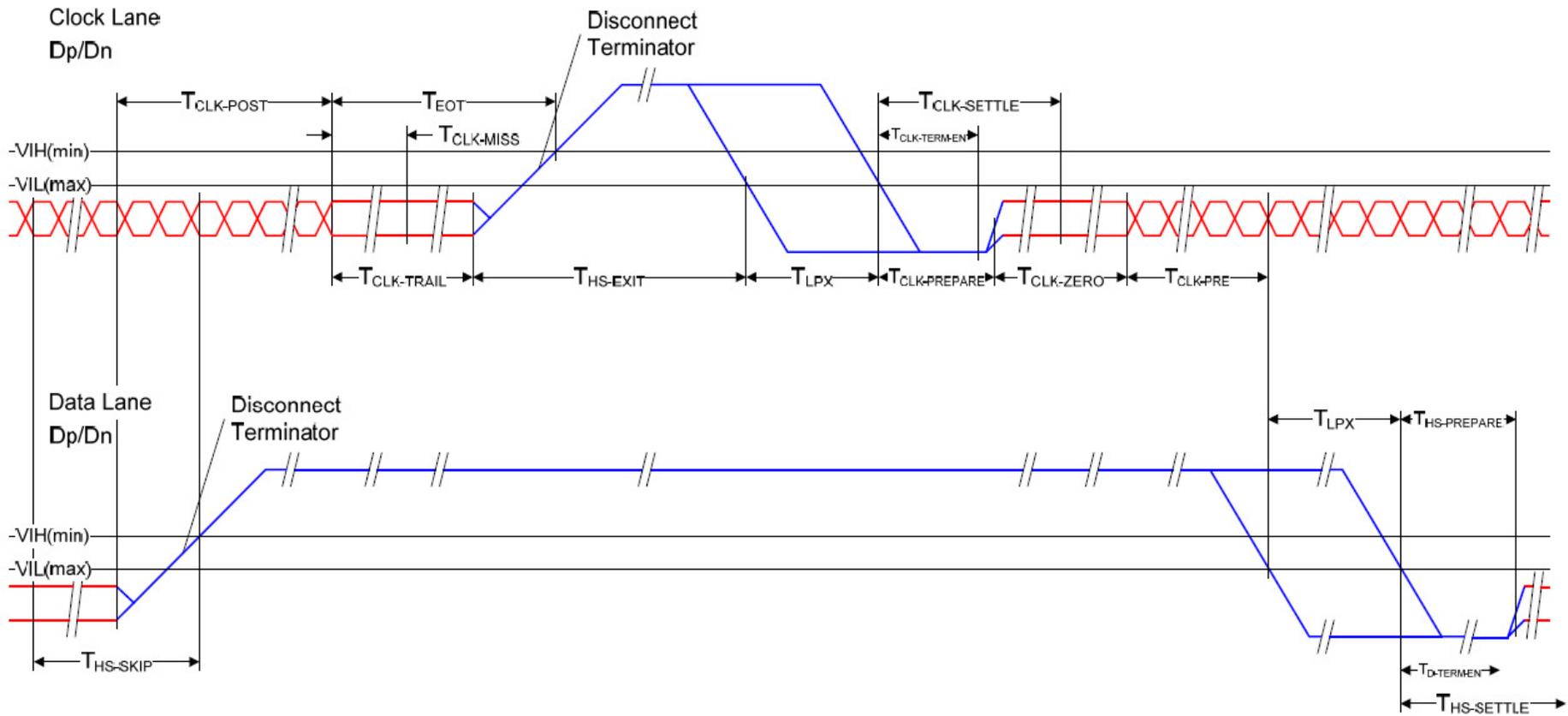


Tx Data Lane の HS/LP遷移タイミング

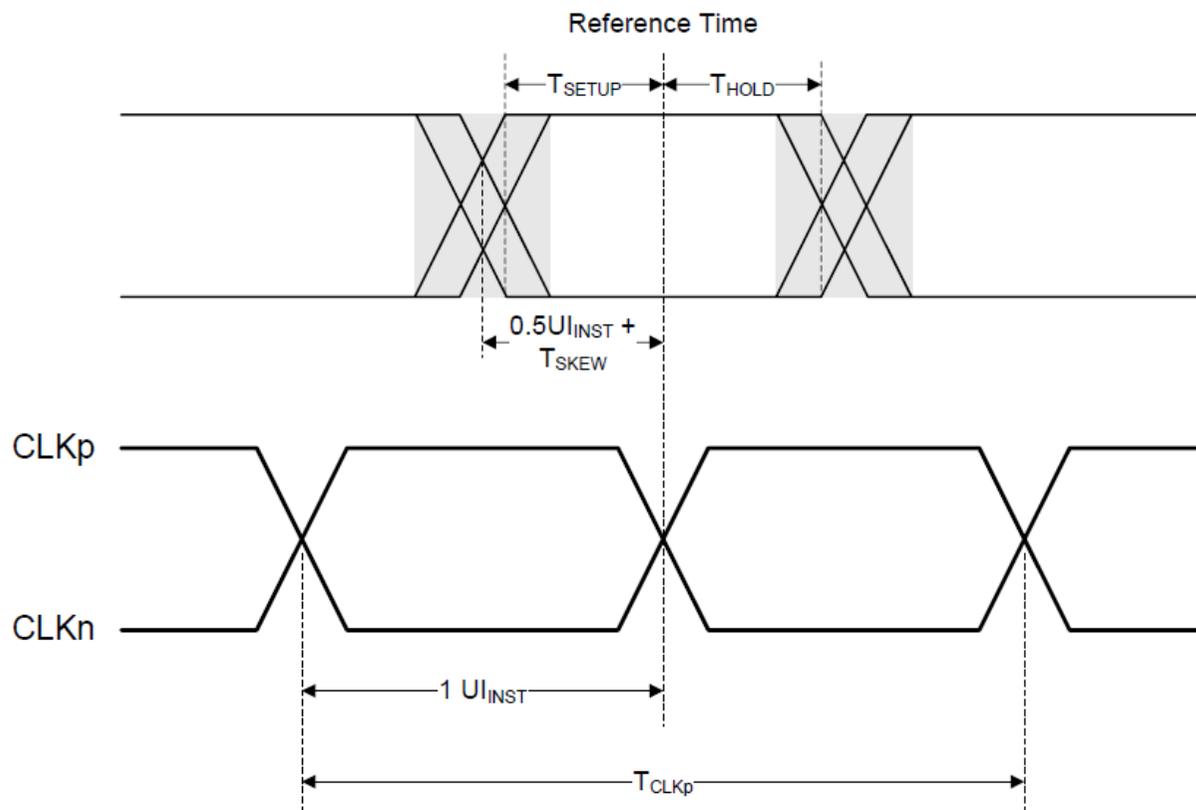


T_{REOT} (30% to 85% の T_r/T_f) は 35ns 以下

Tx Clock Lane の HS/LP 遷移タイミング



HSのDataとClock間のタイミング



T_{SETUP} は、Txでは0.35UI以上、Rxでは0.15UI以上

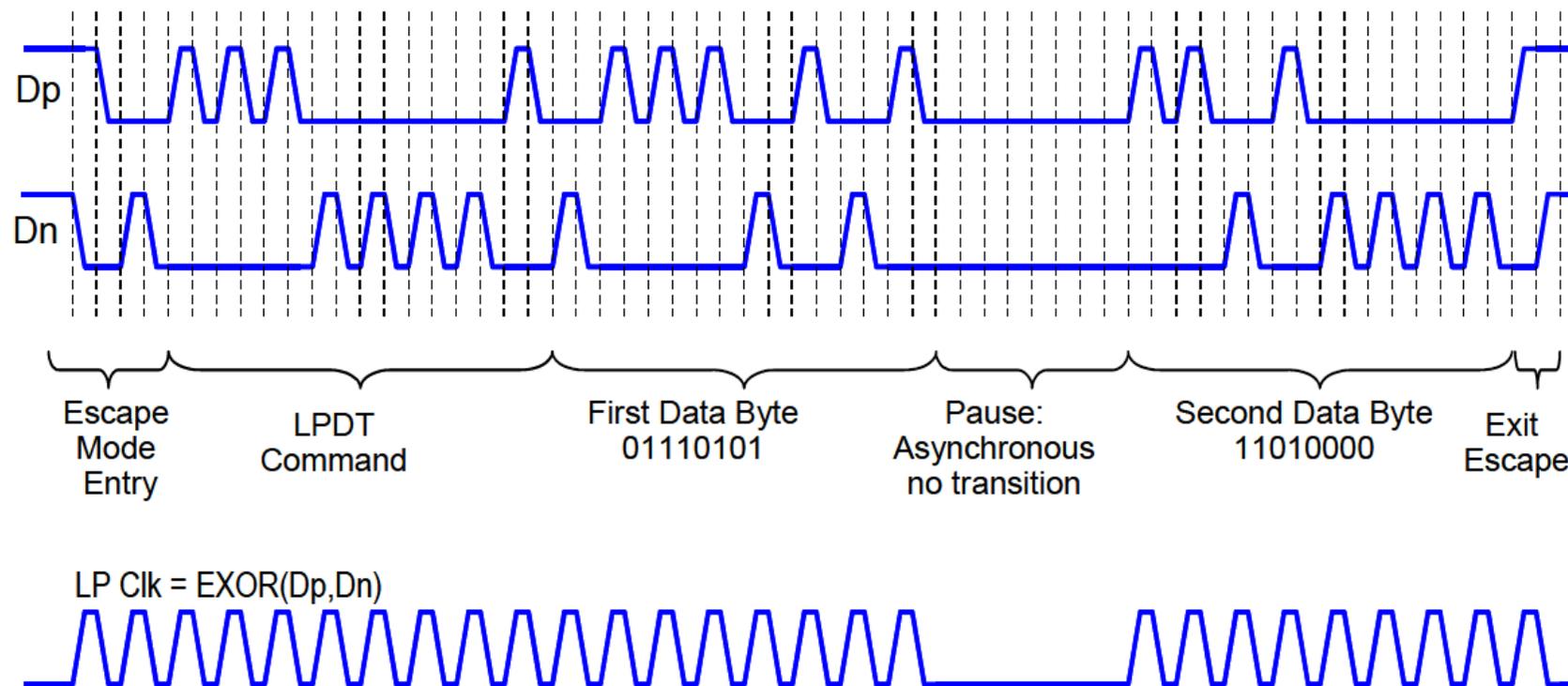
T_{HOLD} は、Txでは0.35UI以上、Rxでは0.15UI以上

1Gbps超では T_{SETUP} は、Txでは0.30UI以上、Rxでは0.20UI以上

T_{HOLD} は、Txでは0.30UI以上、Rxでは0.20UI以上

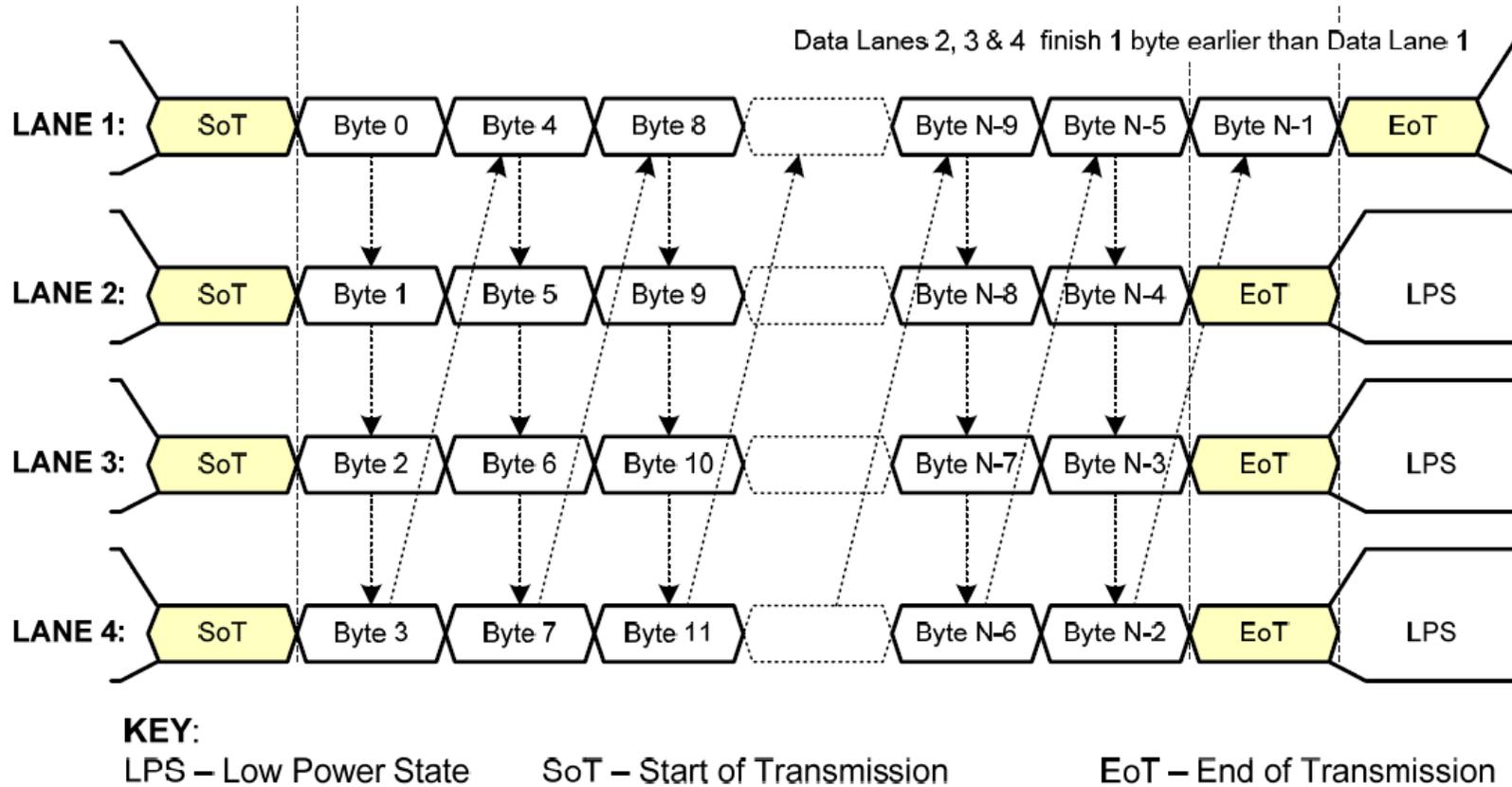
LPDT

- LPDT (Low Power Data Transmission) では、レシーバが Dp と Dn の EXOR でクロックを再生
- T_{RLP}/T_{FLP} (TX LP Data の 15% to 85% T_r/T_f) は 25ns 以下



MIPI DSIのプロトコル層

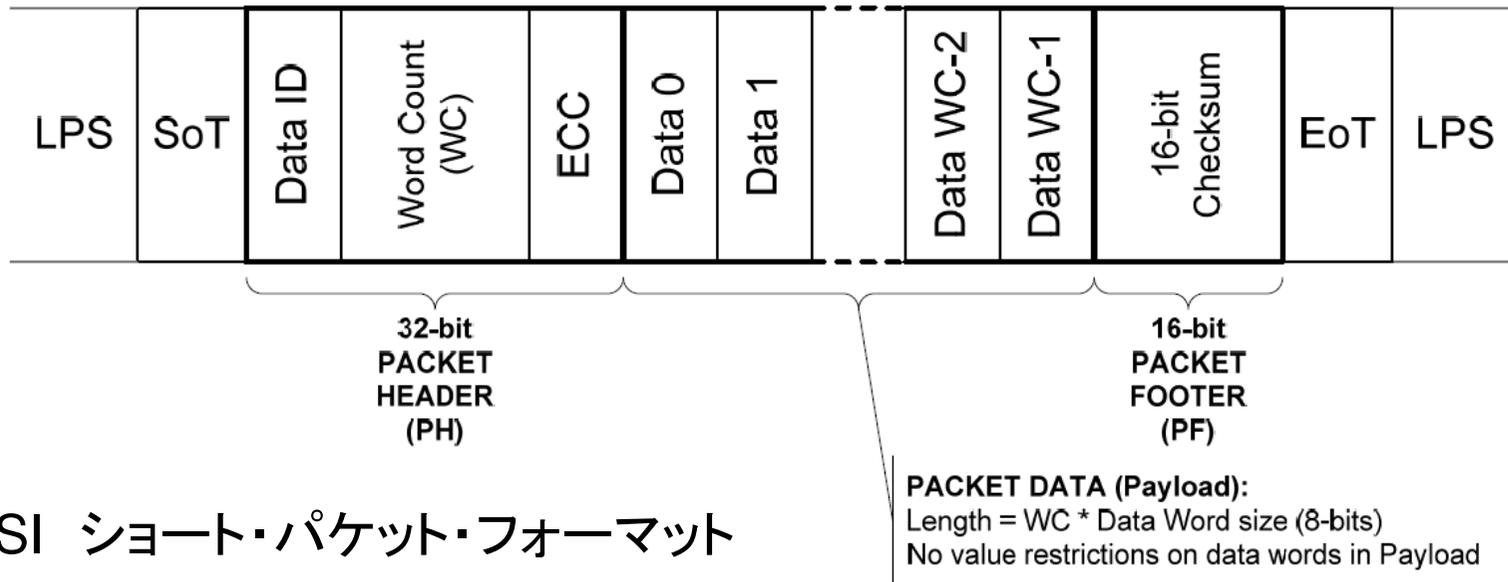
- Multi Data Lane 伝送



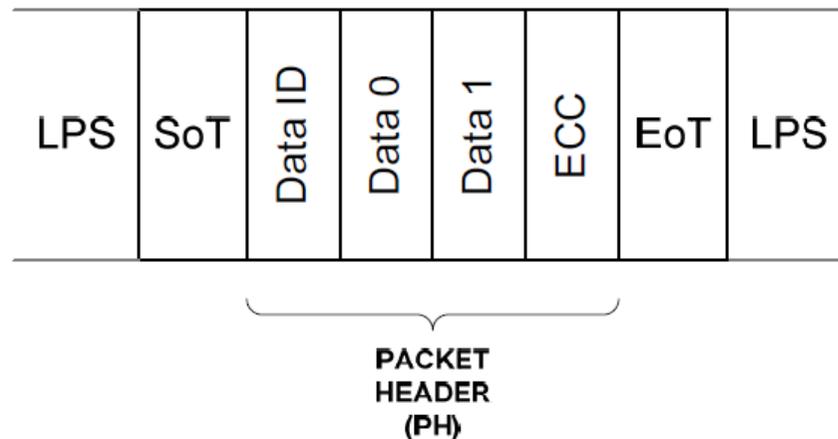
4データ・レーン構成時の伝送

MIPI DSIのプロトコル層

- DSI ロング・パケット・フォーマット

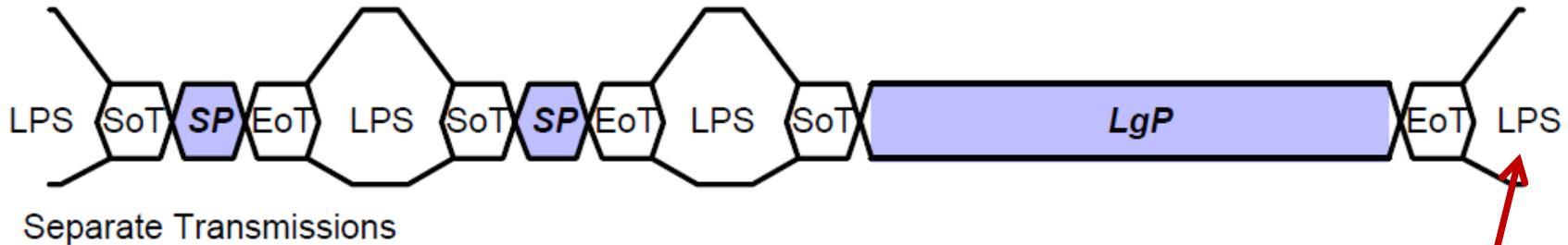


- DSI ショート・パケット・フォーマット



MIPI DSIのプロトコル層

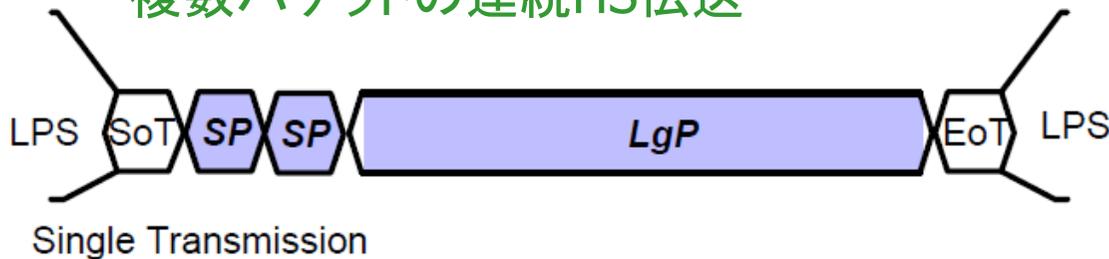
複数パケットのHS伝送



LPS - Low Power State
SoT - Start of Transmission
EoT - End of Transmission

SP - Short Packet
LgP - Long Packet

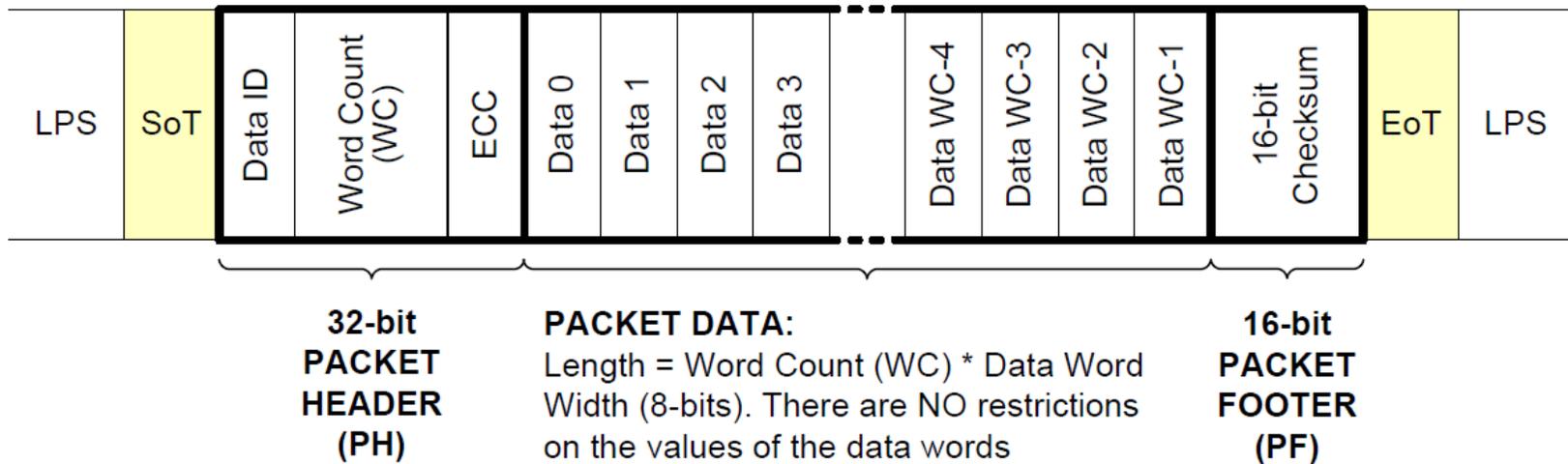
複数パケットの連続HS伝送



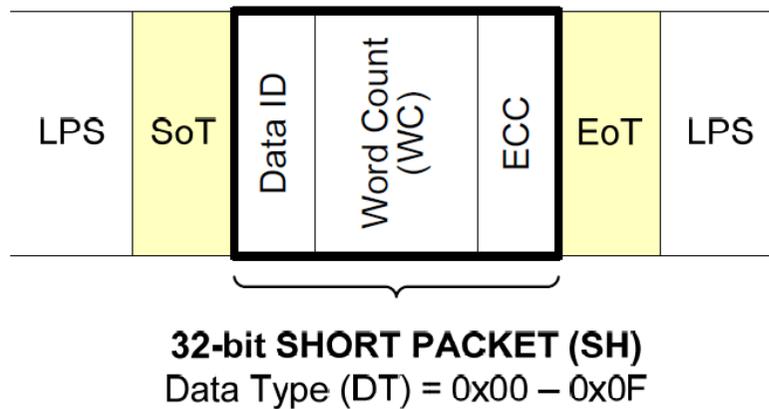
LPSでは差動100Ω終端が切り離され、低消費電力となる

MIPI CSI-2のプロトコル層

- CSI-2 ロング・パッケージ・フォーマット

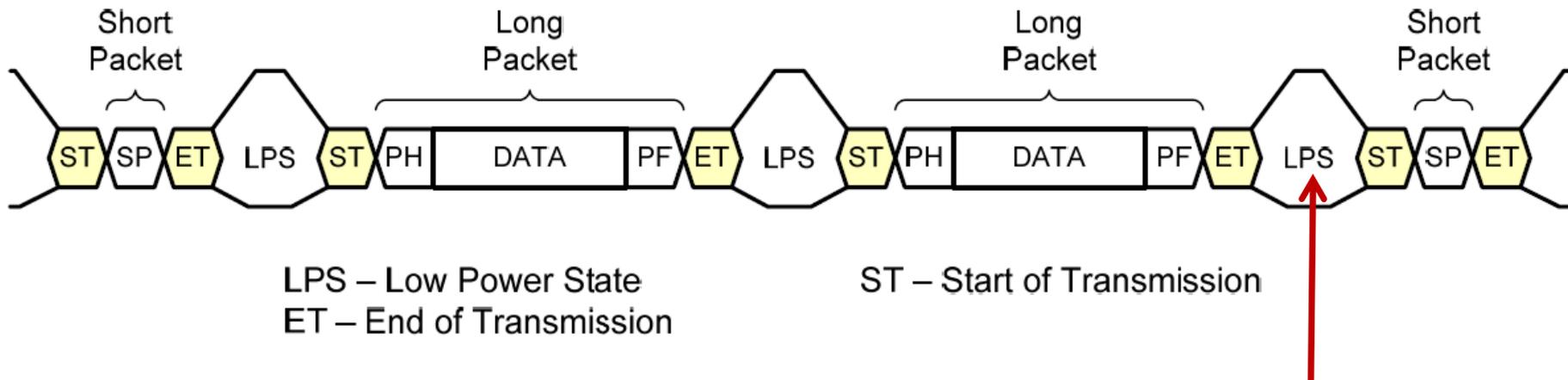


- CSI-2 ショート・パッケージ・フォーマット



MIPI CSI-2のプロトコル層

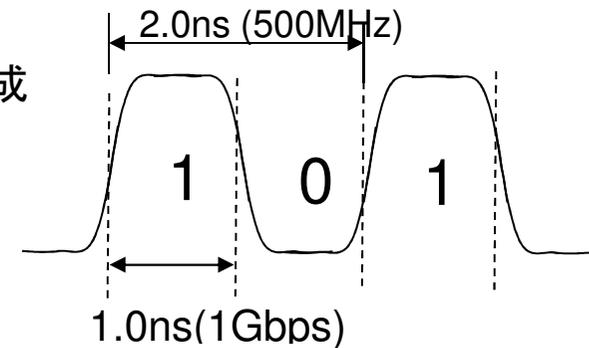
複数パケットのHS伝送



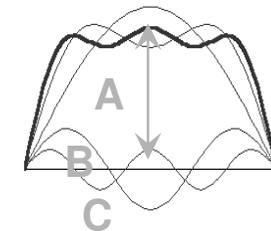
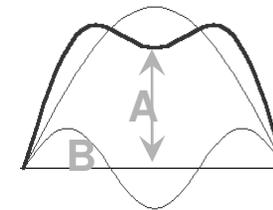
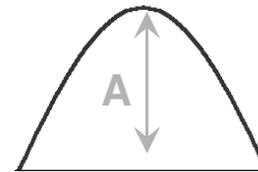
LPSでは差動100Ω終端が切り離され、低消費電力となる

2. MIPI D-PHY測定ソリューション 必要なオシロスコープの周波数帯域は？

- 高速デジタル信号は一般的に方形波
- 周波数領域で見ると、方形波は基本波と奇数高調波により構成
- 方形波の基本波周波数(最高) = ビット・レート(NRZ) / 2
例: 1Gbpsの場合500MHz
- 方形波では**5次高調波までの捕捉が目安**
 - 実際は立上り時間 T_r (20-80%)がキー

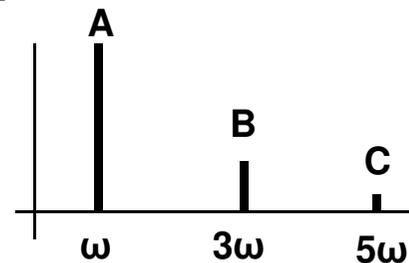


- ニー周波数 (f_{Knee})^{*} = $0.4 / T_r$
- 3%誤差内での立上り時間測定には、
周波数帯域 = $1.4 \times f_{Knee}$ が目安



1Gbps/レーンで $T_r=150ps$ とすると

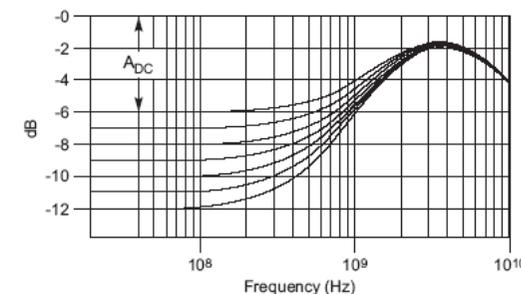
- 基本波 : 500MHz
- 第3高調波 : 1.5GHz
- 第5高調波 : 2.5GHz
- $f_{Knee} = 2.67GHz$
推奨周波数帯域 = 3.74GHz



(5%測定確度なら $f_{Knee} \times 1.2 = 3.2GHz$)

1.5Gbps/レーンで $T_r=100ps$ の場合

- 推奨周波数帯域 : 5.6GHz \Rightarrow 6GHzを推奨



$$H(s) = \omega_{p2} \frac{s + \omega_{p1} * A_{DC}}{(s + \omega_{p1}) * (s + \omega_{p2})}$$

ω_{p1} = pole 1 = $2\pi * 2$ GHz

ω_{p2} = pole 2 = $2\pi * 8$ GHz

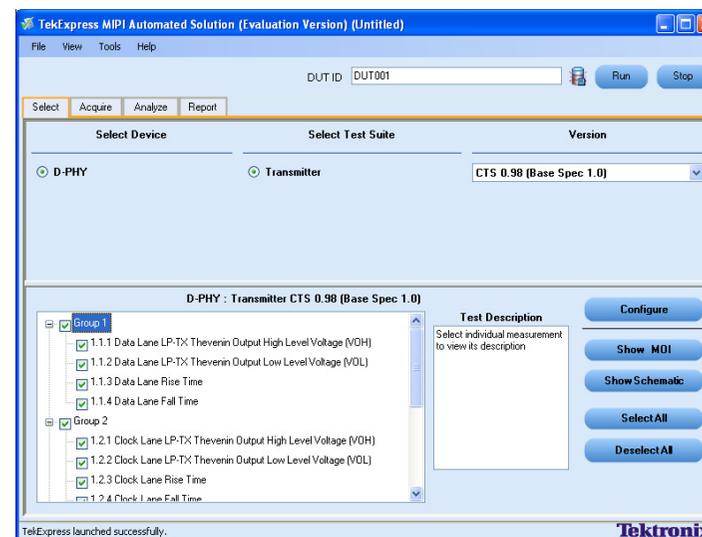
A_{DC} = dc gain

*高調波成分が急速に減衰する点。引用: Howard Johnson and Martin Graham, 『High-Speed Digital Design: A Handbook of Black Magic』, p.2. Prentice Hall, 1993

TEKEXP D-PHYTX 規格適合性自動テスト

- TEKEXP (自動コンプライアンス・テスト・ソフトウェア)
- TEKEXP Opt.D-PHYTX (D-PHY 自動測定機能)
 - D-PHY規格適合性を全自動測定
 - － 使用にはTEKEXP(自動コンプライアンス・テスト・ソフトウェア TekExpress)が必要
 - DPO7000(C), MSO/DPO/DSA70000(B/C)シリーズ上で動作

- TEKEXP D-PHYTXの特長
 - カーソル設定、測定範囲指定も含め全自動
 - D-PHY規格 に準拠
 - CTS に適合
 - － UNH Conformance Test Suiteに準拠
 - ツリー構造による測定項目、測定グループ選択
 - カスタム・リミット/ リミット値の設定可能
 - テスト・レポート
 - － 測定部分の波形イメージ
 - － Pass/Fail サマリ(マージンの詳細付)
 - 高精度テスト用最小構成は 3.5GHz(DPO7354C)から可能
(インストールは、DPO7254C(2.5GHz)以上で可能)



D-PHYTX の測定結果レポート画面

- 詳細なテスト・レポート
 - Pass/Failサマリ表
 - 各テストにおけるマージンの詳細
 - 各テスト箇所波形画面をリンク
 - 全レーンの全テストについて統合レポート生成

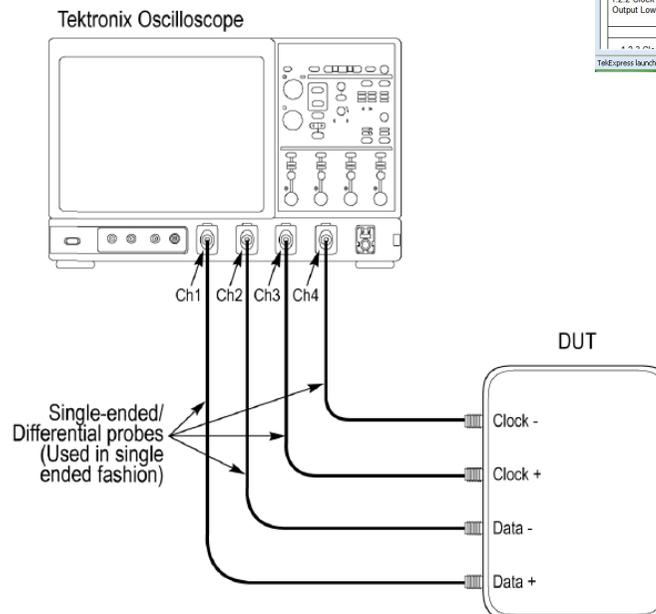
TekExpress Automation Framework
D-PHY Transmitter Signal Characteristics Test Report

DUT ID : DUT001 Device Type : D-PHY CTS Version : CTS 0.98 (Base Spec 1.0)
 Date/Time : 6/6/2010 8:55 Execution Time : 20 Min Overall Compliance Mode : Yes
 Overall Test Result : **Fail**

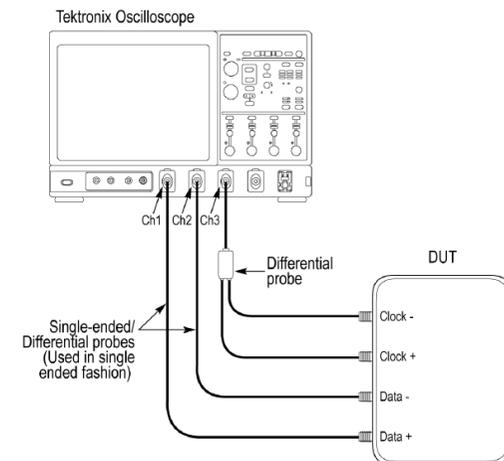
Scope Model : MSO7084 Scope Serial Number : Q20002 Scope FW Version : 5.2.0 BUILD 21 SPC Factory Calibration : PASS/PASS
 Probe Model : IX Probe Serial Number : NA TelExpress Version : MPX 0.2.0.20, Framework: 1.3.5.141

Test Name	Measurement Details	Low Limit	Measured value	High Limit	Margin	Units	Test Result	Compliance Mode	Analysis Time	Comments
1.1.1 Data Lane LP-TX Thevenin Output High Level Voltage (VOH)	Data Lane LP-TX Thevenin Output High Level Voltage DP	>= 1.1	1.17E+00	<= 1.3	0.068	mV	Pass	Yes	1 Min	
	Data Lane LP-TX Thevenin Output High Level Voltage DN	>= 1.1	1.16E+00	<= 1.3	0.084	V.0.116	Pass	Yes		
1.1.2 Data Lane LP-TX Thevenin Output Low Level Voltage (VOL)	Data Lane LP-TX Thevenin Output Low Level Voltage DP	>= -50	6.00E+00	<= 50	58.42	mV	Pass	Yes	<1 Min	
	Data Lane LP-TX Thevenin Output Low Level Voltage DN	>= -50	-8.00E+00	<= 50	42.58		Pass	Yes		
1.1.3 Data Lane Rise Time	Data Lane Rise Time DP	-	1.05E+01	< 25	14.47	nS	Pass	Yes	1 Min	
	Data Lane Rise Time DN	-	1.05E+01	< 25	14.5		Pass	Yes		
1.1.4 Data Lane Fall Time	Data Lane Fall Time DP	-	1.04E+01	< 25	14.65	nS	Pass	Yes	<1 Min	
	Data Lane Fall Time DN	-	9.70E+00	< 25	15.24		Pass	Yes		
1.2.1 Clock Lane LP-TX Thevenin Output High Level Voltage (VOH)	Clock Lane LP-TX Thevenin Output High Level Voltage DP	>= 1.1	1.20E+00	<= 1.3	0.1 V.0.1	mV	Pass	Yes	1 Min	
	Clock Lane LP-TX Thevenin Output High Level Voltage DN	>= 1.1	1.19E+00	<= 1.3	0.092	V.0.108	Pass	Yes		
1.2.2 Clock Lane LP-TX Thevenin Output Low Level Voltage (VOL)	Clock Lane LP-TX Thevenin Output Low Level Voltage DP	>= -50	6.00E+00	<= 50	58.42	mV	Pass	Yes	<1 Min	
	Clock Lane LP-TX Thevenin Output Low Level Voltage DN	>= -50	-4.80E+01	<= 50	2.98		Pass	Yes		
1.2.3 Clock Lane Rise Time	Clock Lane Rise Time DP	-	4.64E+00	< 25	20.36		Pass	Yes		

機器接続



または



D-PHY Essentials

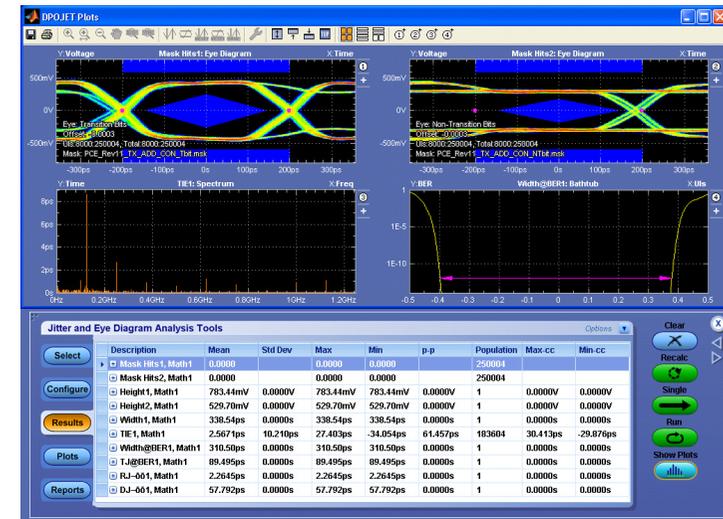
規格適合性テスト用セットアップ・ライブラリ

- DPOJETジッタ&アイ・ダイアグラム解析ソフトウェア

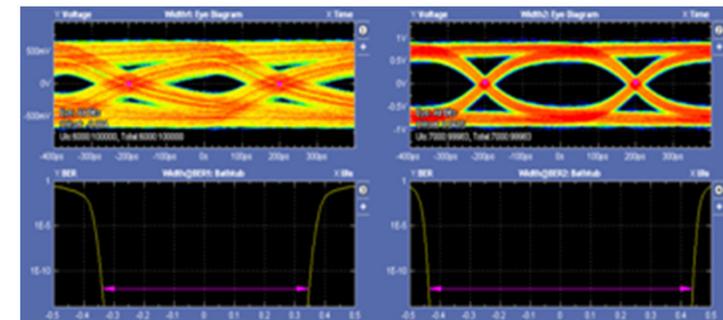
- アイ・ダイアグラム測定、ジッタ/タイミング測定、周波数/周期、振幅、各種タイミング測定
 - クロック、データ、クロックとデータ間
 - エンベデッド・クロックと外部クロックの両方に対応 (逡倍クロックにも対応)
 - 同時に99項目まで測定
- アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンド・プロット表示
- Arb Filterによるディエンベデッド波形の解析
- 以前に保存した波形での測定も可能
- Pass/Fail自動判定とレポート生成機能

- D-PHY Essentials (Opt. DPHY)により MIPI D-PHY規格適合性試験が可能

- D-PHY base spec V1.1に準拠
- UNH Conformance Test Suiteに準拠
- MOI version 1.0

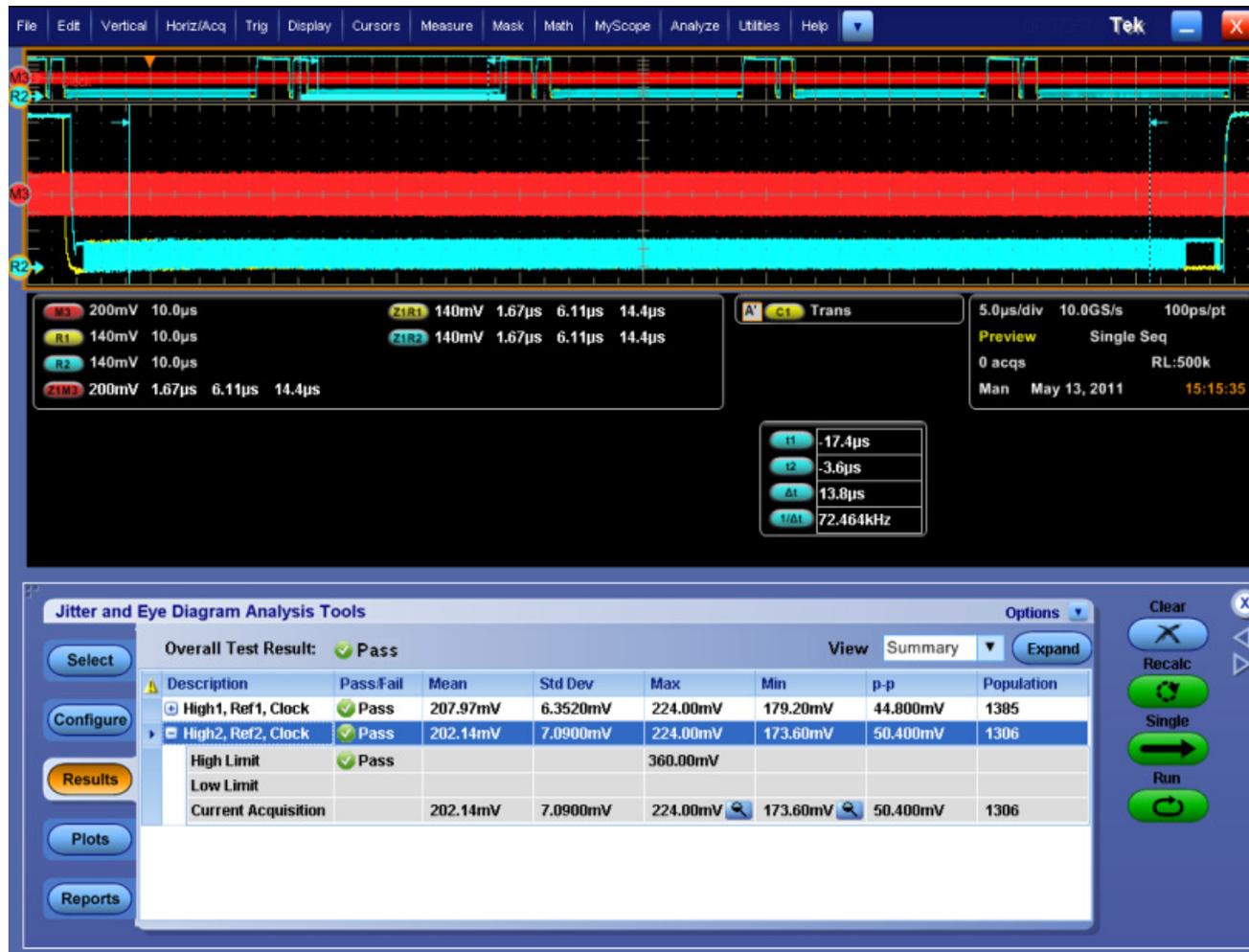


ジッタとアイダイアグラムの測定例



ソフトウェア・イコライズ前後の波形を用いたアイダイアグラムとバスタブ・カーブによるBER予測

Data Lane HS TX Single-Ended Output High Voltage (VOHHS)

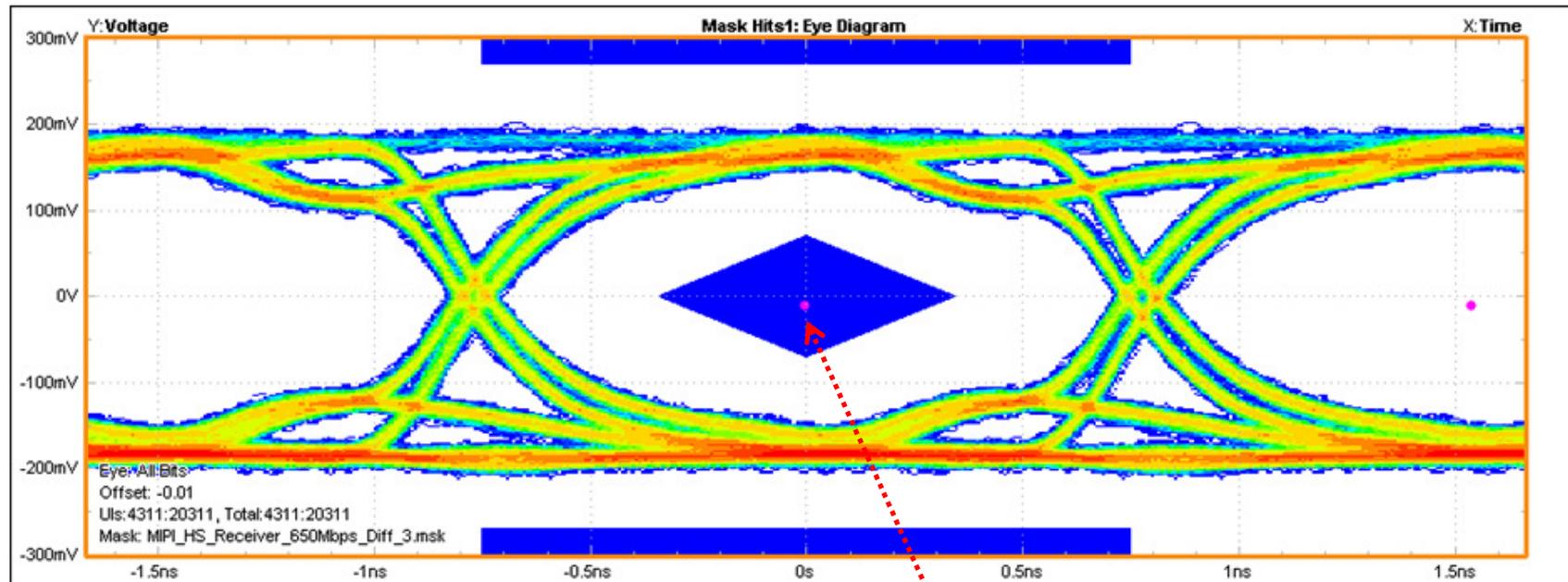


Data Lane LP-TX Slew Rate vs. C-LOAD ($\delta V/\delta tSR$)



MIPI D-PHY HS信号 マスクテストの例

- 振幅、ジッタ、セットアップ時間、ホールド時間、立上り時間などの仕様からマスクを作成し、マスク・テストを行うことが可能



クロックのエッジ位置

MIPI D-PHY TX テスト用推奨機器 規格適合性自動テスト／解析

- TEKEXP(自動コンプライアンス・テスト・ソフトウェア)
- TEKEXP Opt. D-PHYTX
 - D-PHYTX自動テスト・ソフトウェア
 - MIPI D-PHYの規格適合性、特性評価用ソフトウェア
 - 動作には、TEKEXPが必要
 - DPO7000(C)、DSA/DPO/MSO70000(B/C)シリーズ上で動作
- MIPI D-PHY Essentials (Opt. D-PHY)
 - D-PHYテスト用セットアップ・ライブラリおよびMOI
 - MIPI D-PHYの特性評価、デバッグ、コンプライアンス・テスト用ライブラリ
 - 動作にはDPOJET Advancedが必要 (Opt. DJA)
- 推奨オシロスコープ： DPO7254C型以上
 - DPO7254C/DPO7354C型
 - MSO/DSA/DPO70000Cシリーズ

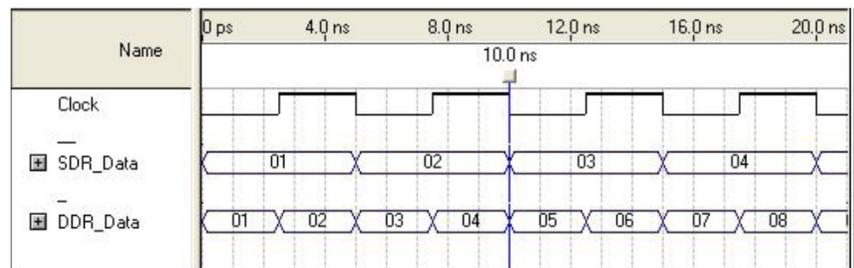
Rise Time 150psの測定にはDPO7354C型、DSA70404C型以上を推奨
100psの測定にはDSA70604C型以上を推奨
- 推奨プローブ
 - DPO7000Cシリーズ：TAP3500×4本またはTDP3500型×3本(または4本)
 - DSA/DPO/MSO70000Cシリーズ：
P73xx×3本(または4本)



DPO7000Cシリーズ

MIPI D-PHY Rxテスト用 CSI-2/DSI 信号発生器 PG3A シリーズ・デジタル・パターン・ジェネレータ

	PG3AMOD-B	PG3ACAB-B
最大クロック・レート	300 MHz (SDR) / 600MHz (DDR)	
出力チャンネル数	64 (SDR) / 32 (DDR)	
メモリ長	32M Vectors オプションで64M Vectors	
使用形態	TLA7000へのインストール	スタンドアロン・キャビネット
アプリケーション専用のGUI	MIPI – DSI, MIPI - CSI	



P338型 MIPI DPhy 出力プローブ (PG3A用)

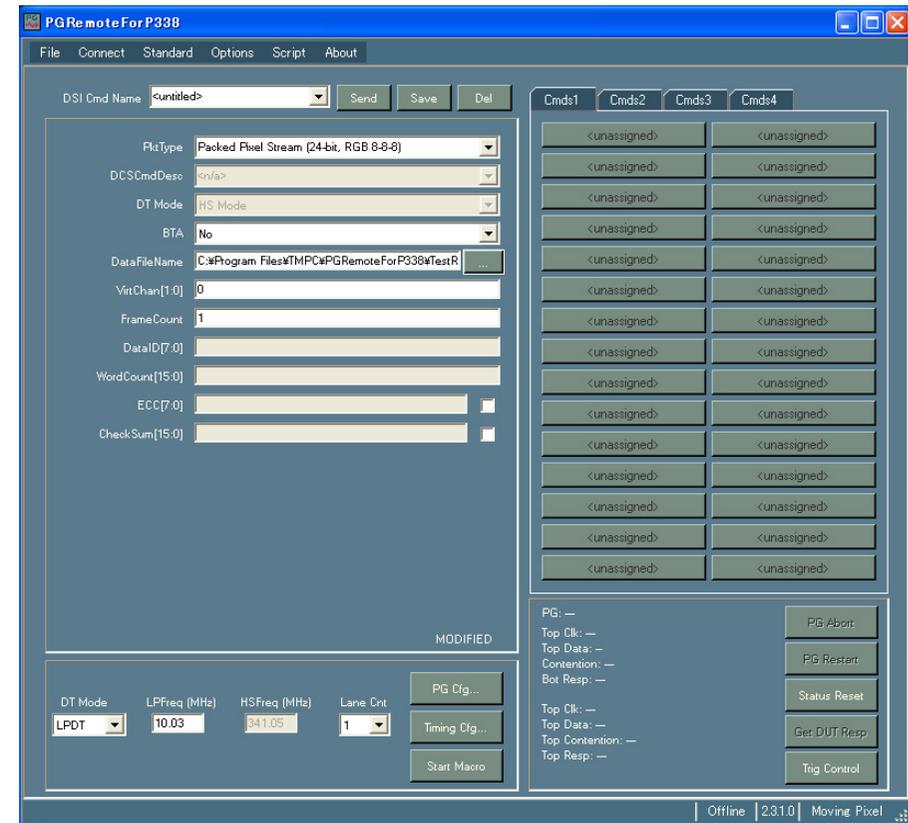
- MIPI D-PHY規格に準拠
- 4レーン × 2-Link同時出力をサポート: 1.5Gbps/レーン
 - D-PHY規格V.1.1に対応
 - Data 8レーン + Clock 2レーン
 - 奇数/偶数ピクセル、左/右画像、デュアル、クローン
- レーン毎に独立した遅延調整、信号レベル調整
- ビデオ、動画、オン・ザ・フライでのビデオへのコマンド挿入をサポート



P338型 プローブ

CSI-2/DSI 信号発生ソフトウェア

- PGRemoteForP338
 - ボタン操作により MIPI CSI-2 または MIPI DSI信号を自動生成
 - ユーザによる0、1のベクタ設定は不要
 - カスタム・コマンド、マクロ、リモート・コントロール、オフライン・サポート
 - TLAまたはPCのWindows上で動作
 - ビットマップ画像ファイルからMIPI信号に自動変換可能
 - 4レーン×2-Link(8レーン)に対応
 - RPCScriptのテキスト・ファイルにより複数の一連のコマンドを送出可能(パワーアップ・シーケンスなど)



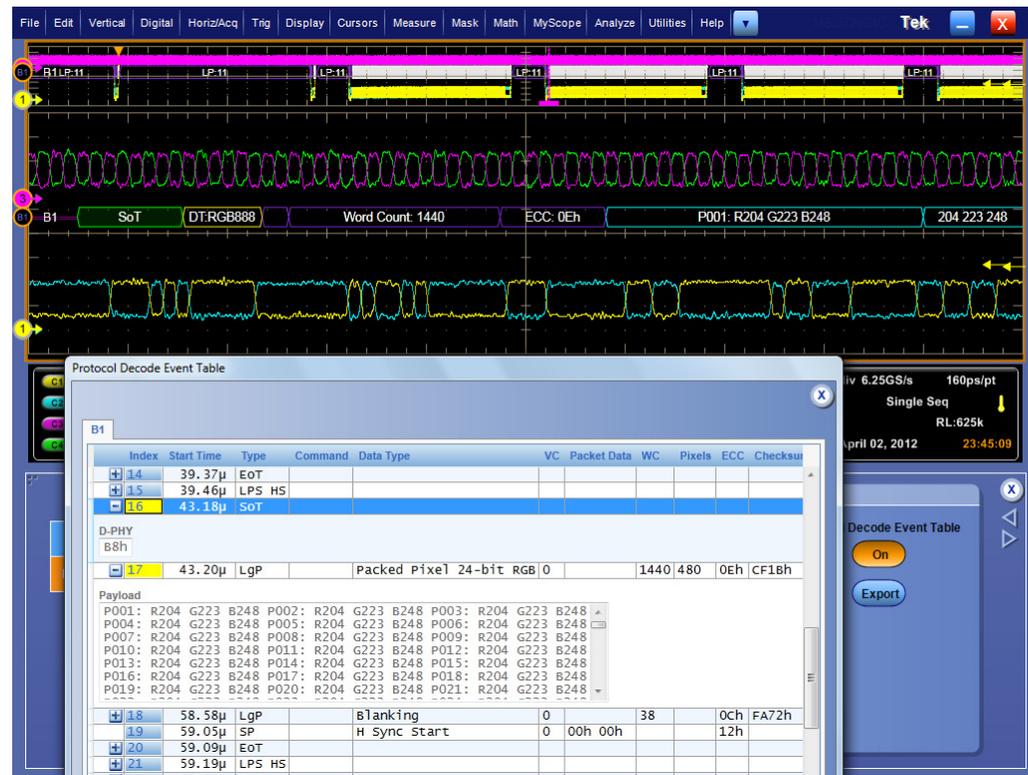
CSI-2/DSI 信号発生用推奨機器

- PG3ACAB-B 型
 - キャビネット付デジタル・パターン・ジェネレータ
(TLA7000で使用する場合は、PG3AMOD型)
 - P338-B型と組み合わせて1.5Gbpsまでサポート
- P338-B 型
 - MIPI D-PHY プローブ (PG3A用)
 - 1.5Gbps/レーン で2-Link 8レーン同時出力をサポート
 - Data 8レーン + Clock 2レーン
 - PG3A × 1台の場合: 4レーン 1.5Gbpsまたは8レーン 800Mbps
 - PG3A × 2台の場合: 8レーン 1.5Gbps
- PGRemoteForP338型
 - CSI-2/DSI信号発生ソフトウェア
 - 2-Link 8レーン対応

プロトコル解析 オシロスコープによるDSI-1/CSI-2のデコード

- バス・デコード表示とイベント・テーブル表示
 - Start of Transmission (SoT)
 - Data Type (Packed Pixel RGB888、RAW10など)
 - Pixel値 (Red-255,Green-216,Blue-000など)
 - DCSコマンドやカスタム・コマンド(マニファクチャラ・コマンド)
 - Virtual Channel
 - Word Count
 - Checksum
 - End of Transmission (EoT)
 - 問題箇所のエラー/警告表示
 - リストをCSVで保存

Index	Start Time	Type	Command	Data Type	VC	Packet Data	WC	Pixels	ECC	Checksum	Error/Wa
104	27.81μ	SP		H Sync Start	0	00h 00h			12h		
105	27.88μ	EoT									
106	28.01μ	LPS HS									
107	28.53μ	SoT									
108	28.55μ	LgP		Packed Pixel 888	0		60	20	07h	F1ECh	Checksu
109	29.60μ	EoT									
110	29.73μ	LPS HS									
111	30.26μ	SoT									
112	30.28μ	SP		H Sync Start	0	00h 00h			12h		
113	30.34μ	EoT									
114	30.48μ	LPS HS									
115	31.00μ	SoT									
116	31.01μ	LgP		Packed Pixel 888	0		60	20	07h	912Fh	Checksu
117	32.07μ	EoT									
118	32.20μ	LPS HS									
119	32.72μ	SoT									
120	32.74μ	SP		H Sync Start	0	00h 00h			12h		
121	32.80μ	EoT									
122	32.94μ	LPS HS									
123	33.46μ	SoT									



プロトコル解析 オシロスコープによるCSI-2のデコード

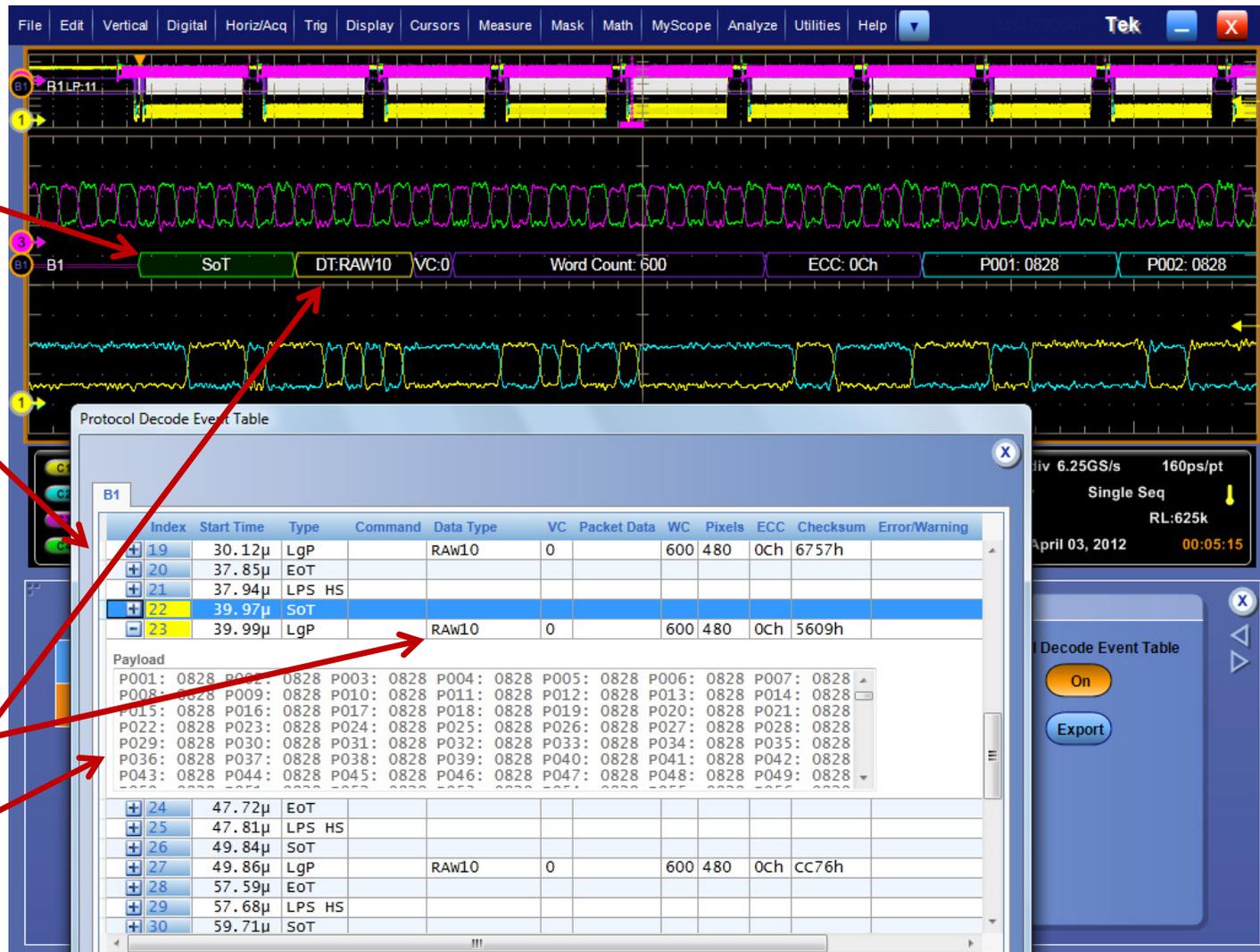
- Data Typeとペイロードの内容をデコード表示

バス・デコード表示
(カテゴリに応じた
色分け表示のため
視認性が良い)

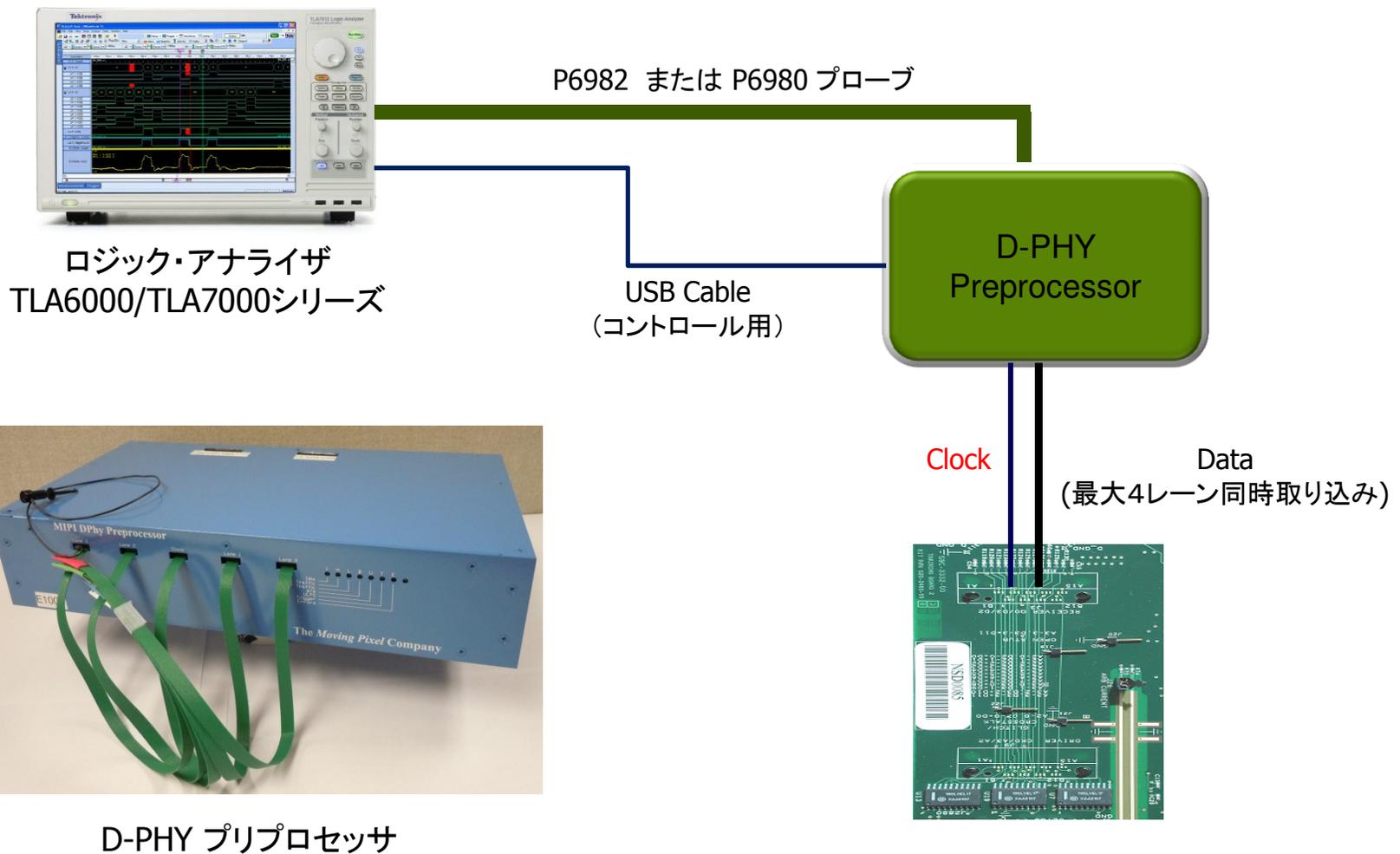
イベント・テーブル表示
(波形のZoom箇所を
黄色で表示)

Data Typeを表示
(RAW10)

ペイロードの内容を
デコード表示
(各ピクセルの値)



プロトコル解析 ロジック・アナライザによるCSI-2/DSIのデコード



MIPI D-PHYプロトコル解析用推奨機器

オシロスコープによるプロトコル解析

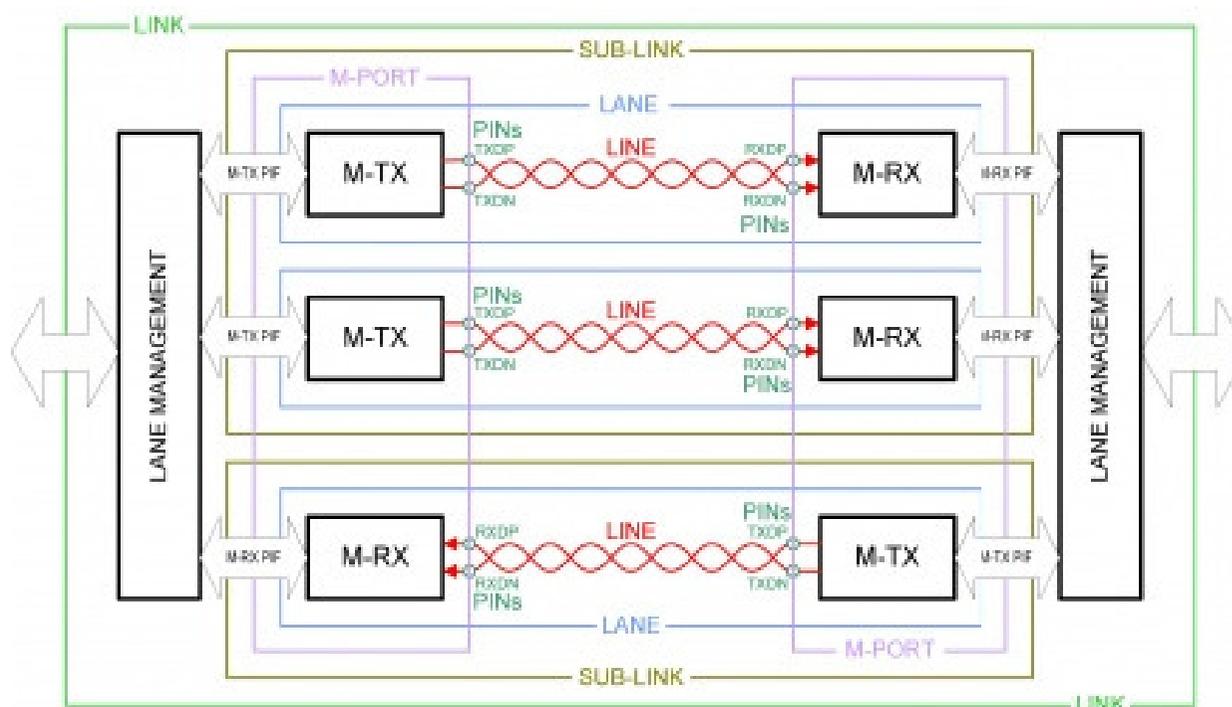
- DPO7000CシリーズまたはDPO/DSA/MSO70000Cシリーズ
 - Opt.SR-DPHY (DSI/CSI-2シリアル解析機能)
(Windows7 搭載オシロスコープでサポート)
 - プローブ
 - TDP3500型、TAP3500型など(DPO7000C用)
 - P7340Aなど(DPO/DSA/MSO70000C用)

ロジック・アナライザによるプロトコル解析

- TLA7012型
 - TLA7AC2型 68chロジック・アナライザ・モジュール
 - P6982型 ×2本
 - ロジック・アナライザ用D-Maxプローブ
- DPHYPRE
 - D-PHYプリプロセッサおよびソフトウェア

3. M-PHYの概要

- 高速シリアル通信
 - M-PHY TxとM-PHY Rx 間の通信 (dual-simplex)
 - 1レーンまたは複数レーンをサポート
 - 8b10b
 - CSI、DSI、UniPro、UFS、DigRF、LLIなどのプロトコル



M-PHY のデータ・レート

- High Speedモード
 - 2つのシリーズ、A-seriesとB-series
 - それぞれ3つのGear、G1、G2、G3
 - 50Ω終端(差動100Ω)されている

- Low Speedモード
 - 2つのType、TYPE- I (PWM)、TYPE- II (SYS)
 - PWMには8つのGear
 - 差動100ΩまたはSE 10kΩ以上

Signaling Mode	Max.Speed	Level (V)	Impedance
HS	5.83Gbps	200e-3/ 120e-3	50 ohms (差動100 ohm)
PWM (TYPE-I)	576Mbps	400e-3/ 240e-3 200e-3/ 120e-3	10k/50 ohms (差動100 ohm)
SYS (TYPE-II)	576Mbps	400e-3/ 240e-3 200e-3/ 120e-3	10k/50 ohms (差動100 ohm)

Data rates			
HS	Gears	A (Gbps)	B (Gbps)
	G1	1.25	1.45
	G2	2.5	2.91
	G3	5	5.83
PWM	Gears	Min (Mb/s)	Max (Mb/s)
	G0	0.01	3
	G1	3	9
	G2	6	18
	G3	12	36
	G4	24	72
	G5	48	144
	G6	96	288
	G7	192	576

M-PHYのシグナリング

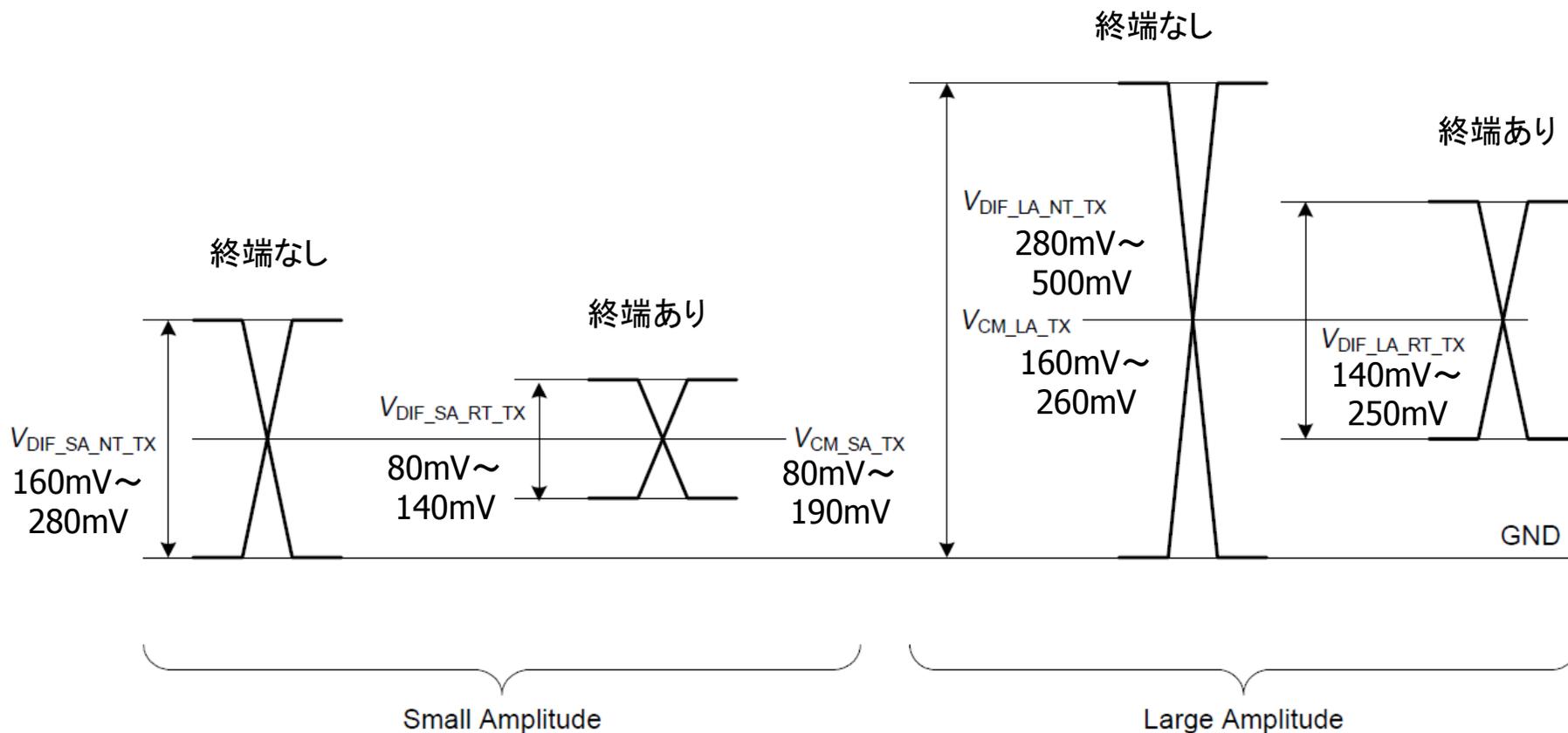
- HSモード
 - Embedded Clock
 - NRZ
- TYPE- I PWM



- TYPE- II SYS
 - Reference Clockを共有
 - NRZ

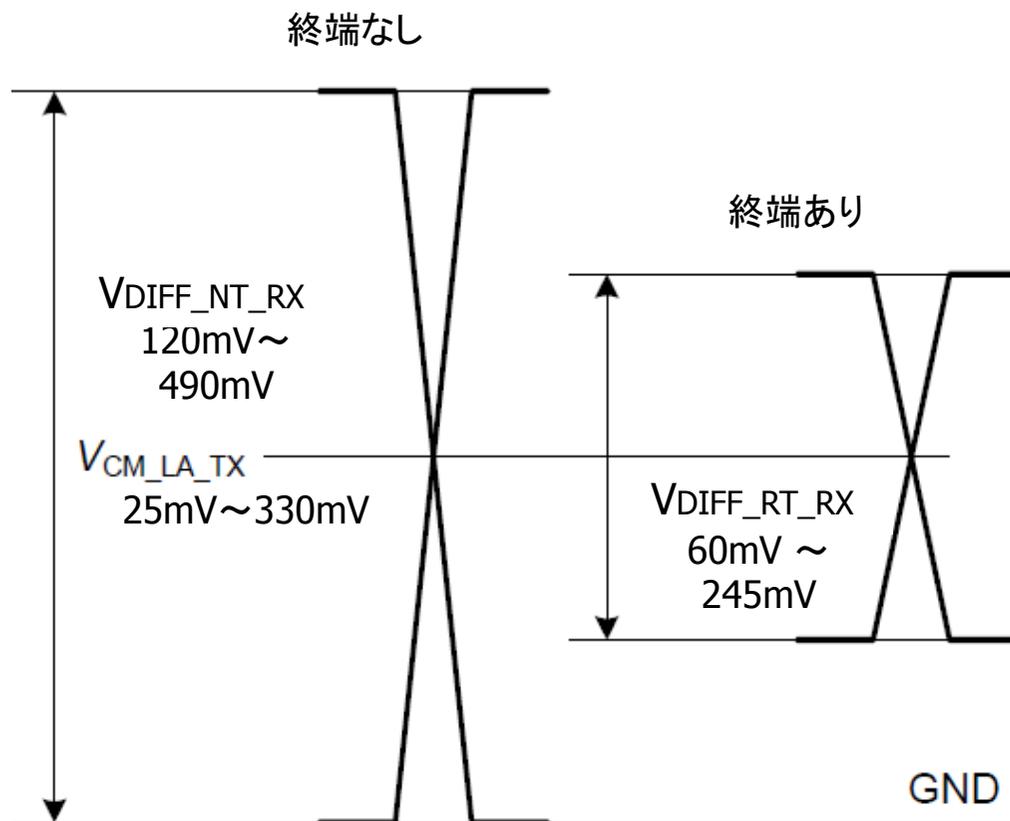
M-PHYの信号レベル

- M-TX

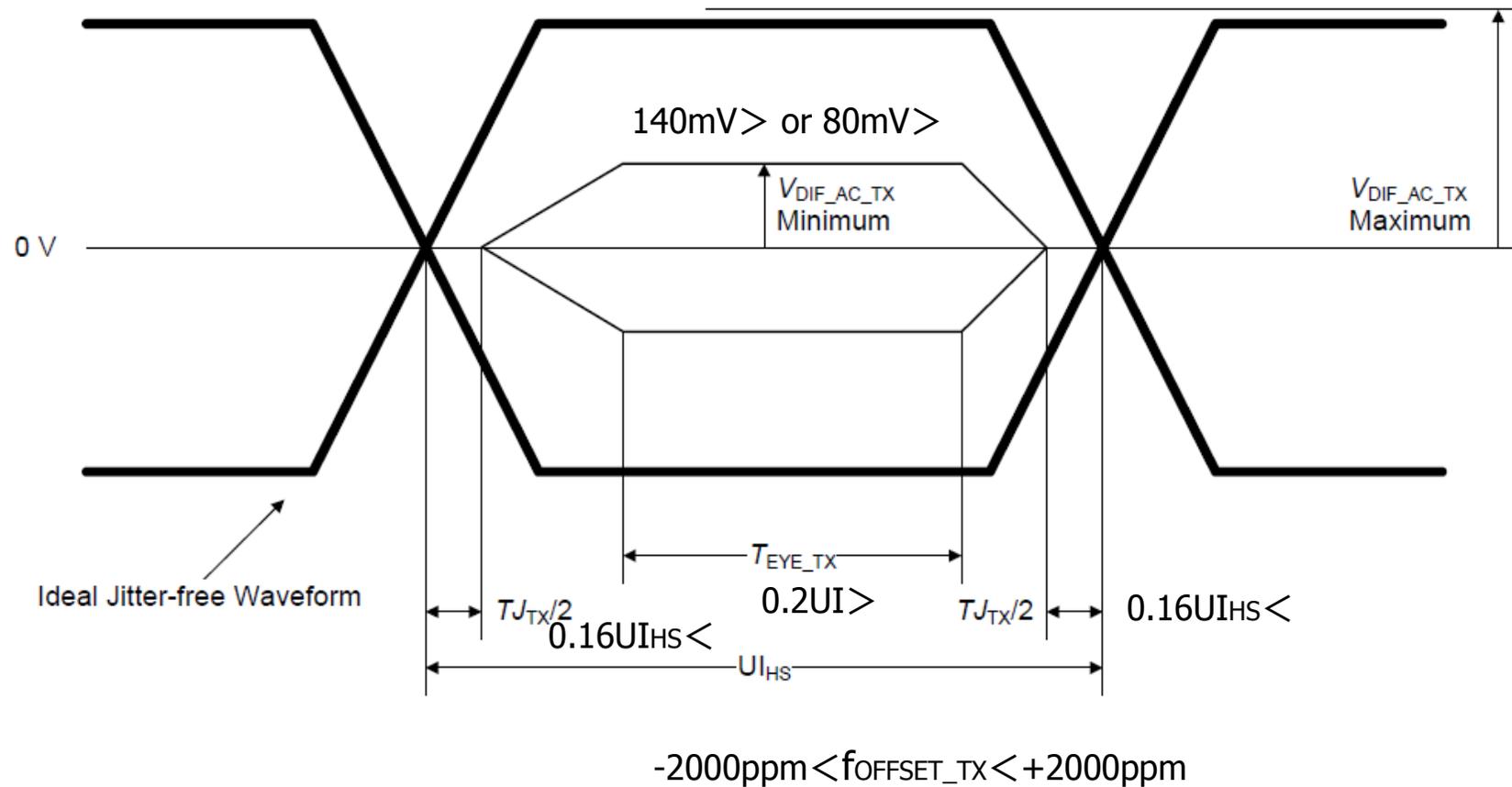


M-PHYの信号レベル

- M-RX



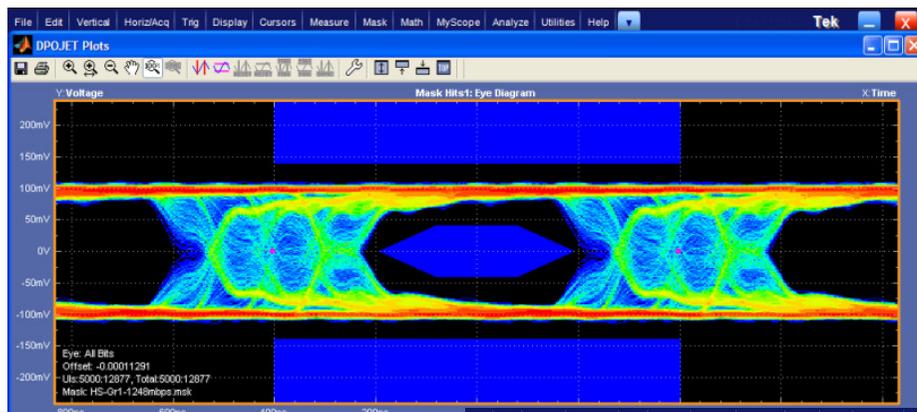
HS Tx アイ・ダイアグラム



4. MIPI M-PHY測定ソリューション

M-PHY EssentialsによるTx物理層テスト／解析

- M-PHY Essentials
(DPOJET Advancedが必要)
 - アイ・ダイアグラム
 - Power Spectral Density
 - コモン・モード電圧測定



Jitter and Eye Diagram Analysis Tools

Overall Test Result: **Pass**

Description	Pass/Fail	Mean	Std Dev
VDF_AC_LA_RT, M...	Pass	155.68mV	0.0000V
High Limit	Pass	250.00mV	
Low Limit	Pass	140.00mV	
Current Acquisition		155.68mV	0.0000V
UI, Math1		801.27ps	11.518ps
Mask Hits1, Math1	Pass	0.0000	
High Limit	Pass		
Hits In Segment 1		0.0000	
Hits in Comment ?		0.0000	

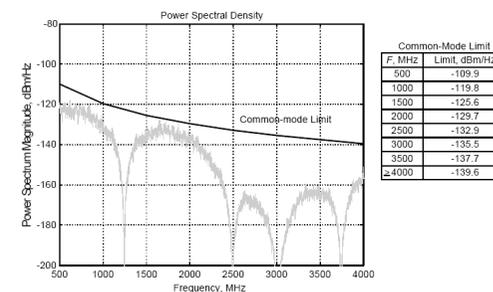


Figure 34 Common-mode Power Spectral Magnitude Limit

Test 1.1.16 – HS-TX Common-Mode Power Spectral Magnitude Limit (PSDCM-TX)

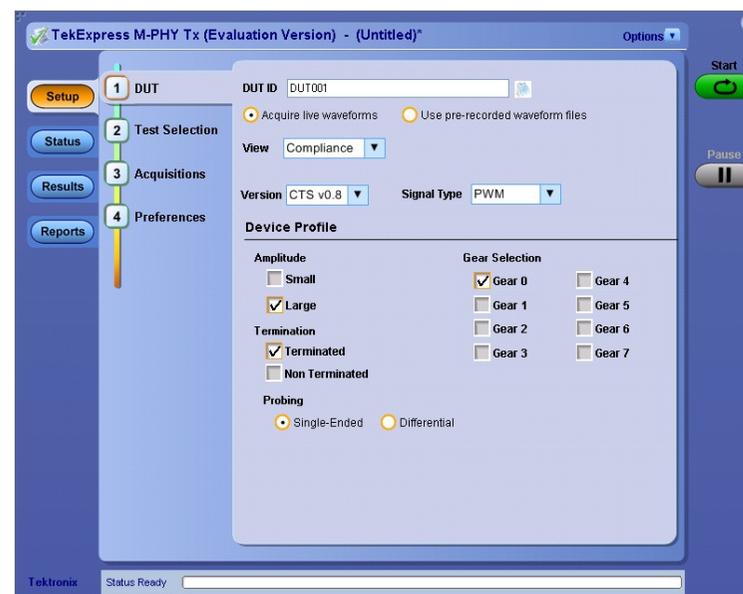


Figure 9: LA Common Mode Output Voltage

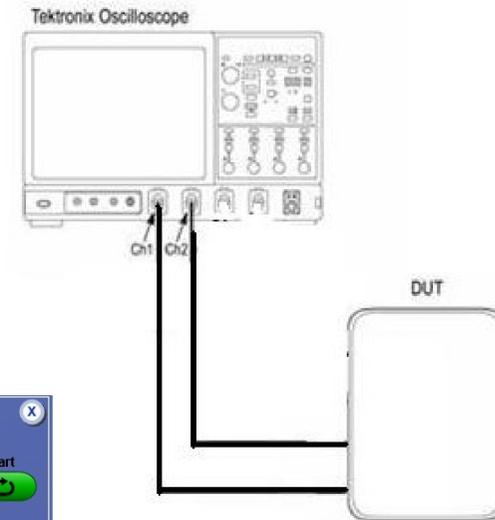
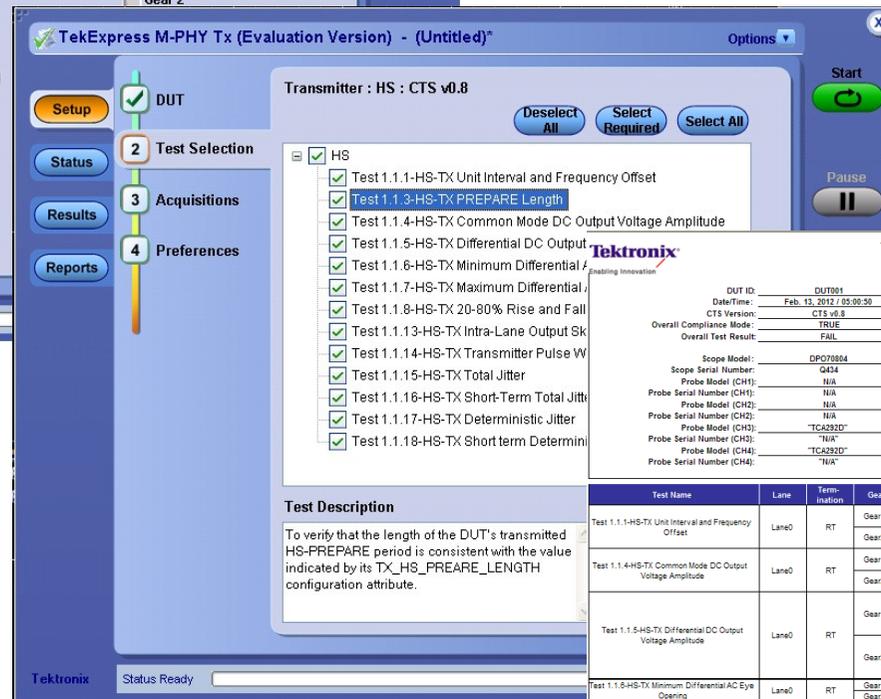
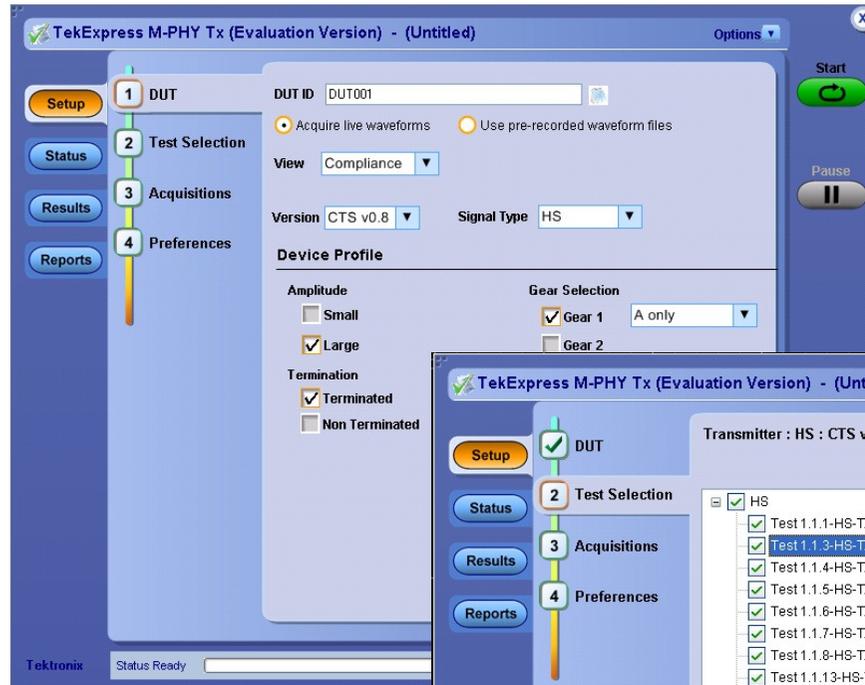
M-PHY Tx 物理層の自動測定ソリューション

新機能!

- M-PHY Tx自動測定ソフトウェア (Opt. M-PHYTX)
 - 6GHz以上のMSO/DSA/DPO70000B/C/Dシリーズ上で動作 (DPOJET Advancedが必要)
 - HSモード・テスト項目の95%をカバー
 - PWMモード・テスト項目の75%をカバー
 - Power-Spectral-Density (PSD) 測定も対応 (スペクトラム・アナライザは不要)
 - 測定結果レポートを自動生成
 - 以前に保存した波形に対しても自動測定可能
 - DPOJETによるデバッグが可能



M-PHY Tx による測定例



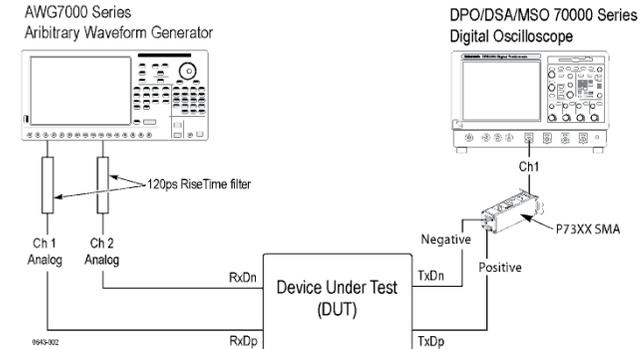
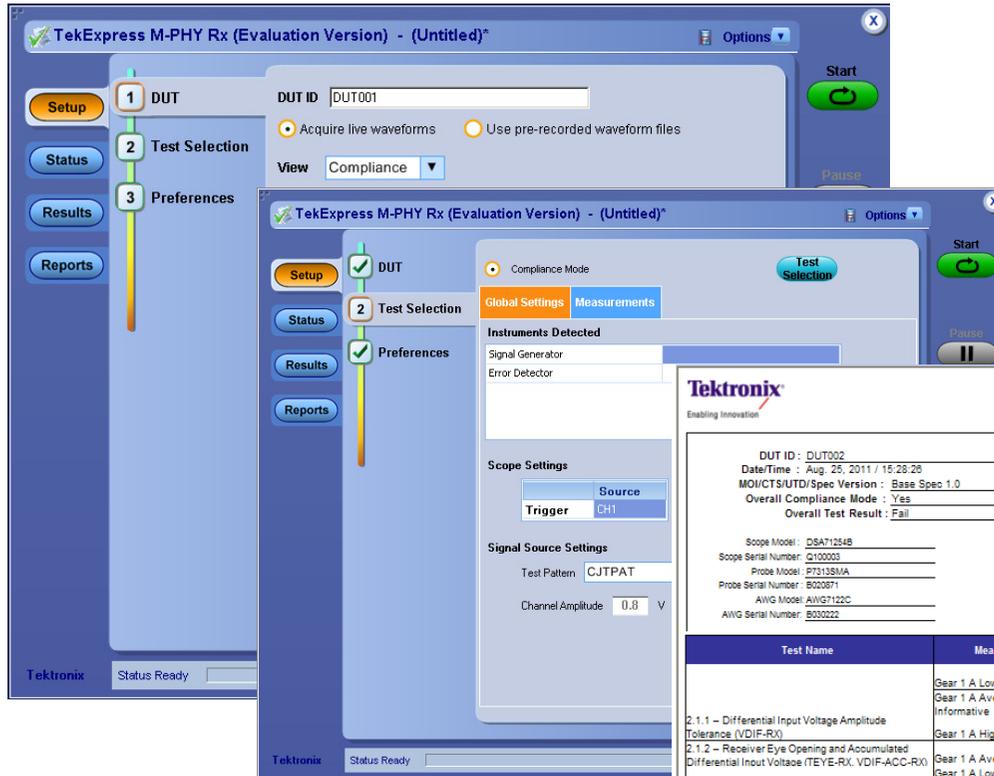
TekExpress HS-TX Report

DUT ID:	DUT001	Device Type:	Transmitter
Date/Time:	Feb. 13, 2012 / 05:00:30	Execution Time:	47 Min
CTS Version:	CTS v0.8	Overall Compliance Mode:	TRUE
Overall Test Result:	FAIL	Scope Model:	DPO70804
Scope Model:	DPO70804	Scope Serial Number:	G434
Probe Model (CH1):	N/A	Probe Model (CH2):	N/A
Probe Serial Number (CH1):	N/A	Probe Serial Number (CH2):	N/A
Probe Model (CH3):	"TC293D"	Probe Model (CH4):	"TC293D"
Probe Serial Number (CH3):	"NA"	Probe Serial Number (CH4):	"NA"

Test Name	Lane	Termination	Gear	Amplitude	Measurement Details	Measured value	Units	Test Result	Margin
Test 1.1.1-HS-TX Unit Interval and Frequency Offset	Lane0	RT	Gear1A	LA	SSCFREQ(Fig-1)	8.308	psm	Pass	199.692
			Gear2A	LA	SSCFREQ(Fig-2)	801.392	ps	Informative	N/A
Test 1.1.4-HS-TX Common Mode DC Output Voltage Amplitude	Lane0	RT	Gear1A	LA	SSCFREQ(Fig-3)	4.009	psm	Pass	198.392
			Gear2A	LA	SSCFREQ(Fig-4)	400.841	ps	Informative	N/A
Test 1.1.5-HS-TX Differential DC Output Voltage Amplitude	Lane0	RT	Gear1A	LA	Test_HS_CommonModeVoltage (Fig-5)	202.489	mV	Pass	42.493
			Gear2A	LA	Test_HS_CommonModeVoltage (Fig-6)	202.959	mV	Pass	42.959
Test 1.1.7-HS-TX Maximum Differential AC Eye Opening	Lane0	RT	Gear1A	LA	Test_HS_DiffDCIPVoltage (Fig-7)	230.886	mV	Pass	70.886
			Gear2A	LA	Test_HS_DiffDCIPVoltage (Fig-8)	-234.252	mV	Pass	74.252
Test 1.1.8-HS-TX Minimum Differential AC Eye Opening	Lane0	RT	Gear1A	LA	Test_HS_DiffDCIPVoltage (Fig-9)	216.96	mV	Pass	56.96
			Gear2A	LA	Test_HS_DiffDCIPVoltage (Fig-10)	-226.903	mV	Pass	66.903
Test 1.1.7-HS-TX Maximum Differential AC Eye Opening	Lane0	RT	Gear1A	LA	MASOHTS(Fig-11)	0	bits	Fail	0
			Gear2A	LA	MASOHTS(Fig-12)	132	bits	Fail	132
Test 1.1.7-HS-TX Maximum Differential AC Eye Opening	Lane0	RT	Gear1A	LA	EYELQW(Fig-13)	-214.941	mV	Pass	58.938
			Gear2A	LA	EYELQW(Fig-14)	180.121	mV	Pass	51.092
Test 1.1.8-HS-TX 20-80% Rise and Fall Times	Lane0	RT	Gear1A	LA	Test_HS_RiseTime(Fig-15)	0.131	UI	Pass	0.031
			Gear2A	LA	Test_HS_FallTime(Fig-16)	0.117	UI	Pass	0.017

Opt. M-PHYTXによる
全自動測定

M-PHY Rx テスト



機器構成が
シンプル

Opt.M-PHYRXによる
全自動測定

Tektronix **TekExpress M-PHY-RX Receiver Test Report**

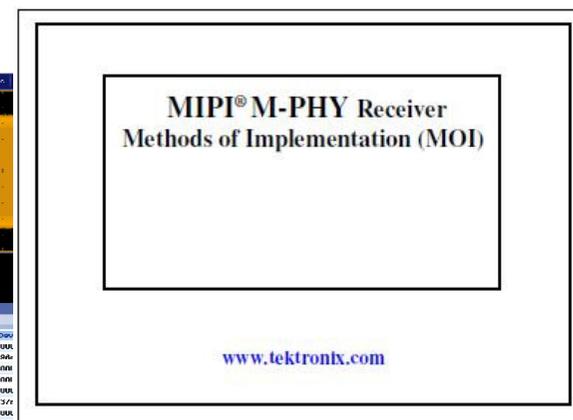
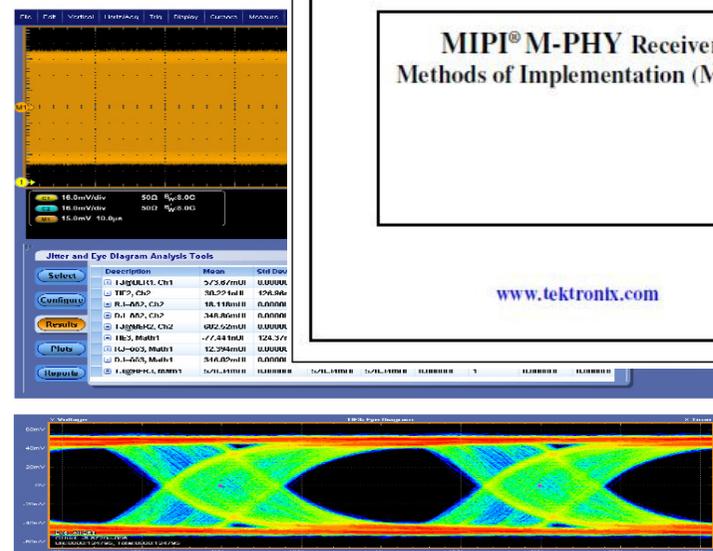
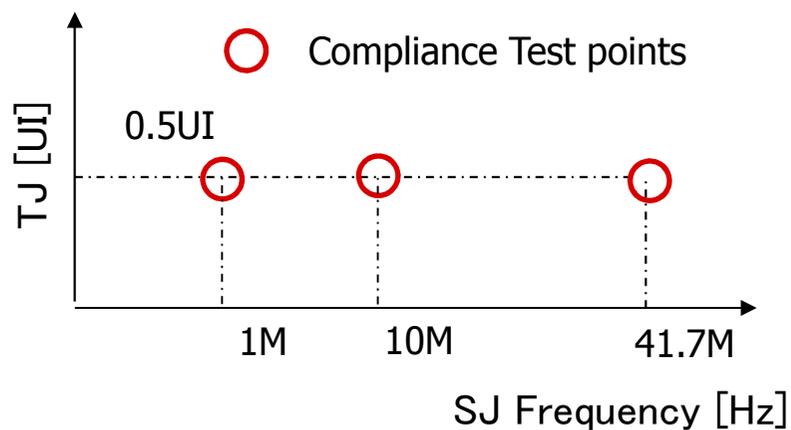
DUT ID: DUT002 Device Type: M-PHY
 Date/Time: Aug. 25, 2011 / 15:28:26 Execution Time: 31 Min
 MOI/CTS/UTD/Spec Version: Base Spec 1.0
 Overall Compliance Mode: Yes
 Overall Test Result: Fail

Scope Model: DSA71254B Scope FW Version: 5.3.4 DEV/BUILD
 Scope Serial Number: Q10003 SPC Factory Calibration: PASS PASS
 Probe Model: P73138MA TekExpress Version: 1.0.0.19
 Probe Serial Number: B020371 DPOJET Version: NA
 AWG Model: AWG7122C AWG Firmware Version: 4.1.1.5
 AWG Serial Number: B030222

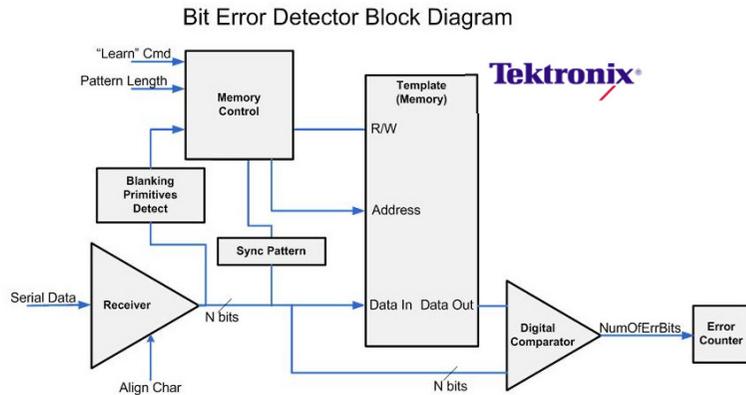
Test Name	Measurement Details	Pattern	Bit Error	Test Result	Limit	Execution Time
2.1.1 - Differential Input Voltage Amplitude Tolerance (VDIF-RX)	Gear 1 A Low Amplitude	CJTPAT	0	Pass	=0	3 Min
	Gear 1 A Average Amplitude - Informative	CJTPAT	0	N.A	=0	
	Gear 1 A High Amplitude	CJTPAT	0	Pass	=0	
2.1.2 - Receiver Eye Opening and Accumulated Differential Input Voltage (EYE-RX, VDIF-ACC-RX)	Gear 1 A Average Amplitude	CJTPAT	0	Pass	=0	<1 Min
	Gear 1 A Low Amplitude - Differential Low	CJTPAT	0	Pass	=0	
	Gear 1 A Average Amplitude - Differential Low - Informative	CJTPAT	0	N.A	=0	
2.1.3 - Common-Mode Input Voltage Tolerance (VCM-RX)	Gear 1 A Low Amplitude - Differential High	CJTPAT	0	Pass	=0	4 Min
	Gear 1 A Average Amplitude - Differential High - Informative	CJTPAT	0	N.A	=0	
	Gear 1 A High Amplitude - Differential High	CJTPAT	0	Pass	=0	
2.1.4 - HS-RX Differential Termination Enable Time (TTERM-ON-HS-RX)	Gear 1 A Minimum Prepare	CJTPAT	0	Pass	=0	1 Min
	Gear 1 A Maximum Prepare	CJTPAT	0	Pass	=0	
2.1.5 - HS-RX Differential Termination Disable Time (TTERM-OFF-HS-RX)	Gear 1 A Minimum Stall	CJTPAT	0	Pass	=0	1 Min
	Gear 1 A Maximum Stall	CJTPAT	0	Pass	=0	
2.1.7 - Receiver Jitter Tolerance (TJR, SJRX, RJRX, STJRX, STSJRX)	Gear 1 A LTJ - Frequency 1	CJTPAT	208	Fail	=0	2 Min
	Gear 1 A LTJ - Frequency 2	CJTPAT	224507	Fail	=0	
	Gear 1 A LTJ - Frequency 3	CJTPAT	0	Pass	=0	
2.1.8 - Receiver Pulse Width Tolerance (TPULSE-RX)	Gear 1 A Minimum Pulse Width	CJTPAT	0	Pass	=0	1 Min
	Gear 1 B Low Amplitude	CJTPAT	0	Pass	=0	
2.1.1 - Differential Input Voltage Amplitude Tolerance (VDIF-RX)	Gear 1 B Average Amplitude - Informative	CJTPAT	0	N.A	=0	2 Min
	Gear 1 B High Amplitude	CJTPAT	0	Pass	=0	
2.1.2 - Receiver Eye Opening and Accumulated Differential Input Voltage (EYE-RX, VDIF-ACC-RX)	Gear 1 B Average Amplitude	CJTPAT	0	Pass	=0	2 Min
	Gear 1 B Low Amplitude - Differential	CJTPAT	0	Pass	=0	

M-PHY Rx: ジッタ耐性テスト

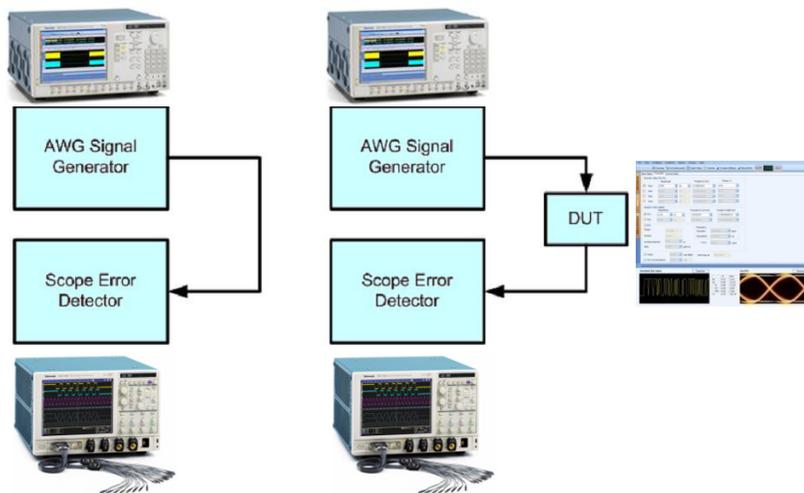
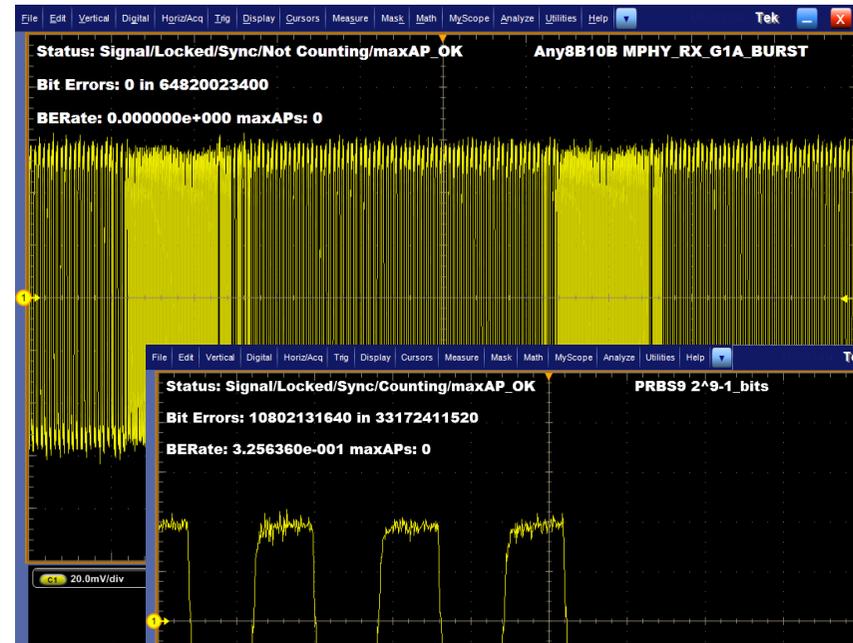
- Rx ジッタ耐性
- Rx アイ開口、差動入力振幅耐性
- コモン・モード入力耐性
- 入力パルス幅耐性



M-PHY Rx : ビット・エラー検出テスト



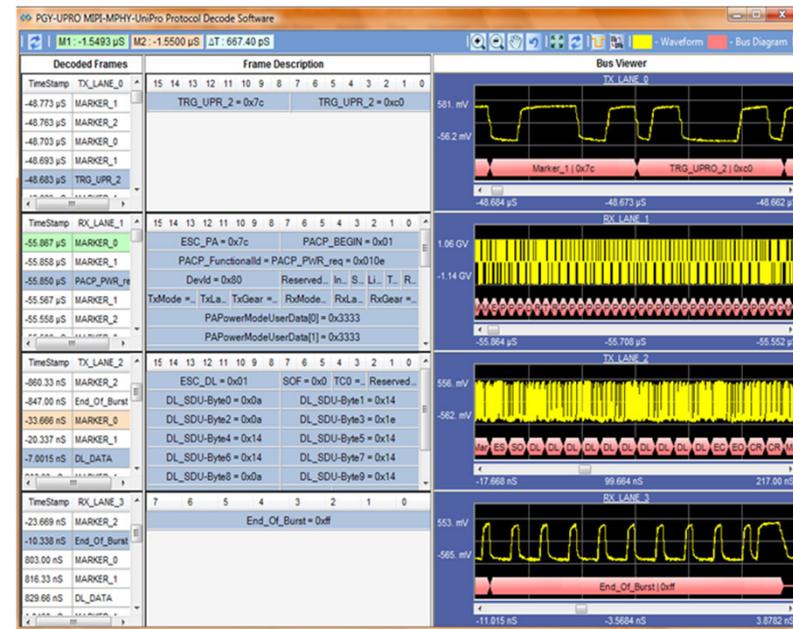
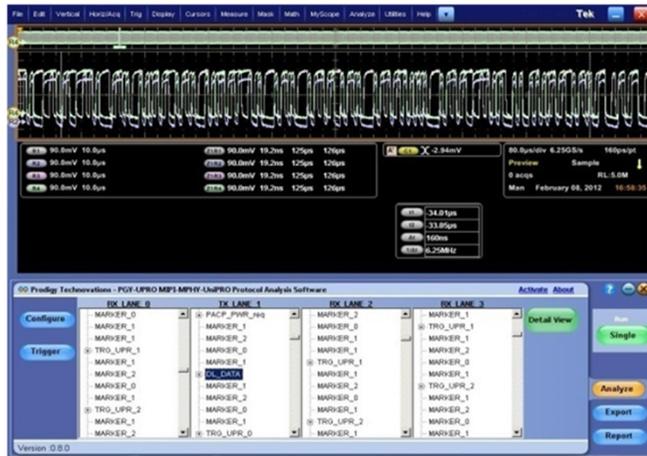
- オシロスコープ内蔵 BER測定機能
 - Opt.ERRDT



M-PHY UniPro/LLI プロトコル・デコード



- PGY-UPRO/PGY-LLI プロトコル・デコード・ソフトウェア
 - MSO/DSA/DPO70000B/C/Dシリーズ上で動作 (6GHz以上必要)
 - Opt. ST6GによりUniPro、LLIの特定のイベントでトリガ
 - UniPro: Link Startup Sequence、Phy Adapter Layer Content、Data Layer Link Contentなど
 - LLI: PAM Frame、DL Message、TL SVC Packet、TL IC Packetなど
 - 4レーン自動デコード
 - CRCエラー検証



M-PHY Tx & Rx テスト用推奨機器

- オシロスコープ
 - HS-GEAR1: DPO/DSA70604C 型
 - HS-GEAR2: DPO/DSA70804C 型
 - HS-GEAR3: Rx: DPO/DSA71254C 型、Tx: DPO/DSA72004C型、DPO/DSA72504D型
- プローブ
 - P73xxSMA ×2本 またはP73xx型/P75xx型/P7630型 ×2本
- Rxテスト用信号発生器
 - HS-GEAR1 または HS-GEAR2: AWG7082/ AWG7102 以上
 - HS-GEAR3: AWG7122C -06
- ソフトウェア
 - Opt.M-PHYTX (DPOJET Advancedが必要)
 - Opt.M-PHYRX (DPOJET Advancedが必要)
 - Opt.M-PHY (DPOJET Advancedが必要)
 - Opt.ERRDT (Scope Error Detector)
 - Opt.ST6G (6.25Gbps 8B-10B プロトコル・トリガ／デコード、DSAは標準装備)
 - PGY-UPRO(UniPro Protocol Decode)、PGY-LLI (LLI Protocol Decode)
 - Opt.MPHYVIEW (DigRFv4 Protocol Decode)
 - SerialXpress (AWG用カスタム・パターンを作成の場合)

MIPI 規格関連の動向

- D-PHY
 - 2011年11月にD-PHY規格V1.1が公開に
- プロトコル
 - 2013年1月にCSI-2規格V1.1が公開に
 - 2012年3月にDSI規格V1.1が公開に
 - 2012年3月にDCS規格 (Display Comand Set) V1.1が公開に
- M-PHY
 - 2012年4月にM-PHY規格V2.0.0が公開に
- プロトコル
 - 2011年8月にUniPro規格V1.40.00が公開に
 - 2011年2月にUFS規格 JEDEC STANDARD JESD220が公開に
 - 8月にJESD223が公開に
 - 2011年7月にDigRF V4規格V1.10が公開に
 - 2012年10月にCSI-3規格V1.0が公開に
 - 2012年4月にLLI規格V1.0が公開に

テクトロニクス社のMIPI評価ソリューションの特長

- MIPI D-PHYとMIPI M-PHYをトータルでサポート
 - Tx評価、Rx評価
 - 物理層、プロトコル層
- MIPI D-PHY
 - Data 4レーン × 2-Link、各レーン1.5Gbpsまでのサポートにより高分解能カメラ、高分解能ディスプレイに対応（最新のD-PHY規格V1.1に対応）
 - コンパクトな信号発生器のため、持ち運びが容易（キャビネット・タイプ）
 - 全自動測定と解析の両方をサポート
- MIPI M-PHY
 - 解析と規格適合性試験の両方に対応
 - PWMもサポート
 - ジッタ耐性試験もサポート
 - オシロスコープによるRxのエラー検出／ビット・エラー・レート測定
- テクトロニクスはMIPI Alliance のContributorメンバー



本テキストの無断複製・転載を禁じます。テクトロニクス/ケースレーインストルメンツ
Copyright © Tektronix, Keithley Instruments. All rights reserved.

www.tektronix.com/ja
www.keithley.jp/

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>

Tektronix[®] 
A Tektronix Company