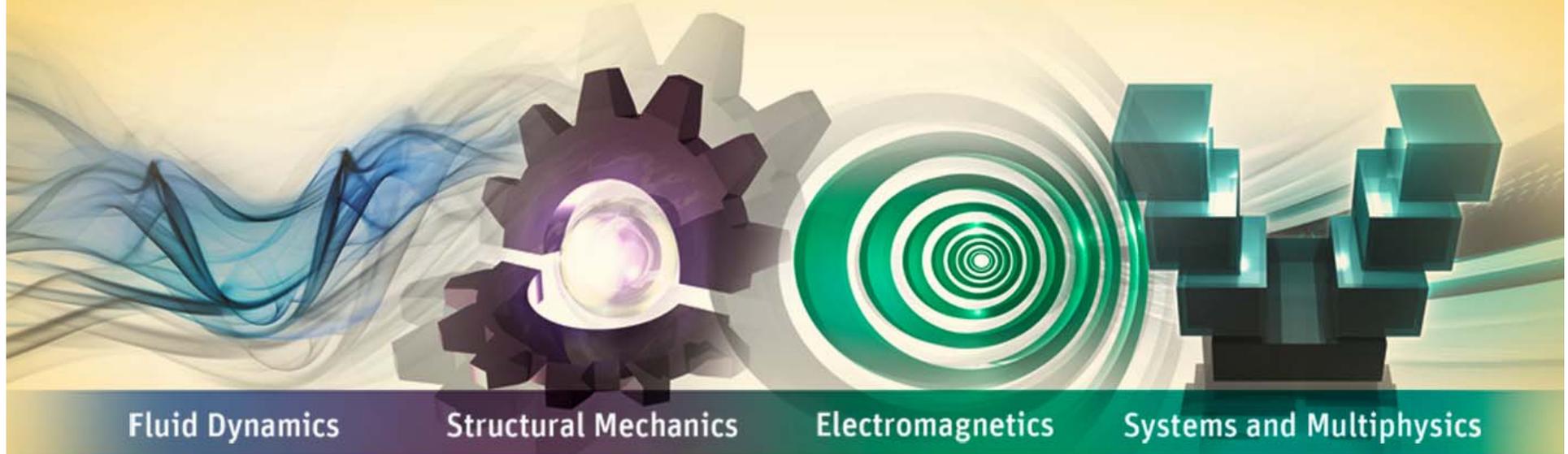


# Gbps伝送時代の電子機器設計を サポートする最新のシミュレーション技術



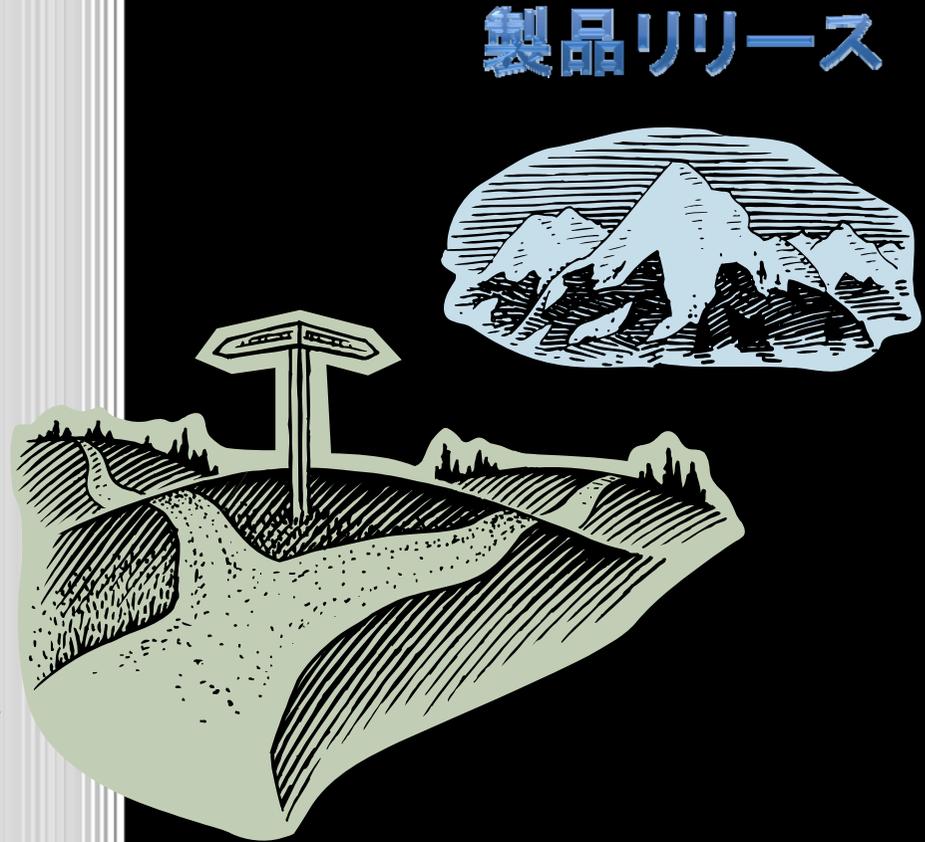
アンシス・ジャパン株式会社  
渡辺 亨

- イン트로ダクション
- ANSYS ソリューション
- 最新の解析技術
  - 要素技術の革新
  - ハードウェアの有効活用
  - マルチ・フィジックス
- SI・PI の評価で活躍する便利な機能
  - デモンストレーション

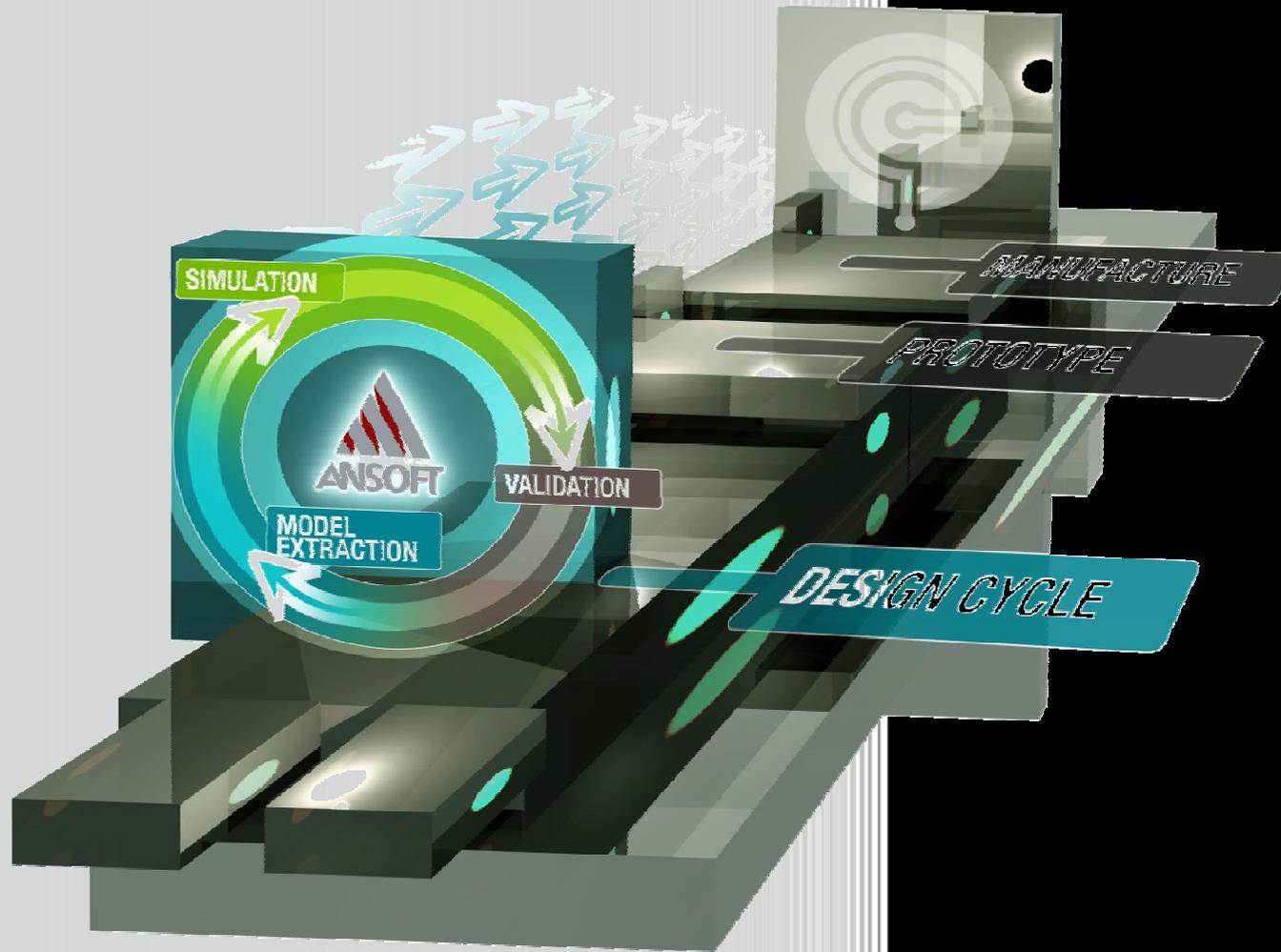
# イントロダク

# 電子機器設計者にか

- 技術革新
- 競合
- コスト低減
- Time to Market
- 製品ライフサイクル  
etc...

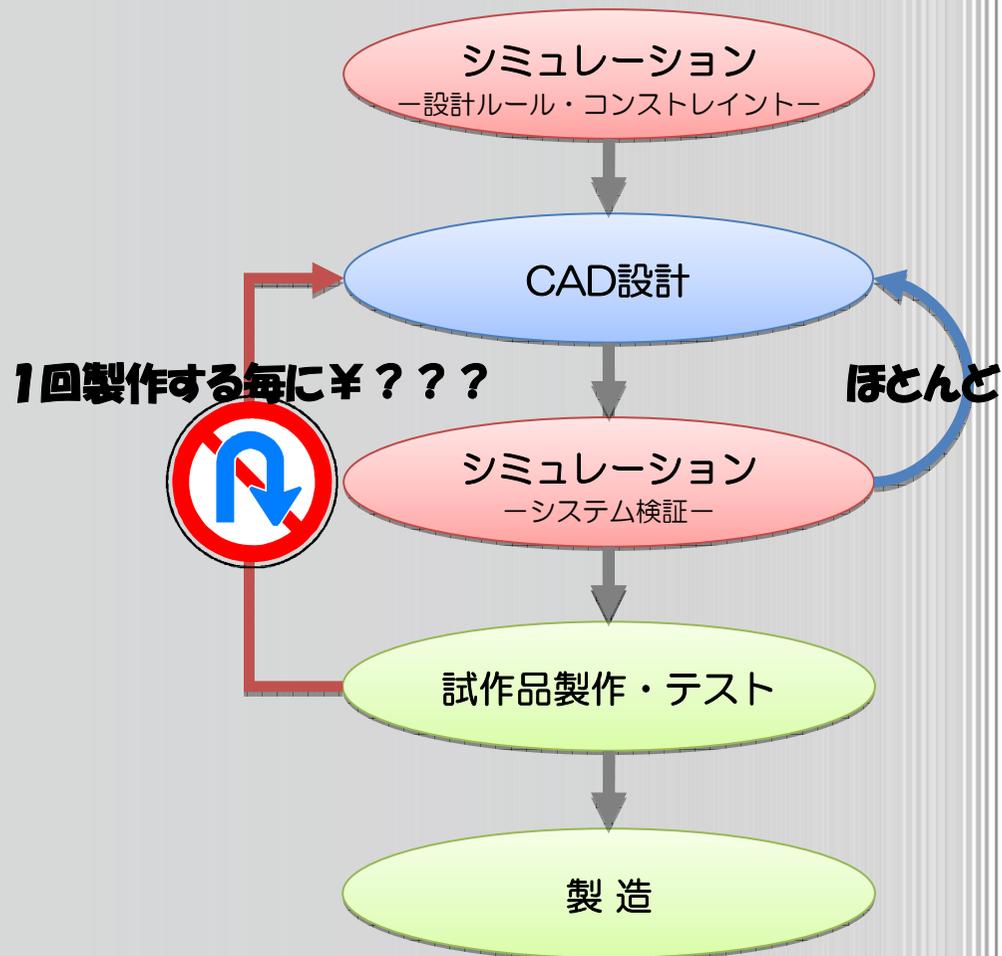


## First-Pass System Success



**Tektronix®**  
Enabling Innovation

## First-Pass System Success



## 電子機器設計のトレンド

- 高速シリアル(差動)伝送
  - 標準・規格: PCI Express、SATA、HDMI、etc...
  - Gbpsクラスの高速伝送
- 低消費電力・低電圧化
  - 電源供給: 5V→3.3V→2.5V→1.8V→...
- EMI/EMC
  - 規格: CISPRxx、IEC61000、VCCI、etc...



Signal Integrity



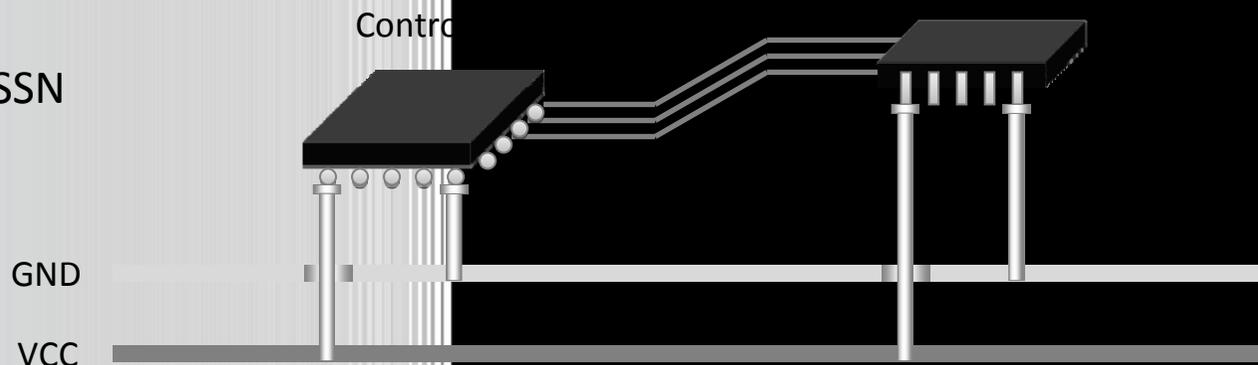
Power Integrity



EMI / EMC

## 例.) DDRxメモリーI/F

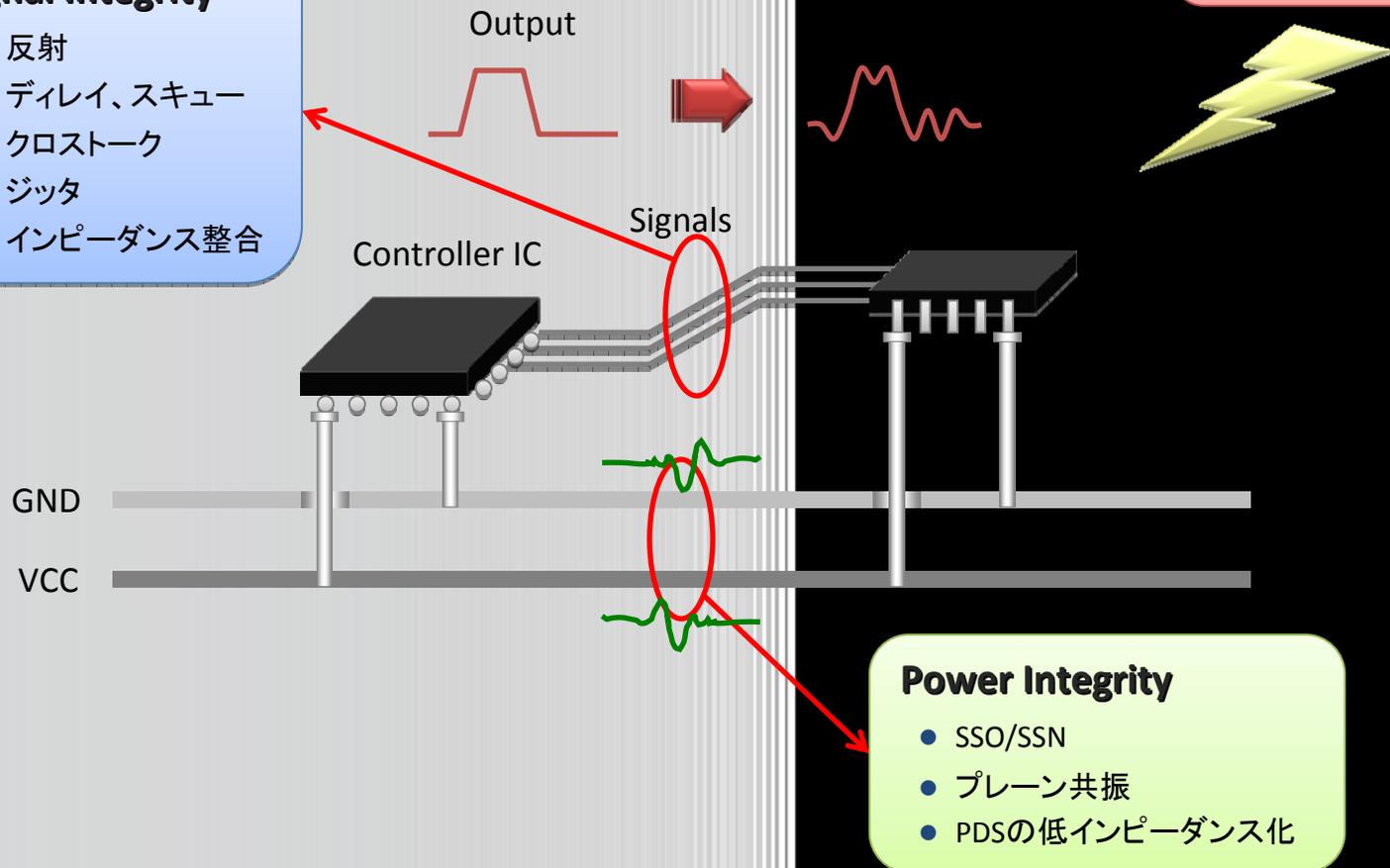
- 伝送形式
  - 転送レート: 400Mbps、600Mbps、800Mbps
  - データ転送はパラレル(シングルエンド)伝送
  - クロック、ストローク信号は差動伝送
- 評価
  - アイパターン、タイミングバジェット(tDS、tDQ)
- 問題となるノイズ
  - スキュー、ジッタ、SSN



## 例.) DDRxメモリーI/F

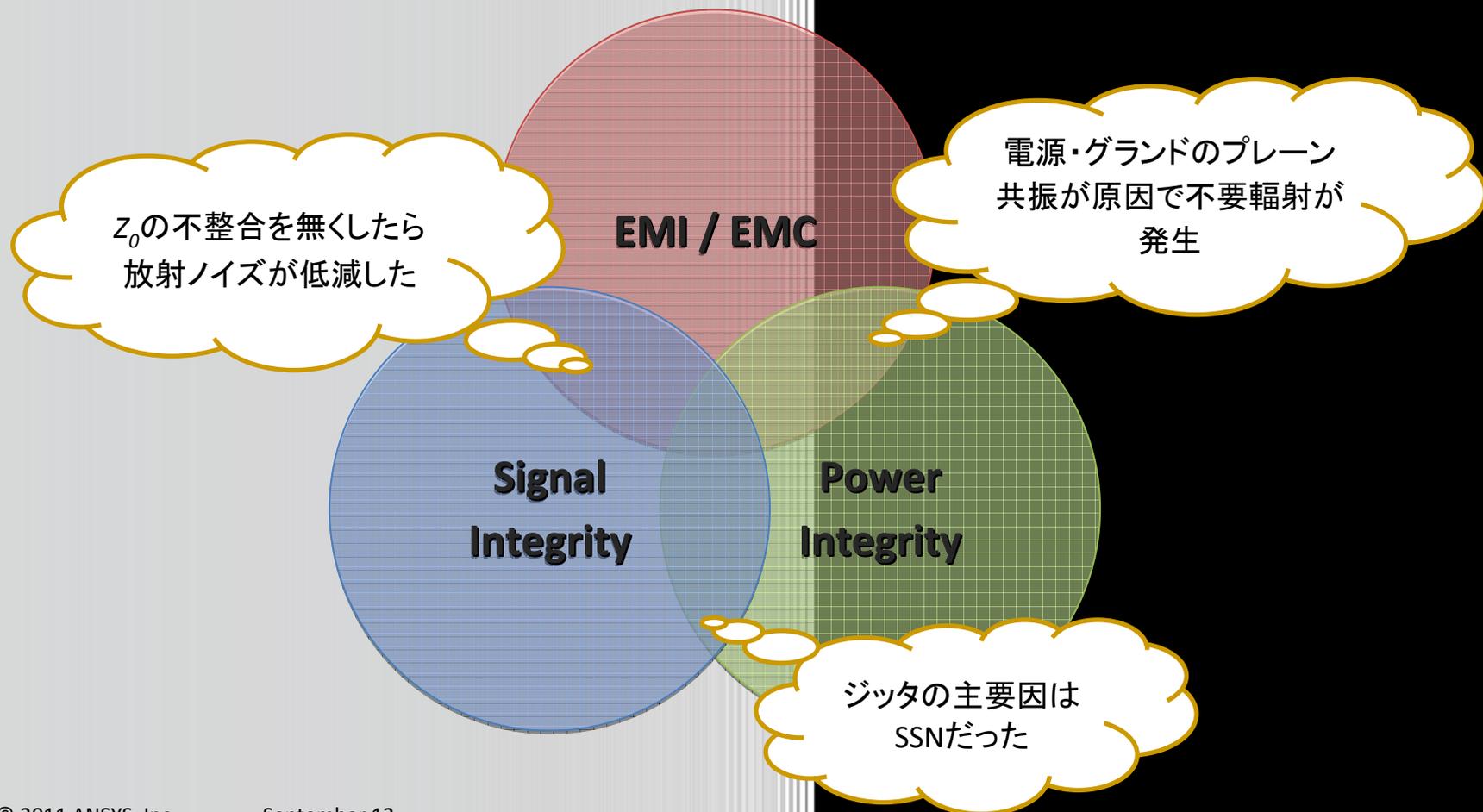
## Signal Integrity

- 反射
- デレイ、スキュー
- クロストーク
- ジッタ
- インピーダンス整合



## 3つの問題は相関している

- ポイントツール  $\times$   $\Rightarrow$  包括的なソリューション

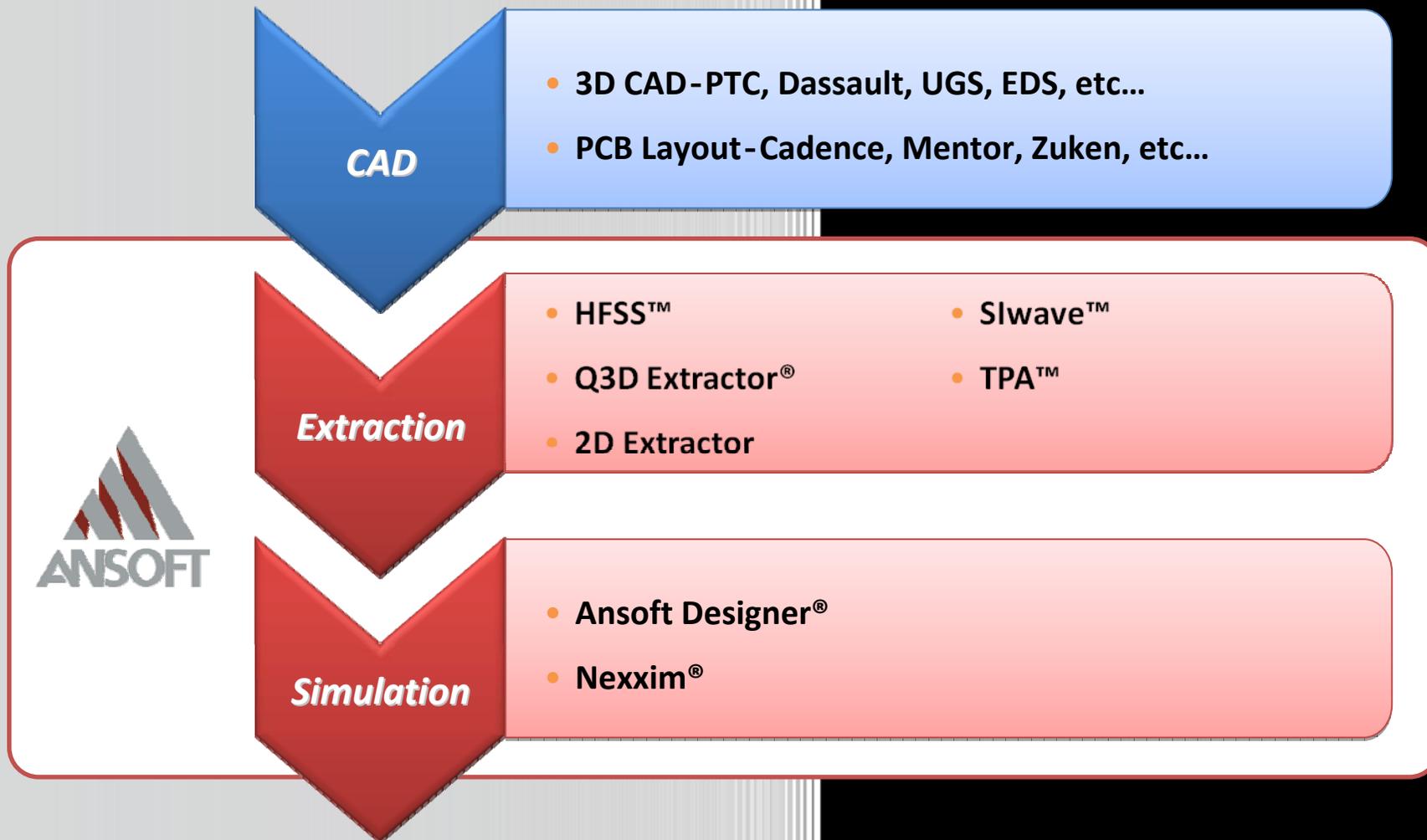




# ANSYS ソリュ

- for SI, PI and

シミュレーション・フロー



Extraction: 形状からの特性抽出、等価回路抽出

## Eminence Suite

## Q3D Extractor Suite

## 2D Extractor

- 2次元断面形状
- LCRGZ<sub>0</sub>パラメータ抽出
- SPICEモデル生成

## Q3D Extractor®

- 完全3次元形状
- LCRGパラメータ抽出
- SPICE/IBISモデル生成

## HFSS™

- 完全3次元形状
- SYZ-パラメータ抽出
- Full-Wave SPICE™モデル生成

## 準静電磁界解析

## TPA™

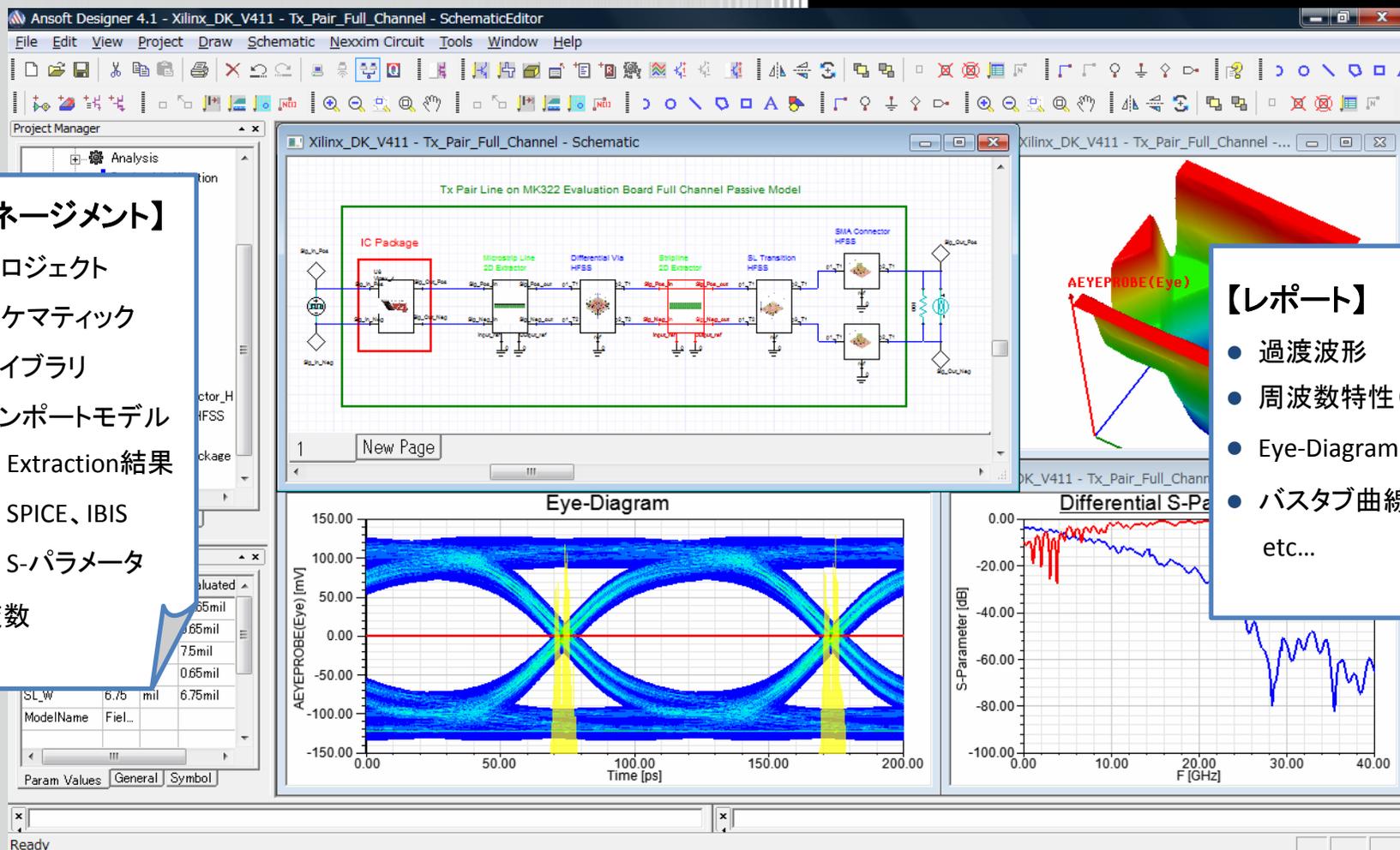
- BGAパッケージ
- LCRパラメータ抽出
- SPICE/IBISモデル生成

## Full-Wave解析

## SIwave™

- PCB、BGA
- SI/PI/EMI解析
- Full-Wave SPICE™モデル生成

## 統合デスクトップ & Simulation: DesignerSI

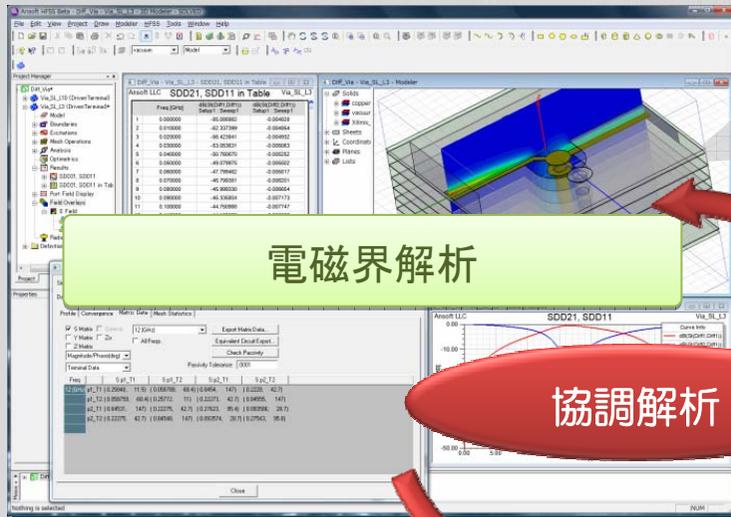
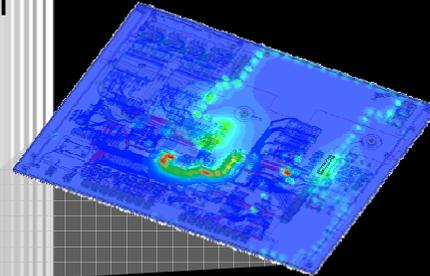


- 【マネージメント】**
- プロジェクト
  - スケマティック
  - ライブラリ
  - インポートモデル
  - Extraction結果
  - SPICE、IBIS
  - S-パラメータ
  - 変数

- 【レポート】**
- 過渡波形
  - 周波数特性(SYZ)
  - Eye-Diagram
  - バスタブ曲線
  - etc...

## 統合デスクトップ & Simulation: DesignerSI

- 電磁界解析とシミュレーションの協調解析



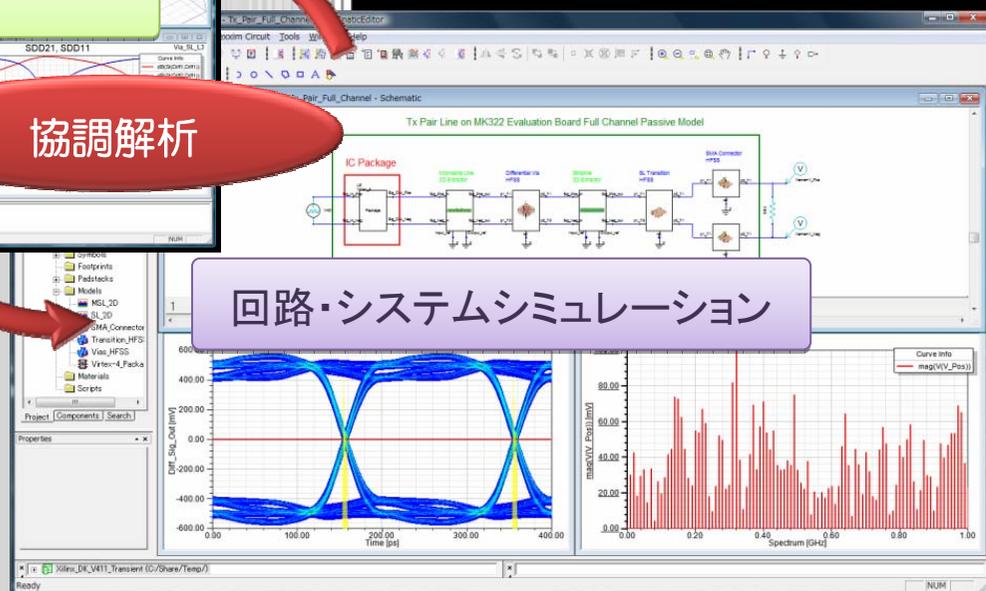
電磁界解析

シミュレーション結果

協調解析

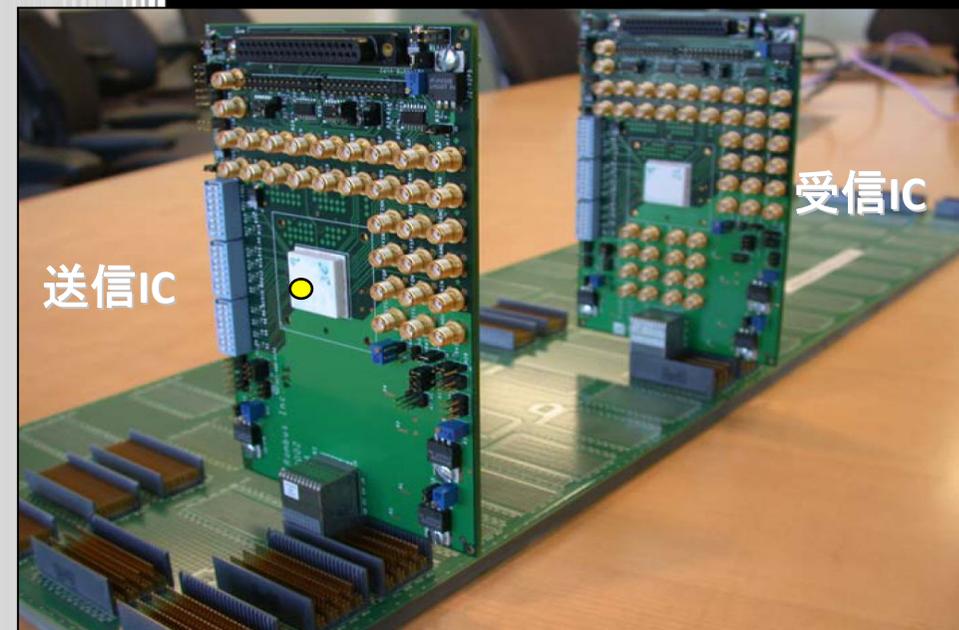
解析結果・変数

回路・システムシミュレーション



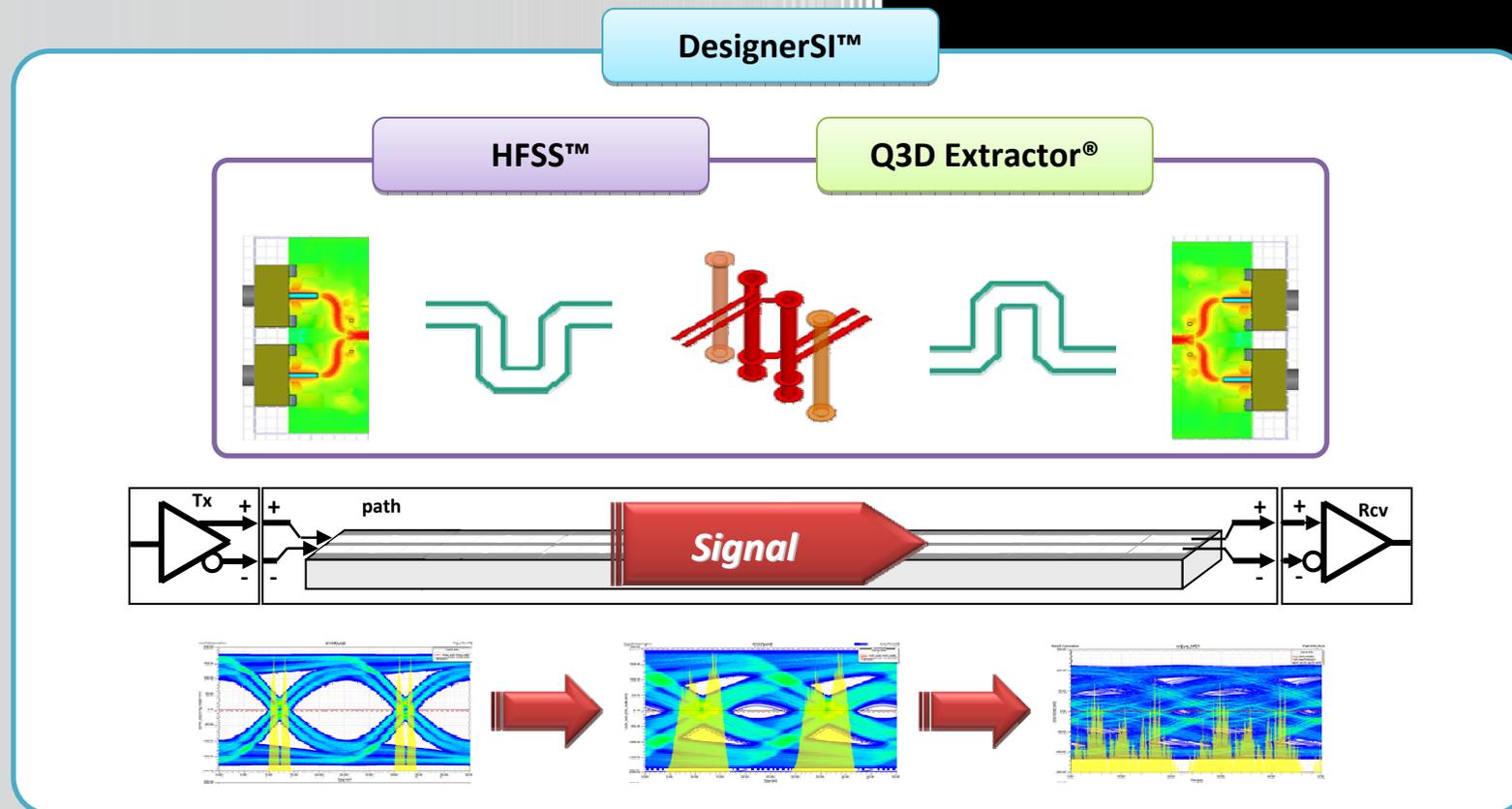
## 高速シリアル(差動)伝送 - Signal In

- 広帯域に渡る高精度な特性の抽出・モデリング
  - 3D形状(解析領域の切り出し可)
  - 周波数依存性、損失
  - 形状、材料を変数としたパラメトリック解析
- SPICE モデル、IBIS-AMI
- Causality / Passivity
- Pre/De-Emphasis / Equalization
- 統計的評価



## 高速シリアル(差動)伝送 - Signal In

- *Extraction* (特性抽出・モデル生成): HFSS
- *Simulation* (システム・レベルの波形シミュ

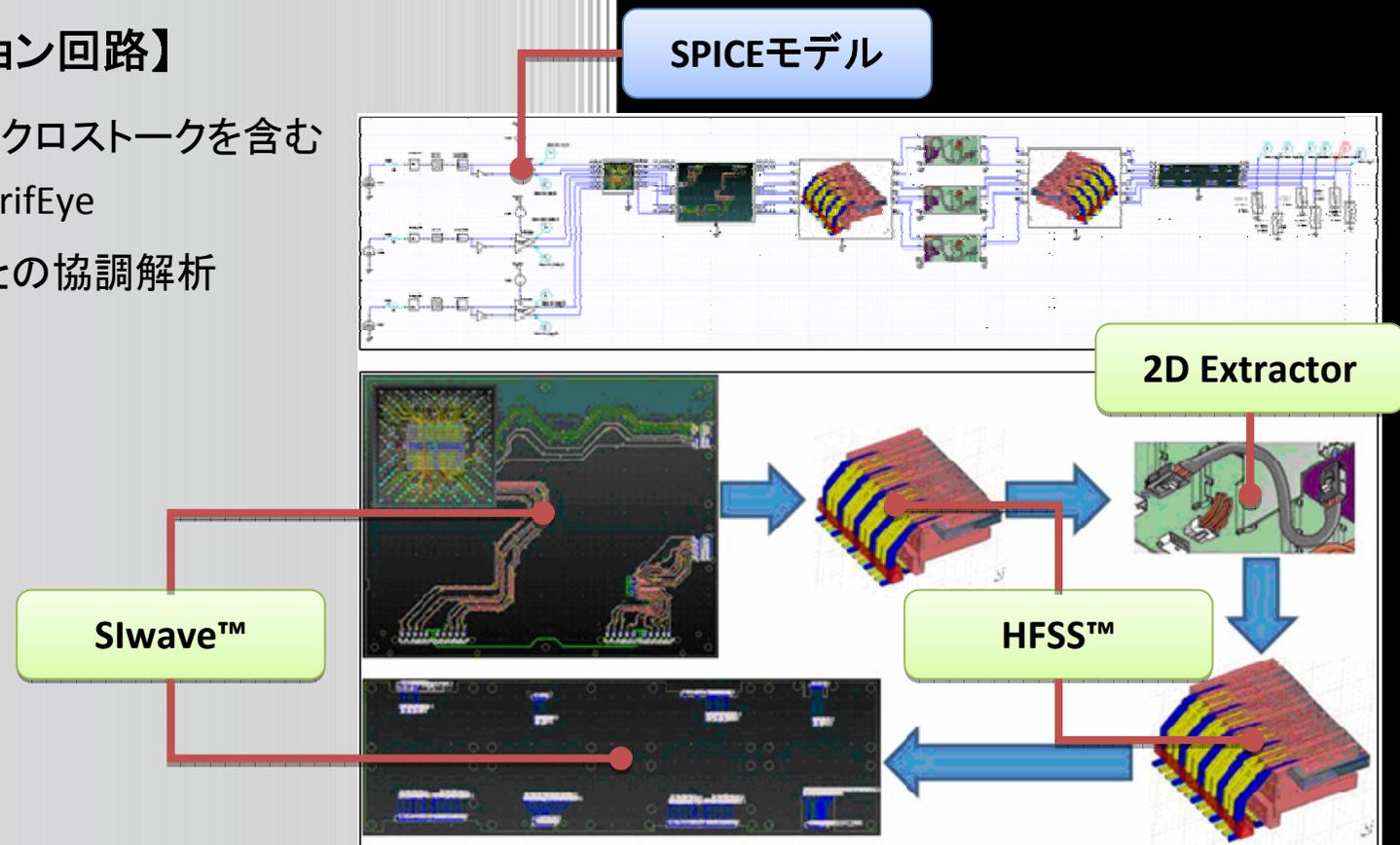


## 解析事例－Signal Integrity

- SATA Gen2 チャンネルのシミュレーション

## 【シミュレーション回路】

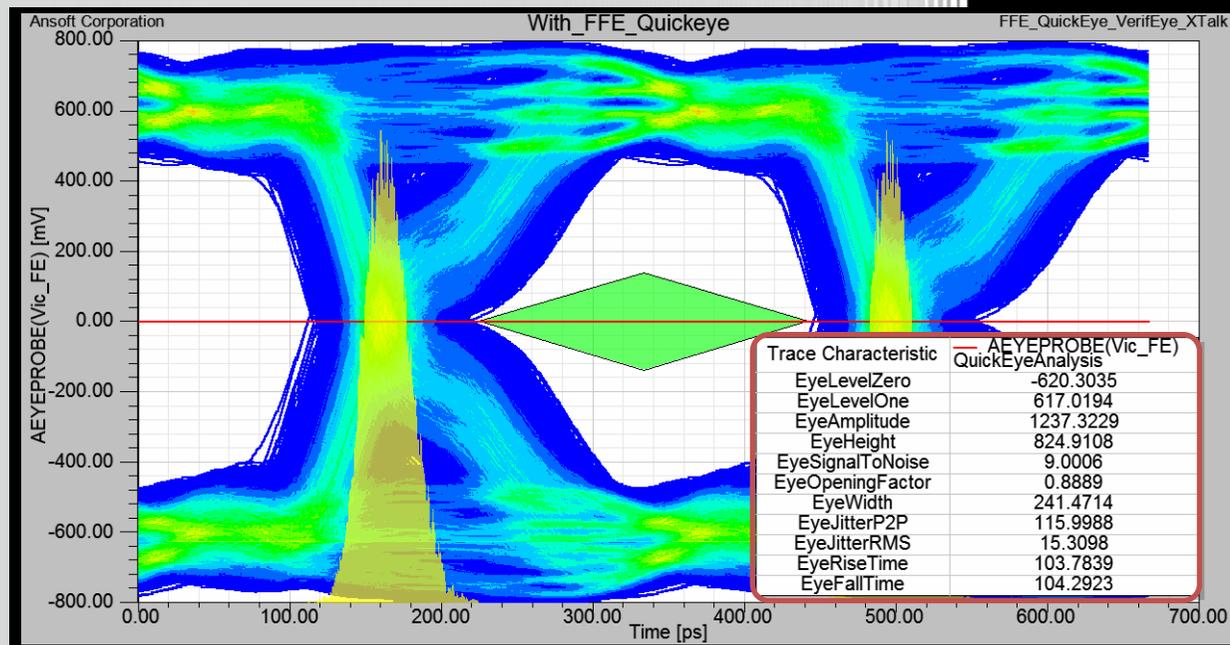
- チャンネル間クロストークを含む
- QuickEye、VerifEye
- 電磁界解析との協調解析



## 解析事例－Signal Integrity

- SATA Gen2 チャンネルのシミュレーション

## 【シミュレーション結果】



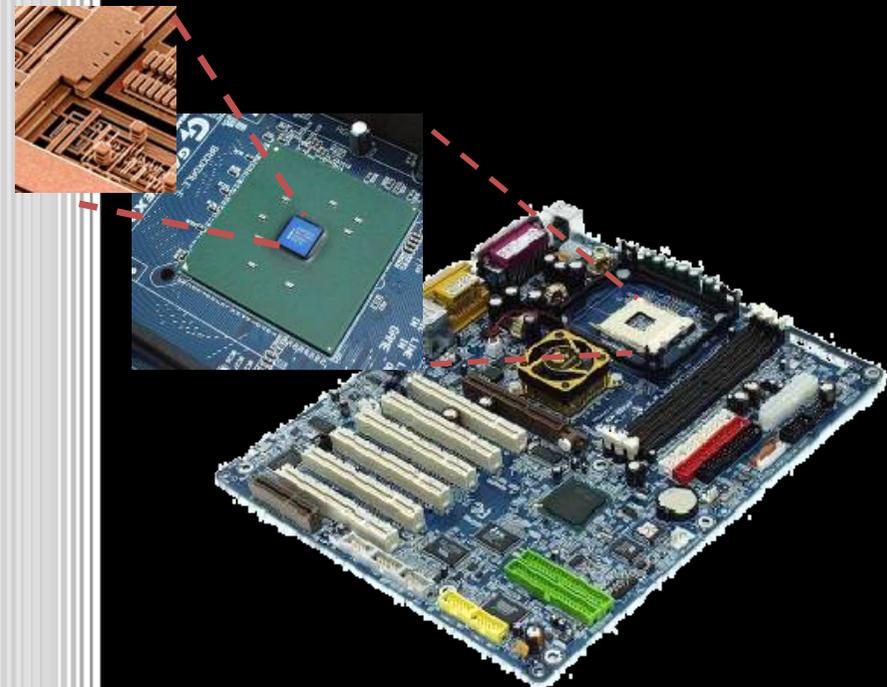
受信側のアイパターン (Eye Measurement)

## Eye Measurement

- EyeLevelZero
- EyeLevelOne
- EyeAmplitude
- EyeHeight
- EyeSignalToNoise
- EyeOpeningFactor
- EyeWidth
- EyeJitterP2P
- EyeJitterRMS
- EyeRiseTime
- EyeFallTime

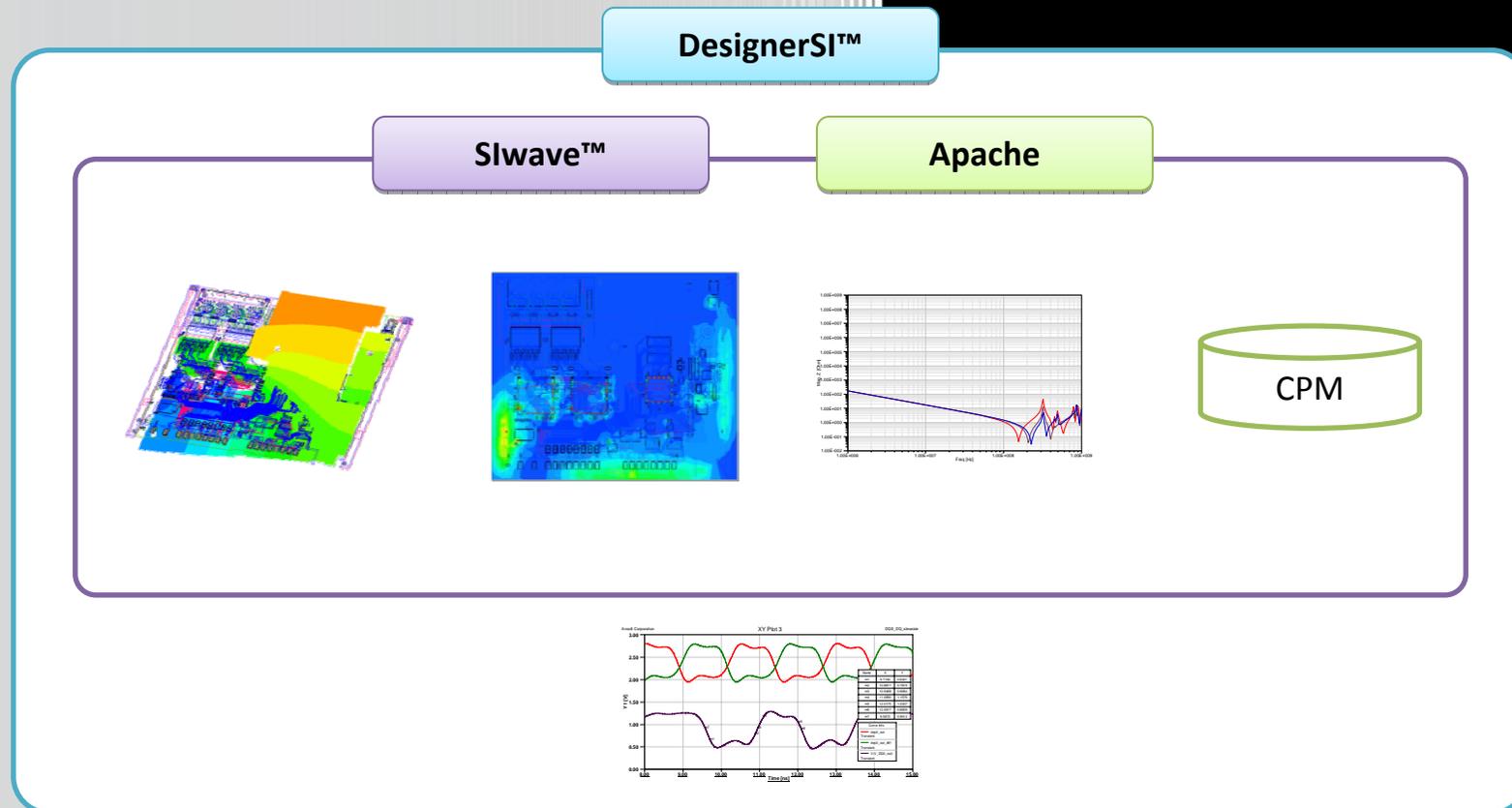
## 電源・グラウンド (PDN) 設計 - Power In

- 大規模な特性抽出・モデリング
  - 全体モデル、多ノード、多層、対策部品 (コンデンサ)
  - 周波数依存性、損失
  - 対策部品 (コンデンサ) の Cut & Try
- SPICE モデル
- IC 内部の電源モデル
- Causality / Passivity



## 電源・グラウンド(PDN)設計 - Power Integrity

- *Extraction* (各種 PI 解析・モデル生成):
- *Simulation* (システム・レベルの波形シミュレーション)

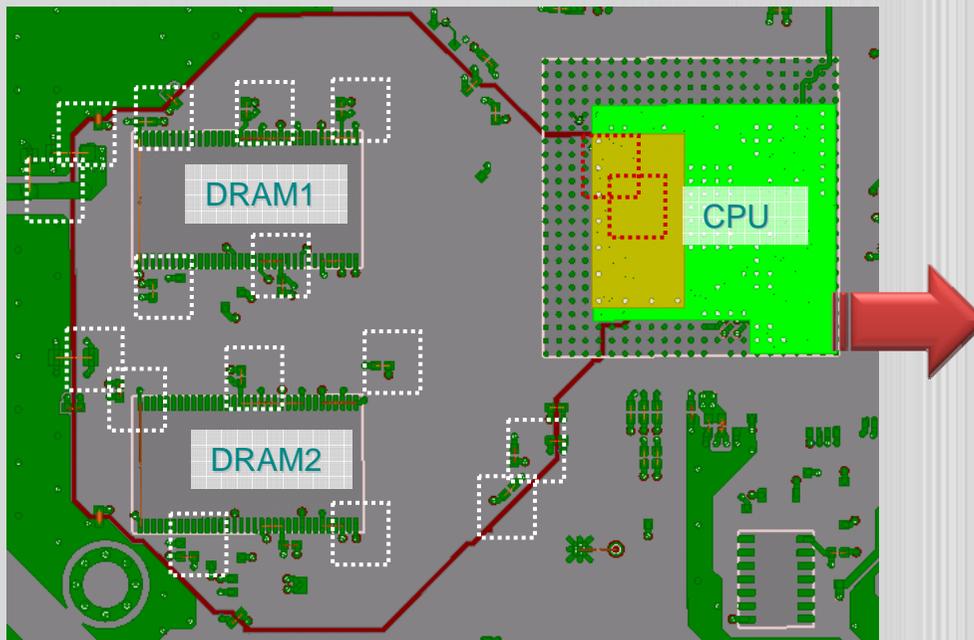


## 解析事例－Power Integrity

- 実基板におけるコンデンサの削減

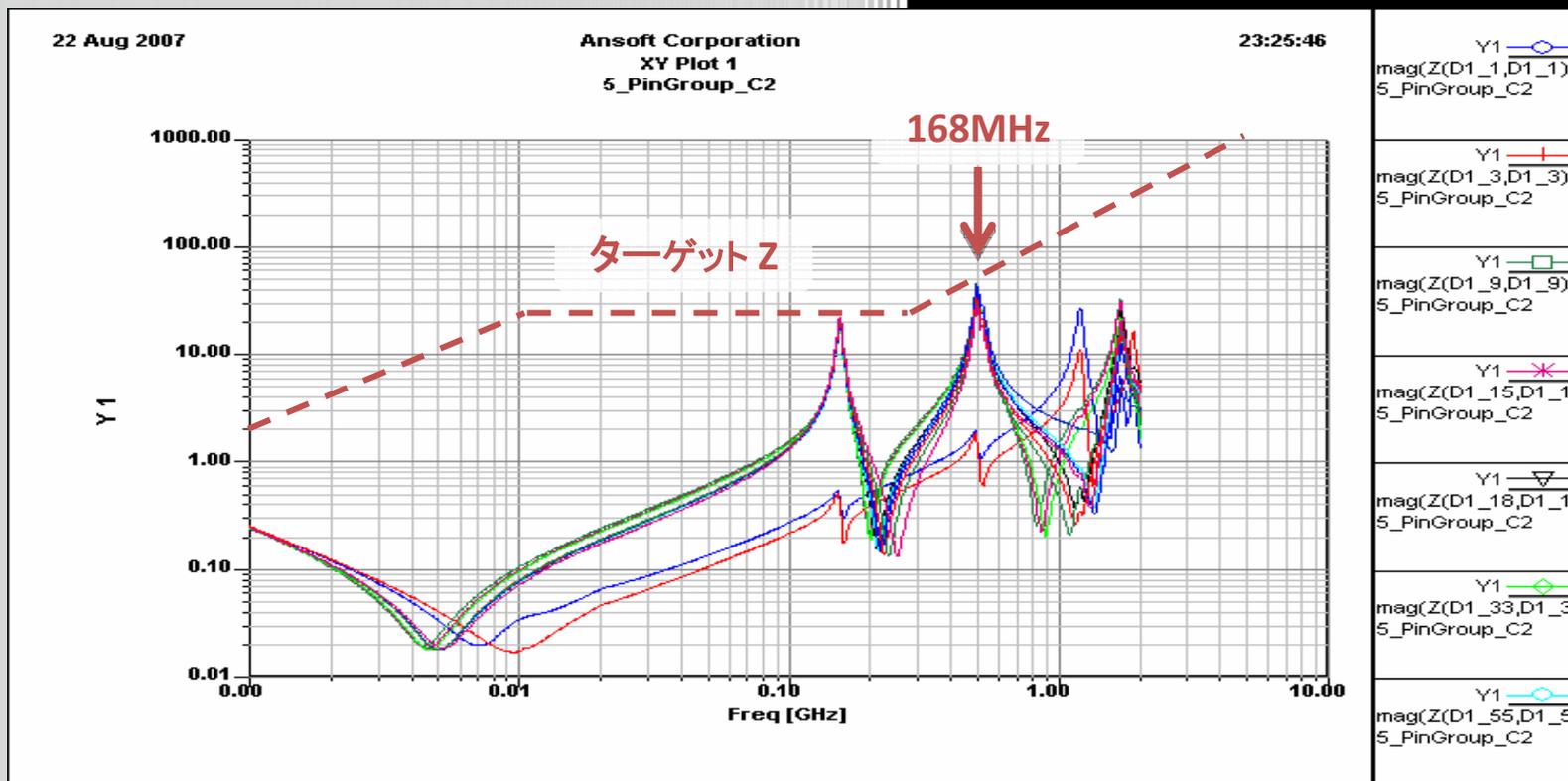
## 【元の基板デザイン】

元のコンデンサ配置(17個)



## 解析事例－Power Integrity

- Z-パラメータ解析結果とターゲット・インピーダンス
- 数回のコンデンサ配置の試行後



SYZ-パラメータ解析 / S

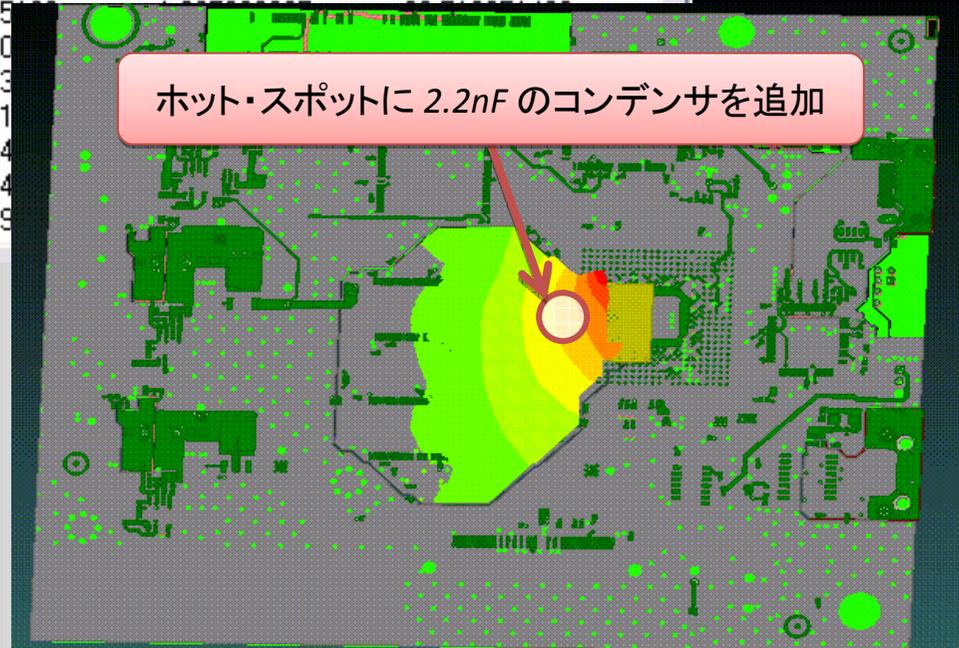
## 解析事例－Power Integrity

- プレーン共振解析
- コンデンサを配置すべき場所は何処か？

Resonant Mode Results

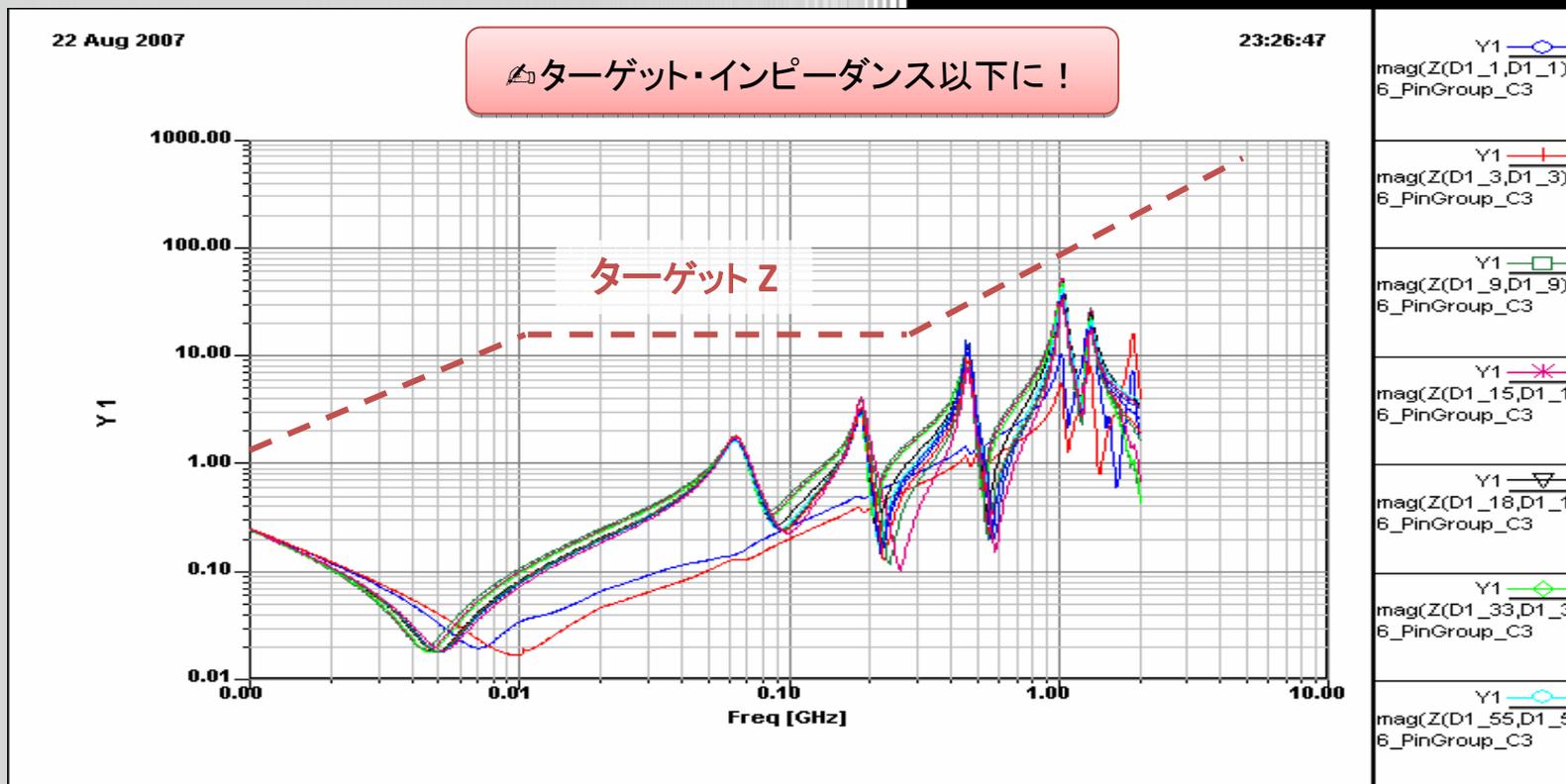
Mode	Re. Freq (GHz)	Im. Freq (GHz)	k	Wavelength (m)	Q
1	0.158419934	0.002979851	3.15256870	1.993836759	25.244455988
2	0.167535123	0.000198263	3.51127653	1.789430499	422.507259200
3	0.183933662	0.000218435	3.38071521	1.578406135	434.753747700
4	0.214860923	0.003304901	4.50315		
5	0.239970492	0.000257497	5.02940		
6	0.243693498	0.000893780	5.10743		
7	0.265697827	0.003089784	5.56861		
8	0.275628672	0.000328220	5.77674		
9	0.286888845	0.002029517	6.01274		
10	0.308767921	0.000481762	6.47129		

Resonant Mode 解析 / SIwave™



## 解析事例－Power Integrity

- Z-パラメータ解析結果とターゲット・インピーダンス
- 最終レイアウト



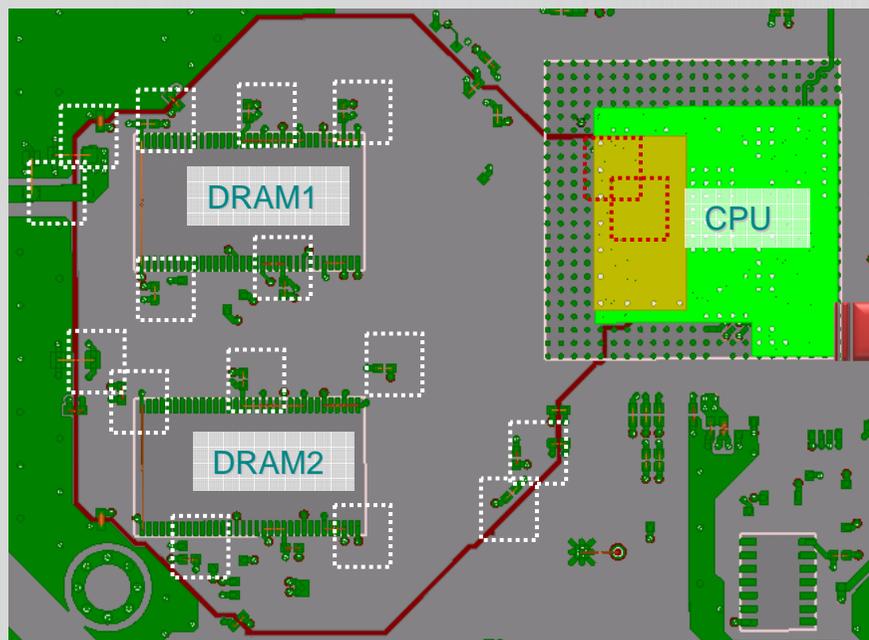
SYZ-パラメータ解析 / S

## 解析事例－Power Integrity

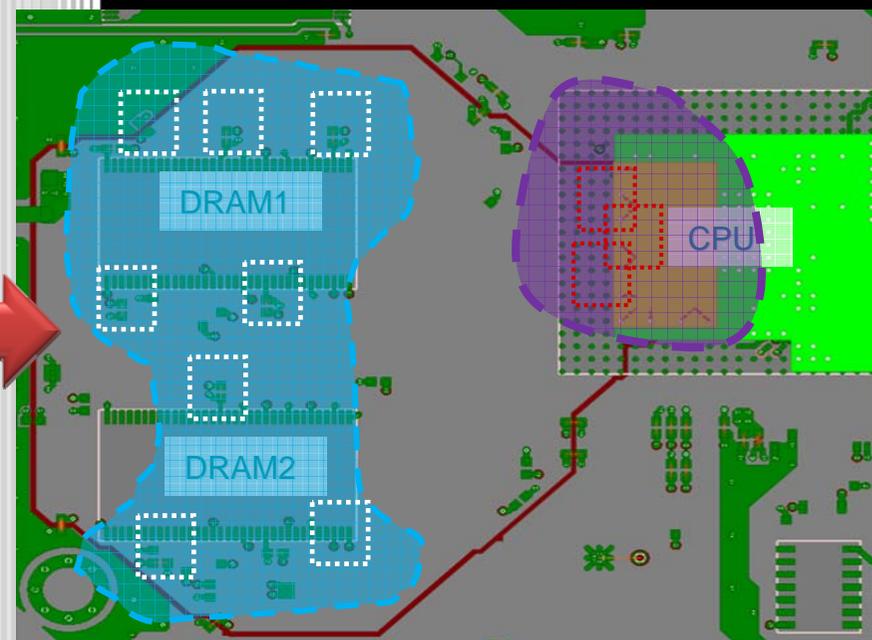
- 実基板におけるコンデンサの削減

【元の基板と改善後の基板の比較】

元のコンデンサ配置(17個)



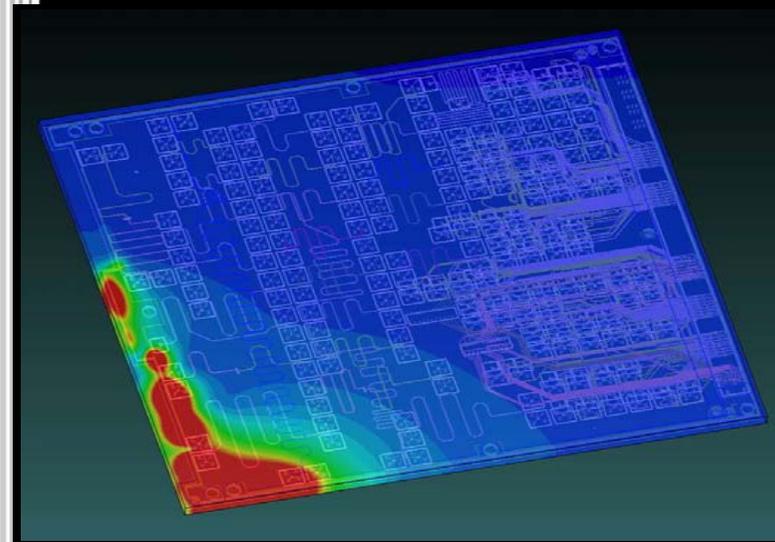
11個



△35%のコンデンサを削減！

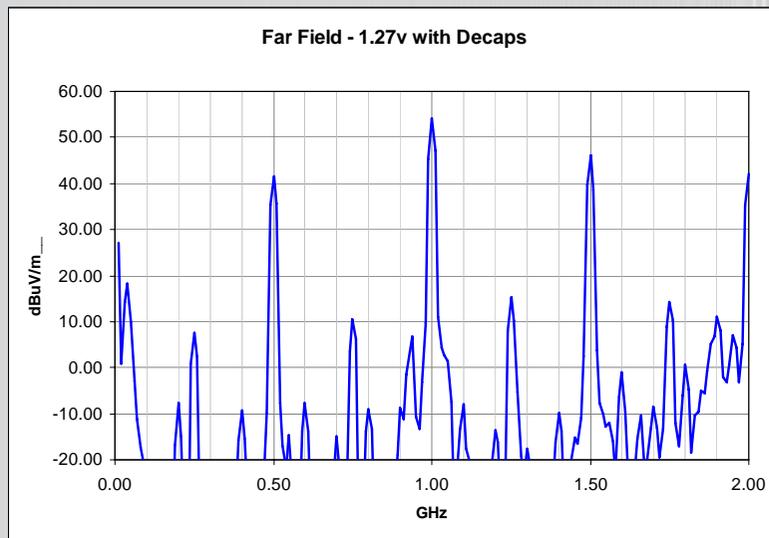
## EMI / EMC

- 仮想試験環境
  - 実動作状態の再現
  - 対策の Cut & Try
  - 近傍界、遠方界



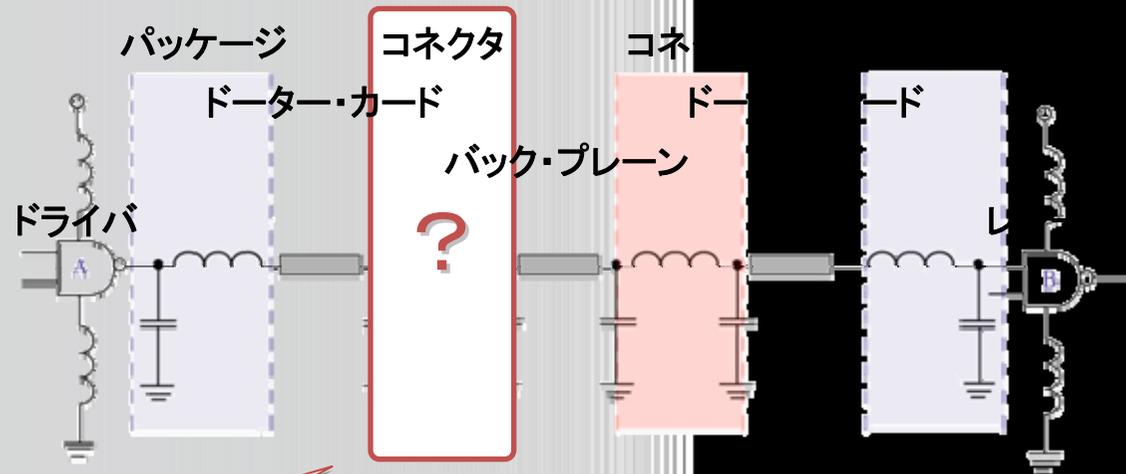
## EMI / EMC

- 試験内容によってはシミュレーションで
- 対象ソフトウェア: HFSS™、SIwave™、(+

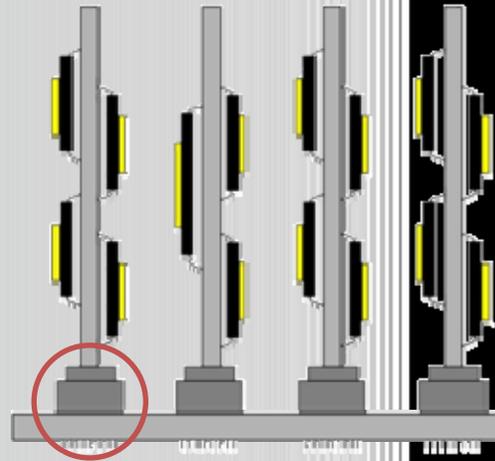
3m遠場の電界強度(dB  $\mu$  V/m) / SIwave™

# 測定機器との協調

シミュレーションができない！



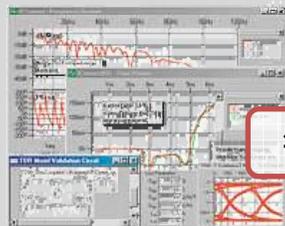
コネクタ・モデルの SPICE  
モデルや S-パラメータが  
入手出来ない！



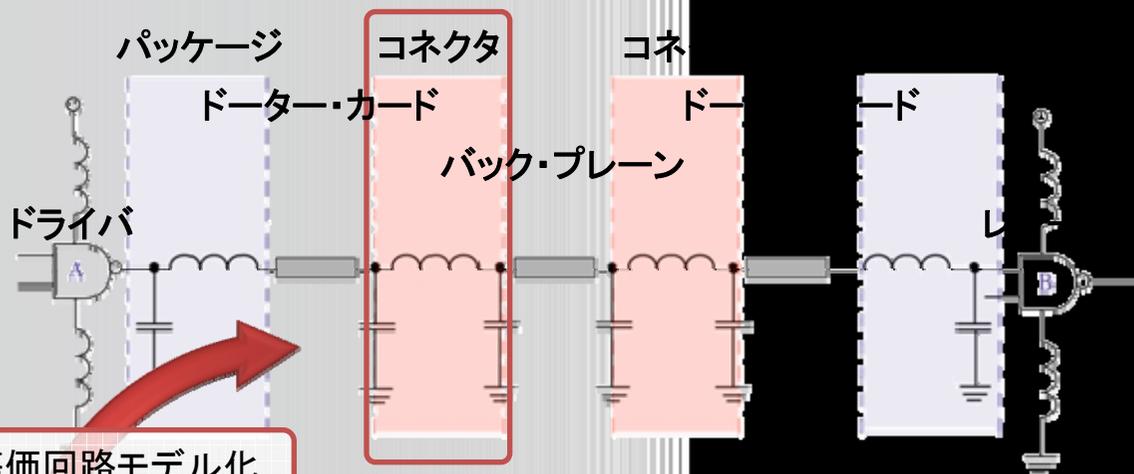
コネクタ

# 測定機器との協調

Iconnect™ で測定結果から等価回路

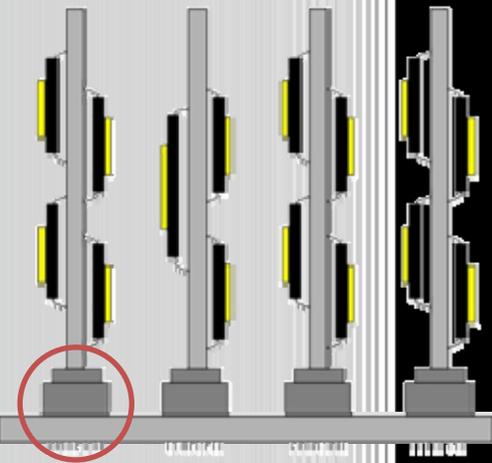


Iconnect™

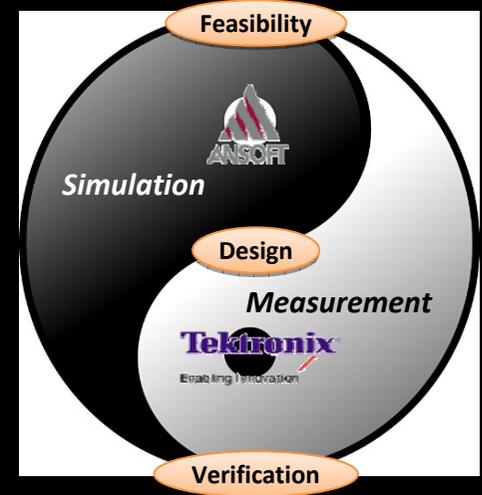


等価回路モデル化

電気特性を測定



コネクタ



# 最新の解析

誠に恐縮ではございますが、  
本セクションの一部を配布付加とさせていただきます。  
完全な資料のご要望につきましては、下記までお問い合わせ下さい。

アンシス・ジャパン株式会社  
技術部 第4グループ

渡辺 亨

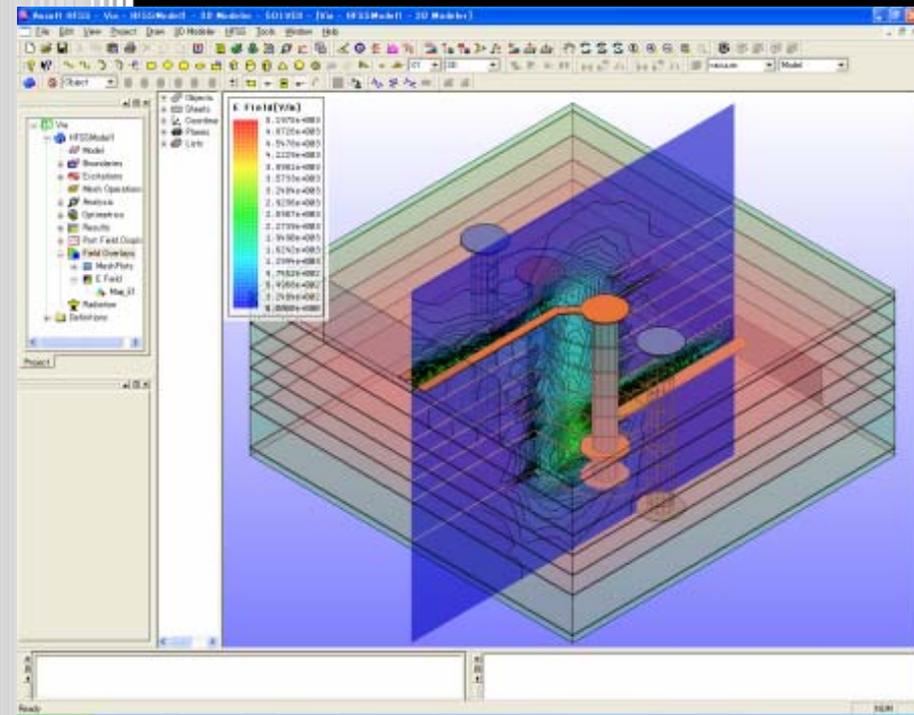
TEL: 03-5324-7357

E-mail: [toru.watanabe@ansys.com](mailto:toru.watanabe@ansys.com)

# 要素技術の

## HFSS™ の概要

- フルウェーブ3次元電磁界解析
- 3次元有限要素法 & モーメント法
- 周波数領域 & 時間領域
- SYZパラメータ抽出、  
近傍・遠方電磁場、etc...



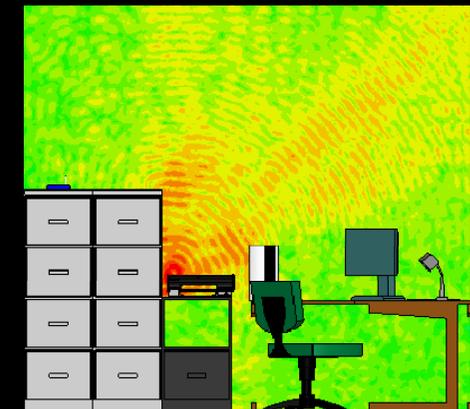
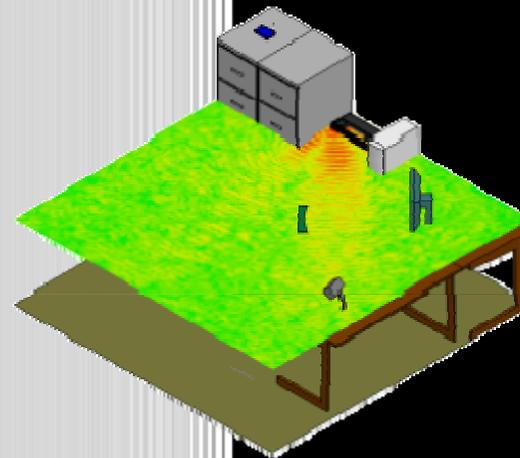
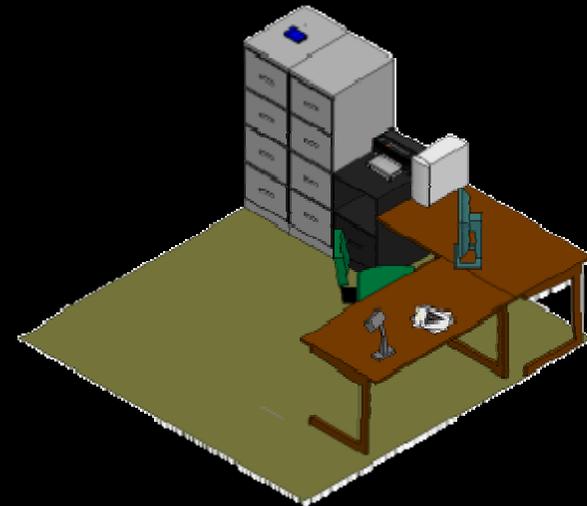
- **メッシュ生成**
  - TAU メッシャー
  - Curvilinear Mesh
- **解析**
  - Domain Decomposition
  - IE ((MoM) Integral Equation) ソルバ
  - Hybrid ソルバ: HFBI (Finite Element Bound)
  - Time Domain ソルバ

## 電解析事例. 1

- ワイヤレスプリンタとアクセスポイントの通信

## 【解析の概要】

- 部屋の大きさ:  $25 \lambda \times 25 \lambda \times 22 \lambda$
- 解析周波数: 2.44GHz
- プリンタとアクセスポイントのカップリング: -57dB
- 16コアのPCで解析
- メッシュ数: 846,000
- Domain数: 15
- 総使用メモリ: 32GB
- Domain毎の平均使用メモリ: 2GB



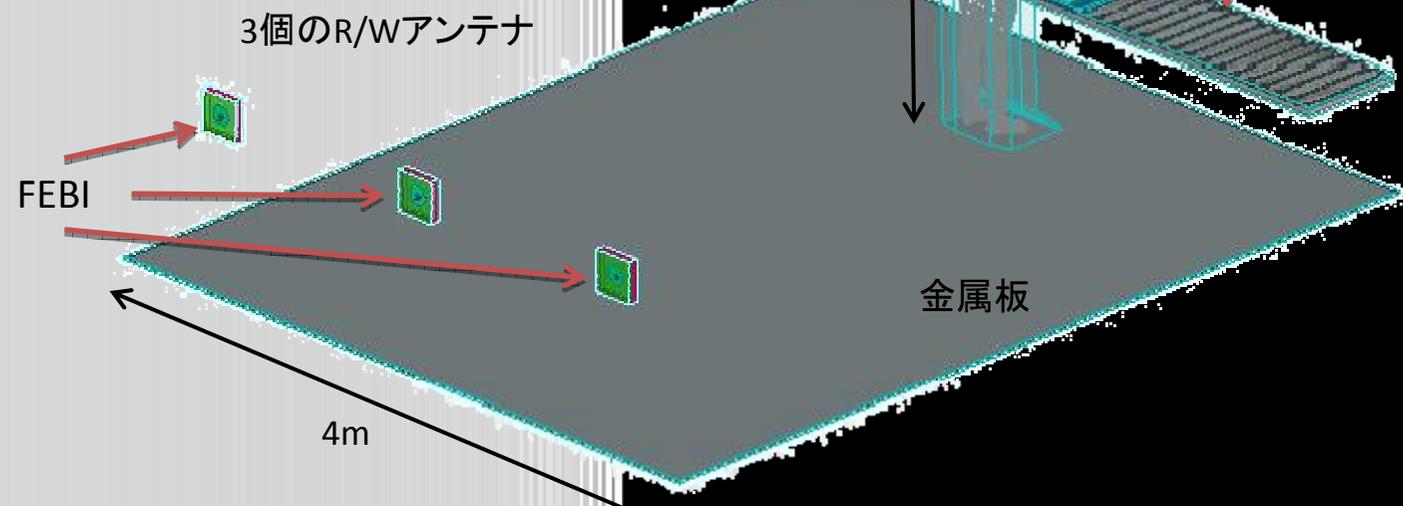
👉 2~3GB程度のRAM搭載PCで解析可！

## 電解析事例. 2

- RFID周辺環境を考慮した解析

## 【解析の概要】

- RWアンテナとタグの間に人体を配置
- 地面には金属板を配置
- 人体による電磁場遮蔽の影響を確認



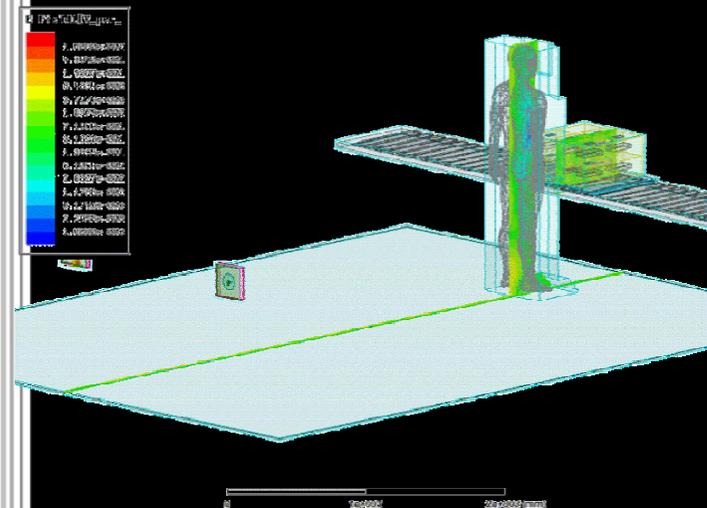
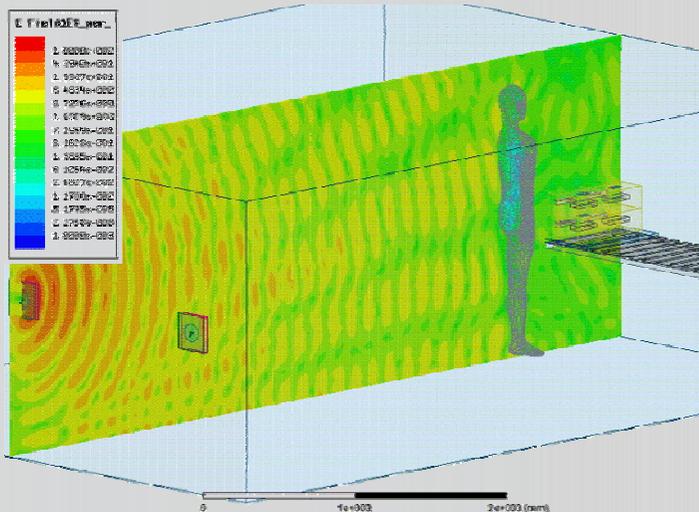
## 電解析事例. 2

- RFID周辺環境を考慮した解析

### 【解析結果】

境界条件	空気体積	使用メモリ(GB)
FEBI	0.5k $\lambda^3$	16
Radiation	2.2k $\lambda^3$	33

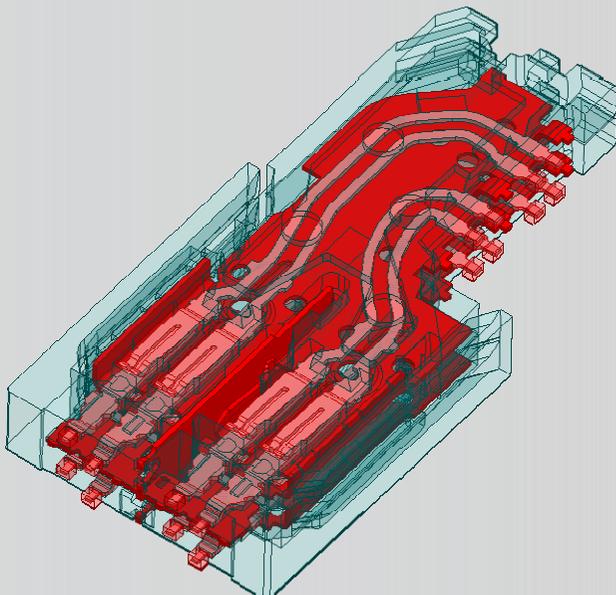
使用メモリが半減



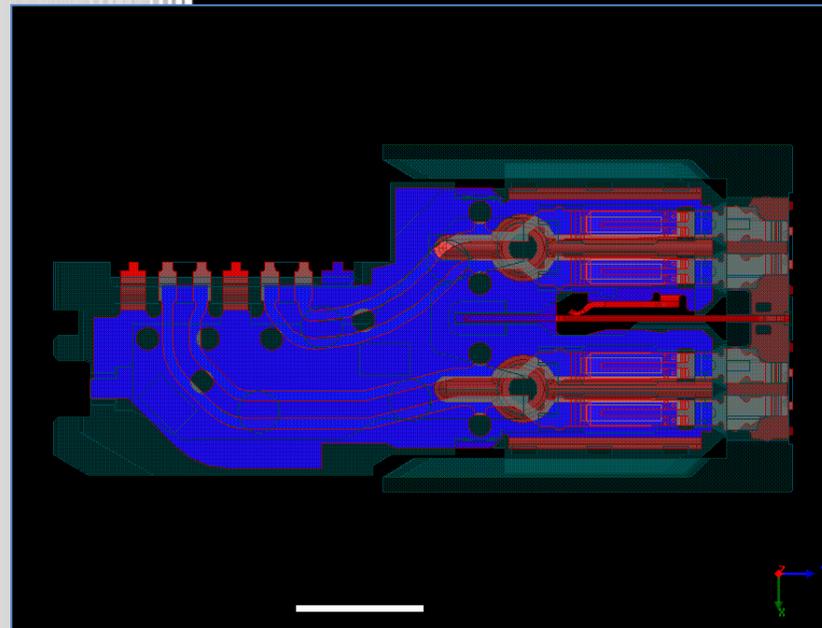
Radiation境界  
September 12,  
2011

## 電解析事例. 3-1

- Molex社GBXコネクタ
- 電磁場の過渡応答のプロット

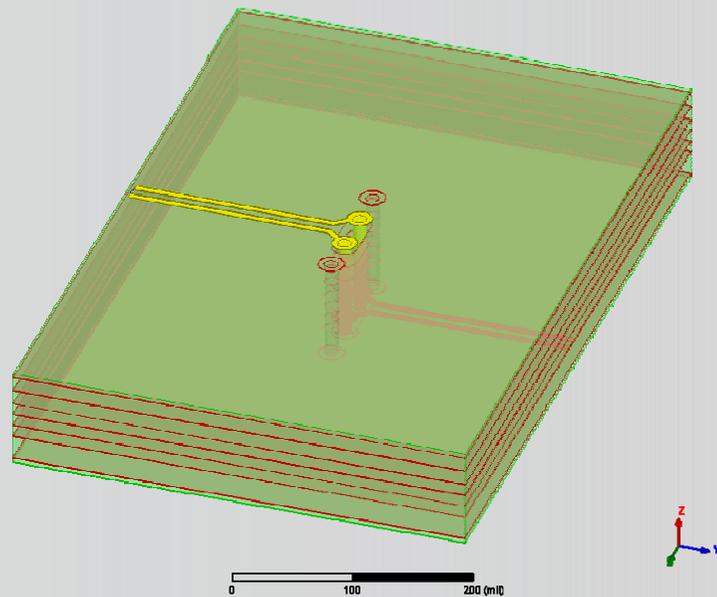


解析モデル

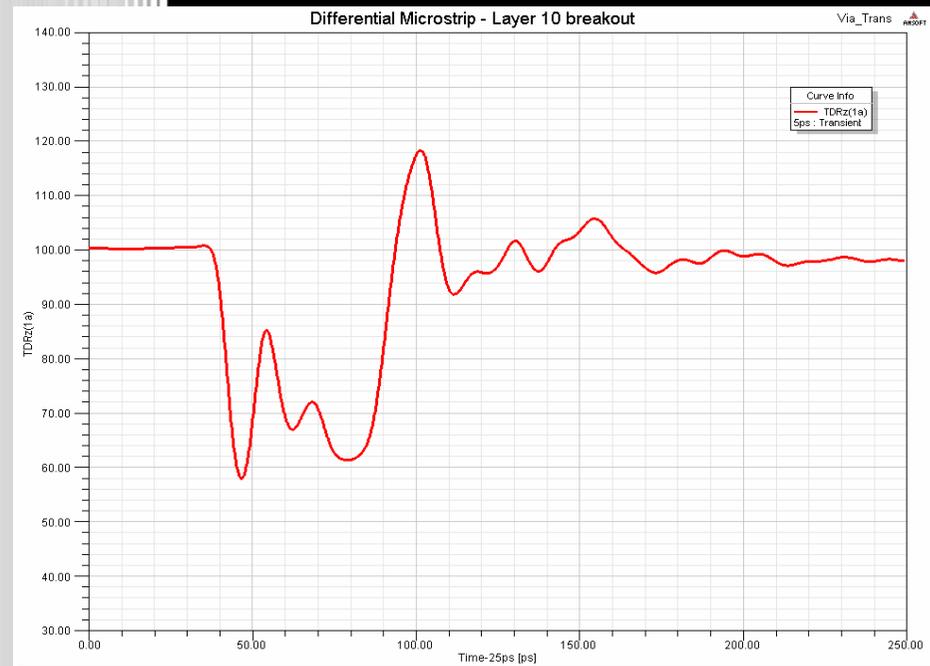


## 電解析事例. 3-2

- TDR
- 12層差動ビア ( $Z_{Diff}=100 \Omega$ )



解析モデル

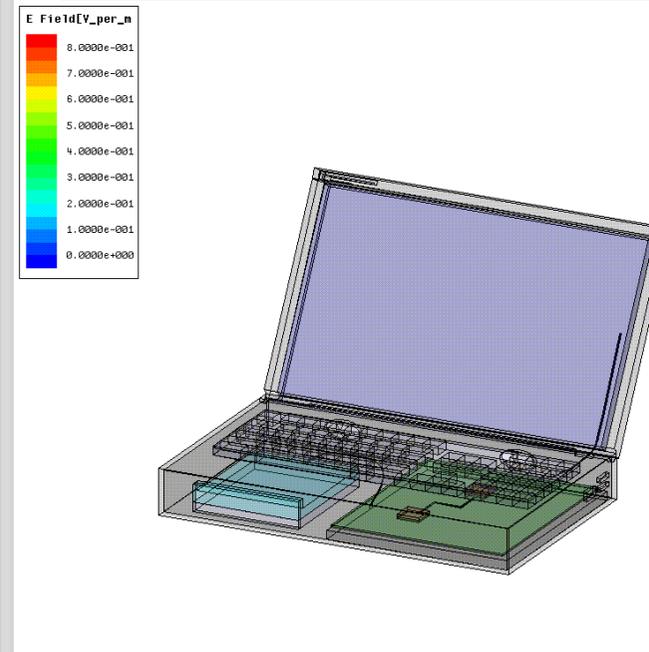
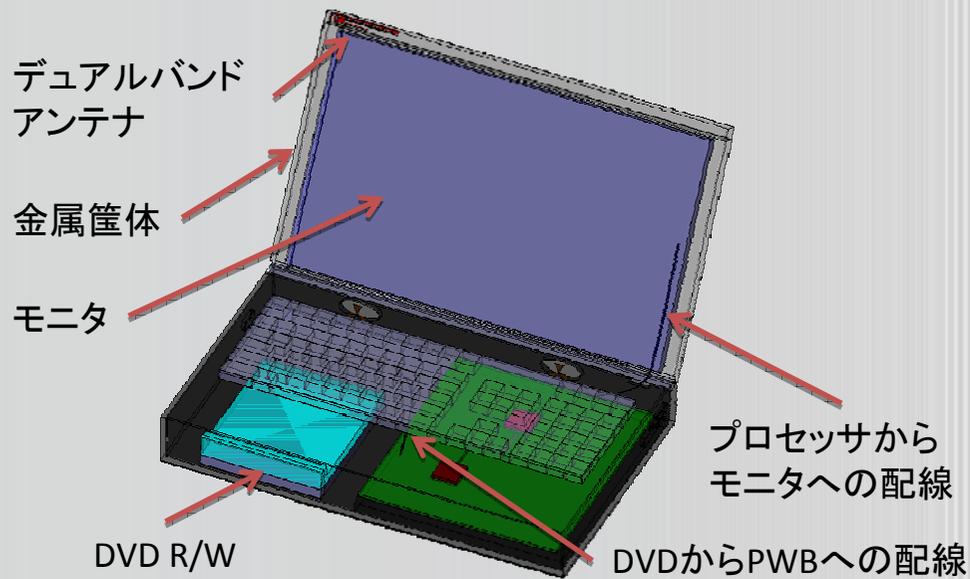


## 電解析事例. 3-3

- イミューニティ解析

## 【解析の概要】

- 平面波を電子機器に与えた際のノイズ量を確認
- 波源は1.6V/m (peak to peak) の平面波



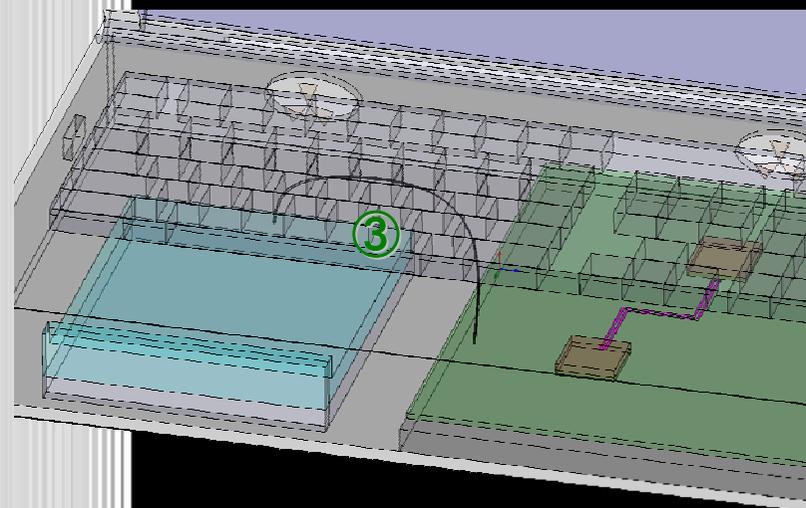
解析モデル

## 電解析事例. 3-3

- イミュニティ解析

## 【観測点】

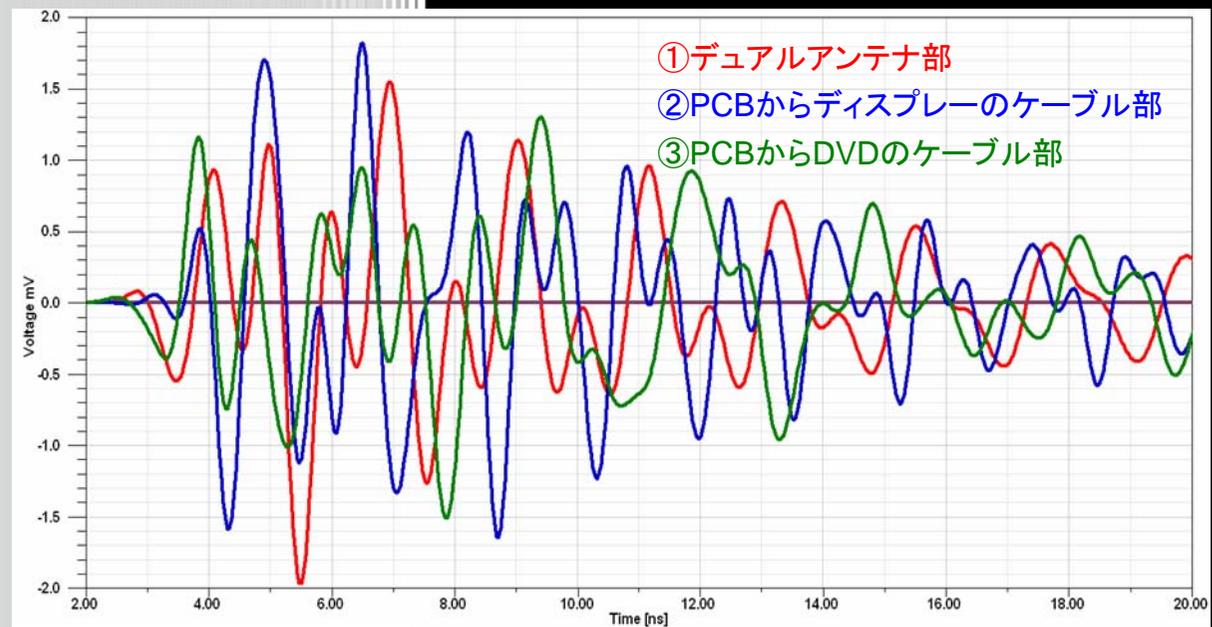
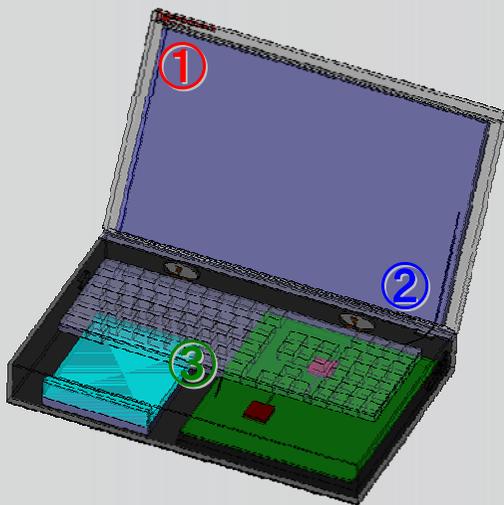
- ① デュアルアンテナ部
  - ② PWBからディスプレイの配線部
  - ③ PWBからDVDへの配線部
- ※ 各線路の終端部を観測



## 電解析事例. 3-3

- イミューニティ解析

## 【解析結果】



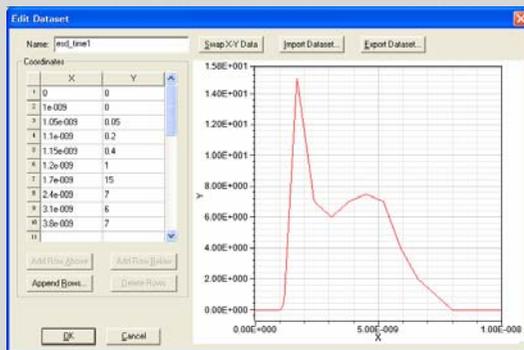
時

## 電解析事例. 3-4

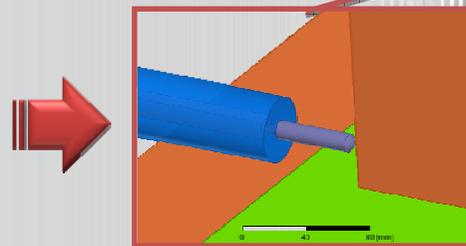
- 仮想 ESD 測定環境

## 【解析の概要】

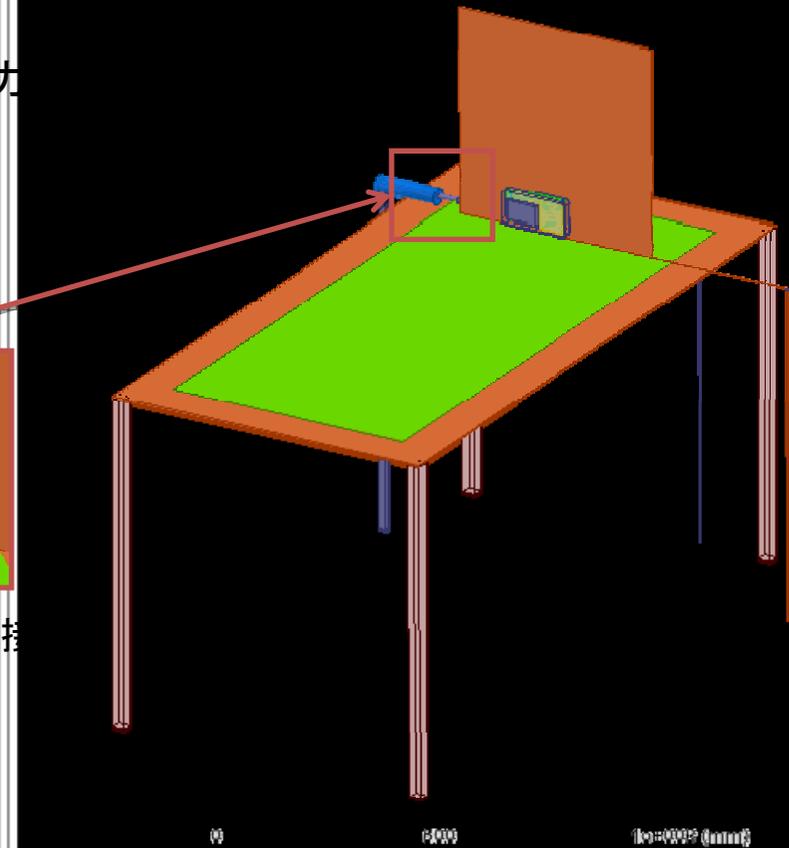
- 垂直結合板に放電ガンを接地し過渡波形を入力
- 電界強度分布を解析



入力波形(時間対電圧)



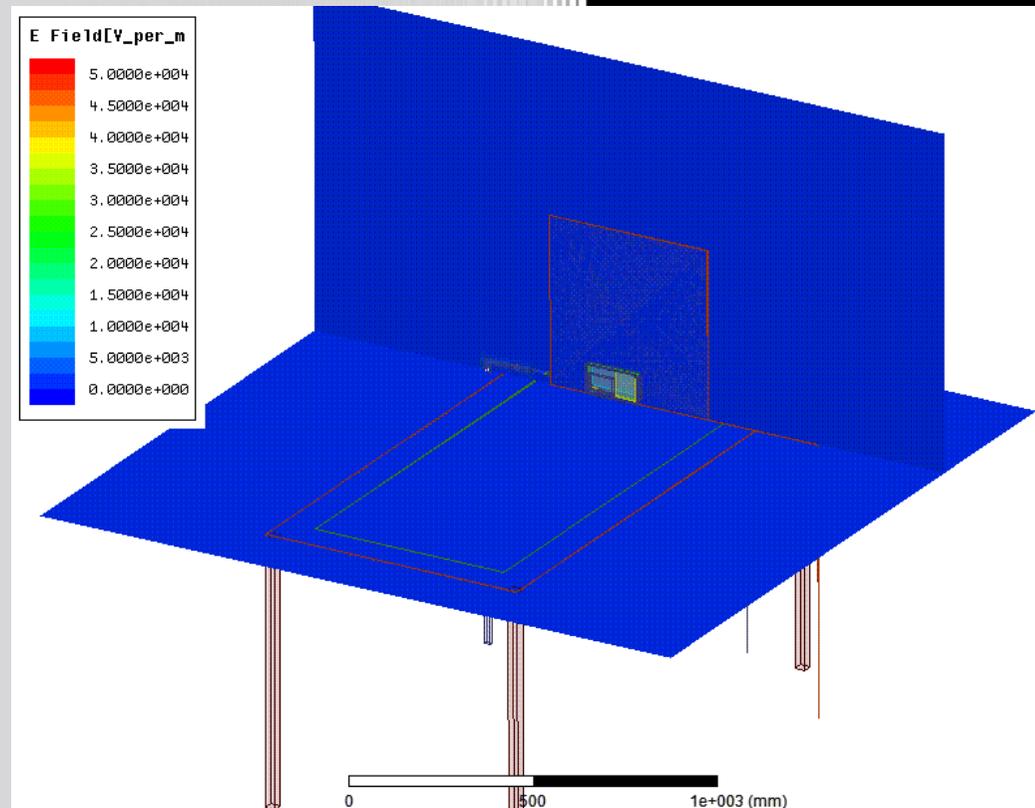
垂直結合板に放電ガンを接



## 電解析事例. 3-4

- 仮想 ESD 測定環境

## 【解析結果】



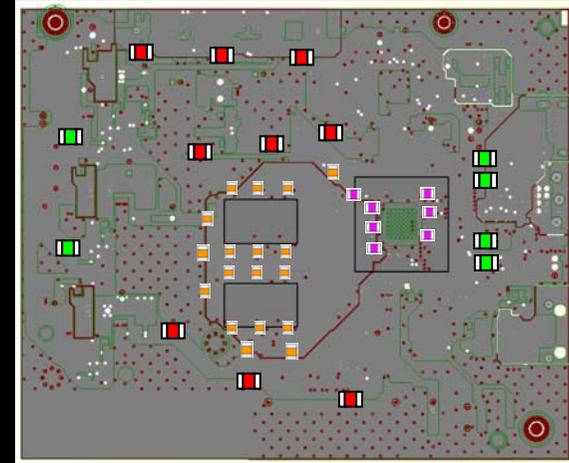
電界強度分布(時

## PI Advisor (Add-On モジュール)

このコンデンサは必要か？

もっと安価な部品が使えるのでは？

コンデンサの搭載点数を  
減らしてコストを削減したい

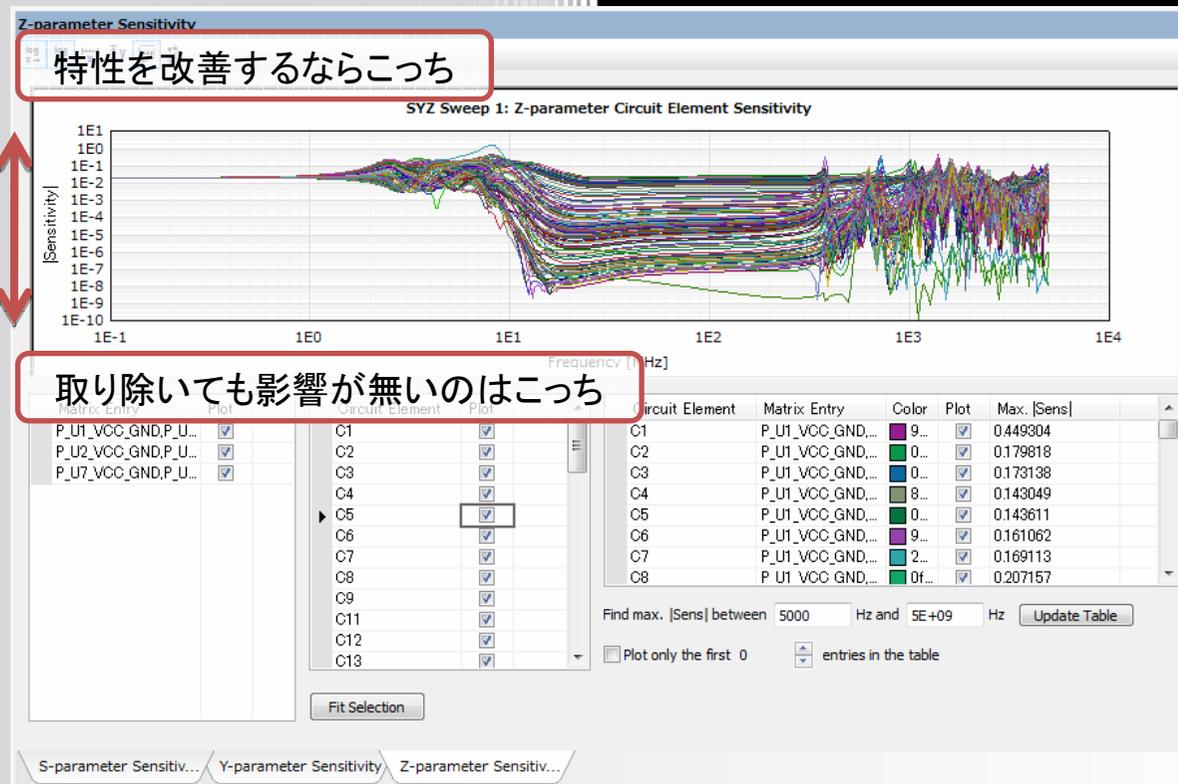


## PI Advisor (Add-On モジュール)

- 感度解析
  - 指定したポートに対するコンデンサの感度を調

感度: 高  
電気特性への影響大

感度: 低  
電気特性への影響小



## PI Advisor (Add-On モジュール)

- 自動最適化
  - 指定した部品リストから、コストなど指定した項目を組み合わせを調査

The screenshot displays the ANSYS PI Optimizer Wizard Step 3 interface, which is used for selecting and optimizing capacitors. It includes several key components:

- Capacitors Selected for Optimization:** A list of capacitor parts with their reference designators and values.
- Assigned Candidate Models:** A list of candidate capacitor models from various vendors like AVX, Murata, Panasonic, Samsung, TDK, and YUDEX.
- Impedance Plot:** A 3D surface plot showing impedance [Z11] [ohm] versus Frequency [MHz].
- Optimization Results:** A table showing the goodness of fit, price, number of capacitors, and types for different optimization schemes.
- Capacitors Selected for Scheme 8:** A detailed list of the specific capacitor parts chosen for the optimal scheme, including their values, vendors, series, and part numbers.
- Impedance at port "P\_U1\_VCC\_GND" for Scheme 8:** A 2D line plot showing the impedance [Z11] [ohm] versus Frequency [MHz] for the selected scheme, with a red shaded region indicating a target range.

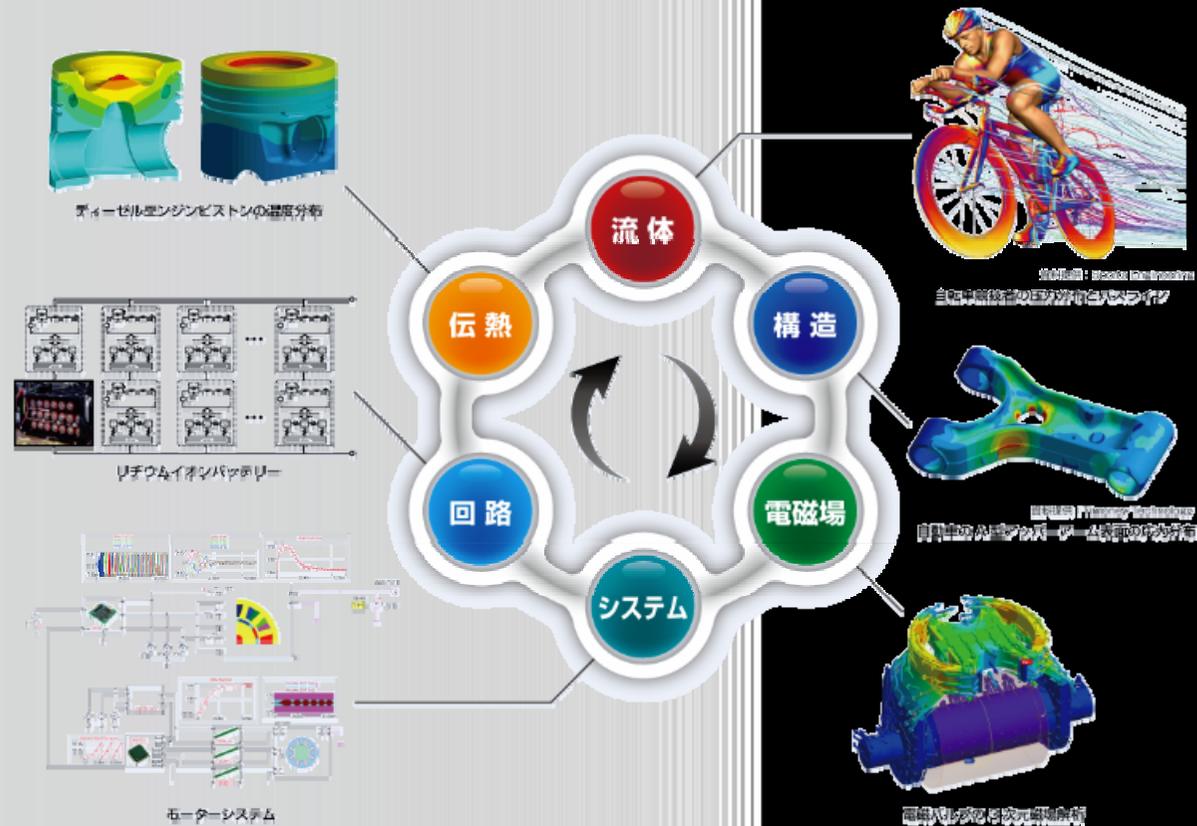
# マルチ・フィジクス

- 電磁気、熱、構造、e

# マルチ・フィジックス

## ANSYS 社

- 多岐の分野に渡り、電磁場、伝熱、熱流体、解析・シミュレーション環境を提供する CAE 企業



## 例.) 電磁場－熱流体の連成解析

- Slwave™ ⇔ Icepak の連成

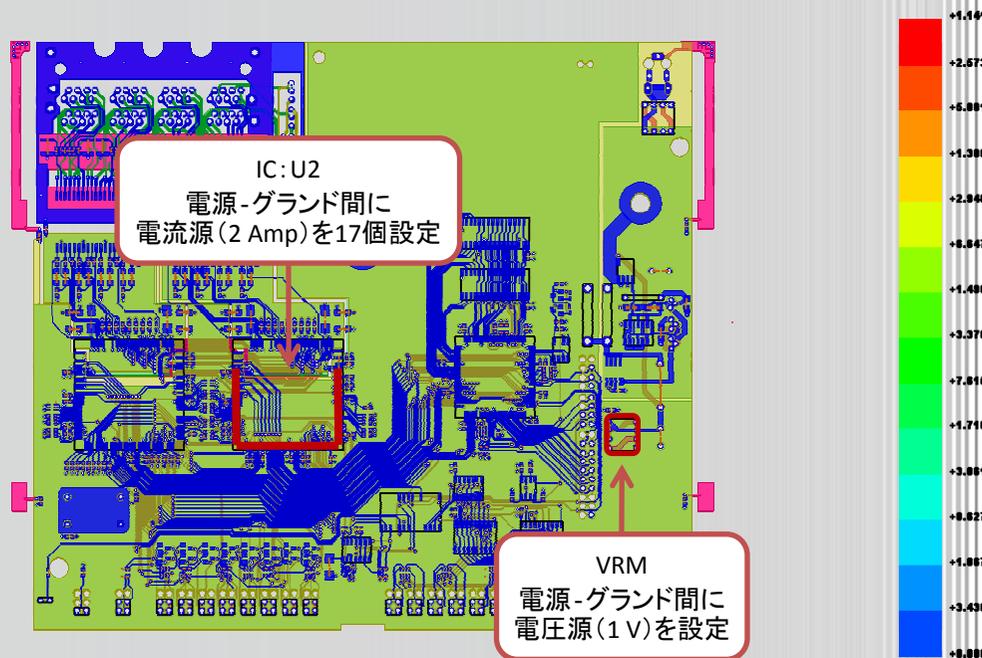


## 解析事例

- PWBの電源・グラウンドのジュール熱の影響

## 【DC電流／電圧解析 (SIwave™)】

- IC: U2に電流源(2A)を17個、VRMに電圧(1V)を



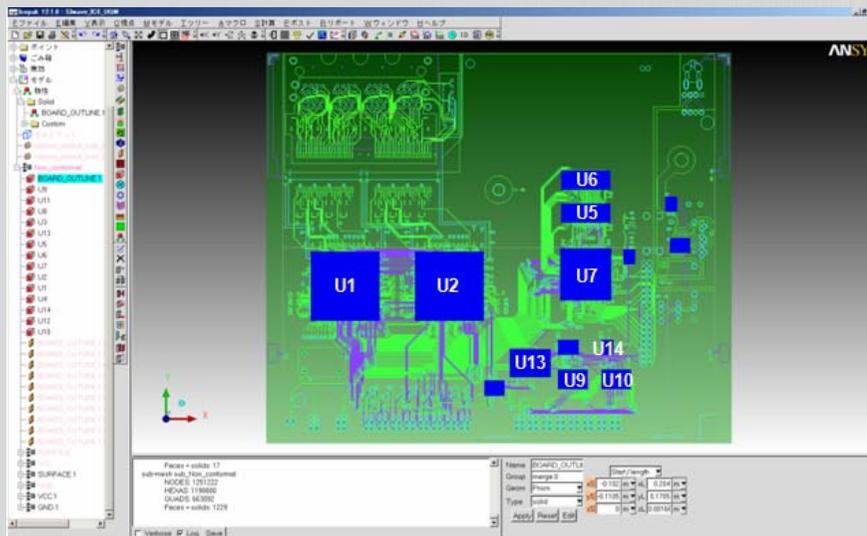
## 電流源・電圧源の設定

## 解析事例

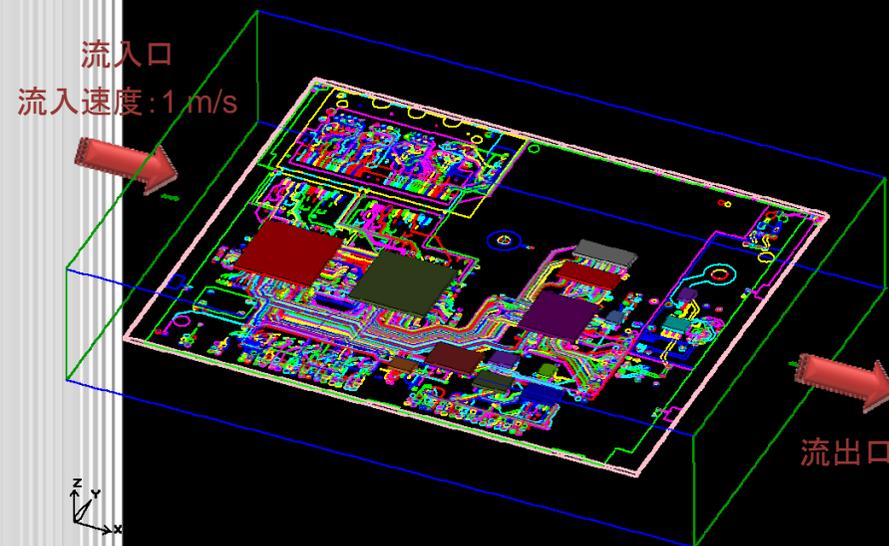
- PWBの電源・グラウンドのジュール熱の影響

## 【熱流体解析 (Icepak)】

- SIwave™ で解析電力分布をインポート
- 各部品に発熱量(0.2~3W)、空気の流速(1m/s)



インポートされた部品

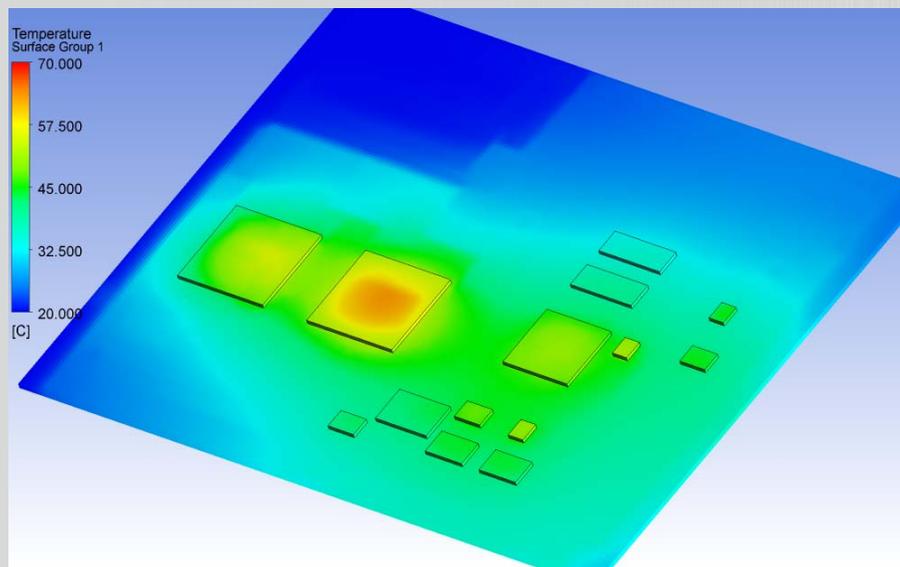


## 解析事例

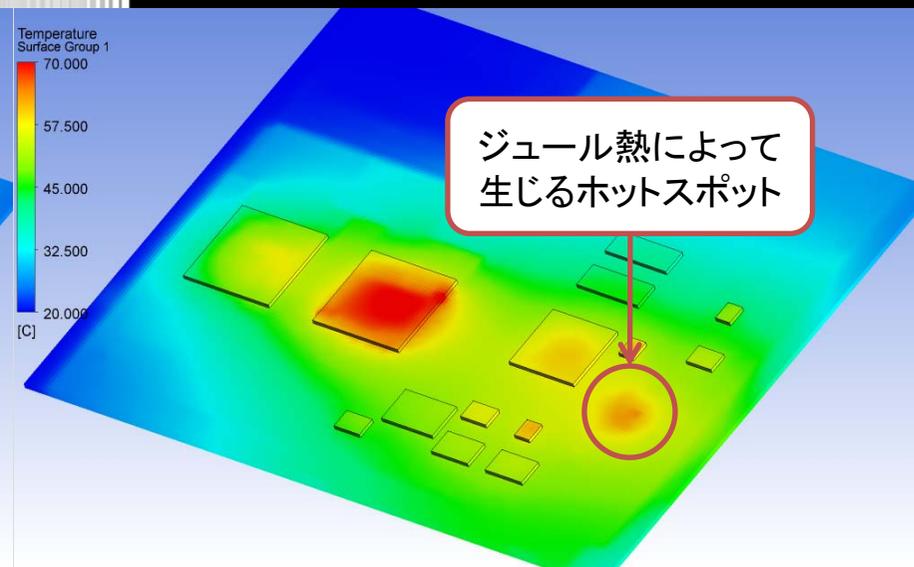
- PWBの電源・グランドのジュール熱の影響

## 【熱流体解析(Icepak)】

- SIwave™ で解析電力分布をインポート
- 各部品に発熱量(0.2~3W)、空気の流速(1m/s)



Icepak: 温度分布(ジュール熱を含まない)



ジュール熱を含む

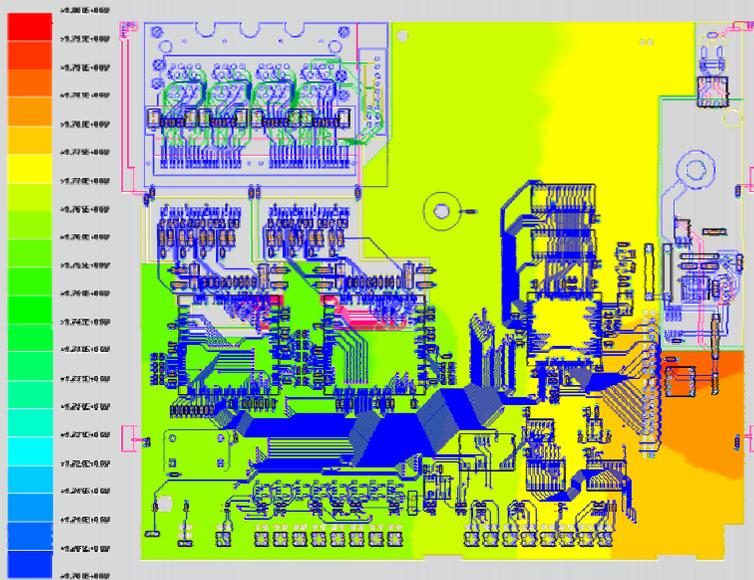
## 解析事例

- 電位降下へのジュール熱の影響

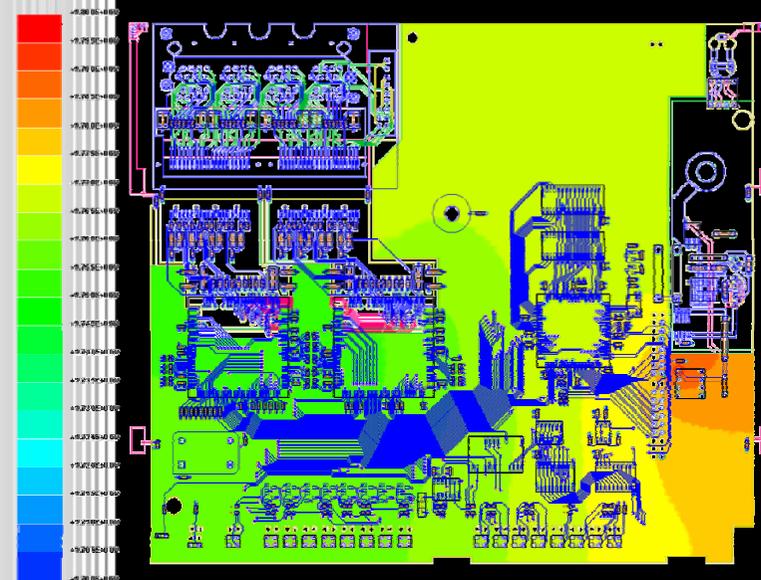
## 【DC電流/電圧解析(SIwave™)】

- 3頁前の設定に加えて ANSYS Icepak で解析した

VCC層の電位分布(電位のレンジ)



SIwave: 温度上昇を考慮せず



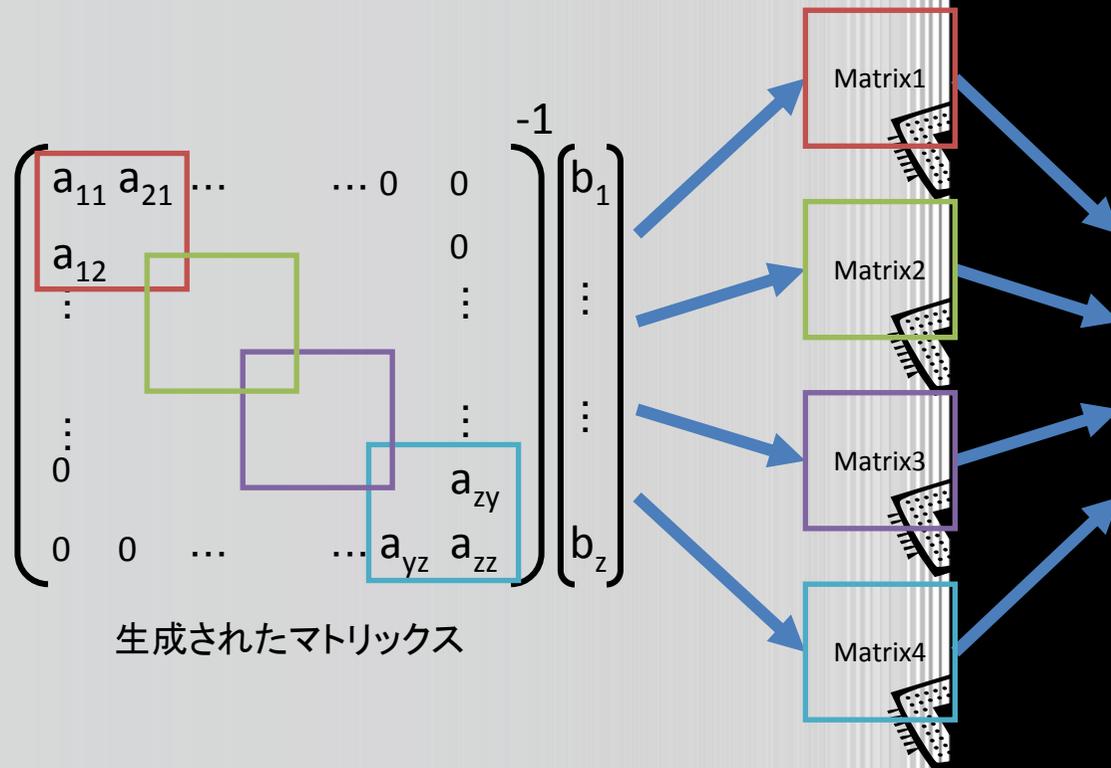
温度上昇を考慮

# ハードウェアの

- マルチスレッド
  - 一つのプロセスを複数のコアで演算する
    - メッシュ生成
    - マトリックス演算
- 分散処理
  - 複数のプロセスを複数のコア、コンピュータで実行する
    - 周波数スイープ
    - パラメトリック解析
    - 解析領域 (Domain Decomposition)
    - 各ポート毎の時間応答 (Time Domain)

## マルチ・スレッド

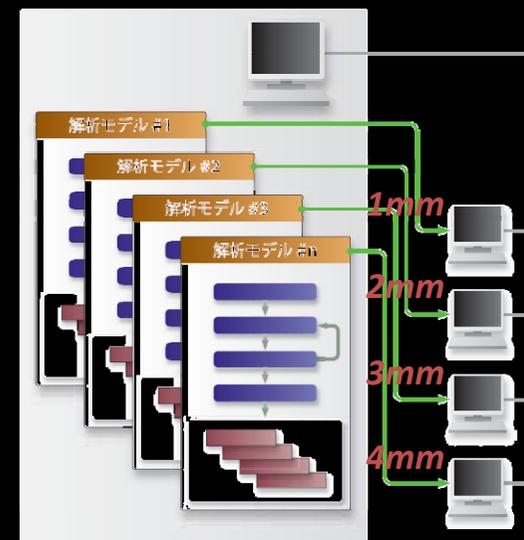
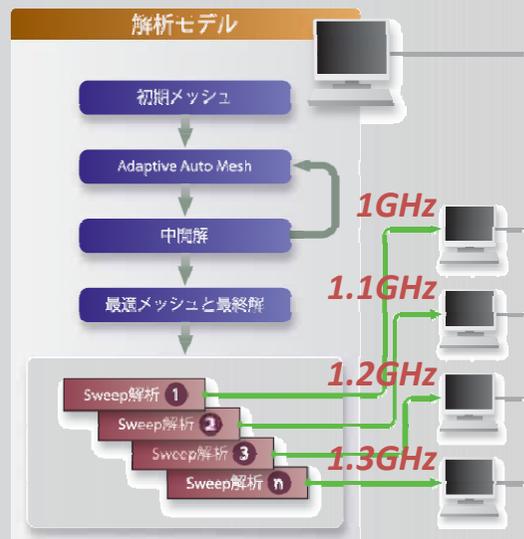
- マトリクス演算の場合: マトリックスを分割し



## 分散処理

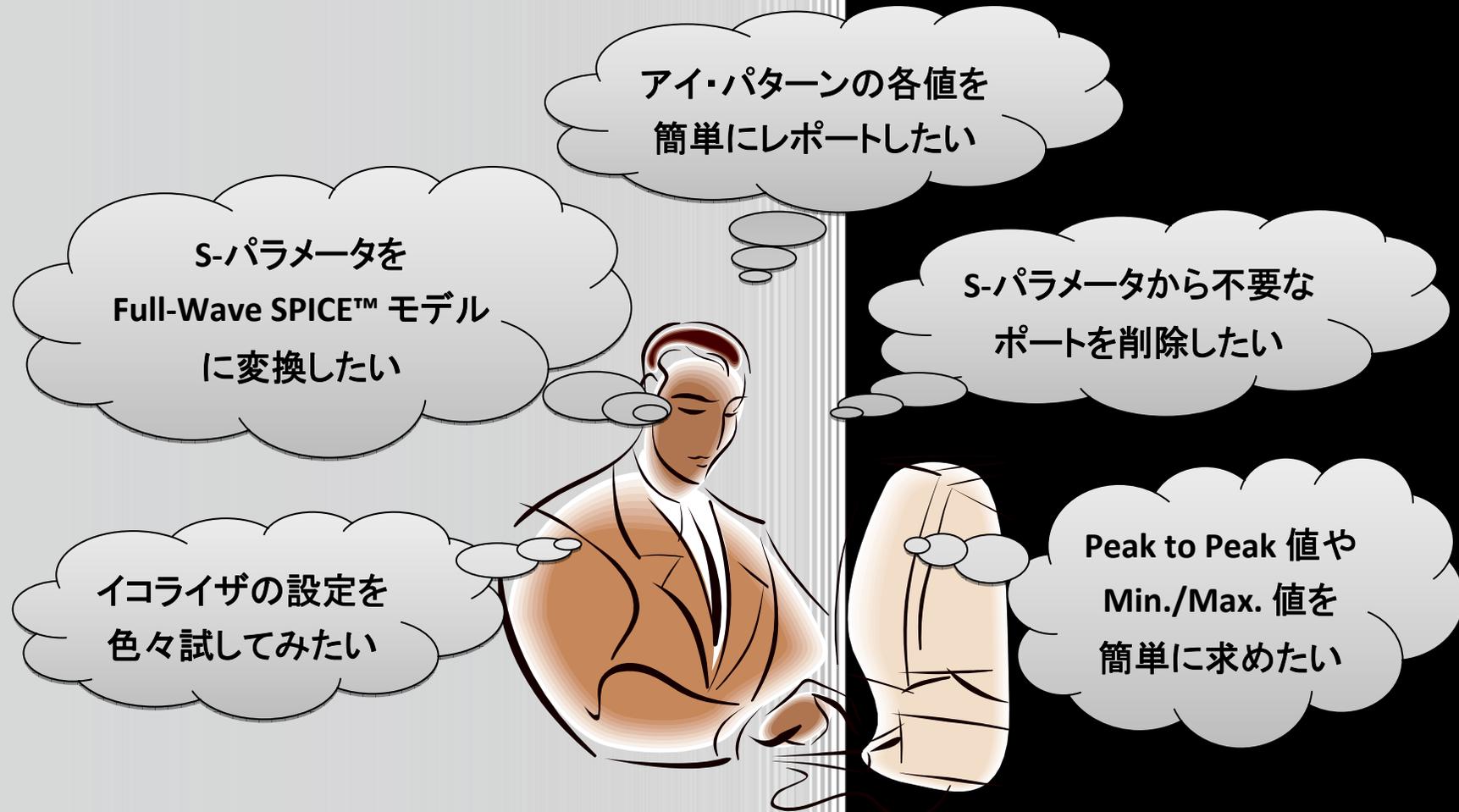
- 複数のプロセスを複数のコア、コンピュータ
- 周波数スイープ
- パラメトリック解析
- 解析領域 (Domain Decomposition) . . . . .
- 各ポート毎の時間応答 (Time Domainソル

周波数スイープ解析の分散



# SI・PI の評価で活躍する

## こんなことを考えたこ



- デスクトップ、スキマティック・エント
- S-パラメータの評価、強制、変換
- 高速シリアル・チャンネルのシミュ
- シミュレーション結果のレポート

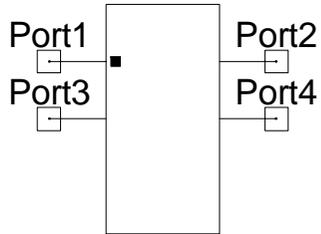
- デモンストレーション -

## デスクトップ、スキーマティック・エントリ

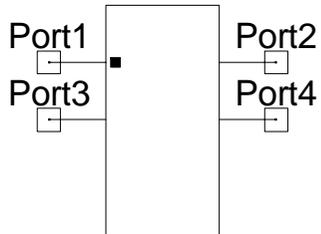
- S-パラメータのリファレンス端子設定の柔軟性
- セミ・オートマティック・ポート・リダクション
- 変数設定と Array 設定
- 電磁界解析との協調解析 (DynamicLink)
- HSPICE® in Designer

## S-パラメータのリファレンス端子設定

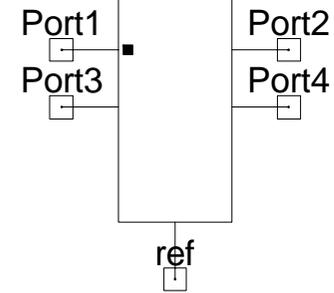
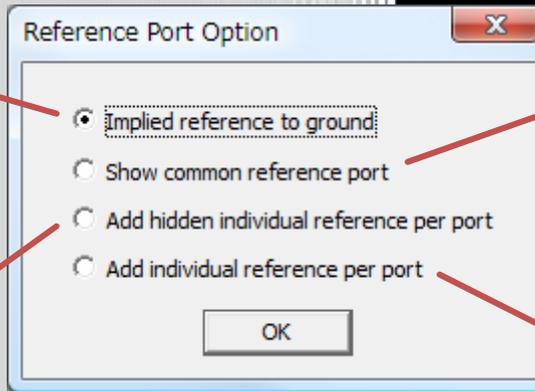
- S-パラメータのリファレンス端子設定のタイプ



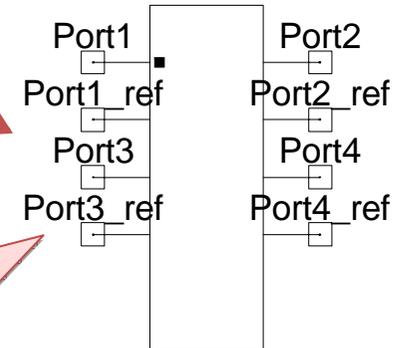
共通リファレンス端子無し



個別リファレンス端子無し



共通リファレンス端子有り

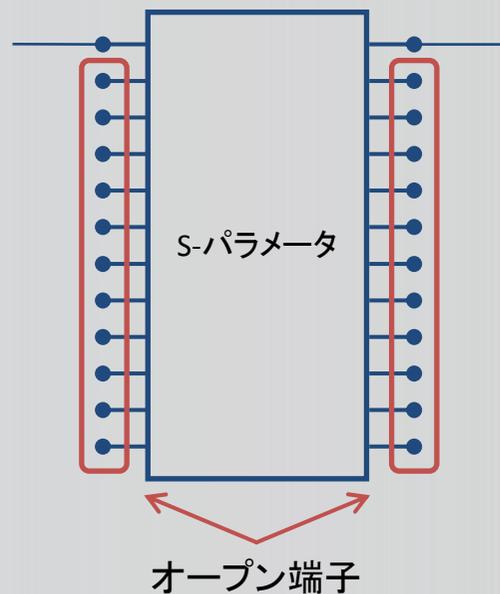


個別リファレンス端子有り

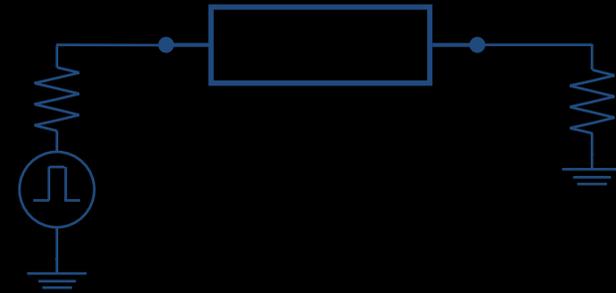
付加される回路により  
リファレンスに電位差  
が生じる場合に適用

## セミ・オートマティック・ポート・リダクシ

- 回路の構成において不要なオープン端子（ポート）を自動的にリダクションすることによって解析時間を短縮



シミュレーション実行  
自動的にリダクション





こんな時に便利！

DDRx メモリ I/F の様な多端子の基板モデル(S-パラメータ)を作成する際、一番大きなビット幅の S-パラメータだけを解析すれば良い。  
例えば、64ビットの S-パラメータを生成すれば、32ビットの場合も16ビットの場合も同じモデルを使って、且つ短時間でシミュレーションできる。

## 変数設定と Array 設定

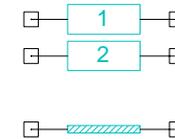
例. ) 変数設定

## DesignerSI™

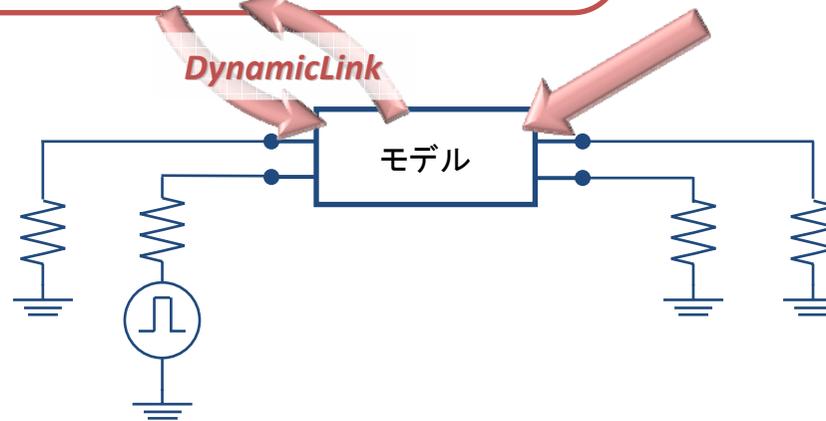
## ANSYS 電磁界解析ソフトウェア

変数設定: Length=\*, Width=\*,  $\epsilon_r$ =\*,  $\tan \delta$ =\*, etc...

## DesignerSI™ のコンポーネント

変数設定: Length=\*,  $Z_0$ =\*, etc...

DynamicLink

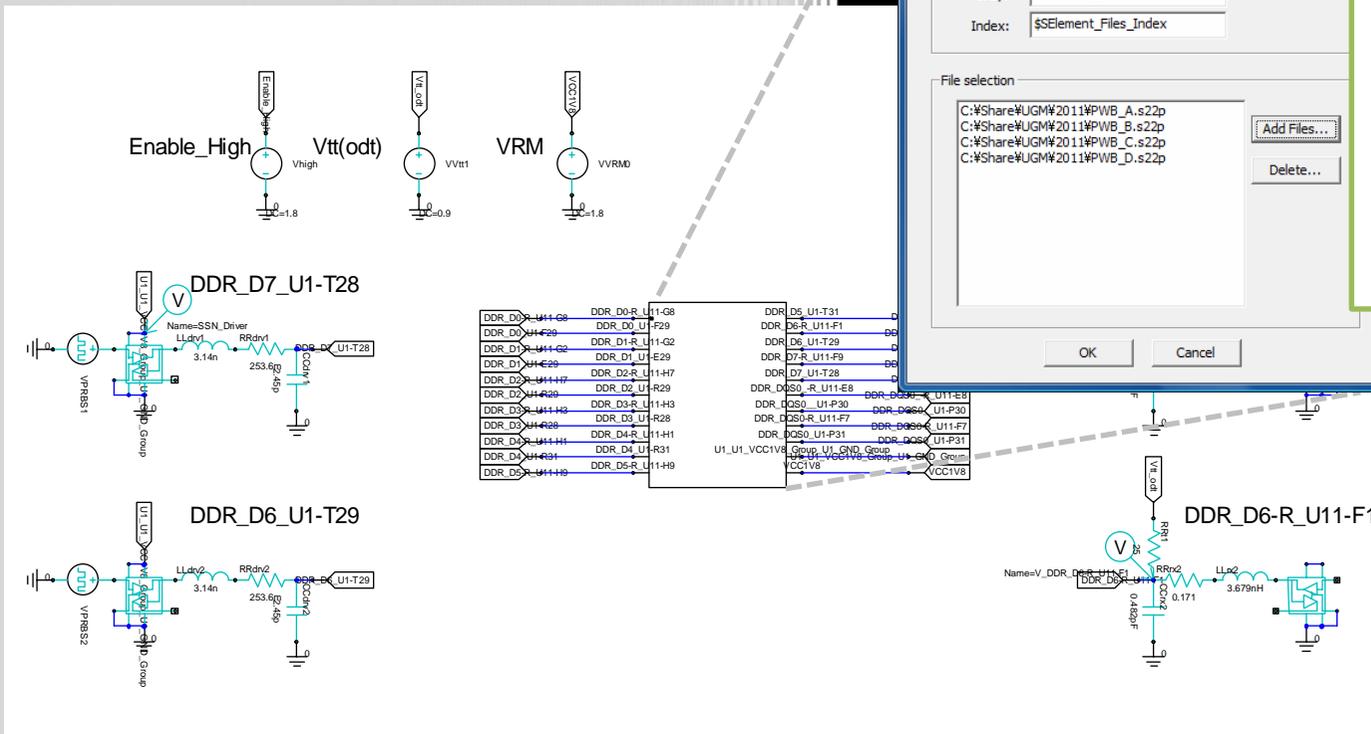


## 【変数のスイープ】

Length = 1mm  
 2mm  
 3mm  
 .....

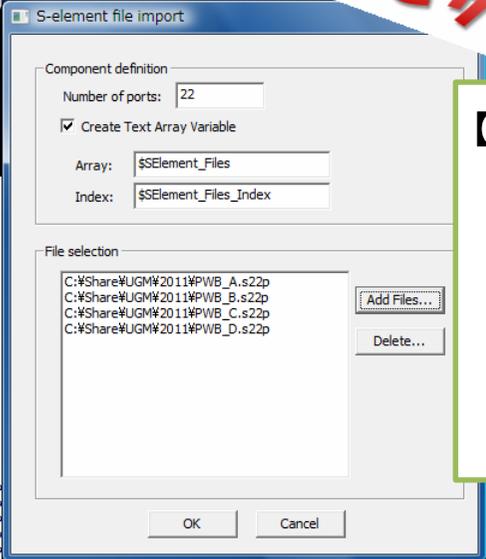
## 変数設定と Array 設定

例.) Array設定



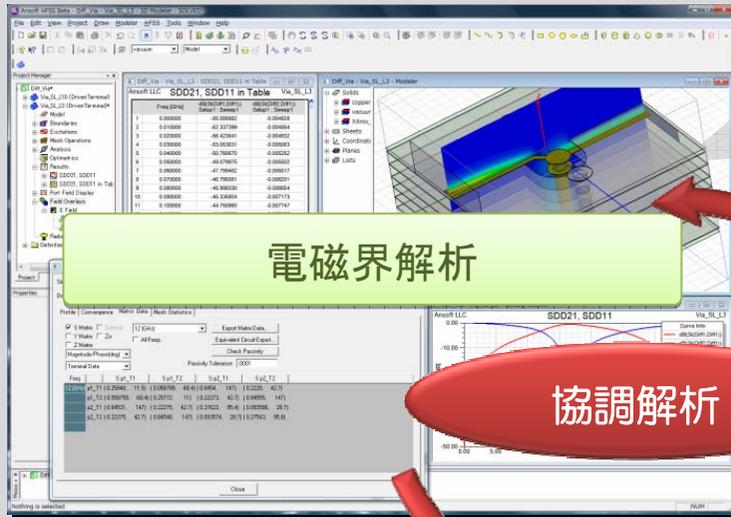
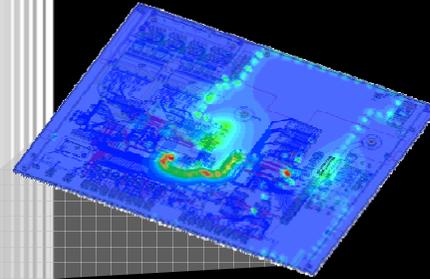
**\* V7 でサポート**

**【スイープ】**  
 PWB\_A.s22p  
 PWB\_B.s22p  
 PWB\_C.s22p  
 PWB\_D.s22p  
 ....



端子配置の同じ複数の S-パラメータを自動的に入れ替えてシミュレーション

## DynamicLink & Push Excitation



電磁界解析

シミュレーション結果

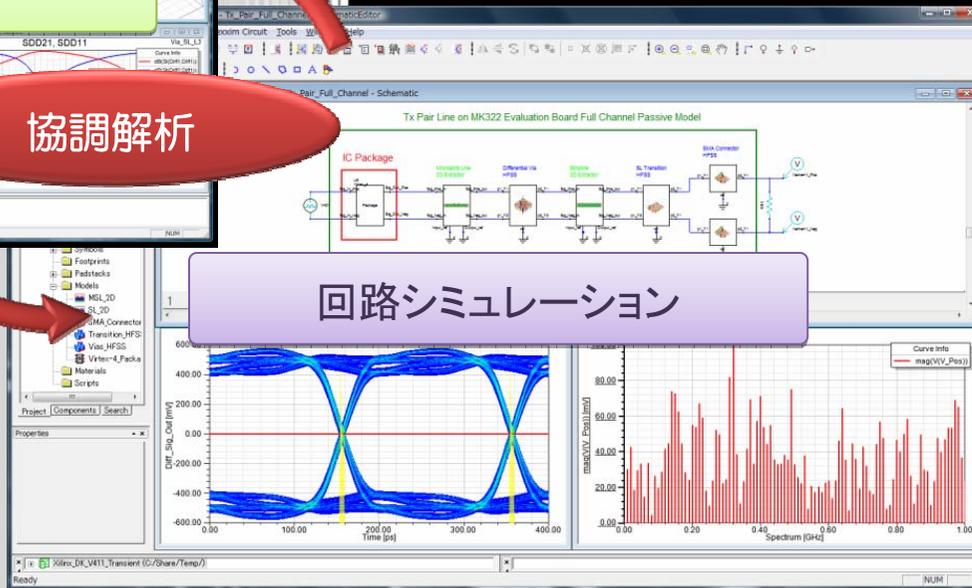
Push Excitation

協調解析

DynamicLink

解析結果・変数

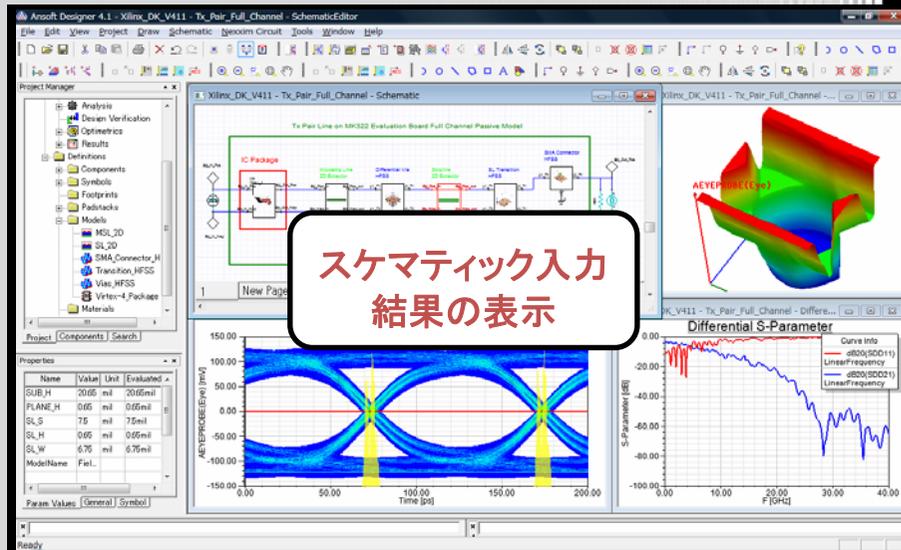
回路シミュレーション



電磁界解析との協調解析が可能

## HSPICE® in Designer (Add-on モジュール)

- DesignerSI™ デスクトップから Synopsys社 HSPICE® を実行可能
- HSPICE™ で暗号化されたモデルをシミュレーション可能



DesignerSI™ デスクトップ

シミュレーション結果

HSPICE®

シミュレーション実行

ネットリスト

📁 DesignerSI™ デスクトップを HSPICE® のスキマティック入力、結果の表示に使用可能

## 変数設定と Array 設定



こんな時に便利！

寸法や材料定数を変位される場合は変数を設定、共通のシンボルに対してモデルを入れ替える場合は変数設定(パラメトリック解析)を用いる。例えば、Array 設定を使用すれば、同じ端子配列のプリント配線板や部品:A, B, Cを自動的に入れ替えてテストすることができる。

## Network Data Explorer

- S-パラメータ(シングル・エンド、差動)の
- Touchstone® ファイル、Full-Wave SPICE™
  - Passivity/Causality Enforcement (強制)
- 不使用ポートの処理 (多ポート・モデルの)

# S-パラメータの評価、

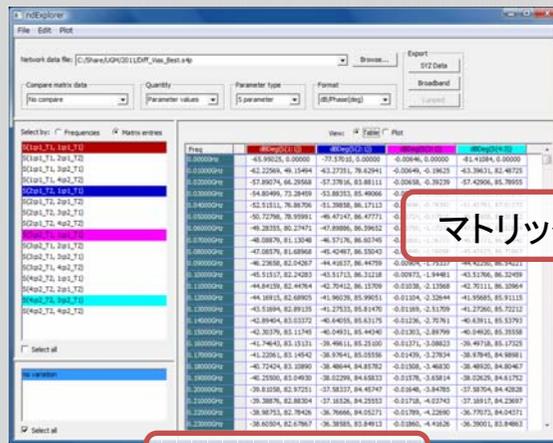
## S-パラメータ(シングル・エンド、差動)の評価

- SYZ パラメータのクイック表示
  - シングル・エンド、差動
  - 選択項目:各周波数点、またはマトリックス
  - テーブル表示、グラフ表示 (Plot)
- マトリックスの統計データの算出
  - Average
  - Maximum
  - Minimum
  - Standard deviation
  - Passivity
  - etc...

# S-パラメータの評価、

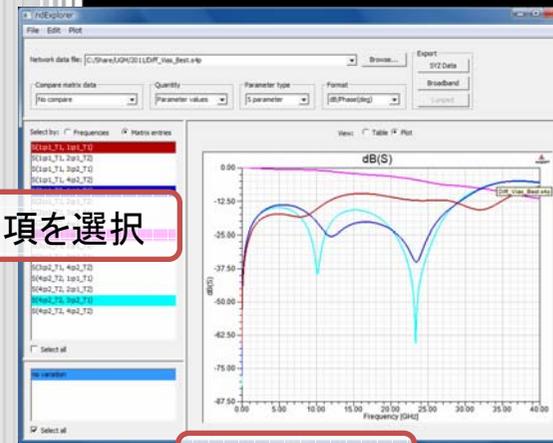
## S-パラメータ(シングル・エンド、差動)

例.) 様々なS-パラメータの表示

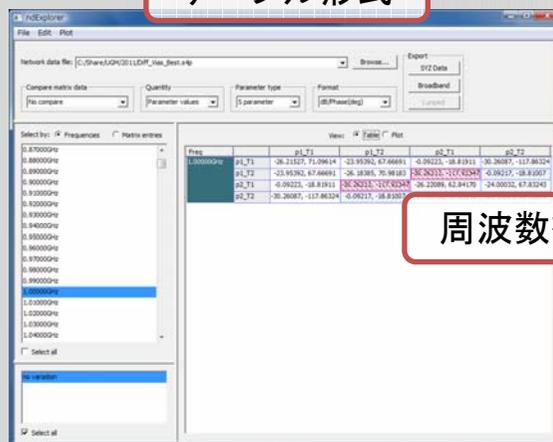


マトリックスの項を選択

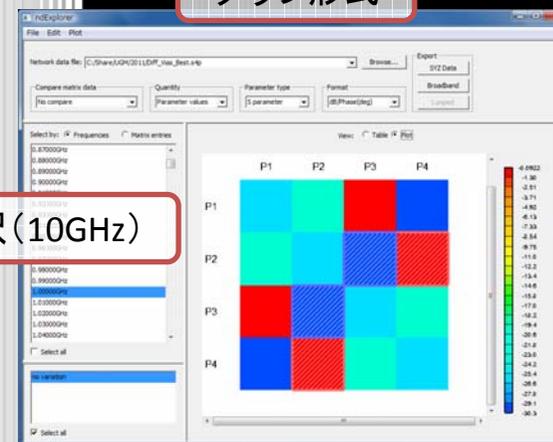
テーブル形式



グラフ形式



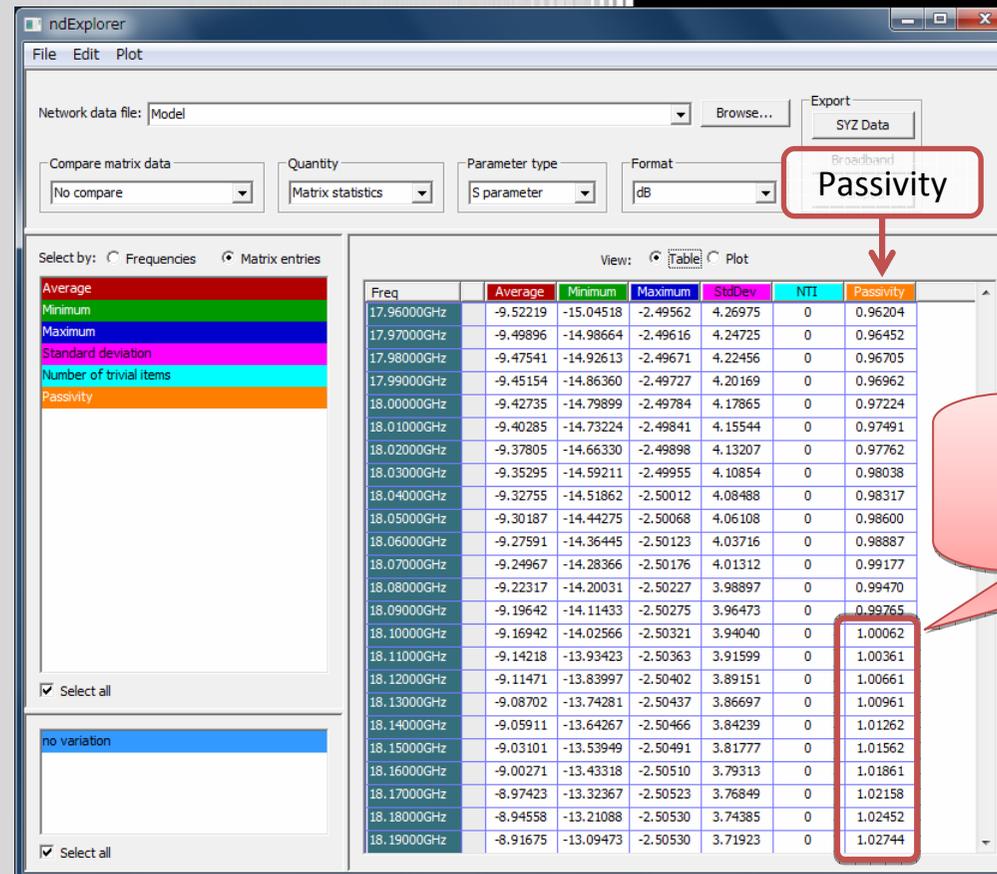
周波数を選択(10GHz)



# S-パラメータの評価、

## S-パラメータの Passivity の確認

例. ) マトリックスの統計データ

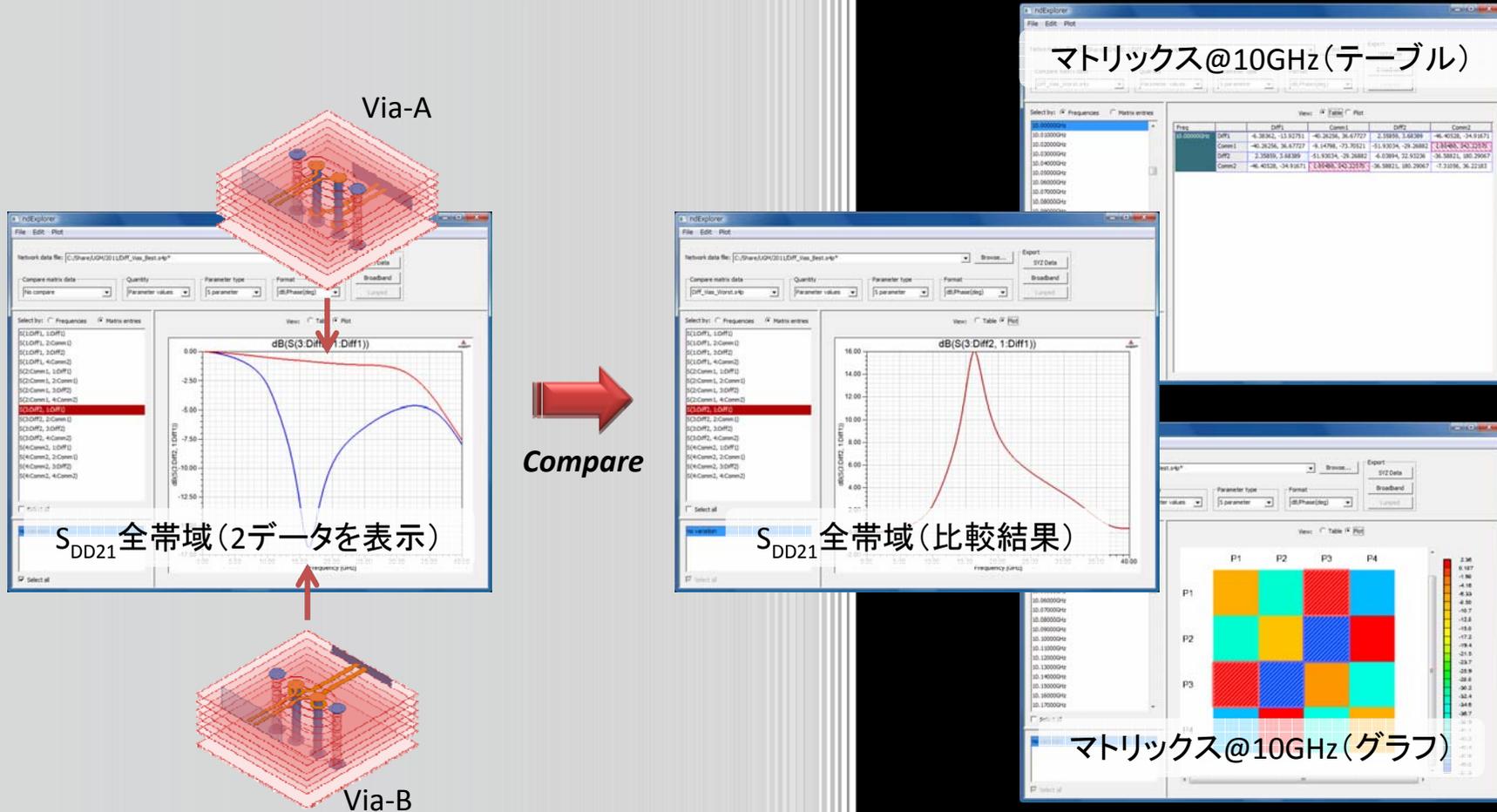


マトリックスの統計的データ(十

# S-パラメータの評価、

## S-パラメータ(シングル・エンド、差動)

- 2つのS-パラメータの比較



# S-パラメータの評価、

## Network Data Explorer

- S-パラメータ(シングル・エンド、差動)の評価



ここが便利！

- 非常に大きな(多ポート)の S-パラメータでも直ぐにマトリックスを表示出来る。
- 2つのモデルの特性の相違を容易に比較し、詳細のレポートを作成できる。
- シミュレーションを実行する前に Passivity 問題を調べる事ができる。

# S-パラメータの評価、

## Touchstone® ファイル、Full-Wave SP

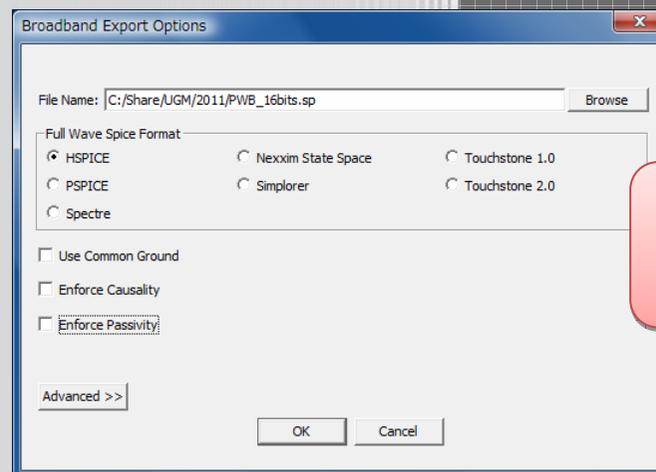
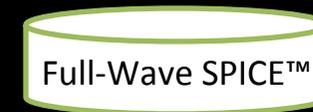
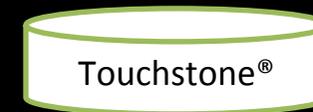
- Causality/Passivity の強制が可能
- 対応ファイルフォーマット
  - Full-Wave SPICE™
    - HSPICE®
    - Pspice®
    - Spectre®
    - Nexxim State Space
    - Simplorer®
  - Touchstone®
    - 1.0, 2.0

**\* V7 でサポート**

## S-パラメータの評価、

## Touchstone® ファイル、Full-Wave SPICE

解析結果、測定結果、etc...



📁 測定結果からも Full-Wave  
SPICE™ モデルの生成が可能

Network Data Explorer  
Broadband Export Options

# S-パラメータの評価、

## Network Data Explorer

- Touchstone® ファイル、Full-Wave SPICE™ モデル



こんな時に便利！

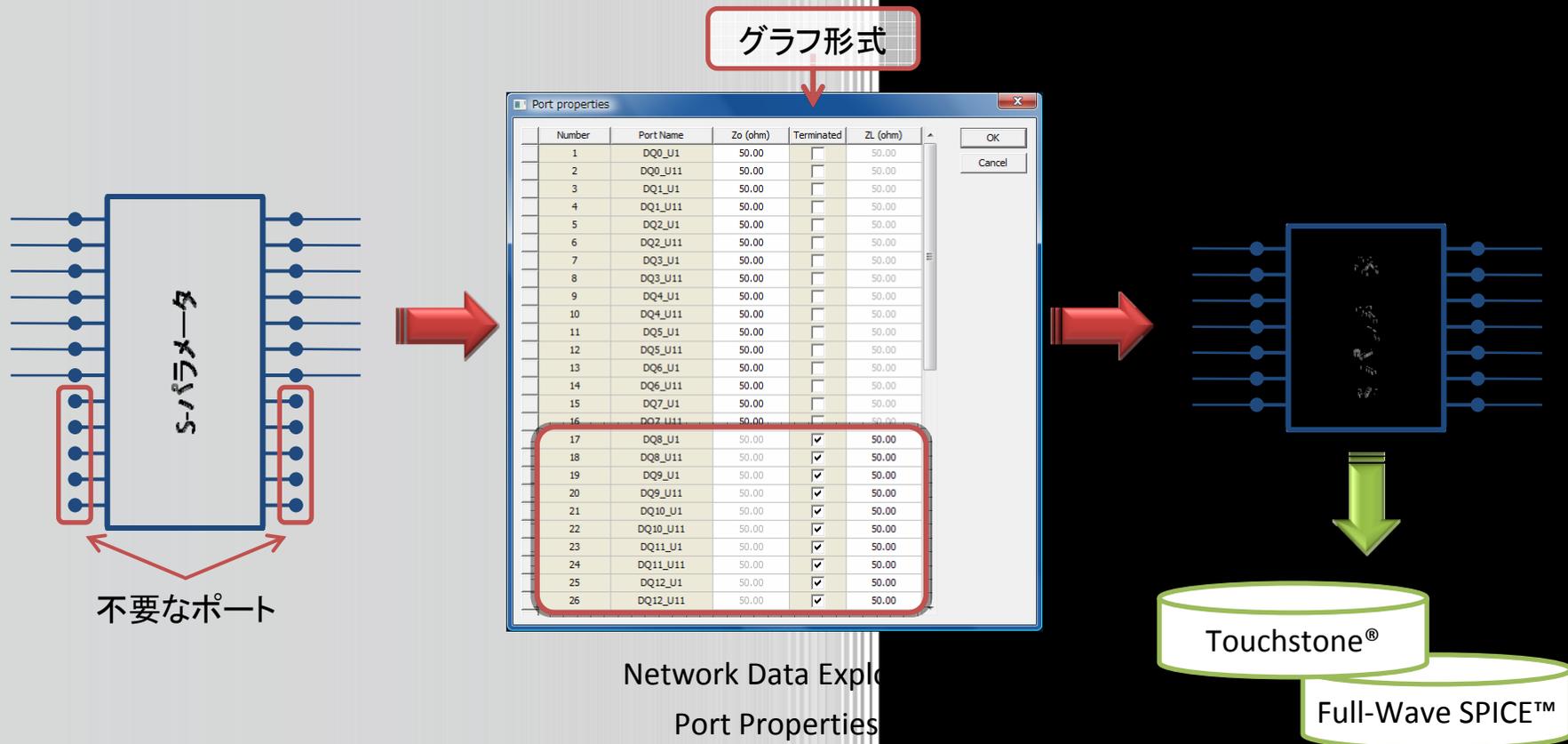
解析結果や測定結果、他社から提供されたデータなど、S-パラメータから Full-Wave SPICE モデルを生成することが出来る。

特に、入手したデータに Passivity, Causality 問題がある場合には、データを強制した上で Touchstone® ファイルや Full-Wave SPICE™ モデルを出力できる。

# S-パラメータの評価、

## 不使用ポートの処理 (多ポート・モデル)

- 不要なポートをリデュースしてマトリックスを削減
- Touchstone® フォーマット、Full-Wave SPICE™



# S-パラメータの評価、

## Network Data Explorer

- 不使用ポートの処理 (多ポート・モデルのリタ



こんな時に便利！

DDRx メモリ/Fの様な多端子の基板モデル(S-パラメータ)を作成し、Touchstone® フォーマットや Full-Wave SPICE™ モデルを生成する際、一番大きなビット幅の S-パラメータだけを解析すれば良い。  
例えば、64ビットの S-パラメータを生成すれば、32ビットの場合も16ビットの場合も Network Data Explorer で生成できる。

## QuickEye™ と VerifEye™

- 高速アイ・パターン・シミュレーション
- バスタブ曲線
- エンファシス、イコライザ機能
- Eye Source でジッタの設定が可能
- シミュレーション時に GPU を利用可能

## IBIS-AMI を用いたシミュレーション

- ジッタの付加、エンファシス、イコライザ機能
- シミュレーション時に GPU を利用可能

**\* V7 でサポート**

## QuickEye™

- 高速アイ・パターン・シミュレーション
- シミュレーション手法 (Data Pattern Conv)
  1. チャンネルのステップ応答を求める
  2. データ・パターンに対して重畳

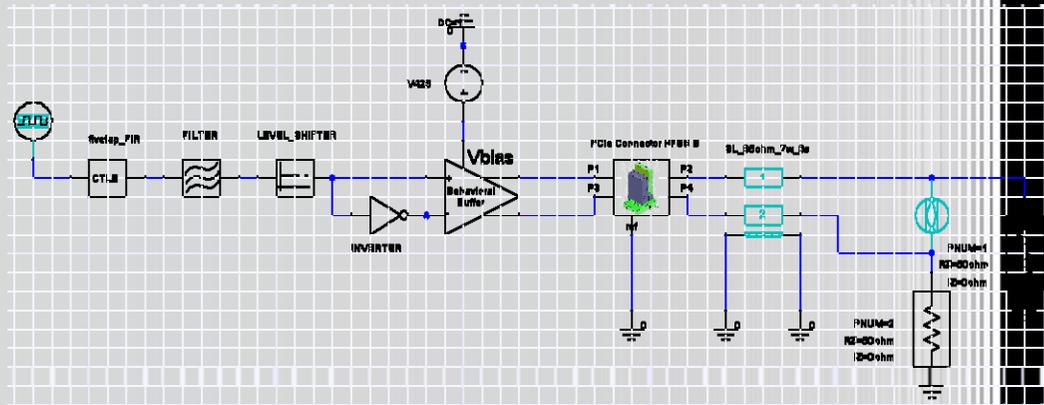


## QuickEye™

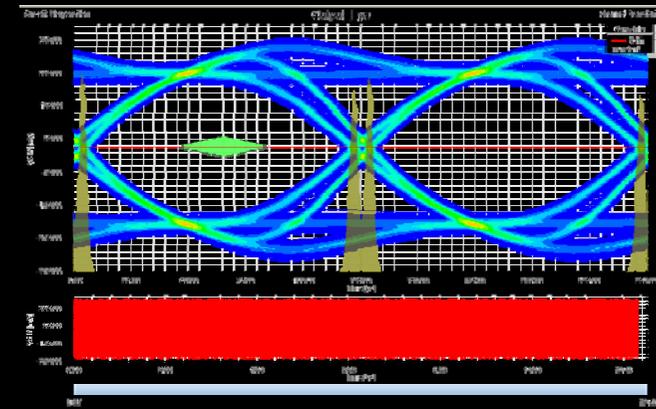
- 高速アイ・パターン・シミュレーション

## 【テスト回路での比較】

- PRBS 10万ビット
- 過渡解析: 約20分 ⇒ QuickEye™: 約9秒!



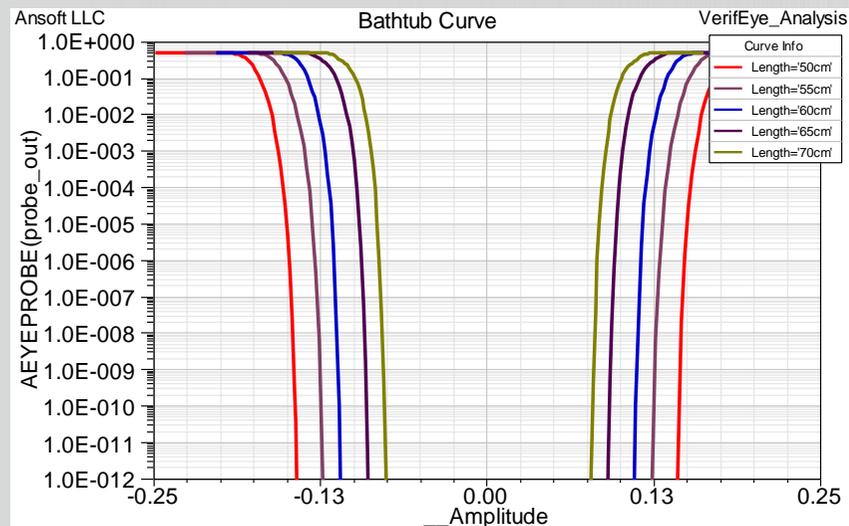
テスト回路: 差動コネクタ+伝送線路モデル



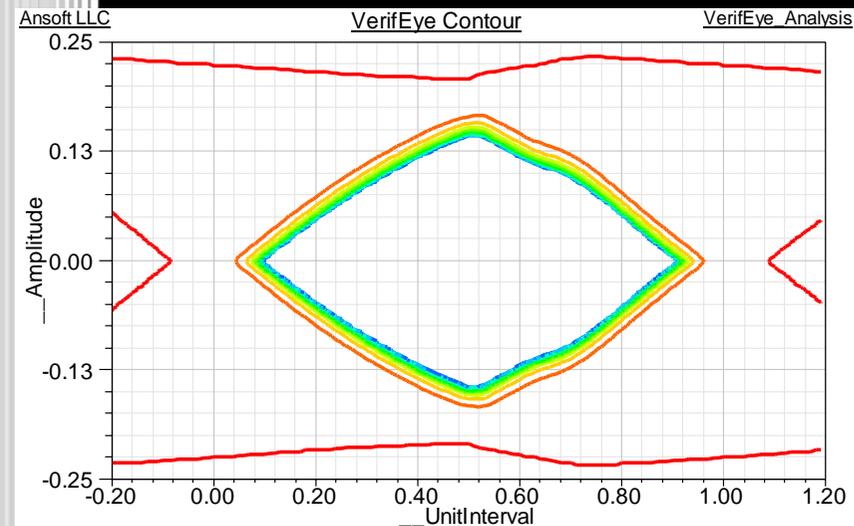
IBIS-AMI のシミュレーションも同様の手法で高速化されている

## VerifEye™

- 統計的アイ・パターン・シミュレーション
  - BER、バスタブ曲線
  - Tx ジッタ
- QuickEye™ の解析手法を基にした高速

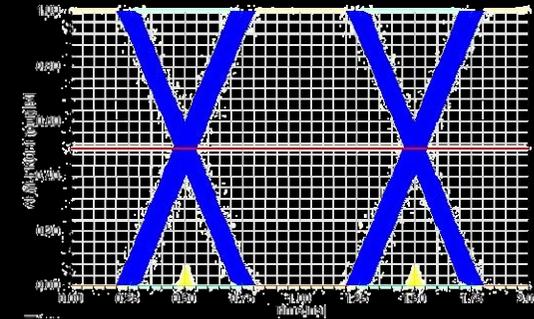
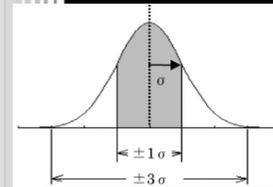


バスタブ曲線



## ジッタの設定

- 信号源: Eye Source にて設定
- 設定可能なジッタ
  - Random Jitter
  - Periodic Jitter
  - Uniform Jitter
  - Duty Cycle Distortion Jitter
  - ユーザー定義 (任意の確立密度変数)



## QuickEye™ と VerifEye™



ここが便利！

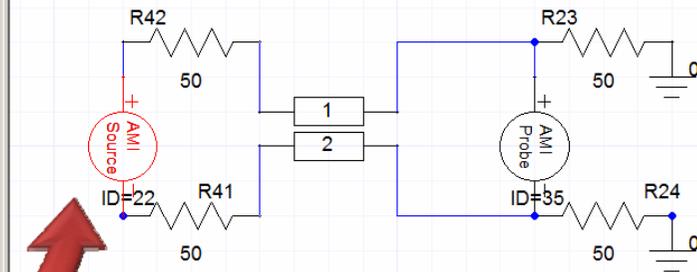
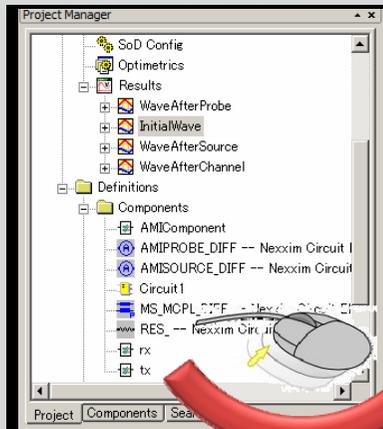
シミュレーション時間が非常に短いため、高速シリアル・チャンネルの評価において、使用部品や配線パターン、イコライザ、エンファシスなど様々な組み合わせを試すことが可能となる。

特に**バスタブ曲線などの統計的データを短時間で得ることが出来る。**

# 高速シリアル・チャンネル

## IBIS-AMI を用いたシミュレーション

- ユーティリティにより容易にモデルのインポート
- スケマティックへの配置はコンポーネント



IBIS source (tx)

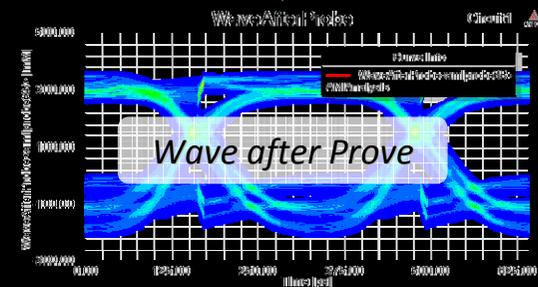
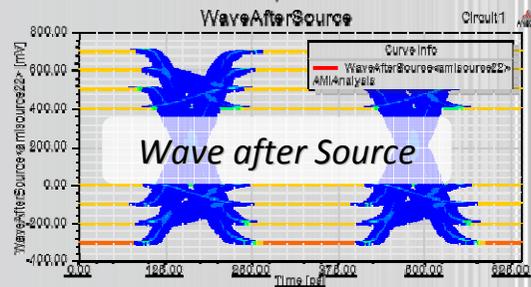
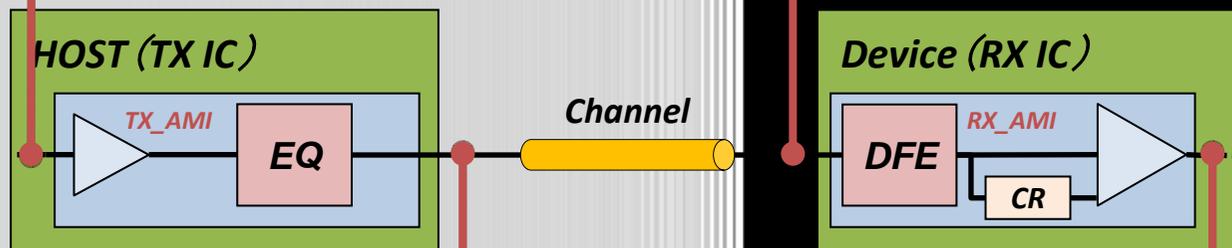
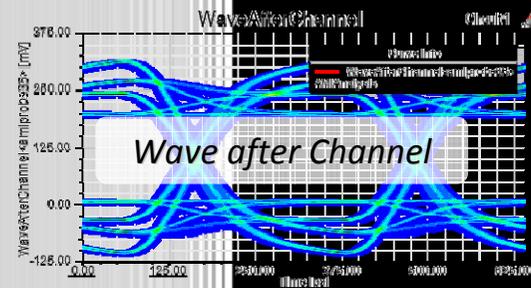
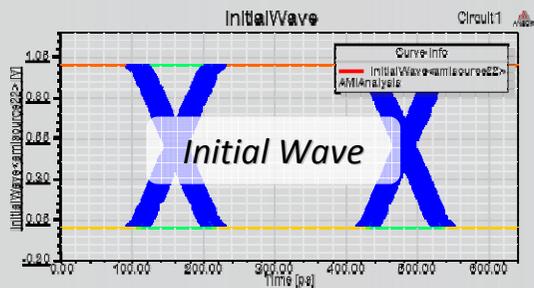
Xilinx Virtex6 GTX モ

```
(Model Specific
(A_TXDIFFCTRL (Usage In)(List 0 1 2 3 4 5 6 7 8
(Label "0000_180mV" "0001_210mV" "0010_
(Description "Differential swing, 0=min: 180m
)
(A_TXPREEMPHASIS (Usage In)(List 0 1 2 3 4 5 6
(Label "0000_0.000db" "0001_0.125db" "0
(Description "Pre-Emphasis, 0=min: 0db, 15=ma
)
(A_TXPOSTEMPHASIS (Usage In)(List 0 1 2 3 4 5 6
(Label "0000_0.000db" "0001_0.125db" "0
(Description "Post-Emphasis, 0=min: 0db, 81=ma
)
(Process (Usage In)(Corner tt se ff)(Type Strin
```

Name	Value	Unit	Evaluated Value
--Properties from AMI file			
Ignore_Bits	2		2
Max_Init_Aggressors	25		25
Init_Returns_Impulse	<input checked="" type="checkbox"/>		
GetWave_Exists	<input checked="" type="checkbox"/>		
Use_Init_Output	<input type="checkbox"/>		
A_TXDIFFCTRL	9		" 9"
A_TXPREEMPHASIS	10		" 10"
A_TXPOSTEMPHASIS	20		" 20"
Process	tt		" tt"

## IBIS-AMI を用いたシミュレーション

- IBIS-AMI モデルの構成と波形出力

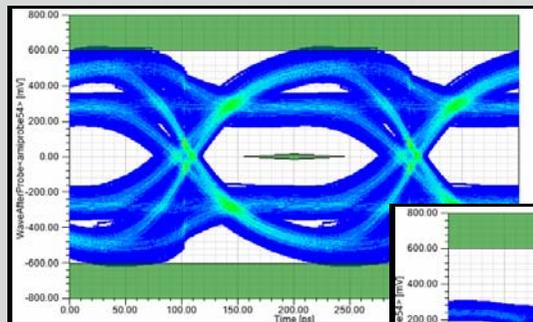


## IBIS-AMI を用いたシミュレーション

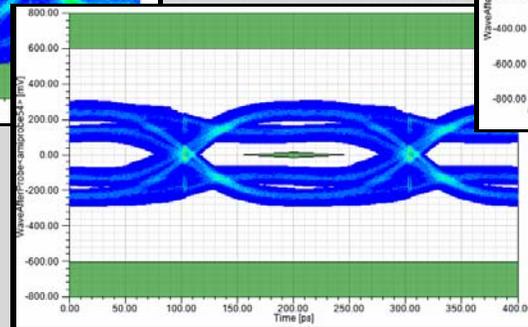
例. ) USB SuperSpeed ケーブルのシミュレ

## 【シミュレーション結果】

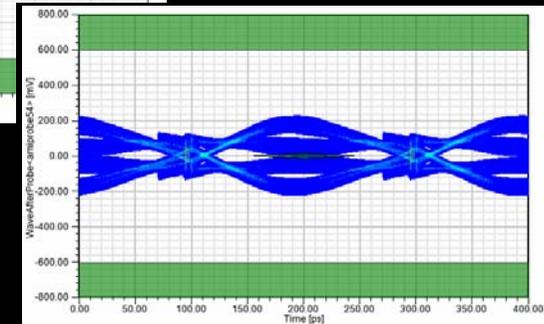
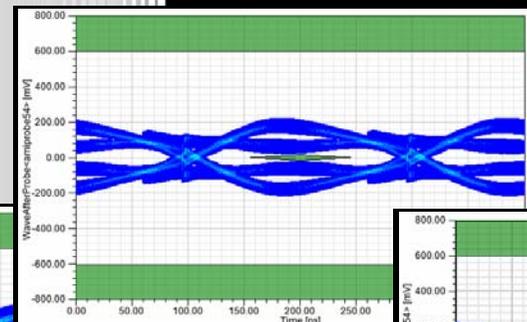
- 送信側のエンファシスを電圧比25%とした場合



Bypass



Low



IBIS-AMIモデルでエンファシス／イコライザの効果を確認

## IBIS-AMI



ここが便利！

最近では、いくつかのFPGAベンダーなどが提供を始めており、Webで公開しているベンダーもある。  
また、シミュレーション時間が非常に短いため、高速シリアル・チャンネルの評価において、使用部品や配線パターン、イコライザ、エンファシスなど様々な組み合わせを試すことが可能となる。

## Touchstone® 1.0, 2.0

### SPICE

- HSPICE®, Spectre®
- BSIM3 v3.3.0, BSIM4 v4.6.5, HiSIM 2.4.3

### IBIS (v5)

- EBD
- AMI
- Differential

### Verilog-A (v2.3)

### Matlab

- .m

## Eye Measurement

- アイ・パターンから信号品質の詳細を自

## Mask Violation

- 設定したアイ・マスクに対する違反のレ

## Trace Characteristics

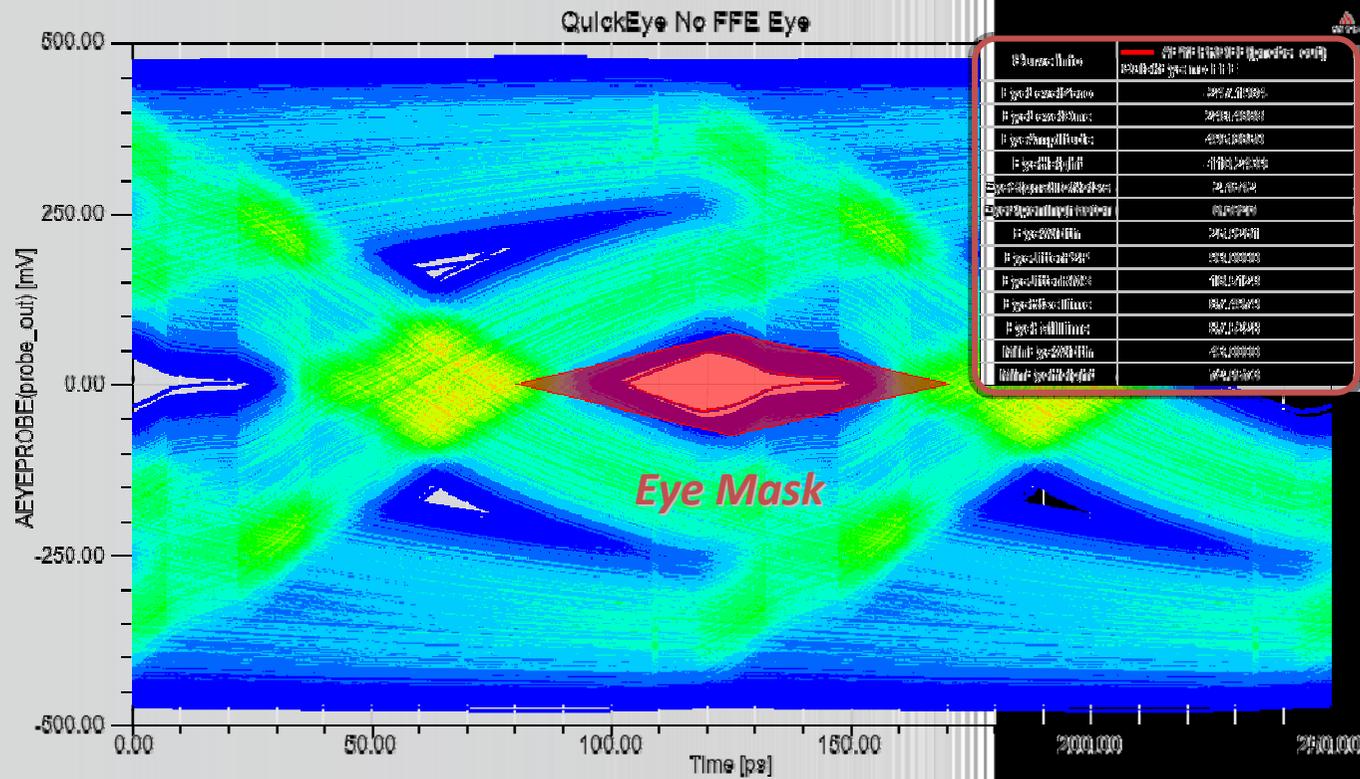
- 過渡波形の“Peak to Peak”, “min.”/“ma

## DDRx Write Cycle テスト・スクリプト

- Setup/Hold のワースト値、タイミング・マ

## Eye Measurement, Mask Violation

- Eye Measurement, Mask Violation はデータ



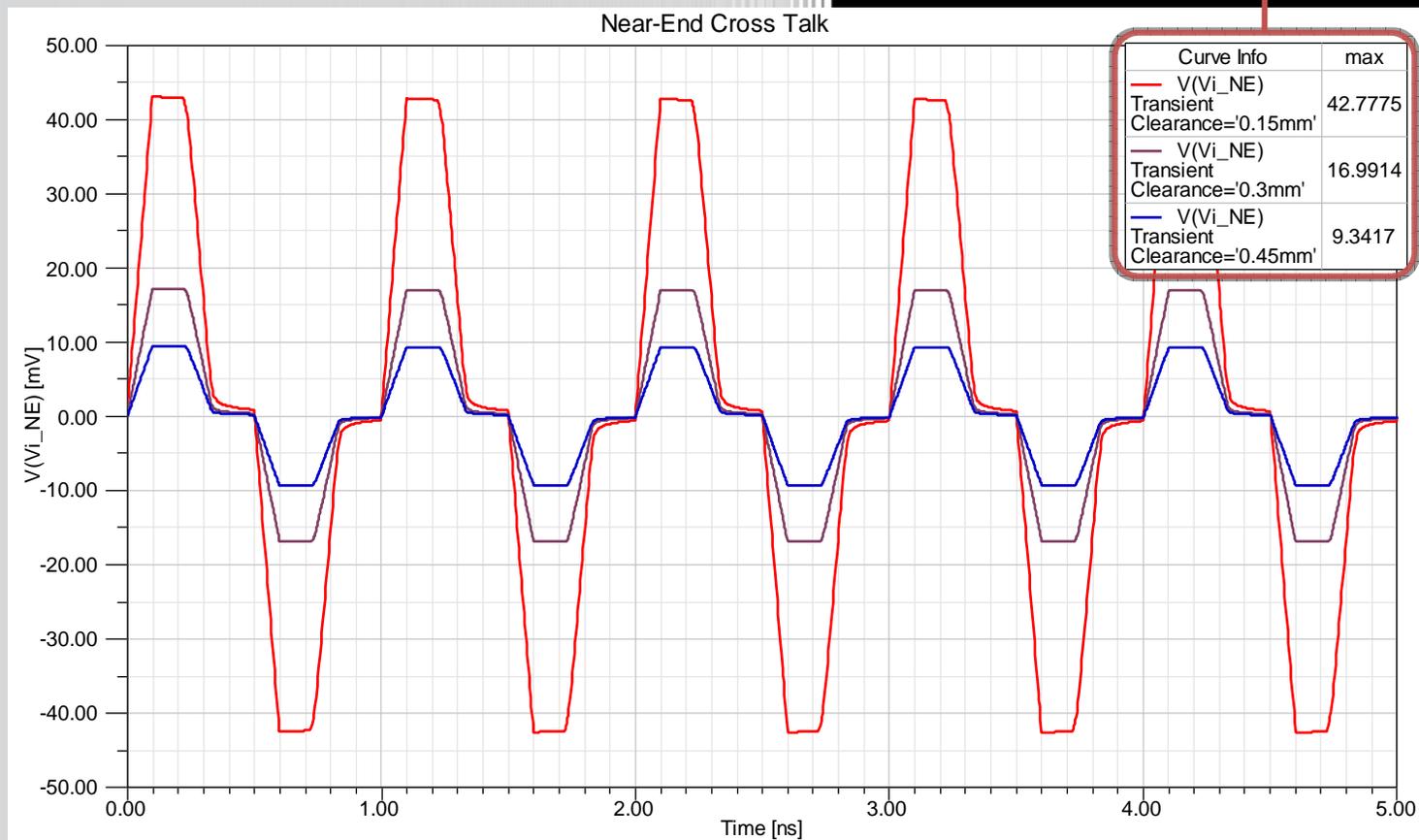
- ### Eye Measurement
- EyeLevelZero
  - EyeLevelOne
  - EyeAmplitude
  - EyeHeight
  - EyeSignalToNoise
  - EyeOpeningFactor
  - EyeWidth
  - EyeJitterP2P
  - EyeJitterRMS
  - EyeRiseTime
  - EyeFallTime
  - MinEyeWidth
  - MinEyeHeight

受信側のアイパターン (Eye Measurement)

## Trace Characteristics

- 近端クロストーク

各信号の 2ns~3ns における最大値





こんな時に便利！

一度スキマティックを作成し、結果を表示すれば、次回からはシミュレーションを実行すると自動的にレポートが作成される。

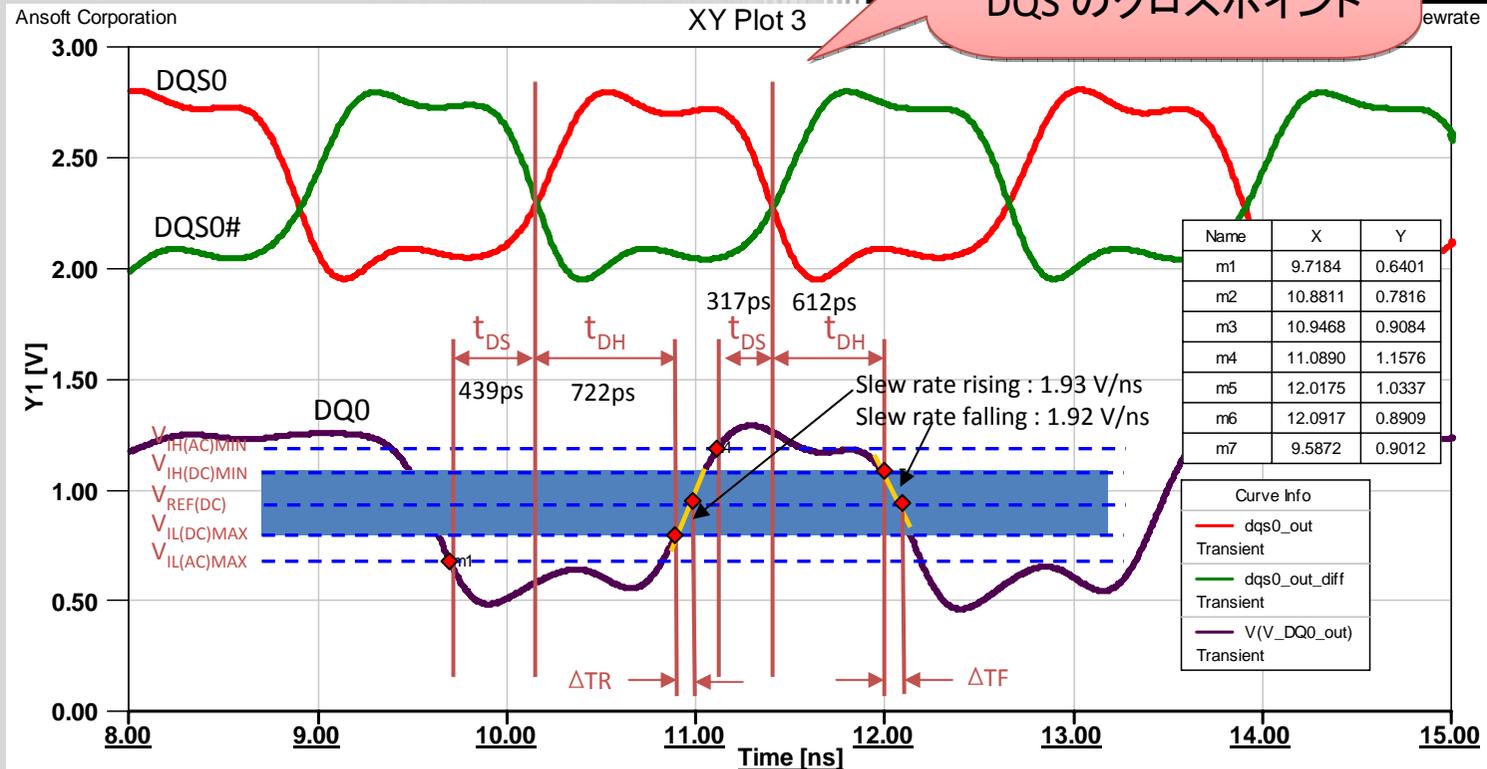
例えば、調べたいコンプライアンス・テストのアイ・マスクを作成すれば、Pass/Fail を簡単に調べることができる。

また、スクリプトを作成すればテキスト・データの出力まで自動で行うことができる。

## DDRII Write Cycle テスト・スクリプト

- Write Cycle の  $t_{DS}/t_{DH}$  の規定

各ビットの  $t_{DS}/t_{DH}$  の基準は、各ビットの DQS のクロスポイント



アイ・パターンでは重畳されているため、正しい  $t_{DS}/t_{DH}$  は求められない

# シミュレーション結果

## DDRII Write Cycle テスト・スクリプト

- タイミング・マージン算出スクリプト (Excel)
- エクセル・シートから DesignerSI™ のスクリプト

DesignerSI™ デスクトップ

タイミング・マージン計算シート

Data	Rise Base Margin				Fall Base Margin			
	V <sub>IH</sub> t <sub>DH</sub>	V <sub>IL</sub> t <sub>DH</sub>	V <sub>IH</sub> t <sub>DS</sub>	V <sub>IL</sub> t <sub>DS</sub>	V <sub>IH</sub> t <sub>DH</sub>	V <sub>IL</sub> t <sub>DH</sub>	V <sub>IH</sub> t <sub>DS</sub>	V <sub>IL</sub> t <sub>DS</sub>
V(D0-R)	0.498	0.435	0.403	0.382	0.507	0.450	0.418	0.380
V(D1-R)	0.377	0.357	0.503	0.470	0.385	0.335	0.527	0.467
V(D2-R)	0.387	0.343	0.528	0.505	0.373	0.347	0.555	0.495
V(D3-R)	0.350	0.308	0.563	0.542	0.350	0.285	0.583	0.537
V(D4-R)	0.382	0.343	0.517	0.492	0.388	0.350	0.520	0.495
V(D5-R)	0.460	0.410	0.420	0.373	0.455	0.430	0.407	0.395
V(D6-R)	0.390	0.310	0.547	0.508	0.390	0.298	0.553	0.498
V(D7-R)	0.4...	0.371	0.444	0.403	0.445	0.375	0.433	0.394

自動的に DQx の tDS/tDH のワースト値がレポートされる

## DDRII Write Cycle テスト・スクリプト



ここが便利！

DDRx の規定に沿った Write Cycle のタイミング・マージンを自動的に算出できる。

例えば、基板レイアウトやICパッケージを変更(モデルの差し替え)したり、Driver/Receiver の設定を変更しても、シミュレーションとスクリプトを再度実行するだけでタイミング・マージンを算出できる。

S-パラメータを  
Full-Wave SPICE™ モデル  
に変換したい  
**Yes!**

イコライザの設定を  
色々試してみたい  
**Yes!**

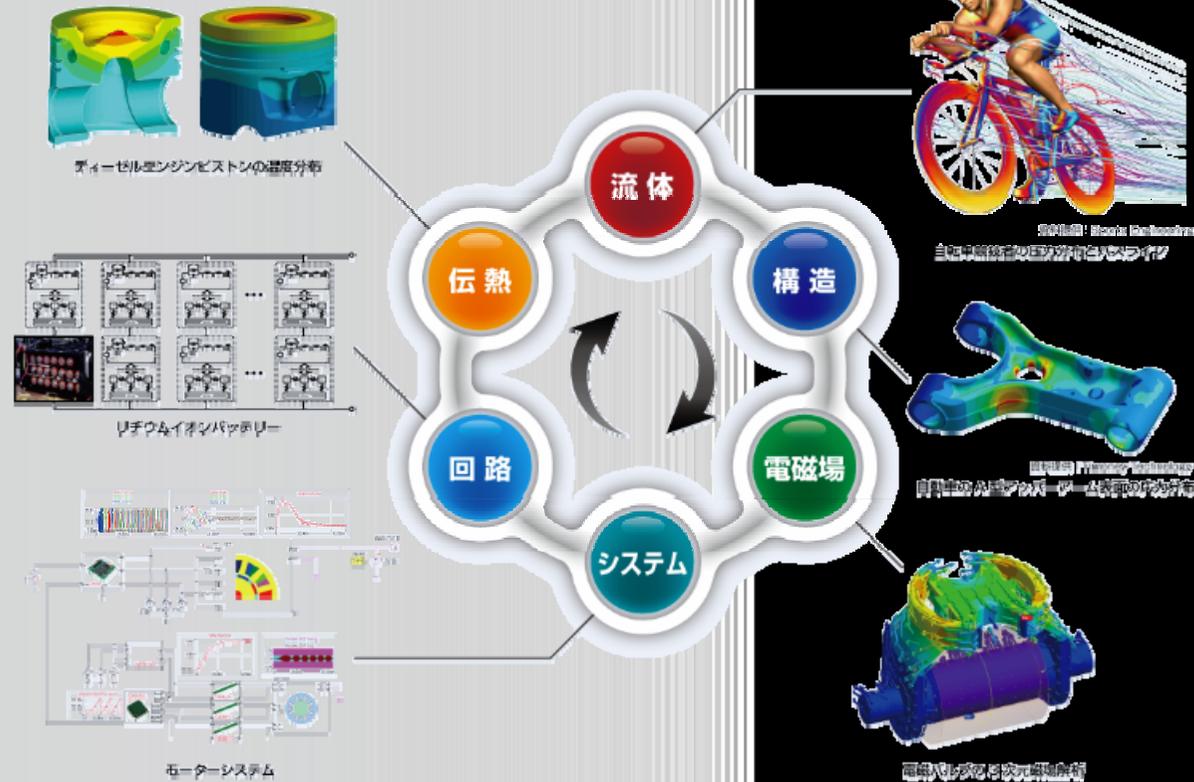
アイ・パターンの各値を  
簡単にレポートしたい  
**Yes!**

S-パラメータから不要な  
ポートを削除したい  
**Yes!**

Peak to Peak 値や  
Min./Max. 値を  
簡単に求めたい  
**Yes!**



# ANSYS ソリューション



アンシス社は、高精度な Extraction ツールと高速・高スケーラビリティ Simulator で Signal & Power Integrity、EMI / EMC 問題に対するトータル・ソリューションを提供します。