テクトロニクス・イノベーション・フォーラム 2012



D3

いまどきの高速伝送 プリント基板設計



日立製作所 横浜研究所 回路システム部 大坂英樹

電気回路の礎を築いた偉人たち





目次

タイトル:いまどきの高速伝送プリント基板設計 ■概要

トレンドと伝送の基本方式
 いまどきのプリント基板の課題
 高速シリアルインタフェース

■高速メモリバス

■給電設計

まとめ

【概要】最近の機器では、基板で<u>5Gbps</u>以 上の信号伝送も珍しくない。その設計には、 信号品質(Signal Integrity)と電源品質 (Power Integrity)の知識なしでは安定動作 を保証できない。本講演では<u>高速シリアル</u> <u>伝送と、メモリバスを対象にSI、PIの観点</u> で設計の注意点について概説する。



2



YRL

背景:データ量の増大



- ITC&グローバル社会の進展:ソーシャルネット、スマートXX(電力、医療、交通、流通、製造、産業、教育)
- ■端末(スマートフォン、TV、FC、PC)の高機能化
- ■通信トラフィックの増加(2倍/2年)(図1)
- クラウド&ビッグデータ処理を支えるデータセンター機器高性能化
- Thunderbolt(10Gbps)、Fiber Channel(16Gbps), SAS/SATA(12Gbps)といった 10Gbps超の規格が続々と製品に採用



図1 通信量のトレント[1]

出展: [1] NDK「市場動向と取り組み」http://www.ndk.com/pdf/69-2010_7.pdf [2] http://www.intel.co.jp/jp/technology/mooreslaw/pix/mooreslaw_graph2.gif 筐体内伝送のトレント「2]

図2



- いまどきの基板設計での高速データ伝送(High Speed Digital)の対象は、高速シリアルバスとメモリバス
- バス:複数のノード(モジュール、LSI)間でデータ伝送
 シリアル(直列)伝送: 一本(一対)の配線でデータをビット列で伝送
 パラレル(並列)伝送:複数本の配線で複数ビットを同時伝送







シングルエンド信号:一本の配線でデータ伝送、信号はグランドを帰還 差動信号(ディファレンシャル):2本の配線で正負極のデータを伝送







特徴	パラレルバス(メモリバス)伝送	(高速)シリアル伝送
代表的なI/F	DDR(Double Data Rate)	PCI-Express
信号方式	シングルエンド信号	差動信号
配線本数	多(例:DIMM64/72本)	少
配線方式	バス(マルチドロップ)	1対1接続
データとクロック	データ信号 $\begin{pmatrix} D0 \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ $	データ信号 D0 D7





■背景

1信号の速度向上によるノイズ増加

②基板の低価格化(層数、サイズ、部材)、電源種増加

■課題の分類:

- 1信号の品質(Signal Integrity)
- ②電源品質(Power Integrity)
- ③電磁環境両立性(EMC: Electromagnetic Compatibility)
- 設計手法の変革(エラーフリー設計からエラーレート設計へ)
- SI:基板の物理的制約(表皮効果、誘電損失、分散特性)
 SI:配線の一定特性インピーダンス設計の困難さ(パッケージ、

コネクタ信号引きし部、ビアホール、配線屈曲)

PI:基板電源の脆弱化、(電源層分割、高密度化でパスコン搭載 制約、要求電源インピーダンスの低下)



8

設計方法の変革



①ノイズ(エラーフリー)設計:1Gbpsまでのバス設計(~2005頃)

② エラーレート設計:5Gbpsまでの高速シリアル設計(~2010頃)(設計のドメインシフト)

③ 全方位設計(SI&PIいまどき設計): 2Gbpsメモリバス、10Gbps超のリアルバス(2010頃~)

	(a)バス設計	(b)高速シリアル伝送設計
ノイズ設計	信号量の確保/ノイズ低減 反射(分岐) クロストーク 同時駆動ノイズ 信号リターン 給電ノイズ(PI) 	 信号量の確保 特性インピーダンスの平坦化 減衰(銅箔のラフネス、tanδ) クロストーク 信号リターン 給電ノイズ(PI)
タイミング設計	エラーフリー設計 ・ セットアップ/ホールド時間 ・ スキュ/クロックジッタ エラーレート設計 ・ DJ、ISI ・ 電源ノイズ回り込み	エラーレート設計 • CDR、DFE • 確定的ジッタ(DJ)の低減 • 符号間干渉(ISI) * タレーン効果 電源ノイズ回り込み

表1 設計方法の変遷







- 速度別シリアル伝送の容易性[XILINX2004]
- **1 ~1.5Gbps (容易)**
 - チャネルは問題ではなく、クロックの回復だけが必要
- **2.5 ~ 3.125Gbps**(中程度)
 - ISI(シンボル間干渉)が問題となる
 - 簡単なイコライザで十分
 - TxのプリエンファシスまたはRxの線形イコライザ
- 5.0 ~ 6.25Gbps(困難)
 - ローパスISI(減衰)とハイパスISI(反射)が問題
 - Rxのイコライザが必要
 - クロストークが問題となりはじめる
- 10 ~ 12Gbps(非常に困難)
 - ローパスISI(減衰)とハイパスISI(反射)が大きな問題
 - クロストークが主な問題
 - Rxイコライザが必要(線形かDFE)



YRL





■ シリアル回路のブロック(例)



All Rights Reserved Copyright © 2012, Hitachi, Ltd.





YRL



伝送路の損失により波形品質が劣化 10Gbps バックプレーン oltag Ime margi トータホート゛ 0 | | | | | アイパターン -4 高周波 振幅 沢 損₋₆ 失 [dB]₋₈ 電 圧 閾値 シンボル時間 -12 100ps -16[∟]0 2 4 6 8 0 0 0 0 0 10 1 1 1 1 0 1 0 周波数[GHz] 送信bit列 パターン波形









■ 伝送路の損失により波形品質が劣化





All Rights Reserved Copyright © 2012, Hitachi, Ltd.



■減衰の要因

- ■導体損失(表皮効果)
 - 伝送信号が高速化すると、表皮効果で導体表面に電流が集中し、抵抗値が増加

■ 誘電損失

誘電体の分極応答遅れや、誘電体の導 電性が原因で損失が発生

基板材料の不均一によるノイズ 基板材料が電気特性の異なる複合材料 の場合、電気特性が不均一となりノイズ が発生





伝送線路の表皮効果



誘電体損失の影響(※)

(波形立ち上がりのなまり)

※出典:http://www.ednjapan.com/content/issue/2003/04/integrity/integrity.html





基板の損失



基板の損失要因は、①表皮効果、②誘電体損失、③表面粗さ
 ①表皮効果∝√f、②誘電体損失∝f、



周波数







■ 高周波用の低誘電体損失基板が各社から出ている





17



銅配線の低プロファイル材により損失低減
 プリプレグとの密着性を高める黒化処理に注意



_{拡大図} 基板断面の観察画像



伝送損失の実測比較





設計ポイント:差動線路長



■ 差動線路

- pチャネル、nチャネルで等長配線
- 強結合より弱結合がよい
- GNDのスリットはNG
- 隣接クロストークノイズに注意
- ドライバ
 - Rising, Fallingの差を無くす (コモンモードノイズ発生の抑制)
- 終端・パッケージ
 - 最遠端に終端抵抗 (on-chip termination)
 - パッケージも基板Zdiffに近い方がいい
 - 終端の中点を低インピーダンスで接続 (EMCに効果あり)







19











設計ポイント:差動線路引き出し



LSI/コネクタからの引き出し配線
 VIAホール











■ 差動信号用のビアホールはメガネ型、卵形(オーバル)で抜く

内層G/Vベタ









メガネ型アンチパッド





BGA引出し配線部の構造が重要





オフセットビアパッド solid pad with offset-via (パッドオフビア:pad off-via)



パッドオンビア (pad on-via)









All Rights Reserved Copyright © 2012, Hitachi, Ltd.

HITACHI Inspire the <u>Next</u>



設計ポイント: 配線オフセットとTDR波形







オフセットがある配線(断面)





25 設計ポイント:ビアホールによる信号劣化



- viaの信号経路でオープン スタブが形成
- オープンスタブ共振による 信号劣化
- パッドオンビアであっても高 周波特性にはバックドリル が有効



ザグリ(バックドリル)有り パッドオンVia





設計ポイント:モードインピーダンスとジッタ

高速シリアル伝送路のインピーダンスの分布





26

Inspire the Nexi



出展:H. Osaka *et al, "*Differential Insertion Loss and Deterministic Jitter for Different Types of Differential Transmission Lines in High-Speed Serial Backplane Bus", SPI2007

YRL



at 2 GHz

Zcomが異なる同一Zdiffの配線とビア4種









All Rights Reserved Copyright © 2012, Hitachi, Ltd.





Deterministic jitter (DJ) vs. loss (Sdd21) of backplane bus.



2GHzで813mmの配線のDJ

µ ストリップ配線のDJは配線幅に依らない

Inspire the Nexi

- ストリップ配線のDJは損失に依存
- ストリップ配線の損失はモードミスマ ッチ、オープンスタブより配線損失に 依存
- ストリップラインの配線幅が最も確定 的ジッタ(DJ)に寄与





- 基板の不均一構造の影響
- 基板のガラスクロスによる不均一構造により同相ノイズが差動ノイズとなり信号 品質が劣化







31

YRL

不均一構造対応基板配線モデル

■ 基板のガラスクロス形状を近似し3次元電磁界解析でモデル化



Inspire the Next



配線設計基準例

■ガラスクロスと配線の角度を制限して、同相-差動変換率 (Scd)を低減



図 ガラスクロスと配線の角度の制約



Inspire the Nexi





DQとDQS間のタイミング差によるノイズとタイミングのずれ

- ノイズ発生タイミングが異なる
- ライト(MC→DRAM)=90°、DQSの腹にノイズ
- リード(DRAM→MC)=0°、DQSエッジにノイズ(タイミングにずれ)





■ 設計のポイント

- DDR/2/3で異なるスペック
- 回路方式を理解した設計が必要
- 基本はノイズ設計とタイミング設計
- 信号はデータ(DQ)系とコマンドアドレス(C/A)系の2種類
- DQはストローブ(DQS)基準
- C/Aはクロック(CLK)基準
- 電源ノイズのジッタ変換
- ノイズ設計は基本的に3大ノイズを抑える
 - 反射ノイズ/ISI
 - クロストークノイズ
 - 同時駆動ノイズ
 - 電源ノイズ
- タイミング設計はノイズ起因のジッタ低減
 - DQはSE、DQSは差動(DDR2/3)→異なる時定数
 - DQ/DQSは90°位相が異なる(ノイズ発生タイミングが異なる)





いまどき基板の給電系設計



電気回路の礎を築いた偉人たち





背景(電源ノイズがなぜ問題か)

電源雑音に起因したしシステム動作不良が顕在化





37

出展:International Technology Roadmap for Semiconductors, 2001 Edition, Semiconductor Industry Association







350MHz

電源ノイズの高速シリアル伝送への影響



HITACH Inspire the Nexi 観測点で異なる電源ノイズ





HITACHI Inspire the Next















■規定場所

- チップバンプ(パッド)位置:実際に動作に影響する部位
- ボール位置:測定可能な場所
- ノイズ電圧波形の規定
 - 回路感度がパルス幅で異なるため波 形定義がなされるべきである
 - 実際は電源ノイズのパルス波形規定 なし

お化け波

■ 現在電圧仕様はDCで設計

時間領域 $v(t) = z(t) \otimes i(t)$ 周波数領域][$V(f) = Z(f) \cdot I(f)$ $|V(f)| = |Z(f)| \cdot |I(f)|$ 実設計ではインピーダンス設計 ■複数数の位相重なりで振幅が 変わる(オバケ波は現せない) ■時間領域解析で長周期変動を 含む確認が必要









- *I_{dd,max}* :最大電源電流[A]
- Vallow : 最大許容ドロップ電圧[V]
- *V_{dd}* : 電源電圧[V]
 - :許容電源電圧ドロップ比(一般には0.05~0.10)
- *P_{max}*:最大消費電力[W]



α



パスコンのモデル化



デカップリングコンデンサ
 部品メーカ(Murata他)より入手

 $Z(\omega) = R + j\omega L + \frac{1}{j\omega C}$











注意点:容量の異なる2つの並列接続は反共振が生じる
 所望の帯域全体での低インピーダンス化が必要



 ω



45 設計ポイント:パスコン搭載最適条件式

- ■コンデンサの場所、種類、個数を決める目安
- インピーダンスを下げたい周波数と以下の式で計算される実装デカップリン グコンデンサの共振周波数が一致するように、コンデンサの場所、種類、個 数を決定。
- インピーダンスの絶対値を下げたい場合は、場所・種類を変更せず、個数を さらに増やす

実装デカップリングコンデンサの共振周波数計算式



Ldec:チップとコンデンサ間の実装インダクタンスの総和 Cdec:デカップリングコンデンサ総容量(部品容量 x 個数) Lpkg: パッケージの電源・グランド間ループインダクタンス Lpln: コンデンサーパッケージ間電源・グランド間ループインダクタンス Ldec: デカップリングコンデンサのESL Ndec: デカップリングコンデンサ搭載個数 参考値(FC-BGAパッケージ周辺2cmに置いた場合)

コンデンサ容量	共振周波数
1nF	66MHz~133MHz
10nF	27MHz~53MHz
33nF	13MHz~27MHz
0.1uF	7MHz~13MHz
0.22uF	6MHz~13MHz
0.47uF	4MHz~7MHz
1uF	3MHz~6MHz









- 電源・グランド層に出来る限り薄い誘電体を使用。それを基板の最上層に 近い層に持ってくる
 - デカップリングキャパシタ端子と内層の電源・グランドへのビア接続には出 来る限り太くて短い表層配線を使い、ループインダクタンスが最も小さくな るようにキャパシタを配置する









- ターゲットインピーダンスを決めることの難しさ
- 1. チップの正確な電流スペクトルが分からない
- 2. チップからの電流は純粋な正弦波ではない場合がほとんどである
- 3. 電源変動による電流の周波数成分はDCからクロックの5次高調波まで と幅広い
 - 最悪のケースにおけるチップ消費電流のスペクトルの正確な情報がないと、堅実な設計では最悪の電流がDCからクロック周波数の数倍の帯域幅まで起こると仮定しなければならないことを意味する









DRAM搭載基板のパスコン最適化の例

DRAM周辺の中周波帯用コンデンサ(nF~1uF)を最適化



[Q]DRAM1個あたりに搭載すべきコンデンサ搭載条件は?

a) 1nF+0.033uF+0.22uF(全て1005)

b) 1nF+0.01uF+0.033uF+0.1uF+0.22uF+0.47uF(全て1005)

c) 3nF(0603) x3.7 + 0.033uF(1005) +0.22uF

d) 0.22uFx3.7(現製品:1005)











パスコンは、さまざまな容量を複数並列接続するのがよい



いまどきのプリント基板設計

- シグナルインテグリティ(Signal Integrity: SI)
 - ■5GHz超の高速シリアル伝送は設計が困難になる
 - ■高速シリアルの基板設計は低損失配線・ビア構造が決め手
 - 密結合な幅が狭い差動配線より低結合の幅広配線が損失 低減
 - ■最後まで残ったメモリバスもエラーレート設計が必要

パワーインテグリティ(Power Integrity: PI)

- 低電圧化、高周波化にともない電源雑音マネージメントの困難さが増加
- ■パスコンの配置とLSIまでのインダクタンスが決め手
- ■時間領域で長周期ノイズと位相重なりの確認が必要

