

## DDRメモリの電氣的検証

スマート・フォンからサーバまで、ほとんどすべての電子デバイスには、なんらかの形式のRAMメモリが使用されています。フラッシュ型NANDはさまざまな民生家電で今も数多く使われていますが、コンピュータやコンピュータベースの製品においては今なおSDRAMはメモリ技術の主流となっており、ビット単価も比較的安価でスピードとストレージ容量のバランスも優れています。スピードの高速化、大容量化を実現しつつ、低コスト、低予算、メモリ・デバイスの寸法の小型化を求める企業にとって、DDR (Double-Data-Rate) SDRAMは今日の主流となるメモリ技術であり、今なお進化しています。

クロック・レート、データ転送速度が高速になるにつれ、システム性能や、システム内のメモリやメモリ制御デバイスのインターオペラビリティ（相互接続性）を確保しなければならない設計エンジニアにとっては、メモリ・サブシステムのアナログ・シグナル・インテグリティ（信号忠実度）がますます重要になっています。プロトコル・レイヤで発見される多くの性能問題であっても、シグナル・インテグリティ問題として追跡することができます。したがって、メモリ・デバイスのアナログ検証は、電気回路設計の検証においてますます重要なプロセスになっています。

メモリ・デバイスの検証で必要となるジッタ、タイミング、電氣的な信号品質テストの詳細は、JEDEC (Joint Electron Device Engineering Committee) で規定されています。それぞれのメモリ技術のJEDEC仕様で規定されているテストには、クロック・ジッタ、セットアップ/ホールド時間、信号のオーバーシュート、アンダーシュート、トランジション電圧などのパラメータなどの測定が含まれています。しかし、この仕様に対する適合性テストは複雑であり、時間のかかる作業です。適切なツールや技術があればこの作業時間を大幅に短縮することができ、正確な結果を得ることができます。このアプリケーション・ノートでは、メモリ・テストの問題を解決し、検証プロセスを簡略化するためのテクトロニクスのソリューション・ツールキットについて説明します。



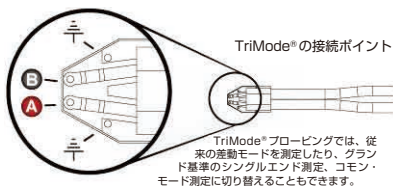


図3. P7500シリーズTriModeプローブの接続ポイント

メモリ・アプリケーションでP7500シリーズを使用するもう一つの利点は、当社特許のTriMode機能にあります。TriModeでは、+と-間で差動測定が、あるいは信号とグラウンド間でシングルエンド測定が行えます。プローブ・チップには3箇所の半田付けポイントがあり、プローブの切り替えボタンまたはオシロスコープのメニュー・コマンドで差動とシングルエンドのモードを切り替えることができます。メモリ・アプリケーションで有効な利用法の例として、プローブの+（プラス）をシングルエンド・データまたはアドレス・ラインに接続し、プローブの-（マイナス）をとなりのラインに接続します。こうすることで、2つのシングルエンド測定モードを切り替えることにより、1本のプローブで2つの信号を測定することができます。

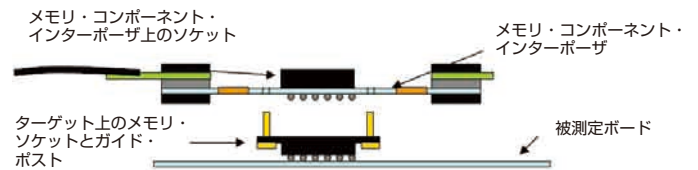


図4. DDR用コンポーネント・インターポーザ

しかし、裏側のビアからは信号にアクセスできない状況が数多くあります。組込みメモリを使った設計では、メモリ部品の反対側に十分なスペースをとることができません。一般的なDIMMであっても、ストレージ密度を上げるために、基板の両面にメモリ部品を搭載しているものも数多くあります。このような状況では、どのようにして信号にアクセスすればよいのでしょうか。

このような状況に対しても新しいプロービング・ソリューションがあります。テクトロニクスとNexus Technologies社は、すべてのDDR3およびDDR2の標準メモリ・デバイスのためのコンポーネント・インターポーザを開発しました。このインターポーザはソケット・アーキテクチャを採用しており、メモリICをターゲット基板に半田付けする代わりにこのソケットを半田付けします。プロービングのためのテスト・ポイントを持ったインターポーザをこのソケットにはめ込みます。メモリICはインターポーザの上に実装されているソケットに装着します。図4に、接続の様子を示します。

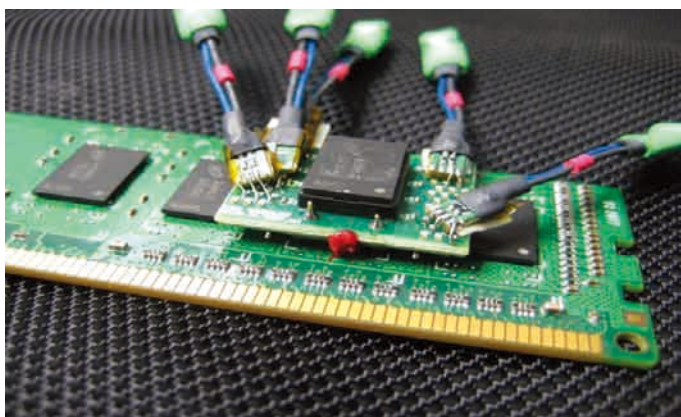


図5. 半田付チップを取り付けたコンポーネント・インターポーザとプロービングした信号のアイ・ダイアグラム表示

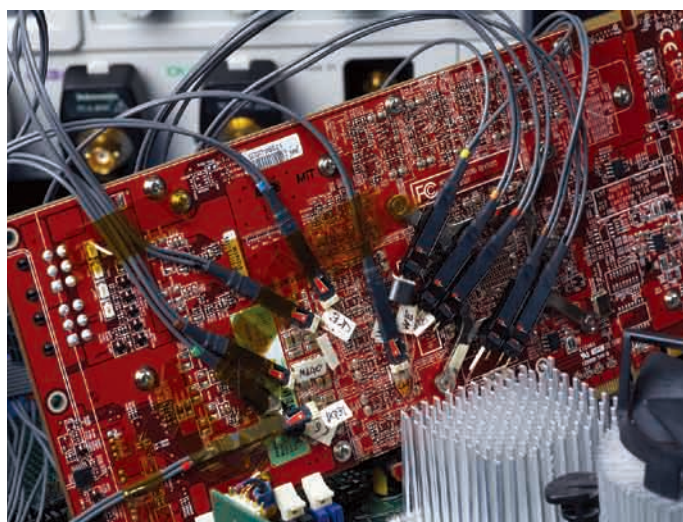
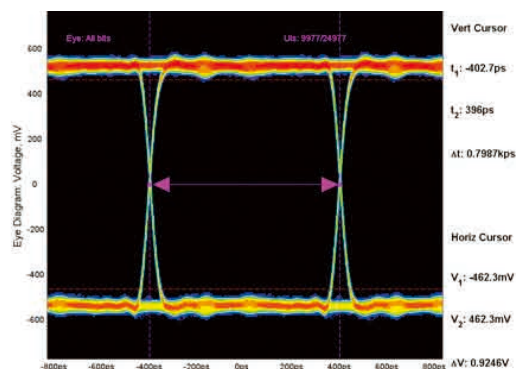


図6. GDDR5のボードに半田付けされたP6780型デジタル・プローブ

Nexus社のインターポーザのユニークな特長の1つは、特許取得のソケットを使用している点です。装着時はメモリICの半田ボールに勘合し、外した時はそれぞれの半田ボールが元の部品に残るようになっています。これにより、半田を取り去ったり、再半田することなく、メモリICを外したり取り付けたりすることができます。使いやすさが向上し、何回も半田を付け外しすることによる電氣的な接触不良の可能性を大幅に低減することができます。

インターポーザ内のメモリ部品のBGAパッドのすぐそばには、小さな絶縁抵抗が組込まれています。この抵抗はP7500シリーズのプローブ・チップの電氣的なネットワークとマッチングがとれているため、優れた信号忠実度を実現しています。図5のアイ・ダイ

アグラムは、写真に示すものと同様のDDR3-1333 DIMMIに取り付けたインターポーザによって取込んだものです。オシロスコープのデジタル・フィルタ機能により、このプロービング・システムによるわずかなアナログ的影響も除去することができます。

## デジタル・プロービング

テクトロニクス社のMS070000シリーズ・ミックスド・シグナル・オシロスコープには、4つのアナログ・チャンネルと16のデジタル・チャンネルが装備されています。1つまたは2つのデータおよびクロック・ラインの他、DDRコマンド・バス信号、アドレス・ラインにも接続すると、効果的な測定ができるケースが度々あります。P6780型プローブは、MS070000シリーズに接続して使用する高性能差動プローブです。DDRメモリの検証では、実装密度の高いレイアウト、小さなパッケージング、信号の接続が大きな課題となっています。

P6780型ロジック・プローブには豊富な半田付けアクセサリが含まれているため、さまざまなコネクタ、ピン、デバイス・リード、配線、ビアに簡単に接続することができます。P6780型の半田付けプローブ・チップを使用することで、専用のプローブ用フットプリントの必要なしに、必要に応じてテスト・ポイントを追加することができます。どのような測定セットアップにおいても、テスト機器が測定に与える影響が最小限になるように注意を払う必要があります。P6780型の半田付けチップには、ラインの反射を低減するためのフェライト・コアが入っています。接続に必要なリード線長を最小限にすることで、優れた信号忠実度を実現しています。

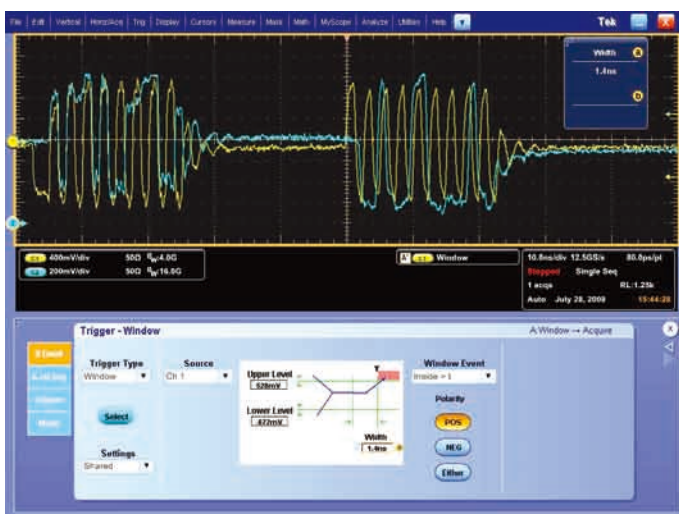


図7. Windowトリガを使用してDQSのライト・プリアンプでトリガ

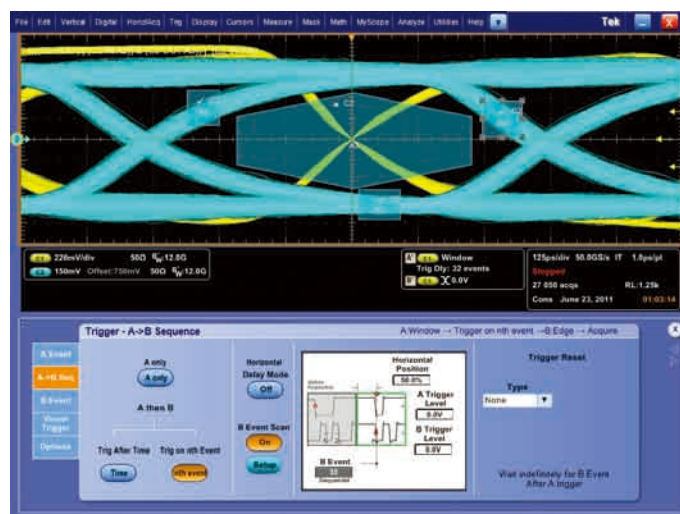


図8. DQ信号のアイにおけるビジュアル・トリガ

## 信号の取込み

信号ラインにプローブが接続できたならば、次はメモリ・バスの特定のイベントを検出します。JEDECの適合性測定を実行するためには、リードまたはライト・バーストなど、データ・ストリームの特定の部分のみの測定が必要になります。デバッグにおいては、特定のランク、バンクによる特定のイベント、あるいはシグナル・インテグリティ問題の解析のために、データ依存性のジッタ、タイミング、またはノイズ問題などの特定のデータ・パターンの識別が必要になります。

リード・バースト、ライト・バースト、その他のバス・コンディションを識別して分離するにはいくつかの方法があります。最も簡単な方法は、DQS（データ・ストローブ信号）によってリード／バーストの開始点を識別することです。例えば、DDR3では常に書き込みの開始はDQSがハイに、読み込みの開始はローになります。オシロスコープのハードウェア・トリガは、バーストのプリアンプ

部分にトリガでき、リードのみ、またはライトのみを波形の最初の部分に取込むことができます。図7は、ライト・バーストのトリガ・ポイントを中心にして、リードとライトのバーストの両方が表示されています。

MSO/DSA/DPO70000シリーズ・オシロスコープにオプションで搭載されているビジュアル・トリガは、ディスプレイ上でエリアを定義することで従来のエッジ・トリガを補完でき、DQSバーストに容易にトリガできます（図8参照）。ディスプレイ上にエリアを設定することで、このエリアに入るまたは入らないイベントにトリガでき、DQSまたはデータ・ストローブ信号を取込むことができます。このエリア形状は、移動したり、回転したり、三角形、不等辺四角形など4種類が選べ、従来のオシロスコープ・トリガと組み合わせることで、より正確な信号取込みが可能になります。

コマンド	SO#	RAS#	CAS#	WE#
Mode Register	0	0	0	0
Refresh	0	0	0	1
Precharge	0	0	1	0
Activate Row	0	0	1	1
Write Column	0	1	0	0
Read Column	0	1	0	1
No Operation	0	1	1	1
Deselect	1	x	x	x

表2. SDRAMコマンド



図9. 拡張サーチ／マーク機能によるすべてのライト・バースト信号の自動識別

```

DDR Symbol File Example.tsf - WordPad
File Edit View Insert Format Help
# DDR SDRAM Symbol Table
#
# TSF Format      Type      Display Radix  File Radix
# =====
#+ Version 2.1.0 PATTERN      BIN           BIN
#
# Command Signals Pattern
# SO# RAS# CAS# WE#
#
# Command      Command
# Symbol Name  Pattern
# =====
MODE_REG      0000
REFRESH       0001
PRECHARGE     0010
ACTIVATE      0011
WRITE         0100
READ          0101
NOP           0111
DESELECT      1XXX
    
```

図10. DDRのシンボル・ファイル例

## 拡張サーチ／マークによるリード／ライトの識別

DPO/DSA70000Bシリーズ、MSO70000シリーズのもう1つの機能に、拡張サーチ／マーク（Opt. ASM: DSA70000Bシリーズでは標準装備）と呼ばれるソフトウェア・ユーティリティがあります。ASM（拡張サーチ／マーク）では、取込んだ波形すべてをスキャンし、設定した条件でサーチします。設定できる条件の一つにDDRのリード／ライトの識別があります。ASMは取込んだ波形レコードからすべてのリード・バースト、ライト・バーストを検出し、すべてのバーストにマークを付けます。このマークは目視による解析にも利用できる他、DDR特有の測定におけるクオリファイヤとしても利用できるため、データ・ストリームの任意の部分でのみの測定も可能です。DDRの場合、ASMのサーチ・アルゴリズムでは、リード・バーストとライト・バーストでは位相関係が異なるという性質を利用しています。すなわち、リードではDQとDQSは同相であり、ライトでは90°ずれます。図9は、すべてのライト・バーストにピンクの三角矢印が波形の上に示されており、1つのライト・バーストがズーム表示されています。

## バスクオリファイ・トリガ

高性能ミックスド・シグナル・オシロスコープには、メモリ・バスのコマンド・ステート、コントロール・ラインを使用して信号を取込む、数多くの機能が用意されています。

SDRAMのメモリ・コマンドは、メモリ・クロック（CK）の立上りエッジに同期しています。コマンド信号には、チップ・セレクト（SO#またはCS#）、行アドレス・セレクト（RAS#）、列アドレス・セレクト（CAS#）、ライト・イネーブル（WE#）の4つがあります。#は、アクティブ・ロー信号であることを示します（表2を参照）。メモリ・コマンドの検証では、MSOを使用して適切なデータ（DQ）とストロープ（DQS）信号の他に、CK、SO#、RAS#、CAS#、WE#の5つの信号をプローブする必要があります。MSOのデジタル・チャンネル・メニューで、CK、SO#、RAS#、CAS#、WE#の5つのコマンド信号をプローブ・チャンネルに割り当てます。

ライトまたはリードのコマンド・シーケンスの最初にくるのがActivate Rowコマンドです。MSOでActivate Rowコマンドにトリガするには、MSOのトリガをCommandグループ=0011に設定します。これは、表2によるとSO#=0、RAS#=0、CAS#=1、WE#=1となります。

0011などのバイナリの値設定は、操作ミスの原因となりやすいものです。MSOでは、バイナリ、16進、シンボルなど、さまざまなフォーマットに対応します。SDRAMのコマンド・グループなどのロジック・ステートを信号のグループで定義する場合、パターン・シンボル・ファイルを使用します。表2のSDRAMコマンド・テーブルを元に、テクトロニクス・シンボル・ファイル（.tfs）としてMicrosoft Notepadで作成します（図10を参照）。

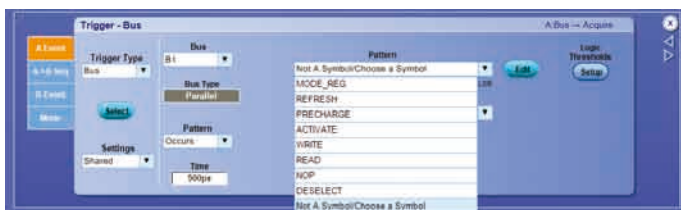


図11. MSO70000シリーズのDDRコマンドによるSymbol Triggerメニュー

MSOは、Activateコマンドでトリガするために、このパターン・シンボルを使ってトリガを設定します。MSOのバス・トリガ・メニューでパターン・シンボルを使用するには、Bus RadixをSymbolicに変更することでシンボルが選択できるようになります。ビジュアル・トリガと併用することで、DQS、データ・ストロブ、パターン検証など、時間のかかる作業効率が大幅に改善されます。

### JEDECに準拠した測定

先にも説明したように、JEDEC仕様ではメモリ技術ごとに適合性測定が規定されています。測定項目としては、クロック・ジッタ、セットアップ/ホールド・タイミング、トランジション電圧、オーバーシュート/アンダーシュート、スルー・レートなどのパラメータ、その他の電氣的品質テストが含まれています。規定されているテストの項目数が多いだけでなく、汎用のツールでは測定が複雑なものになります。

その一例が測定リファレンス・レベルです。JEDECの仕様では、タイミング測定におけるリファレンス電圧レベルが規定されています。図13は、データ信号のタイミング測定で使用されるVihとVilレベル（ACおよびDC）を図示しています。立上りエッジと立下りエッジで使用するレベルが異なっているにご注意ください。



図12. MSO70000シリーズによるDDR3コマンド・バス・デコード例

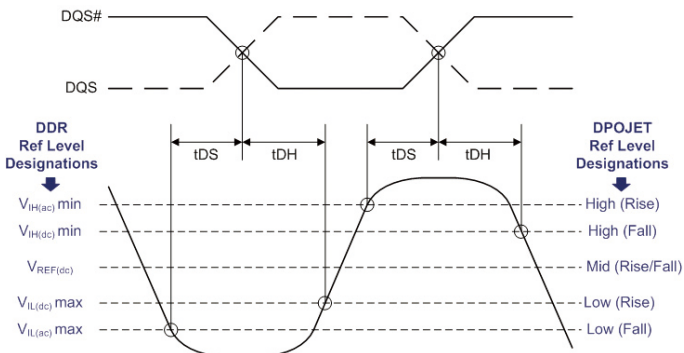


図13. 測定リファレンス・レベル

13 Electrical Characteristics and AC Timing (Cont'd)  
13.3 Address / Command Setup, Hold and Derating (Cont'd)

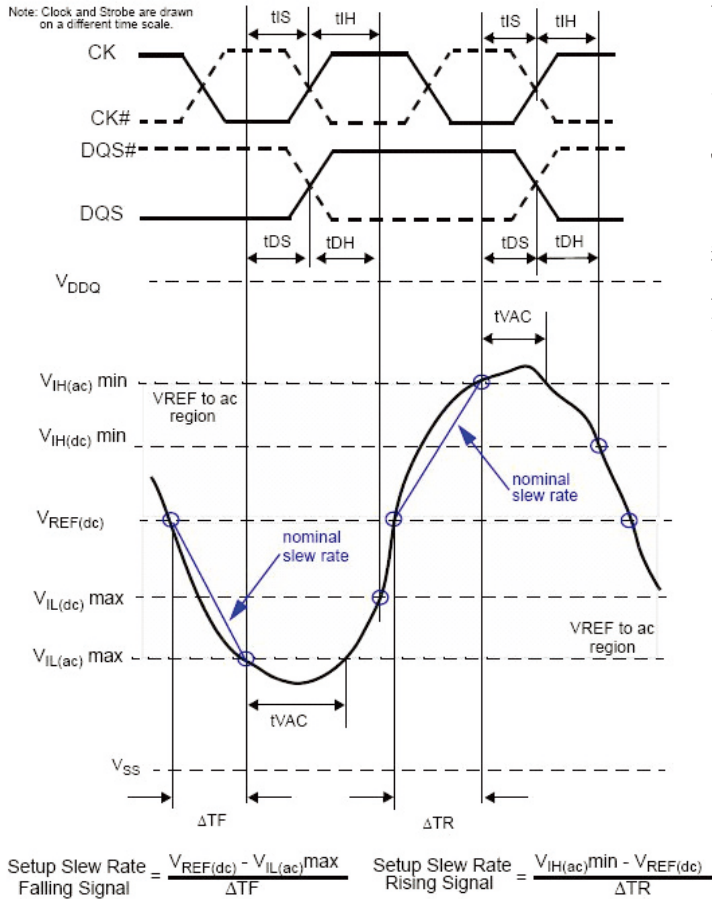


Figure 110 — Illustration of nominal slew rate and  $t_{VAC}$  for setup time  $t_{DS}$  (for DQ with respect to strobe) and  $t_{IS}$  (for ADD/CMD with respect to clock).

図14. スルー・レート測定 - DDR3における公称的な方法

もう一つの例がスルー・レート測定です。スルー・レートは、データ、ストロブ、コントロール信号で測定する必要があり、セットアップ/ホールドなどのタイミング測定におけるパス/フェイル・リミットの補正のための計算に使用されます。しかし、スルー・レート測定の詳細な方法は、測定する信号によって異なります。図14は一つの測定例ですが、その他のテストでは別な方法が必要であることにご注意ください。

JEDECで規定されている測定方法、リファレンス・レベル、パス/フェイル・リミットなどは複雑であるため、DDRテストなどのアプリケーションに特化した測定ユーティリティがあると非常に便利です。このような測定ユーティリティがあれば、汎用の計測ツールだけでは何時間もかかる測定セットアップが正しく行え、大幅な時間短縮につながります。





図15. DDRAのセットアップ画面 – ステップ1

## DDR解析ソフトウェア

テクトロニクス社のリアルタイム・オシロスコープ（DPO/DSA 70000シリーズ、MSO70000シリーズ、DPO7000シリーズ）用のOpt. DDRAは、DDRデバイスをテストするための専用自動測定ソフトウェアです。DDRAには、JEDEC規格に準拠した数多くの測定機能があるだけでなく、規格にないデバイスやシステムの実装の測定用にセットアップをカスタマイズできる機能も備えています。現状では、DDR、DDR2、DDR3、LPDDR、LPDDR2、GDDR3の6種類がサポートされています。

Opt. DDRAは、テクトロニクス社のオシロスコープで実行する2種類のソフトウェア・パッケージ（拡張サーチ／マーク（Opt. ASM）とDPOJET（ジッタ／アイ・ダイアグラム解析ソフトウェア）と共に使用することで、強力でありながら使いやすいDDRテスト／デバッグ・ツールとなります。

DDRAのメニュー・インターフェースには、選択形式による5つのステップがあります。インターフェースのステップ1を図15に示します。ここでは、テストするDDRの種類（DDR、DDR2など）とメモリのスピードを選択します。この例に示すドロップダウン・リストには、DDR3で現在利用可能な1600MT/sまでリストされています。デフォルトの選択肢の他に独自のスピードを設定することができ、オーバークロック・アプリケーションなど、将来の技術革新にもこのソフトウェアによって簡単に対応できます。DDRの種類とデータ・レートを選擇すると、DDRAは測定のためのリファレンス電圧を自動的に設定します。ここでも「User Defined」が選擇でき、JEDECのデフォルトを書き換え、必要に応じてVdd、Vrefを任意の値に設定することができます。

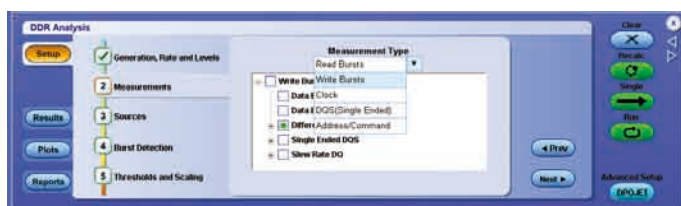


図16. DDRのセットアップ画面 - ステップ2 (測定項目の選択)

ステップ2では、測定項目を選択します。測定できる項目は、信号の種類、必要なプロービング接続にまとめられてドロップダウン・メニューに表示されます。例えば、Clockラインで実行する測定項目は、Clockドロップダウン・メニューにまとめられています。リードに関する測定、ライトに関する測定、アドレス/コマンドに関する測定も同様にそれぞれのドロップダウン・メニューにまとめられているため、特定のプローブ接続を必要とするすべての測定項目が1回でテストできるように選択できます。

DDRメニュー・インターフェースの残りのステップ3と4では、必要な信号にどのようにプロービングするかが示され、また測定リファレンス・レベルなどのパラメータのカスタム化、調整が行えます。

設定を完了して <Run> (または <Single>) を選択すると、オシロスコープは信号取込みを開始し、データ・バーストを識別し、必要に応じてマークを付け、選択された測定を実行します。デフォルトのメモリ長では約1000UI (Unit Interval) を取込み、すべての有効なエッジから測定を行います。データ・バーストの測定では、自動的にアイ・ダイアグラムを作成してDQとDQSを重ね書きして相対的なタイミングを示します。DDRのResultsパネルには、統計値、仕様のリミット値、パス/フェイルの結果、その他データなど、すべての測定結果が表示されます。必要に応じて印刷形式のレポートも作成でき、測定で使用した波形データを保存することもできます。

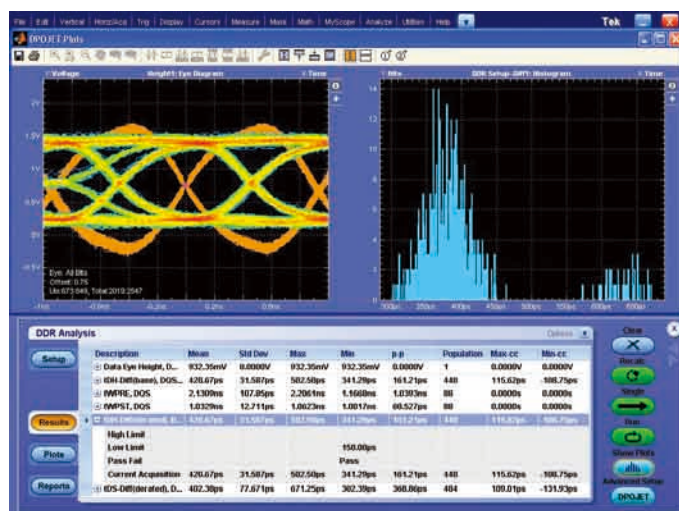


図17. DDRによる測定結果で、2つのグラフが表示されている

## 障害解析とデバッグ

測定結果の元となる取込んだすべての波形データは保持されているため、さまざまな利用方法があります。仕様のリミット値から外れた場合は、波形レコードのどこでフェイルになったかを特定することができ、特定された領域をズーム表示することでフェイル時の信号の詳細とその特性を調べることができます。ソフトウェアにはさまざまなツールが用意されており、取込んだデータが簡単に解析でき、注目したい領域をピンポイントで特定することができます。例えば、図17に示すヒストグラムは全ての測定項目に適用でき、ワーストケースの測定値を観測することができます (この例では、セットアップ時間測定に適用されています)。ヒストグラム以外にも様々なプロット表示が利用できます。Cursor Syncというツールでは、プロット上の任意のデータ・ポイントを、対応する元の波形レコードのイベントとリンクさせることができ、データのさまざまな部分と表示形式を簡単に切り替えて、より詳細な解析が行えます。

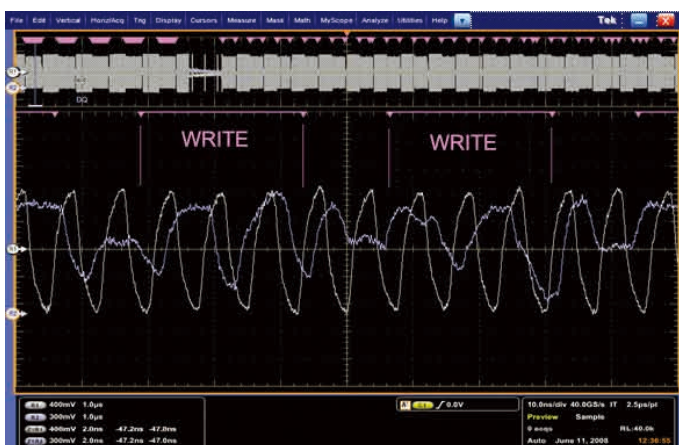


図18. DDR3の連続した書き込み動作

## コマンドとプロトコル動作の検証

SDRAMの書き込み動作のプロトコル・シーケンスは、Activateコマンドで始まり、1つ以上の書き込みコマンドが続きます。行アドレスとバンク・アドレスを持ったActivateコマンドは、読み出し、書き込みのために特定のバンクの特定の行を開きます。列アドレスとバンク・アドレスを持った書き込みコマンドは、開かれた特定のバンクの特定の行の指定された列を書き込みのために開きます。開かれた行がないバンクに書き込みコマンドがアクセスした場合は、プロトコル・エラーになります。書き込みコマンドの後、メモリは定義されたメモリ・サイクルで、メモリ・コントローラがデータを書き込む

ことを期待します。開かれた行への書き込みが完了した時、他の行をアクセスできるように、開いていた行を閉じる、あるいはプリチャージ・コマンドでディアクティベートしなくてはなりません。最もシンプルなDDR2 SDRAMコマンド・プロトコル・シーケンスは、Activate、WriteおよびPrechargeです。連続のwrite-to-writeシーケンスは、Activate、複数のWrite、そしてPrechargeです。write-to-readシーケンスは、Activate、Write、ReadそしてPrechargeです。開いている行ではWriteとReadの順番は任意です。メモリ・コントローラが、ある行に2つのWriteコマンドを、コマンド間にDeselectコマンドを入れることなく連続して送るとDDR2 DRAMプロトコル・エラーとなります。DDR2 DRAMは、メモリ・コントローラによりストローブされたデータを読むことでWriteコマンドに応答します。

DRAMのもう一つの重要な仕様が、Prechargeコマンドが送られた後、行を開くためにActivateコマンドが送られる前の最小tRP時間です。PrechargeコマンドにトリガするようにMSOのトリガを設定し、Prechargeコマンドと同じバンクのActivateコマンド間のtRP時間を測定することで簡単に検証できます。

同様のプロトコル/タイミング検証技術は、DDR3 DRAMの読み出し/書き込み動作にも適用されます。しかし、DDR3の複数の連続した書き込み動作は仕様で認められている点に注意が必要です。バス・トラフィックの解析において、書き込みバーストを分離する時に、ストローブ信号の終端ロジックが考慮されないと、連続したストローブでは2つの連続した書き込みを1つの書き込みバーストとみなしてしまいかねません。

## アプリケーション・ノート

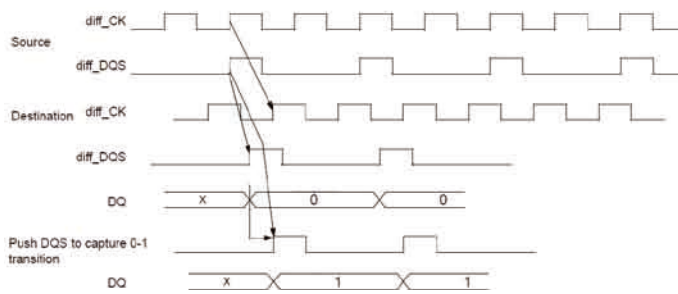


図19. DDR3の書き込みレベリングによるDQSとCKラインのデスクュー（出典：JEDEC DDR3 SDRAM規格、JESD79-3C）

読み出しまたは書き込みサイクル動作の検証が終わったならば、次のような項目を検証する必要があります。

### 基本機能テスト

プロトタイプシステムの初期化では、クロック、リセット、PLLラインをチェックすることで、他のサブシステムに影響を及ぼす重要な問題を検出するのに役立ちます。ブラウザまたはハンドヘルド・タイプのプローブは、測定ポイントを切り替えながら重要な信号をチェックするのに適しています。

もう一つの基本テスト・チェックが波形インピーダンスの検証です。SDRAMメモリ・システムではシングルエンド信号、差動信号が使用されるため、これらの信号波形は異なるインピーダンスになります。この検証には、DSA8200型サンプリング・オシロスコープとTDR（Time Domain Reflectometer）サンプリング・モジュールを使用します。インピーダンスやターミネーションに不具合があると、なめらかでない立上り／立下りエッジなど、良質なエッジ品質が得られません。エッジ品質が悪くと、信号トランジションが長くなり、クロック信号の有効なデータ・ウィンドウが減少します。

### パワー・マネジメントと特殊な動作モード

バスがパワー・ステートに入ったり、出たりすると、ラインによっては非アクティブまたは再度アクティブになるものがあります。追加的なこのステートの変化によりシステムのインターオペラビリティが複雑になるため、注意が必要です。例えば、LPDDR2 (Low Power DDR2) では、Partial Array Self Refreshなどの優れたパワー・マネジメント技術を採用しており、メモリ・アレイの必要な部分のみが使用されるため、効率と低消費電力性に優れています。

## 書き込み／読み出しレベリング

データ・レートのスピード・アップのみだと、ソース・シンクロナス・バスの帯域拡張は難しくなっています。しかし、最先端の物理レイヤ設計技術によって広帯域化が可能になります。DDR3はフライバイ・トポロジをサポートしており、メモリ・コントローラからの信号（コマンド、アドレスおよびクロック）は一筆書き的にシーケンシャルに各メモリ・コンポーネントに届くため、負荷を低減し、全体としてのシグナル・インテグリティが向上します。各コンポーネント間のフライト・タイムによる電氣的遅延のため、メモリ・コントローラはクロック（CK）と各コンポーネントのデータ・ストローブ（DQS）を合わせるための遅延校正が必要になります。この動作により、クロックとストローブ信号間のフライト・タイム・スキューが低減され、メモリ・システムのマージンに余裕が生まれます。



図20. 書き込みレベリング動作における、クロックに対するDQS0～DQS7のスキュー

## DQ/DQS のマージニング

先にも説明したように、JEDECは規格適合性のための数多くの測定を規定しています。半導体およびコンポーネントの設計エンジニアは、さまざまなプロセス、電圧、温度における設計の特性を理解するため、基本的なパラメータ・テストの検証より先を見据えています。代表的な例として、ノイズに対する耐性と感度の確認のために、VrefまたはVddラインを変化させた時のデータ（DQ）とストローブ（DQS）をモニタします。これにより、広範囲な動作条件でもデバイスが正しく動作することを確認することができます。

## アプリケーション・ノート

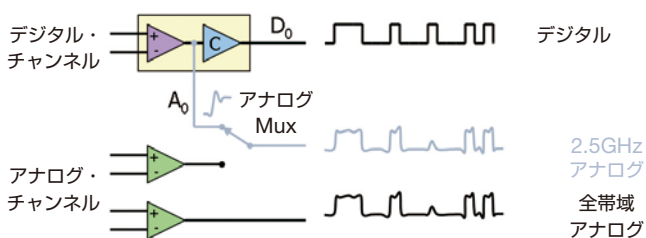


図21. iCaptureのアーキテクチャ

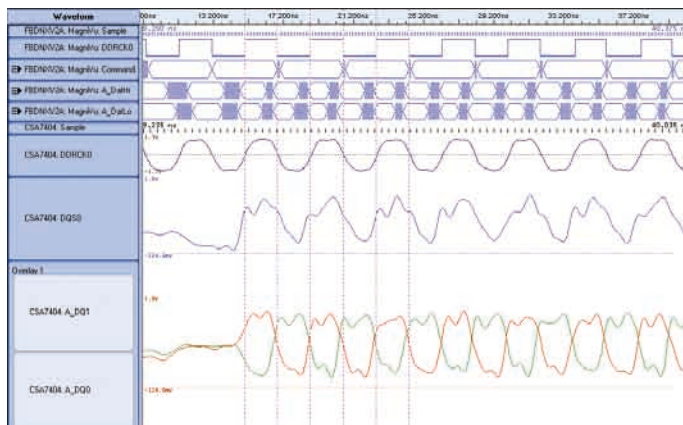


図23. TLA7000シリーズのiCapture機能によるDDR2設計のシステム・ステート観測

## デジタルとアナログ表示の組み合わせ

先にも説明したように、DDR信号の接続には、インターポーザや半田付けプローブ・チップなど、さまざまな方法があります。数多くのデジタル・ラインをモニタする必要がある場合に、シグナル・インテグリティ関連の問題が発覚した後で、別のアナログ用プローブを追加接続して信号を観測する、というのはあまり一般的ではありません。これは「ダブル・プロービング」として知られており、信号のインピーダンス環境の妥協が必要になります。2本のプローブを同時に使用すると信号に負荷を加えることになり、デバイスの立ち上がり時間、立ち下り時間、振幅、ノイズ性能が低下することになります。



図22. iCaptureによって表示されたチップ・セレクト・ラインのアナログとデジタル表示

MS070000シリーズのiCapture機能により、余分な負荷容量を加えることなく、またダブル・プロービングをするためのセットアップ時間の必要なしに、デジタルとアナログの振る舞いを時間相関を取りながら観測できます。16のデジタル・チャンネルの任意のチャンネルをオシロスコプのアナログ信号入力経路にマルチプレクスできるため、注目したい信号のデジタルとアナログ波形を並べて表示することができます。図22は、GDDR5回路におけるチップ・セレクト・ラインの検証の様子を示しています。デジタル・データのサンプリングで使用されているロジック・スレッショルドを確認したり、高い精度でのシグナル・インテグリティを検証できます。

20チャンネル以上のシステム・ステート・モニタリングが必要な場合は、TLA7000シリーズのiCapture機能を使用することで、100チャンネル以上のデジタル信号の動きを観測することができます。図23に示すように、ロジック・アナライザのディスプレイ上に、取込んだデジタル信号とオシロスコプで取込んだ4つのアナログ・チャンネルが、同じディスプレイ上に表示できます。

## まとめ

このアプリケーション・ノートでは、DDRテストに関する多くの課題と、メモリ設計の検証／デバッグに必要な計測ツールについて説明しました。当社は、高性能ミックスド・シグナル・オシロスコープ、真の差動TDR、Nexus Technology社のメモリ・サポートとロジック・アナライザを初めとする幅広いツール・セットを提供し、組み込みシステム、コンピュータ設計エンジニアのためのDDRベース・メモリ設計の正確な電氣的テストと動作評価がすばやく、正確に行えます。DDRテストの詳細については、JEDECのウェブ・サイト ([www.jedec.org](http://www.jedec.org)) またはMemory Implementers Forumのウェブ・サイト ([www.memforum.org](http://www.memforum.org)) をご参照ください。DDR仕様の詳細、ホワイト・ペーパー、その他の資料が用意されています。また、DDRのテストについては、テクトロニクスウェブ・サイト ([www.tektronix.com/ja/memory](http://www.tektronix.com/ja/memory)) もご参照ください。豊富なアプリケーション・ノート、ウェブ・セミナー、推奨機器リストなどがご覧いただけます。

**Tektronix お問い合わせ先：**

**日本**  
**お客様コールセンター**  
0120-441-046

**地域拠点**

**米国** 1-800-426-2200  
**中南米** 52-55-54247900  
**東南アジア諸国／豪州** 65-6356-3900  
**中国** 86-10-6235-1230  
**インド** 91-80-42922600  
**欧州／中近東／北アフリカ** 41-52-675-3777  
他 30 カ国

Updated 9 October 2009

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ ([www.tektronix.com/ja](http://www.tektronix.com/ja)) をご参照ください。



TEKTRONIXおよびTEKは、Tektronix, Inc.の登録商標です。Microsoft、Windowsは、米国Microsoft Corporationの登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

08/11

552-23432-2

**Tektronix®**

〒108-6106 東京都港区港南2-15-2 品川インターシティB棟6階  
テクトロニクス お客様コールセンター TEL:0120-441-046  
電話受付時間／9:00～12:00・13:00～19:00(土・日・祝・弊社休業日を除く)

[www.tektronix.com/ja](http://www.tektronix.com/ja)

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。  
© Tektronix