

28nm FPGAの 最新メモリ・インタフェース技術

2011年9月6日

日本アルテラ株式会社

シニア・プロダクト・マーケティング・マネージャ

橋詰 英治

アジェンダ

- 28nm FPGA製品の概要
- 28nm FPGA製品における外部メモリ・インタフェース・ソリューション

28nm FPGA製品の概要

業界で最も広範な 28nm 製品ポートフォリオ

28nm
製品
ポートフォリオ

Cyclone V
E, GX, GT

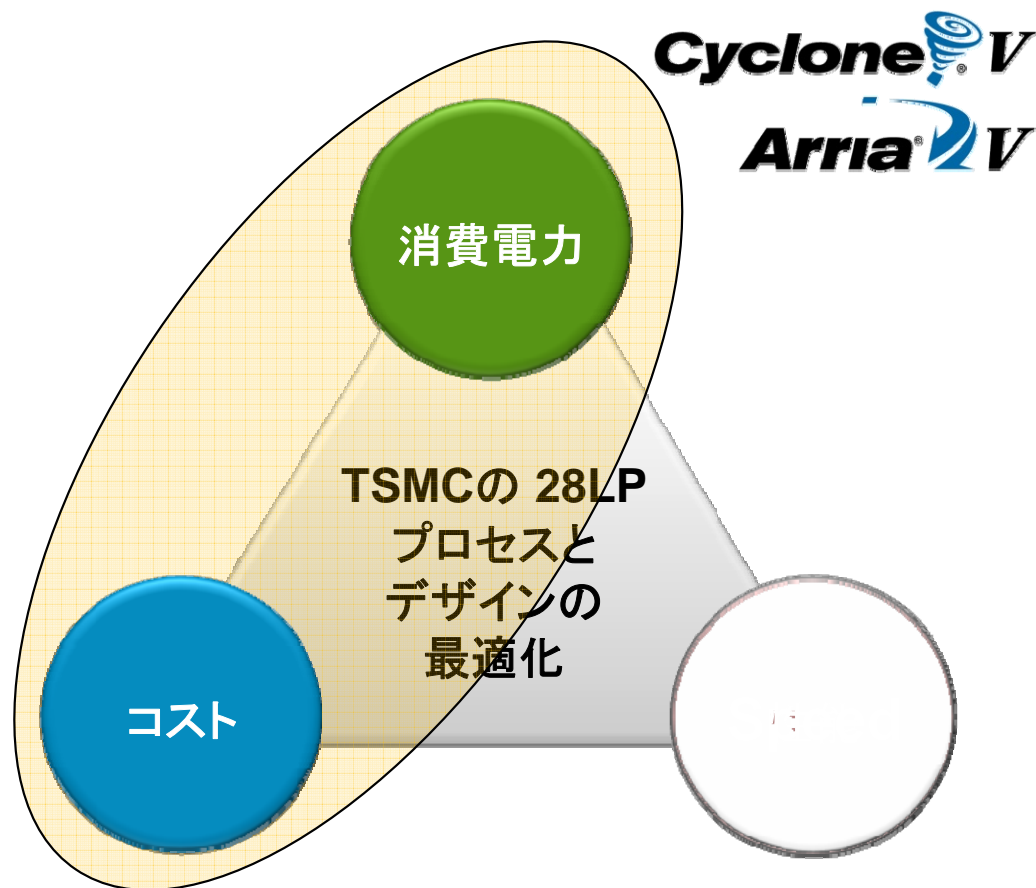
Arria V
GX, GT

Stratix V
E, GX, GS, GT

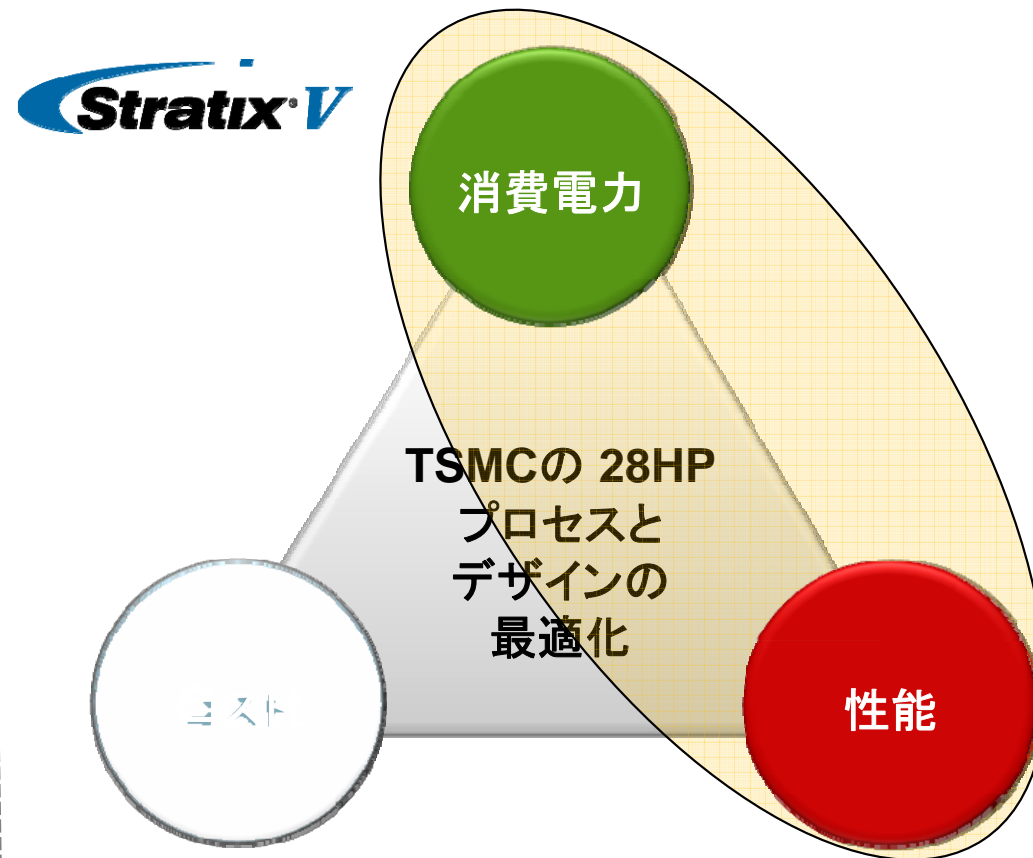
HardCopy V
E, GX, GS

従来のどのプロセス・ノードよりも
多種多様な製品ラインナップ

28nm ポートフォリオ: 2種類のプロセスを採用



- 消費電力とコストの制約が大きいアプリケーションに対する最適な選択
- 最小の消費電力



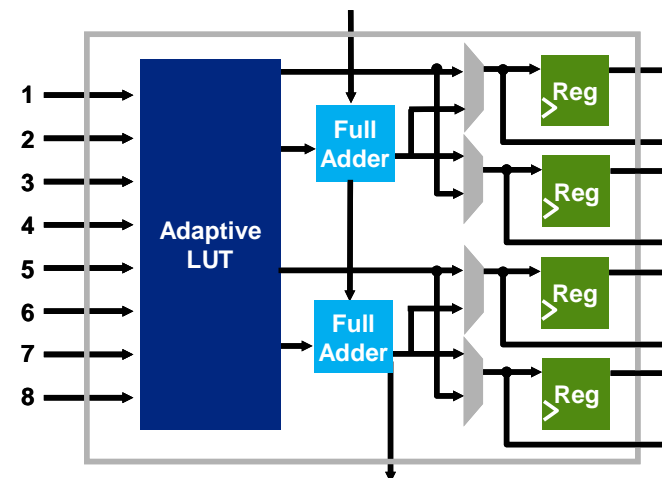
- 最大のバンド幅
- 消費電力が200mWと小さい
- 28 Gbps トランシーバ
- デザイン最適化による低電力化

プロセス・レベルで
ターゲット・アプリケーションに最適化

28nm FPGA共通の新機能①: Advanced ALM および fPLL

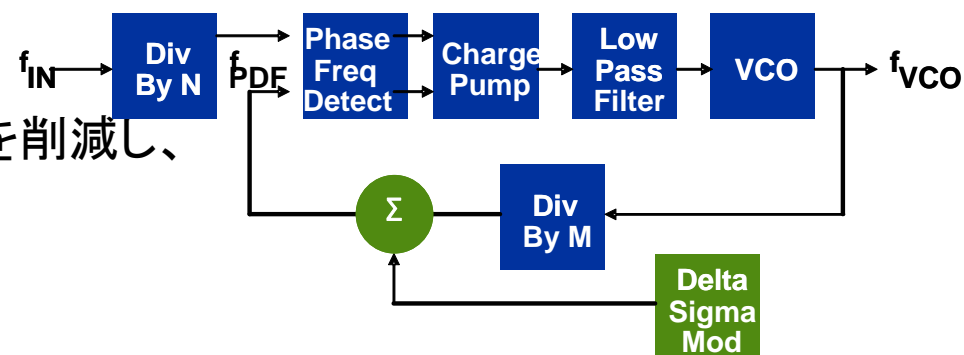
■ Advanced ALM アーキテクチャ

- 2倍のレジスタを提供
 - パイプラインの多用など
多数のレジスタを必要とするデザインに有効
- さらに高いロジック集積効率と性能



■ フラクショナルPLL (fractional PLL)

- 従来のInteger (整数)に加え、Fraction (分数)による逡倍および分周機能をサポート
- 高精度なクロック生成機能を提供
 - ボード上のクロック・ソース(VCXO)を削減し、FPGAのクロックピンも削減



28nm FPGA共通の新機能②: 可変精度 DSP ブロック

柔軟な乗算器モード(1ブロック)

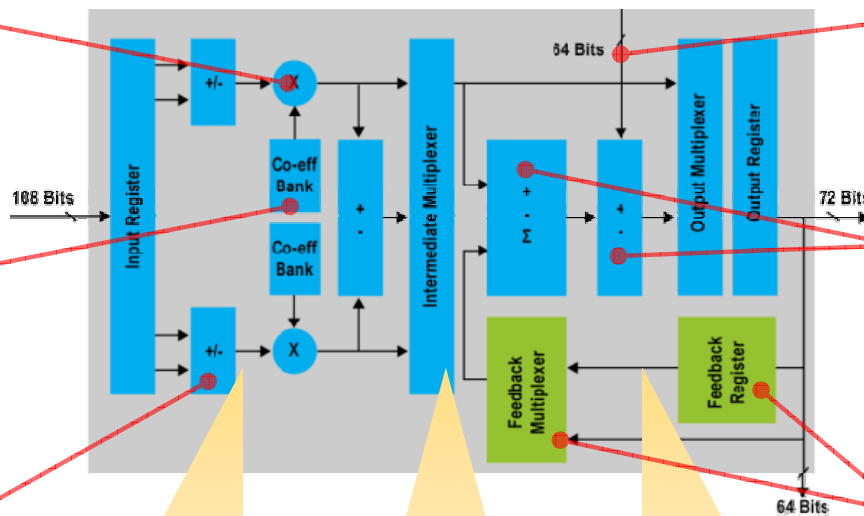
- 3個の 9x9 ビット乗算器
- 2個の 18x18 ビット乗算器
- 1個の 27x27 ビット乗算器

統合された係数レジスタ

- メモリおよび配線リソースを削減
- 容易にタイミングを収束

ハードのプリアダー

- 乗算器の使用を削減
- 配線リソースを節約



64 ビットのカスケード・パス

- シストリックFIRをサポート
- 積和演算を実現

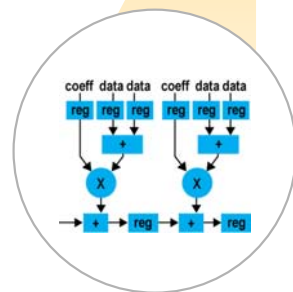
最大64 ビットのアダー/ 減算/ 累算

- 1,024タップ・フィルタ
- 2,048タップ・シンメトリック・フィルタ

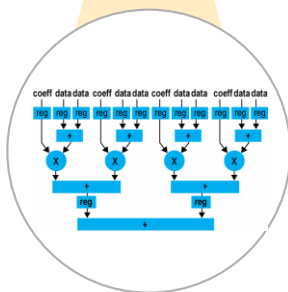
フィードバック・レジスタおよびマルチプレクサ

- 1つのDSPブロックで、2つの独立したフィルタ・チャンネルを実装

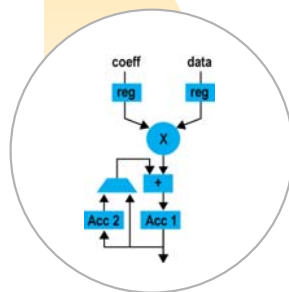
■ Arria V および Cyclone V の新機能



シストリック FIR



ダイレクト FIR



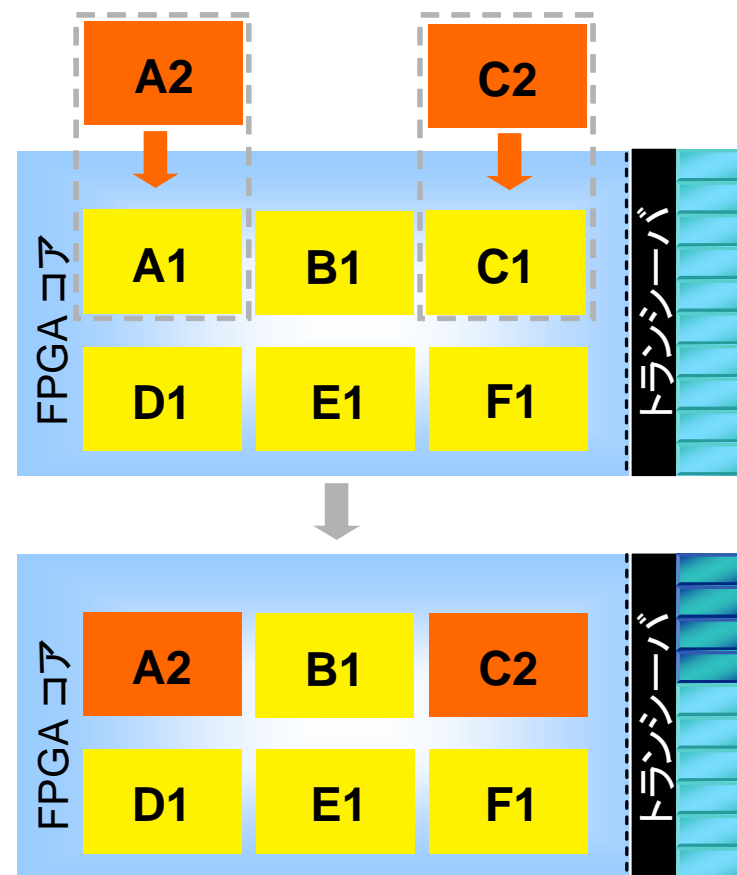
シリアル FIR

アプリケーションに合わせて、精度をチョイス
FIR フィルタを効率よく実装

28nm FPGA共通の新機能③: パーシャル・リコンフィギュレーション

- 部分再構成による究極の柔軟性が製品の差別化を実現
 - 回路を部分的に、ダイナミックに再構成
 - システムのダウンタイムを回避し、製品のアップグレードが可能
- Quartus II 開発ソフトウェアの実績のある設計手法でサポート
 - LogicLock™
 - インクリメンタル・コンパイル
- 高度なインテグレーションによりコストと消費電力も削減
 - 必要なデバイス規模を最小化

コア部はパーシャル・リコンフィギュレーション



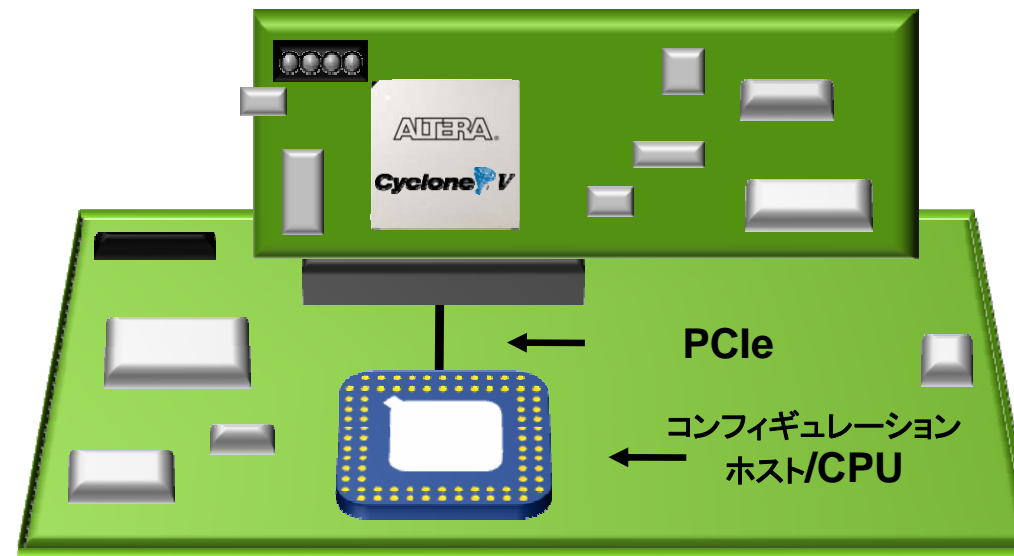
トランシーバ部はダイナミック・リコンフィギュレーション

使いやすいパーシャル・リコンフィギュレーション

28nm FPGA共通の新機能④: PCIe 経由のコンフィギュレーション

■ CvP (Configuration Via Protocol)

- 超高速コンフィギュレーション
- コンフィギュレーション用ストレージに柔軟性を提供
- 100 ms以内にPCIe リンクを確立
 - PCIe ハードIPブロック およびI/O を先行してコンフィギュレーション



PCIe 経由で超高速にコンフィギュレーション

低コストと低消費電力を重視するアプリケーション

アプリケーション



WDR 監視カメラ



ハンドヘルド・プロジェクタ



暗視ゴーグル

要求項目

- 消費電力 5W 未満
- ビデオ処理とバッファリング機能
- 5 Gbps までのトランシーバ
- 最小のシステムコスト

ソリューション



プロセス: 28LP

- 最小の消費電力
(前世代より 40% 低電力化)
- 最小のコスト
- 最大 300K LE のロジック規模

トランシーバ: 3 Gbps / 5 Gbps

製品アーキテクチャ:

- M10K メモリ・ブロックによる最適なバッファ機能

システム IP:

- PCIe Gen2 x1
- Mobile DDR サポートを含むハード・メモリ・コントローラ

性能・消費電力・コストのバランスを重視するアプリケーション

アプリケーション



リモート無線ユニット



放送業務用カメラ



ビデオ・スイッチャー

要求項目

- 消費電力 10W 未満
- 10 Gbps までのトランシーバ
- ビデオ処理とバッファリング機能
- 効率的なFIRフィルタ
- コストと消費電力を低減できるハードIP

ソリューション



プロセス: 28LP

- 消費電力、性能、コストのバランスをとり最適化
- 最大 500K LEのロジック規模

トランシーバ: 6Gbps / 10 Gbps

製品アーキテクチャ:

- Advanced ALM
- M10K メモリ・ブロック
- 可変精度 DSPブロック

システム IP:

- PCIe Gen2 x4
- 533MHz DDR3 をサポートするハード・メモリ・コントローラ

最高水準の性能を必要とするアプリケーション

アプリケーション



オプティカル・トランスポート
OTU トランスポンダ



40GbE/100GbE スイッチ



レーダー・システム

要求項目

- 350 MHz 以上のコア動作速度
- 28 Gbps までのトランシーバ
- 10GBASE-KR のサポート
- 高性能かつ高集積なロジックとオンチップ・メモリ
- 高性能で柔軟なメモリ・コントローラ
- バンド幅の最大化のためのシステム・レベルIPのハード化
- より高精度なデジタル信号処理

ソリューション



プロセス: 28HP

- 350 MHz を超えるコア動作速度
- クラス最小の消費電力
- シングルチップで最大1M LEのロジック規模

トランシーバ: 14.1 Gbps / 28 Gbps

製品アーキテクチャ:

- 1067MHz DDR3 DIMMをサポートするソフト・メモリ・コントローラ
- 2,688 個のM20K メモリ・ブロック
- 54x54 可変精度DSPブロック

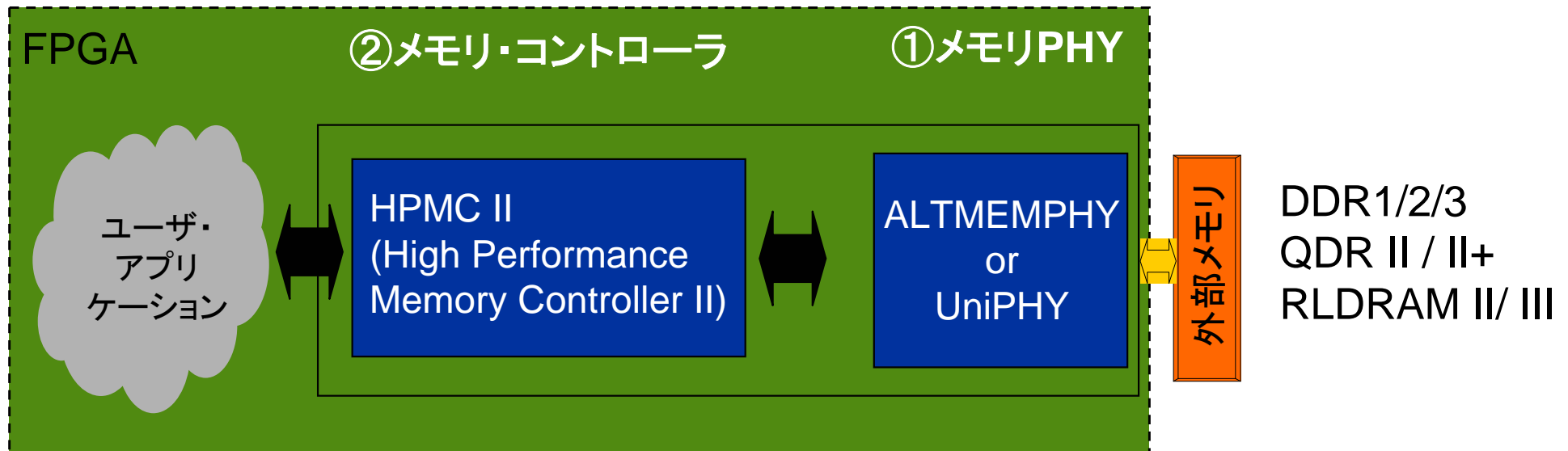
システム IP:

- PCIe Gen3 x8、10GBASE-R、Interlaken PCS

28nm FPGA製品における 外部メモリ・インタフェース・ソリューション

外部メモリ・インタフェース

- アルテラ・メモリ・ソリューションの構成
 - 1) メモリPHY: デバイスに実装済みの専用回路(ハードIP) + アルテラ製ソフトIP
 - 2) メモリ・コントローラ : アルテラ製ソフトIP



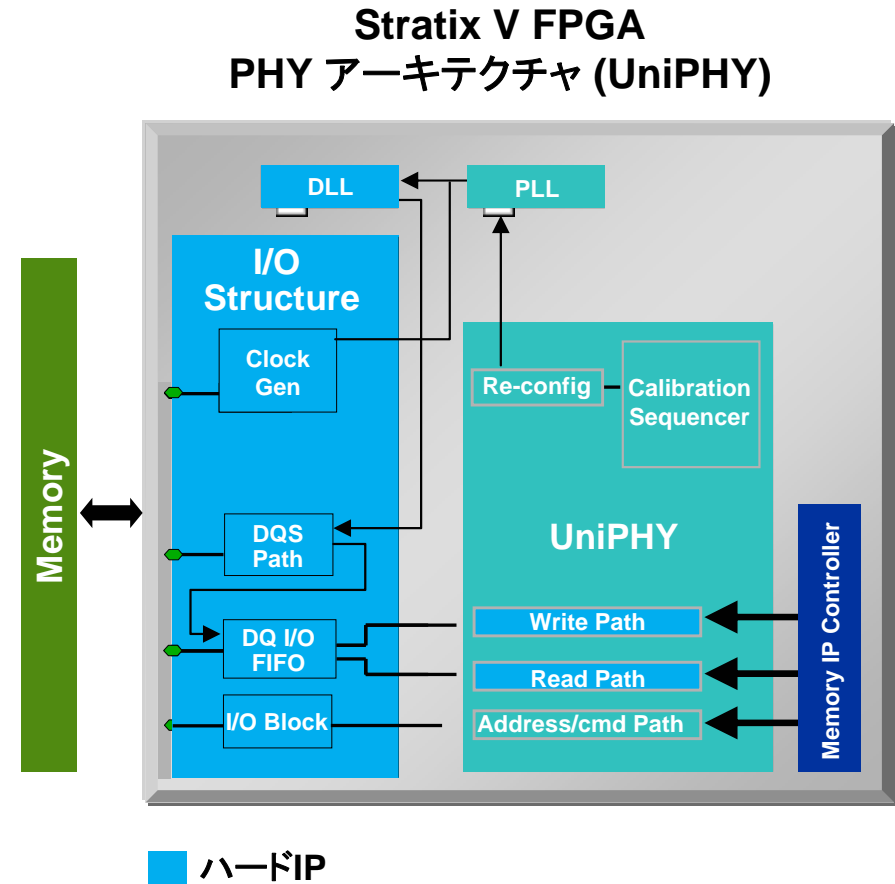
全て、自社製IP でご提供

アルテラが提供する 外部メモリ・インタフェース

- 既存の メモリPHY 技術をベースに強化
 - ALTMEMPHY: Stratix IV、Arria II、および Cyclone IV で実証済み
- 使いやすさ
 - Stratix V ではタイミング・パスをハード化して1067MHz 動作を確実に
 - Arria V と Cyclone V では、メモリ・コントローラもハード化
- 容易な検証
 - 全コードを RTL のクリアテキストで提供
 - Nios II ベースのキャリブレーションが、UniPHY のデバッグを容易に
 - パターン・ジェネレータ、および効率測定モニターを提供
- 広範な検証環境
 - 開発期間を通してテスト可能

Stratix V FPGA の外部メモリ・インタフェース

- 新しいメモリPHY “UniPHY” が従来のALTMEMPHYと比較して半分のレイテンシを実現
- 高いシステム信頼性
 - デューティ・サイクル・コレクション
 - キャリブレーション・アルゴリズム
 - VT 補償付きデスクュー・ディレイ
 - PVT 追従メカニズム
- 複数のインタフェース間でPLLおよびDLLリソースを共有使用
- ハード化されたI/O FIFOおよびリード/ライト・パス
- 使いやすさ
 - UniPHY はクリア・テキストで提供
 - Nios II プロセッサ・ベースのキャリブレーション・シーケンサにより、デバッグおよびカスタマイズが容易に
 - 各種資料も参照しやすく改良



迅速かつ容易にメモリ・サブシステムを実装

Stratix V の外部メモリ・インタフェース性能

■ 最高のメモリバンド幅

- 2,133 Mbps (1067MHz) のDDR3
- 最大6個の x 72 DDR3 DIMMをマルチランクでサポート

■ メモリPHY はタイミング収束を保証し タイミング・クリティカルなパスにおいて 最高性能を確保

- ハード化されたリード/ライト・パス
- ハード化された I/O FIFO
- レベリング対応でDDR3 DIMM をサポート

■ ソフト・メモリ・コントローラで

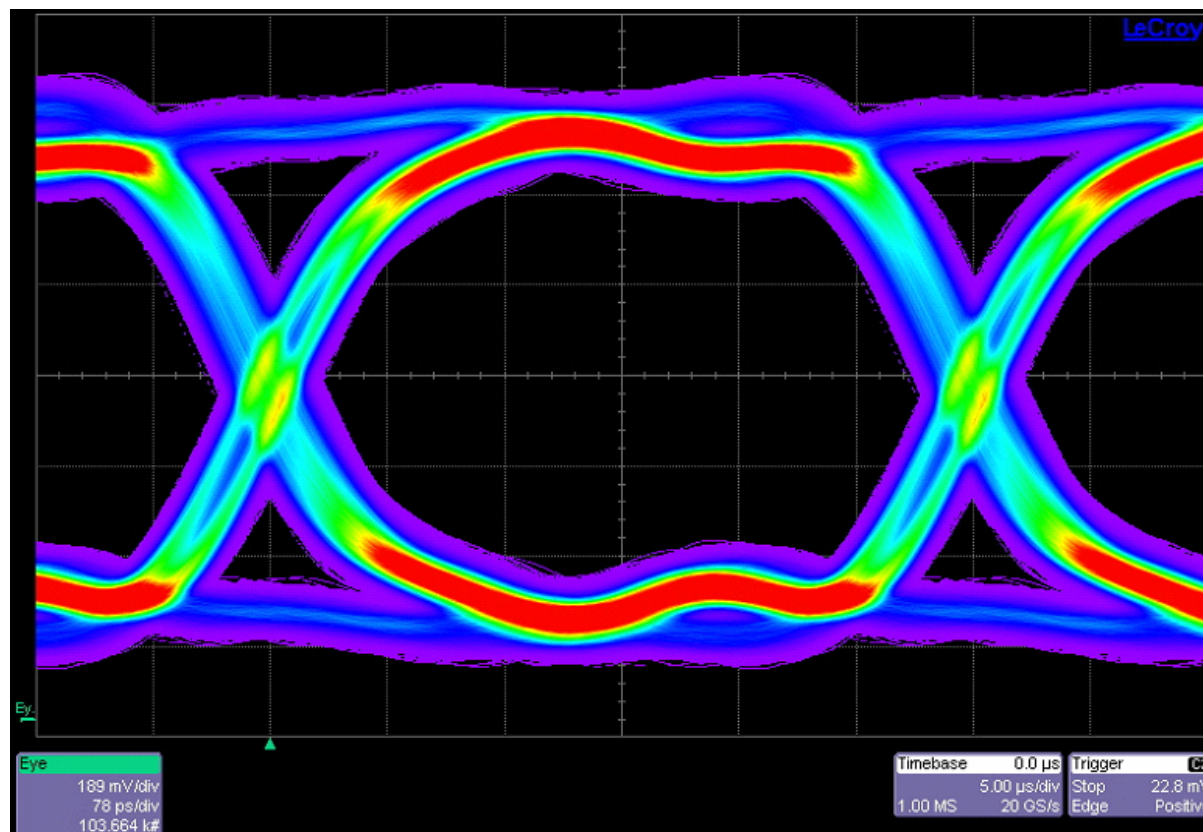
幅広いメモリ・デバイスを高性能かつ柔軟にサポート

- 8ビットから128ビットまでのバス幅に対応

インタフェース	性能
DDR3	1067MHz
DDR2	533 MHz
QDR II	350 MHz
QDR II+	550 MHz
RLDRAM III	800 MHz
RLDRAM II	533 MHz

最高のメモリ・バンド幅を提供

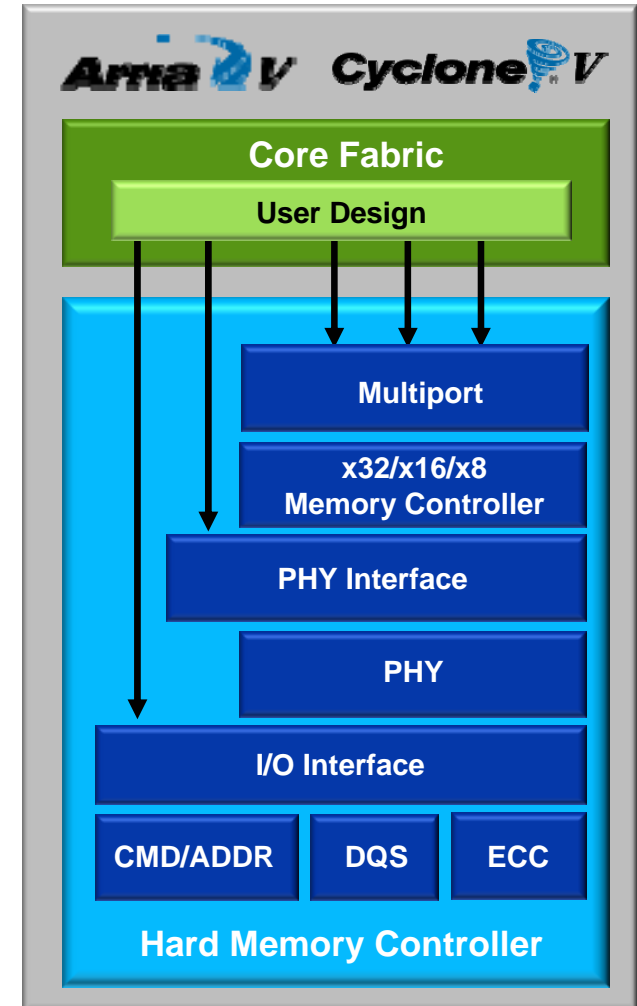
Stratix V DDR3 1067MHz アイ・ダイアグラム



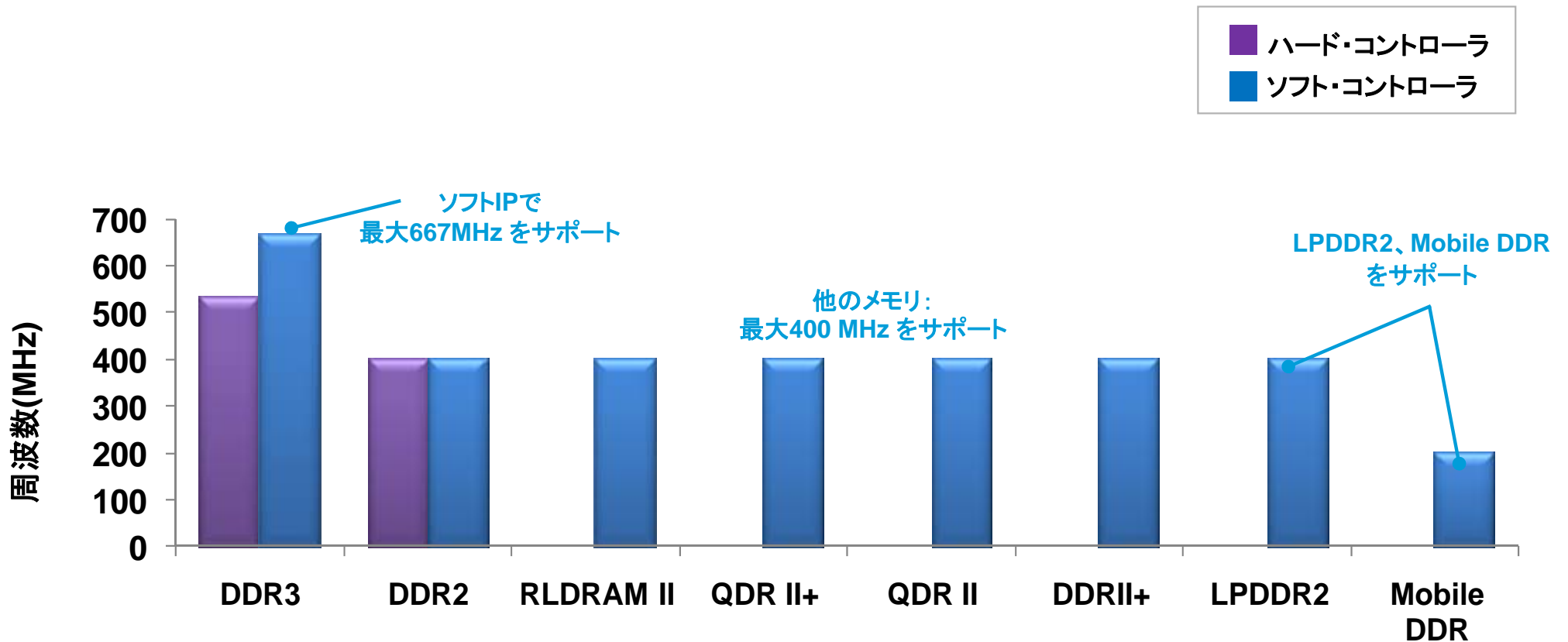
1066MHz DDR3 を
堅牢な信号品質でサポート

Arria V & Cyclone V の ハード・メモリ・コントローラ

- 高性能なメモリ・コントローラをハード・マクロ化
 - DDR2/3 対応、x8/x16/x32のバス幅に対応
 - コントローラごとに 最大6 ユーザ・ポートをサポート
 - マルチポート・フロントエンド
 - コマンド / データ・リオーダーリング機能を搭載
- コストを削減
 - 11K LEのロジックと 11個のM9K RAMブロックを節約
 - より小規模なFPGA を選択可能
 - タイミング収束済み、設計期間を短縮
 - エンジニアの負担を低減
- 消費電力を削減
 - ソフトIP 実装時と比較して 消費電力を80% 低減
 - メモリ・デバイスの電源管理をサポート

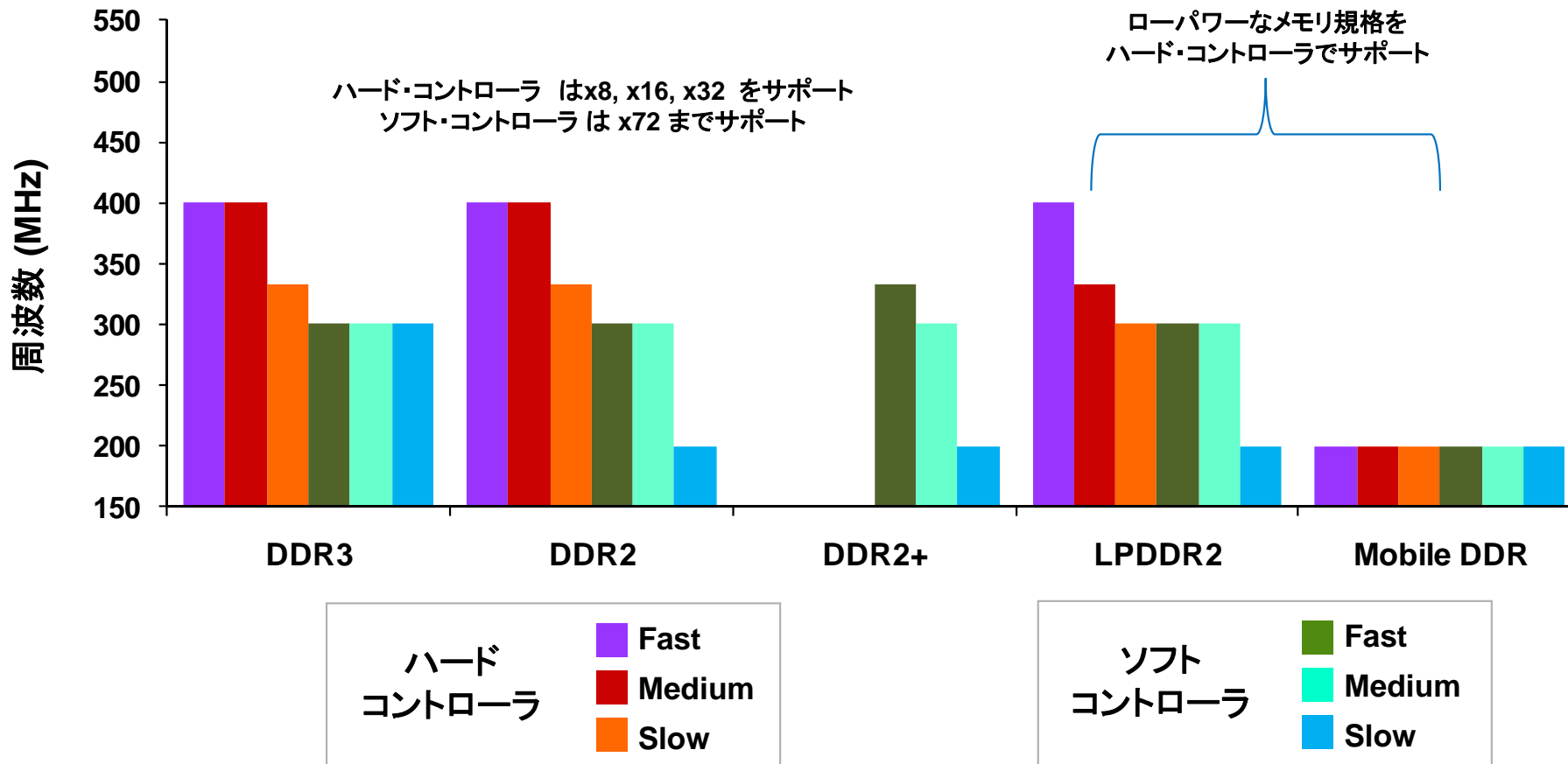


Arria V の外部メモリ・インタフェース



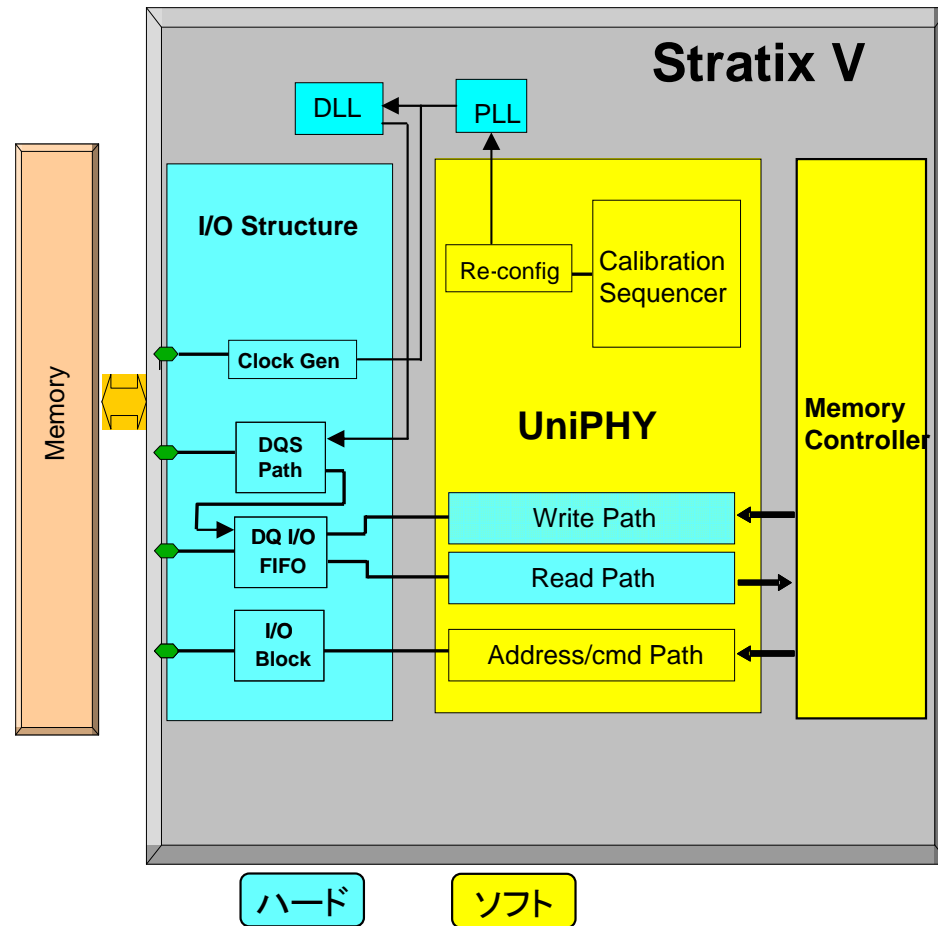
デバイスあたり最大4個の
533MHz DDR3対応ハード・メモリーコントローラ
RLDRAMやQDR II もソフト・コントローラでサポート

Cyclone V の外部メモリ・インタフェース



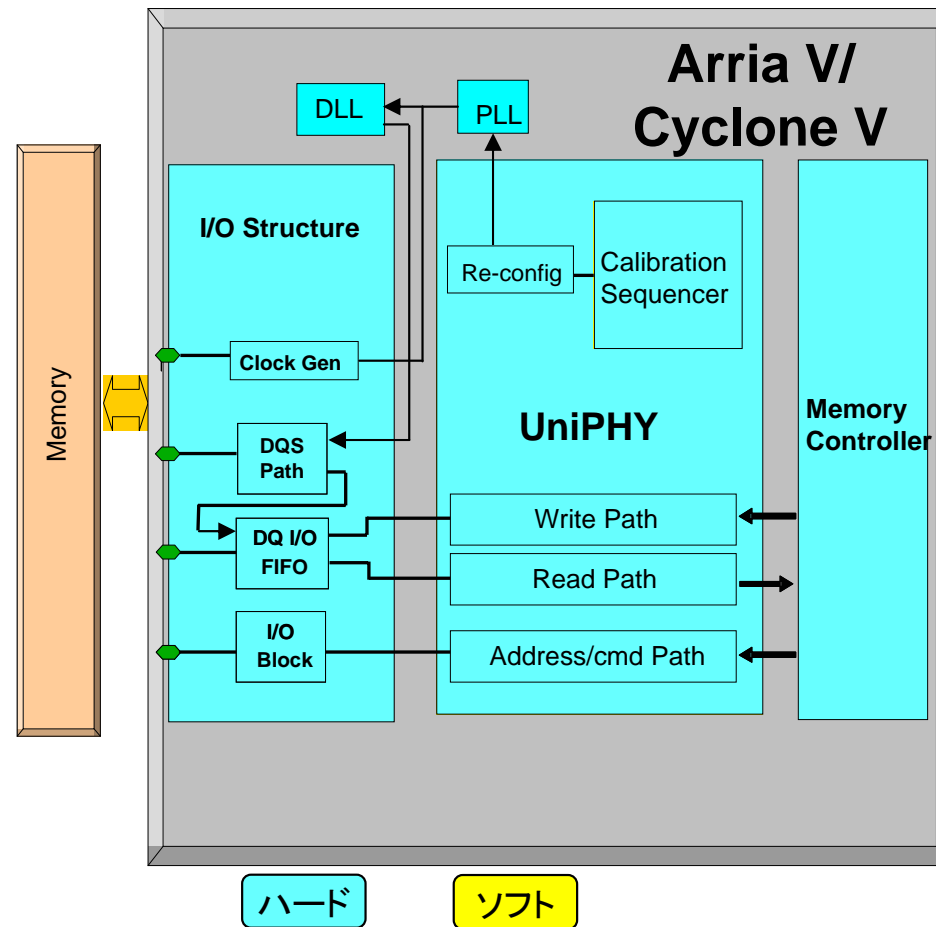
デバイスあたり最大2個の
400MHz DDR3 対応ハード・メモリ・コントローラ
LPDDR2 やMobile DDR もハード・コントローラでサポート

UniPHY アーキテクチャ: Stratix V



- リード/ライトのパスをハード化⇒ 1067 MHz のタイミングを保証

UniPHY アーキテクチャ: Arria V & Cyclone V



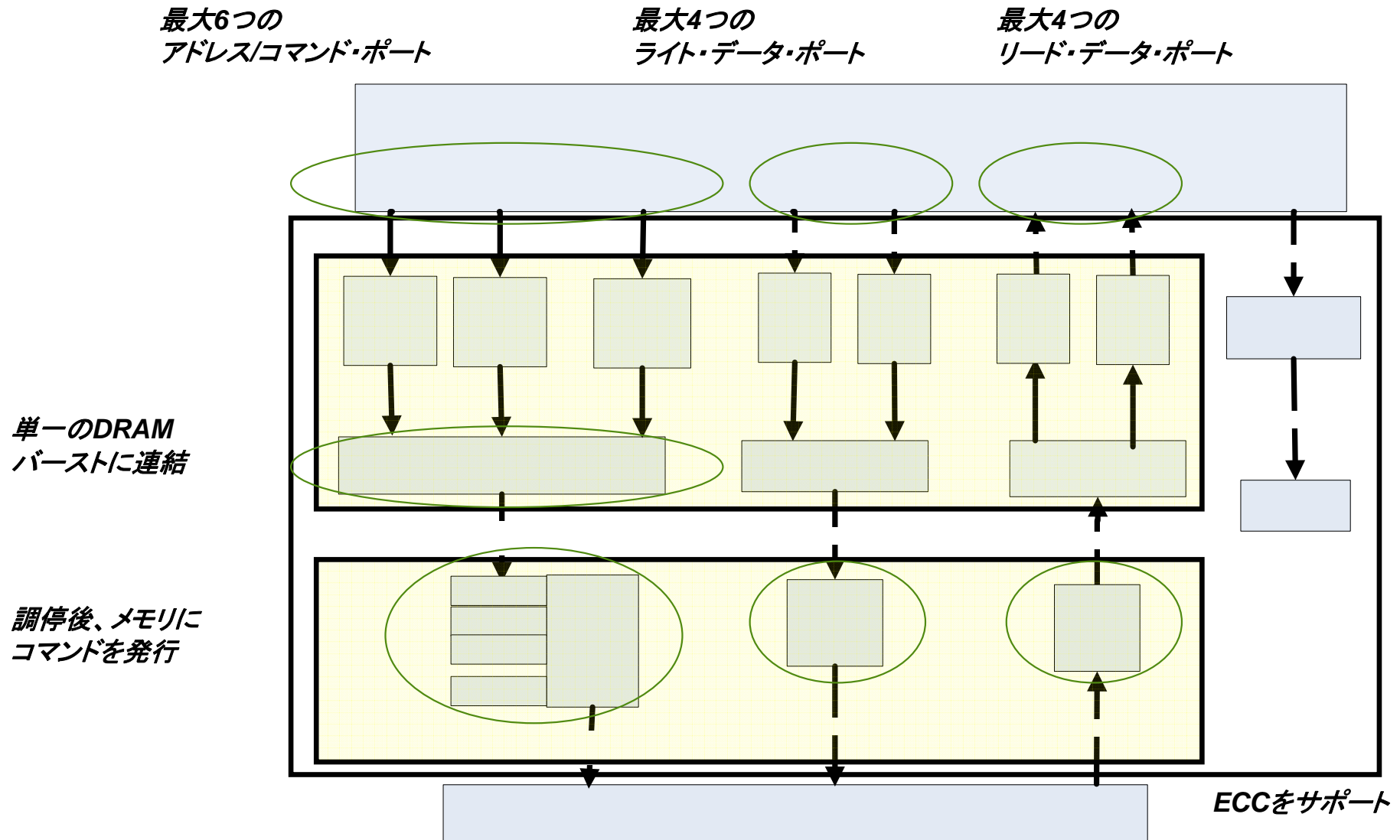
- UniPHY 全体をハード化し、メモリ・コントローラもハード化

UniPHY のリード・レイテンシ

Latency * (measured in <i>full rate</i> clock cycles)							
Protocol	Half/Full Rate	Controller † (Addr/Cmd)	PHY (Addr/Cmd)	Memory (Max Read)	PHY (Read Return)	Round Trip	Round Trip (less memory)
UNIPHY DDR 2/3	Full	5	2	DDR2: 5	5	DDR2: 17	12
	Half	10	3	DDR2: 5 DDR3: 11	7	DDR2: 25 DDR3: 31	20 (10 HR)
ALTMEMPHY DDR2	Full	5	3.5	DDR2: 5	10	DDR2: 23.5	18.5
	Half	10	8	DDR2: 5	18	DDR2: 41	36 (18 HR)

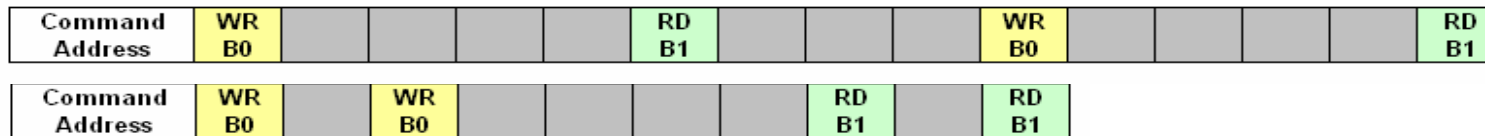
従来のALTMEMPHYより
60%改善

マルチポート対応のメモリ・コントローラ

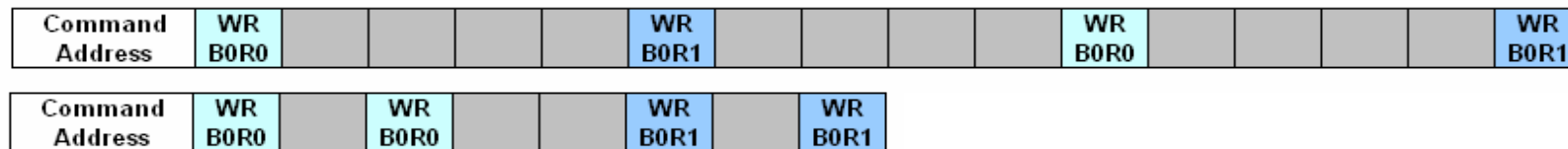


リオーダーリングによる効率改善

- ランダムなトランザクションにおいて 効率を50%向上
- トランザクションの発行順序を最適化し、レイテンシを改善
 - リードおよびライトのトランザクションをそれぞれグループ化することにより バス・ターンアラウンド・タイムを最小化



- ライト・トランザクションのリオーダーリングにより tRCのインパクトを最小化



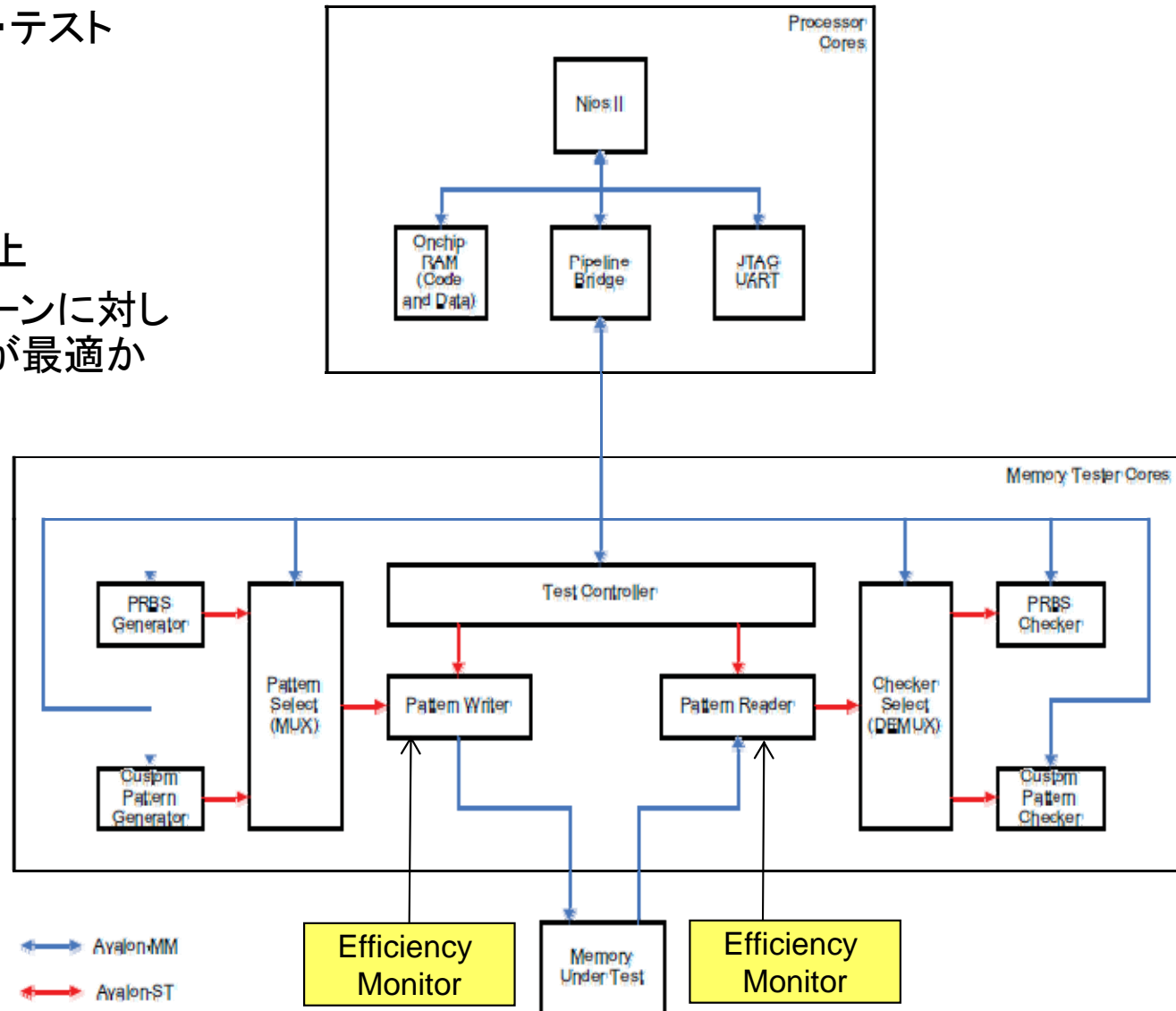
- リードデータは、リクエスト通りの順序を厳守

機能比較

機能と性能	Stratix V ソフト・コントローラ	Arria V GX ハード・コントローラ	Cyclone V GX ハード・コントローラ
Fmax	1067 MHz	533 MHz	400 MHz
ビット幅	可変	8, 16, 32 (64 bonded) (72 soft ECC)	8, 16, 32
相対的なレイテンシ*	2.0	1	1
相対的なバンド幅	1.5	1	1
リード/ライトのレベリング(DDR3 DIMM のサポート)	✓	✗	✗
DDR2 DIMM のサポート	✓	✓	✓
ECC	✓ (ソフト)	✓	✓
コマンド・リオーダーリング	✓	✓	✓
データ・リオーダーリング	✓	✓	✓
パワー・ダウン	✓	✓	✓
セルフ・リフレッシュ	✓	✓	✓

外部メモリ・インタフェースの検証機能

- PRBS Generator
 - 目的: ファンクション・テスト
 - エラーをチェック
- Efficiency Monitor
 - 目的: バンド幅の向上
 - 顧客のデータ・パターンに対しコントローラの設定が最適かどうかをチェック



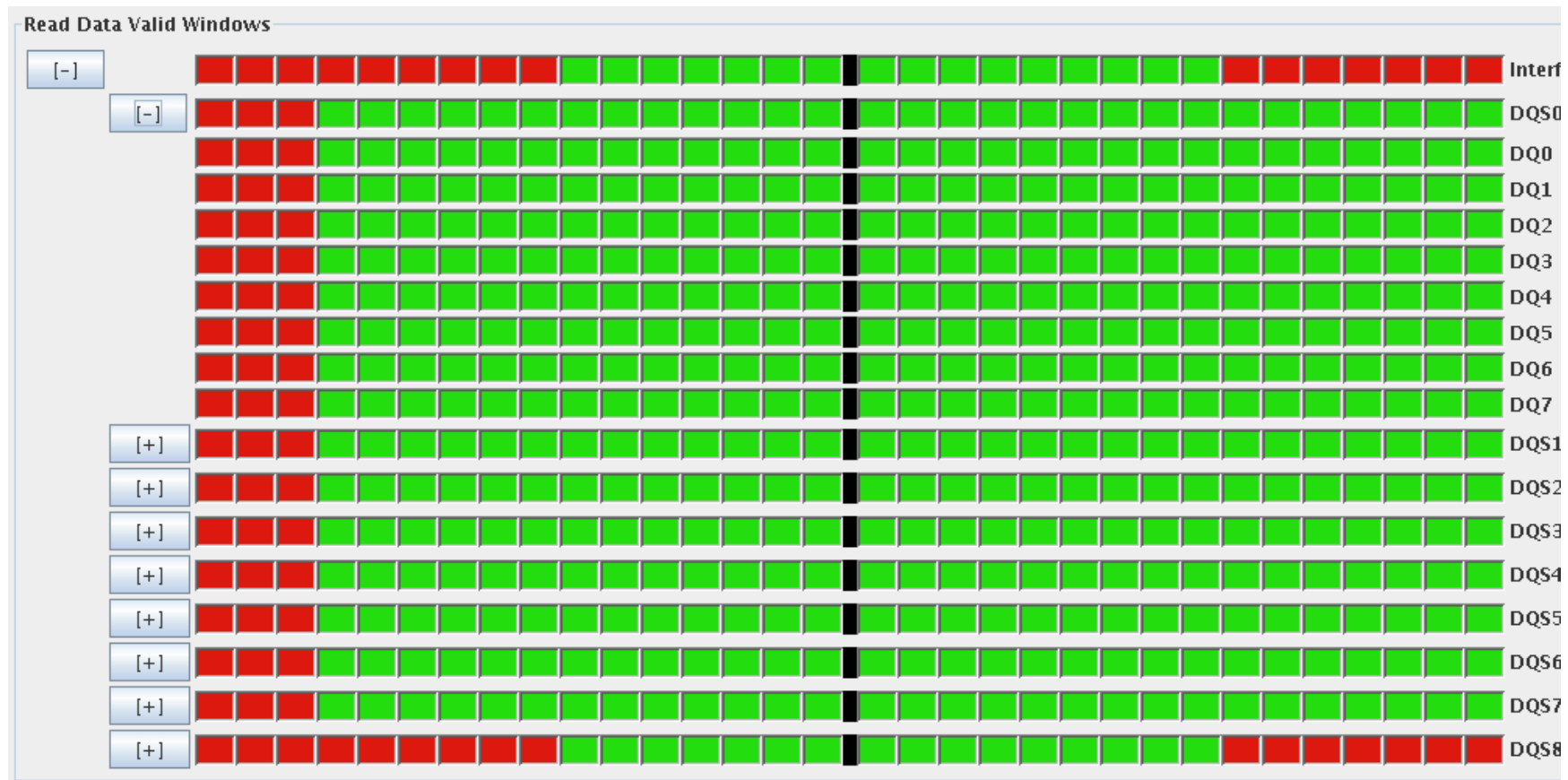
EMI(External Memory Interface) ツールキット

- データ有効領域を視覚的に認知可能
 - インタフェース全体のデータ有効領域をDQSグループごとに表示



EMI(External Memory Interface) ツールキット

- データ有効領域を視覚的に認知可能
 - さらに展開させて、DQSグループ内のデータ有効領域をDQごとに表示



完全なメモリ・ソリューション

自社製 IP MegaCore® ファンクション

- 共通のメモリ規格をサポート (DDR 1/2/3、QDR、RLDRAM)
- 低レイテンシ、高性能
- 無償の評価版を提供

先進のFPGA アーキテクチャ

- 専用回路による高性能化
- クラス最高の
シグナル・インテグリティ

ハードウェア・リファレンス プラットフォーム

- 開発キット
- リファレンス・デザイン

設計ソフトウェア

- タイミング制約の自動生成
- システム・レベルのタイミング検証
- SPICE / IBIS モデル

サポート資料

- デバイス・ハンドブック
- アプリケーション・ノート
- IP ユーザー・ガイド
- ボード設計ガイドライン



Faster, better, easier!

参考資料

- 28nm ポートフォリオ FPGA web ページ
 - [Stratix V FPGAs](#)
 - [Arria V FPGAs](#)
 - [Cyclone V FPGAs](#)
- メモリ詳細、およびレイアウト・ガイドライン
 - [External memory interface handbook](#)
- ボード設計の詳細
 - [External memory interface handbook vol 2](#)

Faster, better, easier!

28nm FPGA製品のリソース & 機能比較:コア

デバイス・ファミリ	Cyclone V E	Cyclone V GX & GT	Arria V GX & GT	Stratix V GX	Stratix V GS	Stratix V GT	Stratix V E
ロジック (K-LE)	25 ~ 300	25 ~ 300	75 ~ 495	340~ 952	236 ~ 695	425 ~ 622	840 ~ 952
メモリ (Mビット)	1.5 ~ 12.5	1.1~ 12.5	5.0 ~ 23.8	16 ~ 52	13 ~ 50	45 ~ 52	52
18x18 乗算器	78 ~ 812	80 ~ 812	480 ~ 1278	376 ~ 798	1200~ 3926	512	704
PCIe ハードIP	-	Gen1:x1~4 Gen2:x1~2 1 個	Gen1:x1~8 Gen2:x1~4 最大2 個	Gen1/2/3: x1~8 最大 4 個	Gen1/2/3: x1~8 最大 2 個	Gen1/2/3: x1~8 1 個	-
DDR2/3 コントローラ ハードIP	最大2 個 (LPDDR2および Mobile DDR も対応)	最大2 個 (LPDDR2および Mobile DDR も対応)	最大4 個	-	-	-	-
Embedded HardCopy Block	-	-	-	サポート	サポート	サポート	-
パーシャル リコンフィギュレーション	サポート	サポート	サポート	サポート	サポート	サポート	サポート
PCIe経由の コンフィギュレーション	-	サポート	サポート	サポート	サポート	サポート	-
プログラマブル・パワー テクノロジー	-	-	-	サポート	サポート	サポート	サポート

28nm FPGA製品のリソース & 機能比較: I/O

デバイス・ファミリ	Cyclone V E	Cyclone V GX & GT	Arria V GX & GT	Stratix V GX	Stratix V GS	Stratix V GT	Stratix V E
ユーザ I/O		90 ~ 688	288 ~ 704	264 ~ 840	240 ~ 900	597 ~ 600	696 ~ 840
3.125 Gbps トランシーバ	-	3 ~ 12 (GX)	9 ~ 36	36 ~ 66	12 ~ 48	32	-
5 Gbps トランシーバ	-	6 ~ 12 (GT)	9 ~ 36	36 ~ 66	12 ~ 48	32	-
6.5 Gbps トランシーバ	-	-	9 ~ 36	36 ~ 66	12 ~ 48	32	-
10.3 Gbps トランシーバ	-	-	4 / 8 (GT)	36 ~ 66	12 ~ 48	32	-
14.1 Gbps トランシーバ	-	-	-	36 ~ 66	12 ~ 48	32 (12.5G)	-
28 Gbps トランシーバ	-	-	-			4	
LVDS	875 Mbps	875 Mbps	1.25 Gbps	1.4 Gbps	1.4 Gbps	1.4 Gbps	1.4 Gbps
DDR2/DDR3 (MHz)	400 / 400	400 / 400	400 / 667	400 / 1067	400 / 1067	400 / 1067	400 / 1067
ダイナミックOCT	TBD	TBD	サポート	サポート	サポート	サポート	サポート

どうもありがとうございました